

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/22 (2006.01)

G11C 7/24 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580006896.3

[45] 授权公告日 2009年7月15日

[11] 授权公告号 CN 100514497C

[22] 申请日 2005.9.1

[21] 申请号 200580006896.3

[30] 优先权

[32] 2004.9.30 [33] US [31] 10/954,584

[86] 国际申请 PCT/US2005/031917 2005.9.1

[87] 国际公布 WO2006/039075 英 2006.4.13

[85] 进入国家阶段日期 2006.9.4

[73] 专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

[72] 发明人 詹姆斯·西蒙斯

[56] 参考文献

US6757832B1 2004.6.29

EP0581253 A2 1994.2.2

CN1501401A 2004.6.2

审查员 李小青

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 王允方 刘国伟

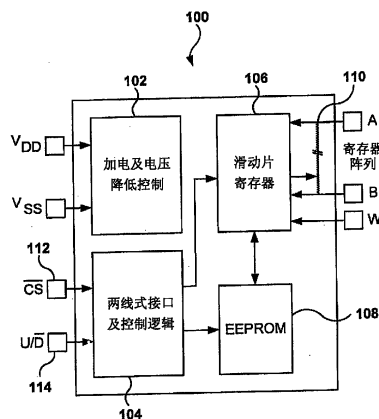
权利要求书5页 说明书9页 附图4页

[54] 发明名称

具有非易失性存储器的集成电路及其写入保护方法

[57] 摘要

本发明揭示一种具有一具一可调参数的装置的集成电路，其利用一双信号控制协议来选择所述装置、改变所述参数值且将所述参数值保存或不保存于一非易失性存储器中、并对所述非易失性存储器中的所述参数值进行写入保护。



1、一种集成电路，其具有一具一可调参数的装置及一用于存储所述可调参数的一当前值的非易失性存储器，其包括：

控制逻辑，其具有一第一输入、一第二输入、一存储器控制输出、一参数控制输出及一写入保护控制输出，其中所述第一输入适于在第一、第二及第三逻辑电平下运行且所述第二输入适于在所述第一及第二逻辑电平下运行；

一具有一可调参数的装置，所述可调参数具有一值范围，其中所述参数控制输出使所述可调参数在所述值范围内改变至一当前值；及

一用于存储所述当前值的非易失性存储器，其中所述存储器控制输出使所述当前值写入至所述非易失性存储器中且所述写入保护控制输出允许及禁止向所述非易失性存储器的写入。

2、如权利要求 1 所述的集成电路，其中所述第三逻辑电平处于一高于所述第二逻辑电平的电压且所述第二逻辑电平处于一高于所述第一逻辑电平的电压。

3、如权利要求 2 所述的集成电路，其中所述第三逻辑电平大于或等于 7 伏特，所述第二逻辑电平自 2.7 伏特至 5.5 伏特，且所述第一逻辑电平自 0 伏特至 0.7 伏特。

4、如权利要求 1 所述的集成电路，其中所述第一输入选择所述装置且所述第二输入改变所述可调参数。

5、如权利要求 1 所述的集成电路，其中所述第一及第二输入选择是否将所述当前值写入至所述非易失性存储器中。

6、如权利要求 1 所述的集成电路，其中如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时与在所述第一输入从所述第三逻辑电平变成所述第二逻辑电平时之间所述可调参数的所述值发生变化，则将所述当前值写入至所述非易失性存储器中。

7、如权利要求 1 所述的集成电路，其中所述第一及第二输入决定是允许还是禁止向所述非易失性存储器进行写入。

8、如权利要求 7 所述的集成电路，其中如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时所述第二输入处于所述第二逻辑电平且然后在所述第一输入从所述第三逻辑电平变成所述第二逻辑电平时所述第二输入处于所述第一逻辑电平，则禁止向所述非易失性存储器的写入。

9、如权利要求 7 所述的集成电路，其中如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时所述第二输入处于所述第一逻辑电平且然后在所述第一输入从所述第三逻辑电平变成所述第二逻辑电平时所述第二输入处于所述第二逻辑电平，则禁止向所述非易失性存储器进行写入。

10、如权利要求 7 所述的集成电路，其中如果所述第二输入所处的逻辑电平在所

述第一输入从所述第二逻辑电平变成所述第三逻辑电平时及在所述第一输入从第三逻辑电平变成所述第二逻辑电平时不同，则禁止向所述非易失性存储器进行写入。

11、如权利要求7所述的集成电路，其中如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平并随后变回所述第二逻辑电平时所述第二输入处于所述第一逻辑电平，则允许向所述非易失性存储器进行写入。

12、如权利要求7所述的集成电路，其中如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平并随后变回所述第二逻辑电平时所述第二输入处于所述第二逻辑电平，则允许向所述非易失性存储器进行写入。

13、如权利要求7所述的集成电路，其中如果所述第二输入所处的逻辑电平在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平并随后变回所述第二逻辑电平时相同，则允许向所述非易失性存储器进行写入。

14、如权利要求7所述的集成电路，其中分别通过清除一写入保护位来允许或设定该写入保护位来禁止使用所述非易失性存储器。

15、如权利要求7所述的集成电路，其中分别通过设定一写入保护位来允许或清除该写入保护位来禁止使用所述非易失性存储器。

16、如权利要求1所述的集成电路，其中所述第一及第二输入决定所述参数的所述值是增大还是减小。

17、如权利要求1所述的集成电路，其中在所述装置掉电或所述装置电压偏低时，所述非易失性存储器保持所述当前值。

18、如权利要求1所述的集成电路，其中所述装置选自由一数字变阻器、一数字电位计、一数字计数器、一可编程增益放大器、一模数N分频器、及一数字-模拟转换器组成的群组。

19、如权利要求1所述的集成电路，其进一步包括一囊封所述控制逻辑、所述装置及所述非易失性存储器的集成电路封装。

20、如权利要求19所述的集成电路，其中所述集成电路封装选自由SOT-23-5、SOT-23-6、MSOP-8、及SOIC-8组成的群组。

21、如权利要求1所述的集成电路，其中所述非易失性存储器为一次性可编程电可编程只读存储器。

22、如权利要求1所述的集成电路，其中所述非易失性存储器为电可擦可编程只读存储器。

23、如权利要求1所述的集成电路，其中所述非易失性存储器为FLASH存储器。

24、如权利要求1所述的集成电路，其中：

当所述第一输入从所述第二逻辑电平变成所述第三逻辑电平且所述第二输入处于所述第一逻辑电平时，

则每当所述第二输入从所述第一逻辑电平变成所述第二逻辑电平时，所述可调参数的所述值均减小。

25、如权利要求 1 所述的集成电路，其中：

当所述第一输入从所述第二逻辑电平变成所述第三逻辑电平且所述第二输入处于所述第二逻辑电平时，

则每当所述第二输入从所述第一逻辑电平变成所述第二逻辑电平时，所述可调参数的所述值均增大。

26、如权利要求 1 所述的集成电路，其中：

当所述第一输入从所述第二逻辑电平变成所述第三逻辑电平且所述第二输入处于所述第一逻辑电平时，

则每当所述第二输入从所述第二逻辑电平变成所述第一逻辑电平时，所述可调参数的所述值均减小。

27、如权利要求 1 所述的集成电路，其中：

当所述第一输入从所述第二逻辑电平变成所述第三逻辑电平且所述第二输入处于所述第二逻辑电平时，

则每当所述第二输入从所述第二逻辑电平变成所述第一逻辑电平时，所述可调参数的所述值均增大。

28、一种使用两个控制输入来允许及禁止对一具有一可调参数的集成电路装置中的一非易失性存储器进行写入保护、改变所述可调参数的一值并将所述可调参数的一当前值存储于所述非易失性存储器中的方法，所述方法包括下列步骤：

判定在一第一控制输入从一第二逻辑电平变成一第三逻辑电平时一第二控制输入是处于一第一逻辑电平还是所述第二逻辑电平；及

判定在所述第一控制输入从所述第三逻辑电平变回所述第二逻辑电平时所述第二控制输入是处于所述第一逻辑电平还是所述第二逻辑电平；其中：

如果在所述第一输入从所述第二逻辑电平变成一第三逻辑电平时所述第二输入处于所述第一逻辑电平，且然后在所述第一输入从所述第三逻辑电平变回所述第二逻辑电平时所述第二输入处于所述第二逻辑电平，则允许对一非易失性存储器进行写入保护；及

如果在所述第一输入从所述第二逻辑电平变成一第三逻辑电平并随后从所述第三逻辑电平变回所述第二逻辑电平时所述第二输入处于所述第一逻辑电平，则禁止对所述非易失性存储器进行写入保护。

29、一种使用两个控制输入来允许及禁止对一具有一可调参数的集成电路装置中的一非易失性存储器进行写入保护、改变所述可调参数的一值并将所述可调参数的一当前值存储于所述非易失性存储器中的方法，所述方法包括下列步骤：

判定在一第一控制输入从一第二逻辑电平变成一第三逻辑电平时一第二控制输入是处于一第一逻辑电平还是所述第二逻辑电平；及

判定在所述第一控制输入从所述第三逻辑电平变回所述第二逻辑电平时所述第二控制输入是处于所述第一逻辑电平还是所述第二逻辑电平；其中：

如果在所述第一输入从所述第二逻辑电平变成一第三逻辑电平时所述第二输入处于所述第二逻辑电平，且然后在所述第一输入从所述第三逻辑电平变回所述第二逻辑电平时所述第二输入处于所述第一逻辑电平，则允许对一非易失性存储器进行写入保护；及

如果在所述第一输入从所述第二逻辑电平变成一第三逻辑电平并随后从所述第三逻辑电平变回所述第二逻辑电平时所述第二输入处于所述第二逻辑电平，则禁止对所述非易失性存储器进行写入保护。

30、一种使用两个控制输入来允许及禁止对一具有一可调参数的集成电路装置中的一非易失性存储器进行写入保护、改变所述可调参数的一值并将所述可调参数的一当前值存储于所述非易失性存储器中的方法，所述方法包括下列步骤：

判定在一第一控制输入从一第二逻辑电平变成一第三逻辑电平时一第二控制输入是处于一第一逻辑电平还是所述第二逻辑电平；及

判定在所述第一控制输入从所述第三逻辑电平变回所述第二逻辑电平时所述第二控制输入是处于所述第一逻辑电平还是所述第二逻辑电平；其中：

如果所述第二输入所处的逻辑电平在所述第一输入从所述第二逻辑电平变成一第三逻辑电平、并随后从所述第三逻辑电平变回所述第二逻辑电平时不同，则允许对一非易失性存储器进行写入保护；及

如果所述第二输入所处的逻辑电平在所述第一输入从所述第二逻辑电平变成一第三逻辑电平并随后从所述第三逻辑电平变回所述第二逻辑电平时相同，则禁止对所述非易失性存储器进行写入保护。

31、如权利要求 30 所述的方法，其中所述可调参数选自由电阻、电压、电流、频率、分频及放大增益组成的群组。

32、如权利要求 30 所述的方法，其中所述第三逻辑电平处于一高于所述第二逻辑电平的电压且所述第二逻辑电平处于一高于所述第一逻辑电平的电压。

33、如权利要求 30 所述的方法，其中所述第三逻辑电平大于或等于 7 伏特，所述第二逻辑电平自 2.7 伏特至 5.5 伏特，且所述第一逻辑电平自 0 伏特至 0.7 伏特。

34、如权利要求 30 所述的方法，其进一步包括在所述第一输入从所述第三逻辑电平变回所述第二逻辑电平时将所述可调参数的所述当前值写入至所述非易失性存储器中的步骤。

35、如权利要求 30 所述的方法，其进一步包括下列步骤：

判定所述第一输入何时从所述第二逻辑电平变成所述第三逻辑电平；及

判定在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时所述第二输入是处于所述第一逻辑电平还是所述第二逻辑电平；其中：

如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时所述第二输入处于所述第一逻辑电平，则

每当所述第二输入从所述第一逻辑电平变成所述第二逻辑电平时均减小所述可

调参数的所述值；及

如果在所述第一输入从所述第二逻辑电平变成所述第三逻辑电平时所述第二输入处于所述第二逻辑电平，则

每当所述第二输入从所述第一逻辑电平变成所述第二逻辑电平时均增大所述可调参数的所述值。

具有非易失性存储器的集成电路及其写入保护方法

技术领域

本发明大体而言涉及具有非易失性存储器的数字集成电路装置，且更具体而言，涉及在具有双信号协议的装置中对非易失性存储器的写入保护。

背景技术

出于成本及空间两种考虑因素，集成电路装置变得越来越小且信号引线越来越少。通常，一集成电路装置可位于一具有五至八个引脚的集成电路封装中。这些引脚中的至少两个必须分别用于电源及接地，例如 V_{DD} 及 V_{SS} 。这就使得只剩下三至六个引脚可用于有用的信号及控制目的。当单个集成电路小片上或多个小片上的复数个集成电路装置位于一集成电路封装中时，可使用更多的引脚，但由于装置功能的数量，这些引脚仍然有限。

其参数值会增大及减小的典型集成电路装置为（例如）数字变阻器、数字电位计、数字计数器、可编程增益放大器、模数 N 分频器及数字-模拟转换器（DAC）。这些与递增/递减相关的装置通常需要某种方式来控制对这些装置所用参数值的递增及递减。这些装置的另一所希望的特征是在在一非易失性存储器中存储在移除所述装置的电源前所使用的最后参数值或防止出现例如静电放电或射频干扰（RPI）等破坏性事件。非易失性存储器可为（例如）一次性可编程（OTP）电可编程只读存储器（EPROM）、电可擦可编程只读存储器（EEPROM）、FLASH 存储器及类似存储器。

低引脚数装置必须使集成电路封装中每一引脚的功能最大化。同样地，一双（2）导线上/下协议可使用（例如）递增/递减（U/D）及芯片选择（CS）信号控制引脚。然而，当在此一装置中使用非易失性存储器时，需要进行写入保护，以便 U/D 及/或 CS 信号上可能出现的噪声将不会使存储于非易失性存储器中的所期望值意外地递增或递减。存储于非易失性存储器中的所期望值的意外改变可导致出现灾难性的应用故障。另外，写入保护可确保即使当 U/D 及/或 CS 信号不为静态（有意地或意外地）时对非易失性存储器中的值的工厂校准也仍将保持原样。通常，写入保护功能将需要一额外的信号引脚，例如 WR 或 WP 引脚。因此，写入保护功能会在低引脚数集成电路封装中占用一宝贵的信号引脚。

需要对一具有可存储于非易失性存储器中的递增和递减参数值的集成电路装置进行写入保护，使包括对非易失性存储器进行写入保护在内的所有这些功能只需要两

个信号节点或引脚。

发明内容

本发明通过下述方式克服了上述问题以及现有技术的其它缺陷及不足：为一具有可存储于一非易失性存储器中并可受到写入保护的参数值的集成电路装置提供硬件及软件方法、系统及设备，以使包括对所述非易失性存储器进行写入保护在内的所有功能只需要两个信号节点或引脚。所述集成电路装置可为（例如，但不限于）一数字变阻器、数字电位计、数字计数器、可编程增益放大器、模数 N 分频器、数字-模拟转换器（DAC）及类似装置。本发明适用于任何具有一（或多个）变化（例如递增和递减）的参数的电子电路，所述参数随后被保存于一非易失性存储器中以便在移除所述集成电路装置的电源时保持所述参数的值。

根据本发明的一具体实例性实施例，可将一上/下或递增/递减（以下称为“U/D”）控制信号与一芯片选择（下文称为“CS”）控制信号相结合用于递增和递减一集成电路装置的参数并用于有选择地将所述参数保存于非易失性存储器中。也可实施对所述集成电路装置参数的递增和递减而不将所述参数保存于非易失性存储器中，或在实施对所述参数的递增或递减后可保存所述参数。所述 U/D 及 CS 控制信号可彼此独立地处于一第一逻辑电平或一第二逻辑电平。所述 U/D 及 CS 控制信号也可为“低态现用”（当处于逻辑低时允许）、“高态现用”（当处于逻辑高时允许）或其任一组合且彼此独立。另外，所述第一及第二逻辑电平将分别大致处于第一及第二电压，或反之。所述第一电压将小于所述第二电压，例如所述第一电压可（例如）介于约零（0）伏特至约 0.7 伏特之间而所述第二电压可（例如）介于约 2.7 伏特至约 5.5 伏特之间。

本发明各具体实例性实施例提供对所述非易失性存储器的写入保护锁定功能，所述写入保护锁定功能可用于在所述 U/D 及 CS 控制信号将影响对所述非易失性存储器的写入时有效地锁闭（忽略）所述 U/D 及 CS 控制信号的跃迁，直至所述两个控制信号中的至少一个（例如所述 CS 控制信号）被驱动至一大致处于一第三电压的第三逻辑电平为止。所述第三电压大于所述第二电压，例如所述第三电压可（例如）大于约 7 伏特。使所述第三电压使用一高于所述第二及第一电压的阈电压电平还有利于防止因噪声或因所述 U/D 及 CS 信号的有意的低电压（第一及第二逻辑电平）跃迁而使存储于所述非易失性存储器中的所述递增/递减值出现意外变化。

可将所述写入保护锁定功能构建成一写入保护（WP）位，所述写入保护（WP）位可由所述两个 U/D 及 CS 信号中至少一个的逻辑电平及其跃迁的组合来加以设定或清除。例如，U/D 及 CS 上的较低电压（分别处于所述第一及第三电压下的第一及第二逻辑电平）递增/递减命令基本上类似于 U/D 及 CS 上的高电压递增/递减命令，只是 CS 现在处于所述第三逻辑电平（第三电压）。如本文中所更全面阐述，当所述 CS 控制信号处于所述第三逻辑电平并跃迁回所述第二逻辑电平时，可分别设定或清除所述

WP 位来对所述非易失性存储器进行写入保护或写入允许。

为了便于下文中解释各具体实例性实施例是如何工作来改变参数值（例如递增和递减）、将参数值存储于非易失性存储器中、及对所述非易失性存储器进行写入保护或写入允许，将从所述第一逻辑电平至所述第二逻辑电平的跃迁称作“上升沿”而将从所述第二逻辑电平至所述第一逻辑电平的跃迁称作“下降沿”。同样地，将从所述第二逻辑电平至所述第三逻辑电平的跃迁称作“正的上升沿”而将从所述第三逻辑电平至所述第二逻辑电平的跃迁称作一“正的下沿”。

所述 CS 控制信号在其从所述第二逻辑电平变成所述第一逻辑电平（下降沿）时选择一具体集成电路装置。所述 U/D 控制信号在一 CS 控制信号下降沿上所处的逻辑电平决定了所述集成电路装置将在所述 U/D 控制信号逻辑电平跃迁的每一随后上升沿上递增（U/D 控制信号在一 CS 控制信号下降沿上处于所述第二逻辑电平）还是递减（U/D 控制信号在一 CS 控制信号下降沿上处于所述第一逻辑电平）。可通过任何两线式串行总线协议（例如 I²C 等等）来实现其它参数变化形式。

如果 U/D 逻辑电平在所述 CS 控制信号的下降沿处与下一上升沿处为不同的逻辑电平，则将出现向非易失性存储器的最新参数值写入。如果所述 U/D 逻辑电平在所述 CS 控制信号的下降沿及下一上升沿二者上相同，则不会出现向非易失性存储器的写入。此使本发明能够无需每当所述 CS 控制信号取消选择所述集成电路装置时均实施一向非易失性存储器的长持续时间的写入便可控制所述装置参数。因此，可与在所述 CS 控制信号选择所述装置期间所作的任何参数变化无关地实施最新装置参数向所述非易失性存储器的写入。通过只在适当时写入至所述非易失性存储器，可节约大量功率及装置等待时间。减少向一非易失性存储器进行写入的次数将会增加其可用工作寿命。

例如，如果所述第一逻辑电平由“0”表示，则所述第二逻辑电平由“1”表示，上升沿跃迁由“↑”表示且下降沿跃迁由“↓”表示。对于递减模式—U/C=0 及 ↓CS；此后 CS=0，且对于每一↑U/D，所述参数均将递减一个单位。如果在↑CS 时 U/D=1，则将向非易失性存储器中写入所述装置参数的最后递减量。然而，如果在↑CS 时 U/D=0，则将不向非易失性存储器中进行写入。同样地，对于递增模式—U/D=1 及 ↓CS；此后 CS=0，且对于每一↑U/D，所述参数均将递增一个单位。如果在↑CS 时 U/D=0，则将向非易失性存储器写入所述装置参数的最后增量。然而，如果在↑CS 时 U/D=1，则将不向非易失性存储器中进行写入。

在根据本发明实施前述控制作业时可使用 CS 与 U/D 控制信号逻辑电平沿跃迁方向与逻辑电平的任一组合，此仍涵盖并归属于本发明的范围内，例如可用所述第一逻辑电平代替所述第二逻辑电平，反之亦然。另外，上升沿跃迁“↑”与下降沿跃迁“↓”可互换，此并不影响本发明的运作。

作为另一用于解释对所述非易失性存储器的写入保护的允许及禁止的实例，当所述 CS 控制信号自所述第二逻辑电平跃迁至所述第三逻辑电平时，该正的上升沿跃迁

将由“+ \uparrow CS”表示，而当所述CS控制信号自所述第三逻辑电平跃迁回所述第二逻辑电平时，该正的下降沿跃迁将由“+ \downarrow CS”表示。

在要允许写入保护（写入锁定）时，使所述CS控制信号自所述第二逻辑电平跃迁至所述第三逻辑电平（+ \uparrow CS），并随后使所述CS控制信号自所述第三逻辑电平跃迁回所述第二逻辑电平（+ \downarrow CS）。如果在+ \uparrow CS与+ \downarrow CS跃迁期间的U/D控制信号逻辑电平不同，例如在+ \uparrow CS时U/D=1且在+ \downarrow CS时U/D=0，或在+ \uparrow CS时U/D=0且在+ \downarrow CS时U/D=1，则将允许所述写入保护锁定功能（将写入保护“WP”位设定（例如）成逻辑1）。

在要禁止写入保护（写入锁定）时，使所述CS控制信号自所述第二逻辑电平跃迁至所述第三逻辑电平（+ \uparrow CS），并随后使所述CS控制信号自所述第三逻辑电平跃迁回所述第二逻辑电平（+ \downarrow CS）。如果在+ \uparrow CS及+ \downarrow CS跃迁期间的U/D控制信号逻辑电平相同，例如在+ \uparrow CS时U/D=1且在+ \downarrow CS时U/D=1，或在+ \uparrow CS时U/D=0且在+ \downarrow CS时U/D=0，则将禁止所述写入保护锁定功能（将写入保护“WP”位清除（例如）成逻辑0）。

可利用任两个或更多个信号串行总线协议来改变一（或多个）参数值、将所述参数值写入至非易失性存储器中、及通过在所述两个或更多个信号串行总线中的至少一个上利用三个不同逻辑电平的任一组合来允许和禁止对所述非易失性存储器的写入保护，此仍涵盖并归属于本发明范围内。

所述集成电路装置可封装于一低引脚数封装（例如（举例而言）SOT-23-5、SOT-23-6、MSOP-8、SOIC-8及类似封装）中。

数字电位计及变阻器的实例更全面地阐述于由Brunolli等人的共同拥有的第6,201,491号美国专利中，该美国专利是在2001年3月13日所颁予并出于各种目的以引用方式并入本文中。

本发明的一技术优势是只使用两个信号节点来改变一装置参数、将所述装置参数写入至或不写入至非易失性存储器中、对所述非易失性存储器进行写入保护允许及禁止、及对所述集成电路装置进行装置选择。

另一技术优势是通过使用一更高的电压逻辑电平来允许及禁止对所述非易失性存储器的写入保护而使噪声容限更佳并使误触发减少。

另一技术优势是使对低引脚数封装中控制信号引脚的需要量最小化。

本发明的一技术特征是多功能控制信号，其以最少数量的不同控制信号以各种组合方式用于复数个控制功能。

结合附图阅读下文对出于揭示本发明的目的而给出的各实施例的说明将易知本发明的特征及优点。

附图说明

结合附图阅读下文说明可更全面地理解本发明揭示内容及其优点，在图式中：

图 1 图解说明一根据本发明一实例性具体实施例的集成电路装置的示意性方块图；

图 2 图解说明一数字变阻器的示意图，所述数字变阻器具有一个连接至电源 V_{SS} 的端部及可供用于连接至一外部电路的滑动片；

图 3 图解说明一数字变阻器的示意图，所述数字变阻器具有一个端部及可供用于连接至一外部电路的滑动片；

图 4 图解说明一数字电位计的示意图，所述数字电位计具有一连接至电源 V_{SS} 的第一端部、一第二端部及可供用于连接至一外部电路的滑动片；

图 5 图解说明一数字电位计的示意图，所述数字电位计具有第一及第二端部及可供用于连接至一外部电路的滑动片；

图 6 图解说明一根据本发明一实例性具体实施例用于递减一装置参数并将所述参数写入或不写入至非易失性存储器中的控制信号序列的示意信号图；

图 7 图解说明一根据本发明另一实例性具体实施例用于递增一装置参数并将所述参数写入或不写入至非易失性存储器中的控制信号序列的示意信号图；

图 8a-8c 图解说明用于允许对所述非易失性存储器的写入保护的示意信号图；及

图 9a-9c 图解说明用于禁止对所述非易失性存储器的写入保护的示意信号图。

虽然本发明易于得出各种修改及替代形式，但在图式中以举例方式显示并在文中详细说明其特定的实例性实施例。然而，应了解，本文对特定实施例的说明并非意欲将本发明限定于所揭示的特定形式，而是相反，本文意欲涵盖仍归属于由随附权利要求书所界定的本发明精神及范畴内的所有修改、等效及替代形式。

具体实施方式

本发明涉及一种通过使用一种只需要使用集成电路装置的两个信号节点的控制协议而使一集成电路装置递增及递减其参数并有选择地将所述参数保存于非易失性存储器中的方法、系统及设备。

现在参见图式，图中示意性地图解说明本发明各实例性实施例的细节。各图式中相同的元件将由相同的编号表示，且相似的元件将由带有一不同的小写字母后缀的相同的编号表示。

现在参见图 1，图中描绘一根据本发明一实例性具体实施例的集成电路装置的示意性方块图。所述集成电路装置一其总体上由编号 100 表示一可包括加电及电压降低控制 102、两线式接口及控制逻辑 104、滑动片控制（递增/递减）寄存器 106、非易失性存储器（例如 OTP EPROM、EEPROM 或 FLASH）108、及一装置参数 110（例如

数字变阻器、数字电位计、数字计数器、可编程增益放大器、模数 N 分频器、及数字-模拟转换器 (DAC) 及类似装置)。

加电及电压降低控制 102 确保装置在一已知条件下加电且在电源电压过低时将不实施逻辑及控制功能。

两线式接口及控制逻辑 104 适于接收控制信号, 其中每一控制信号均可处于两个逻辑电平 (例如一可处于与电源 V_{SS} 基本相同的电压的第一逻辑电平 (“0”) 及一可处于与电源电压 V_{DD} 基本相同的电压的第二逻辑电平 (“1”)) 之一。两线式接口及控制逻辑 104 检测所接收到的逻辑电平并且还可确定所述输入控制信号何时自第一逻辑电平跃迁至第二逻辑电平 (上升沿跃迁 “ \uparrow ”) 及自第二逻辑电平跃迁至第一逻辑电平 (下降沿跃迁 “ \downarrow ”)。可对由两线式接口及控制逻辑 104 所接收到的逻辑电平与信号跃迁方向的组合进行解码, 以用于选择装置、控制装置参数及有选择地将参数写入至非易失性存储器 108 中。可通过以两线式接口及控制逻辑 104 递减及递增寄存器 106 来控制所述装置参数。一芯片选择 (“CS”) 输入 112 可用于选择或允许装置 100。一上-下 (递增/递减) (“U/D”) 输入 114 可用于递增及递减装置参数 110。

现在参见图 2-5, 图中绘示根据本发明各实例性实施例的特定可变电阻装置的各种配置的示意图。一变阻器通常具有两个节点 A 及 W, 在这两个节点之间为一可调电阻。一电位计通常具有三个节点 A、B 及 W。A 为一顶部节点, B 为一底部节点而 W 为一耦接至电位计电阻的可调部分。图 2 中所描绘的变阻器 110a 的 B 节点连接至封装引脚 2 (V_{SS})、W 节点连接至装置 100 的封装引脚 5。图 3 中所描绘的变阻器 110b 的 A 节点连接至封装引脚 6、W 节点连接至装置 100 的封装引脚 5。图 4 中所描绘的电位计 110c 的 A 节点连接至封装引脚 6、W 节点连接至封装引脚 5 且 B 节点连接至装置 100 的封装引脚 2 (V_{SS})。图 5 中所描绘的电位计 110d 的 A 节点连接至封装引脚 3、W 节点连接至封装引脚 4 且 B 节点连接至装置 100 的封装引脚 6。 V_{DD} 及 V_{SS} 分别为每一装置 100 的电源及接地。

通过将 CS 输入 112 及 U/D 输入 114 上的逻辑电平与其跃迁方向相结合来确定装置参数 110 的装置 100 控制协议。现在参见图 6, 图中描绘一控制信号序列的示意性信号图, 所述控制信号序列用于递减一装置参数 110 并将参数 110 的值写入或不写入至非易失性 (NV) 存储器 108 中。在 602 时刻, U/D 输入 114 处于第一逻辑电平而 CS 输入 112 处于一从第二逻辑电平到第一逻辑电平的下降沿跃迁中。此向控制逻辑 104 表明只要 CS 输入 112 处于第一逻辑电平, 参数 110 就将在 U/D 输入 114 进行后续上升沿跃迁时递减。在 604、606 及 608 时刻, U/D 输入 114 具有一上升沿跃迁且参数 110 因此递减三个单位。然而, 存储于非易失性存储器 108 中的参数值仍保持为原始起始值 (X)。在 610 时刻, CS 输入 112 变回第二逻辑电平而 U/D 输入 114 处于第二逻辑电平。此使参数 110 的最后值 (X-3) 被写入至非易失性存储器 108 中。

在 612 时刻, U/D 输入 114 处于第一逻辑电平而 CS 输入 112 处于一从第二逻辑电平到第一逻辑电平的下降沿跃迁中。此向控制逻辑 104 表明只要 CS 输入 112 处于

第一逻辑电平，参数 110 就将在 U/D 输入 114 后续上升沿跃迁时递减。在 614、616 及 618 时刻，U/D 输入 114 具有一上升沿跃迁且参数 110 因此递减三个单位。在 620 时刻，CS 输入 112 变回第二逻辑电平而 U/D 输入 114 处于第一逻辑电平。此使得不向非易失性存储器 108 写入参数 110。因此，非易失性存储器 108 将保持最后所写入（在 610 处）的值（X-3）。

现在参见图 7，图中描绘一控制信号序列的示意性信号图，所述控制信号序列用于递增一装置参数 110 并将参数 110 的值写入或不写入至非易失性存储器 108 中。在 702 时刻，U/D 输入 114 处于第二逻辑电平而 CS 输入 112 处于一从第二逻辑电平到第一逻辑电平的下降沿跃迁中。此向控制逻辑 104 表明只要 CS 输入 112 处于第一逻辑电平，参数 110 就将在 U/D 输入 114 进行后续上升沿跃迁时递增。在 704、706 及 708 时刻，U/D 输入 114 具有一上升沿跃迁且参数 110 因此递增三个单位（X+3）。在 710 时刻，CS 输入 112 变回第二逻辑电平而 U/D 输入 114 处于第一逻辑电平。此使参数 110 的最后值（X+3）被写入至非易失性存储器 108 中。

在 712 时刻，U/D 输入 114 处于第二逻辑电平而 CS 输入 112 处于一从第二逻辑电平到第一逻辑电平的下降沿跃迁中。此向控制逻辑 104 表明只要 CS 输入 112 处于第一逻辑电平，参数 110 就将在 U/D 输入 114 进行后续上升沿跃迁时递增。在 714、716 及 718 时刻，U/D 输入 114 具有一上升沿跃迁且参数 110 因此递增三个单位。在 720 时刻，CS 输入 112 变回第二逻辑电平而 U/D 输入 114 处于第二逻辑电平。此使得不向非易失性存储器 108 中写入参数 110。因此，非易失性存储器 108 将保持最后所写入（在 710 处）的值（X+3）。

芯片选择、对装置参数 110 的递增及递减及对向一非易失性存储器 108 中写入参数 110 的值的独立控制是仅使用两个输入信号 CS 输入 112 及 U/D 输入 114 来实施的。本具体实例性实施例是当在 CS 输入 112 从第二逻辑电平变成第一逻辑电平（下降跃迁）并随后变回第二逻辑电平（上升跃迁）时 U/D 输入 114 处于不同逻辑电平时决定向非易失性存储器 108 进行写入，然而，本发明涵盖且其范围内包括可在 CS 输入 112 从第二逻辑电平变成第一逻辑电平并随后变回第一逻辑电平时 U/D 输入 114 处于相同逻辑电平时实施写入。此外，U/D 输入的下降跃迁可用于递增及递减参数 110 的值。

现在参见图 8a-8c，图中描绘用于允许对非易失性存储器的写入保护的控制信号序列的示意性信号图。在图 8a 中，CS 输入 112 及 U/S 输入 114 二者均处于第二逻辑电平。在 802a 时刻，CS 输入 112 处于一从第二逻辑电平到一第三逻辑电平（第三逻辑电平处于一高于第二逻辑电平的电压）的上升沿跃迁中。在 804a 时刻，CS 输入 112 处于一从第三逻辑电平至第二逻辑电平的下降沿跃迁中而 U/D 输入 114 处于第一逻辑电平。因 U/D 输入 114 的逻辑电平在 802a 时刻与 804a 时刻有所不同，故允许对非易失性存储器的写入保护。因装置参数 110 在 802a 时刻与 804a 时刻之间尚未发生变化，故非易失性存储器 108 的内容保持不变。

在图 8b 中，CS 输入 112 及 U/D 输入 114 二者均处于第二逻辑电平。在 802b 时

刻，CS 输入 112 处于一从第二逻辑电平至第三逻辑电平的上升沿跃迁中。在 804b 时刻，CS 输入 112 处于一从第三逻辑电平到第二逻辑电平的下降沿跃迁中而 U/D 输入 114 处于第一逻辑电平。因 U/D 输入 114 的逻辑电平在 802b 时刻与 804b 时刻有所不同，故允许对非易失性存储器的写入保护。因在 802b 时刻与 804b 时刻之间装置参数 110 已增大（例如递增）了 N 个单位，故将非易失性存储器 108 的内容更新为新参数值。

在图 8c 中，CS 输入 112 处于第二逻辑电平而 U/D 输入 114 处于第一逻辑电平。在 802c 时刻，CS 输入 112 处于一从第二逻辑电平到第三逻辑电平的上升沿跃迁中。在 804c 时刻，CS 输入 112 处于一从第三逻辑电平到第二逻辑电平的下降沿跃迁中而 U/D 输入 114 处于第二逻辑电平。因 U/D 输入 114 的逻辑电平在 802c 时刻与 804c 时刻有所不同，故允许对非易失性存储器的写入保护。因在 802c 时刻与 804c 时刻之间装置参数 110 已减小（例如递减）了 N 个单位，故将非易失性存储器 108 的内容更新为所述新参数值。

现在参见图 9a-9c，图中描绘用于禁止对非易失性存储器的写入保护的信号序列的示意性信号图。在图 9a 中，CS 输入 112 及 U/D 输入 114 二者均处于第二逻辑电平。在 902a 时刻，CS 输入 112 处于一从第二逻辑电平到第三逻辑电平的上升沿跃迁中。在 904a 时刻，CS 输入 112 处于一从第三逻辑电平到第二逻辑电平的下降沿跃迁中而 U/D 输入 114 保持处于第二逻辑电平。因 U/D 输入 114 的逻辑电平在 902a 时刻与 904a 时刻相同，故禁止对非易失性存储器的写入保护。因装置参数 110 在 902a 时刻与 904a 时刻之间未发生变化，故非易失性存储器 108 的内容保持不变。

在图 9b 中，CS 输入 112 及 U/D 输入 114 二者均处于第二逻辑电平。在 902b 时刻，CS 输入 112 处于一从第二逻辑电平到第三逻辑电平的上升沿跃迁中。在 904b 时刻，CS 输入 112 处于一从第三逻辑电平到第二逻辑电平的下降沿跃迁中而 U/D 输入 114 保持处于第二逻辑电平。因 U/D 输入 114 的逻辑电平在 902b 时刻与 904b 时刻相同，故禁止对非易失性存储器的写入保护。因装置参数 110 在 902b 时刻与 904b 时刻之间已增大（例如递增）了 N 个单位，故将非易失性存储器 108 的内容更新为所述新参数值。

在图 9c 中，CS 输入 112 处于第二逻辑电平而 U/D 输入 114 处于第一逻辑电平。在 902c 时刻，CS 输入 112 处于一从第二逻辑电平到第三逻辑电平的上升沿跃迁中。在 904c 时刻，CS 输入 112 处于一从第三逻辑电平到第二逻辑电平的下降沿跃迁中而 U/D 输入 114 保持处于第一逻辑电平。因 U/D 输入 114 的逻辑电平在 902c 时刻与 904c 时刻相同，故禁止对非易失性存储器的写入保护。因装置参数 110 在 902c 时刻与 904c 时刻之间已减小（例如递减）了 N 个单位，故将非易失性存储器 108 的内容更新为所述新参数值。

可利用任两个或更多个信号串行总线协议来改变一（或多个）参数值、将所述参数值写入至非易失性存储器中、及通过在所述两个或更多个信号串行总线中的至少一

个上利用三个不同逻辑电平的任一组合来允许和禁止对所述非易失性存储器的写入保护，此仍涵盖及归属于本发明的范畴内。

因此，本发明很适于实现所述目的及达成所述目标及优点以及其中所固有的其它目标及优点。虽然是参照本发明的实例性实施例来描绘、说明及界定本发明，但此种参照并不意味着限定本发明，且不应推断出存在此种限定。本发明能够在形式及功能上具有大量修改、替代及等效形式，相关领域的技术人员根据本揭示内容将会联想到这些修改、替代及等效形式。所示及所述的本发明各实施例仅作为实例性实施例，而并非是对本发明范围的穷尽性说明。因此，本发明旨在仅受随附权利要求书的精神及范围限定，从而对各个方面的等效形式予以充分认知。

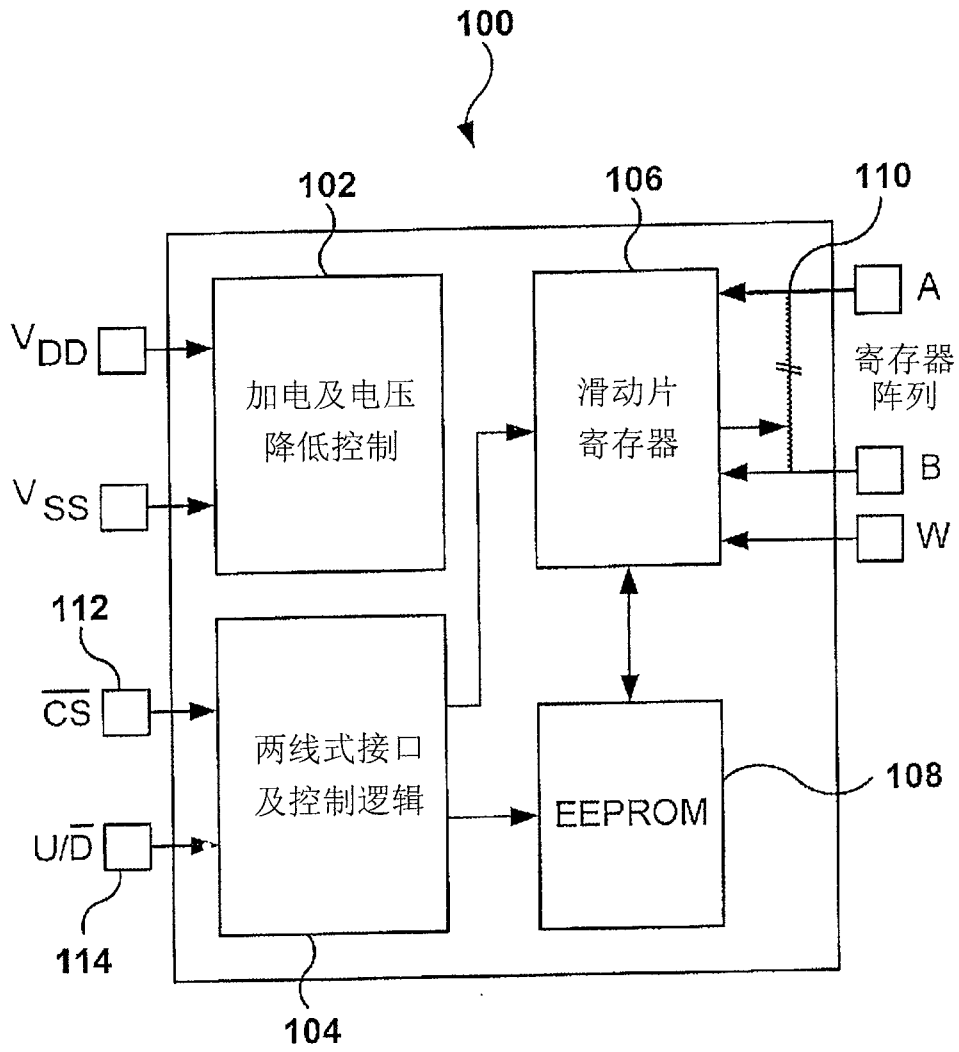


图 1

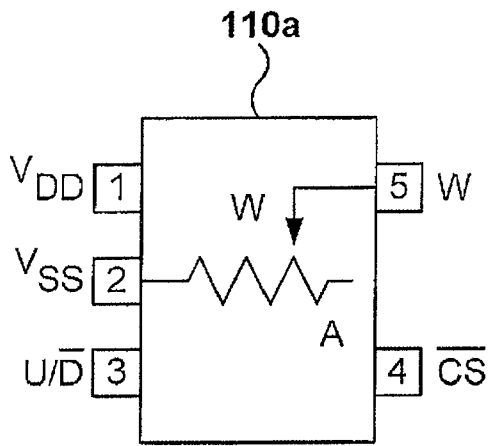


图 2

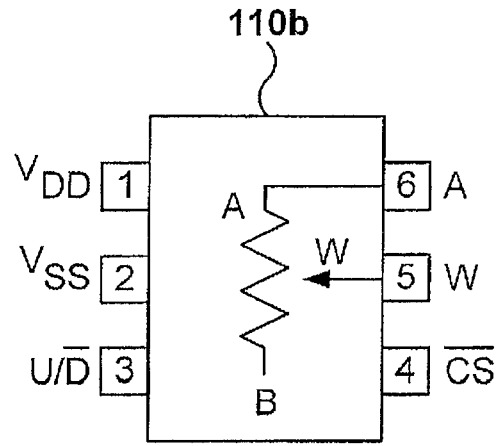


图 3

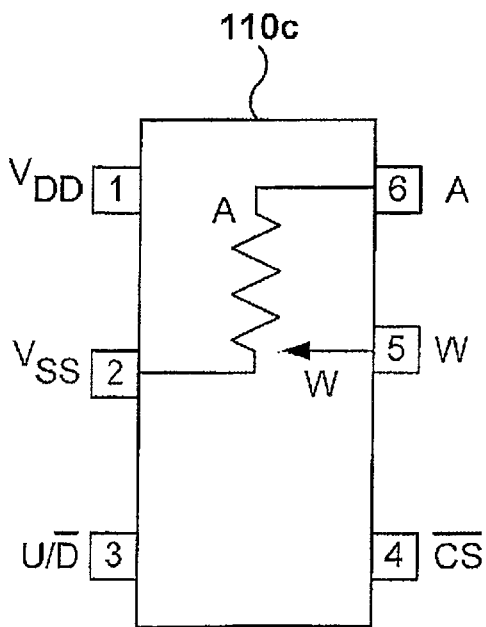


图 4

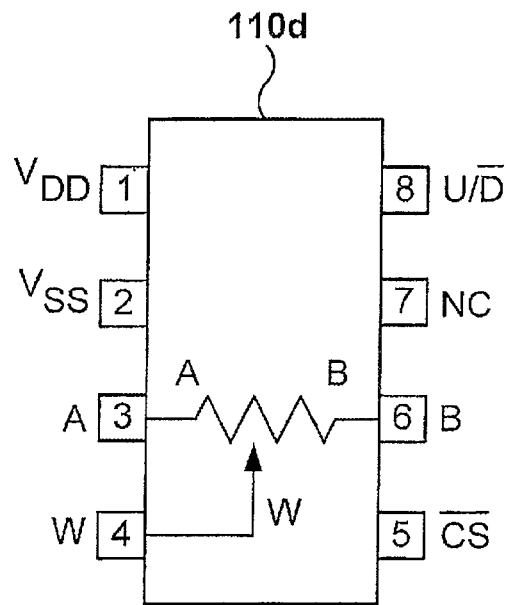


图 5

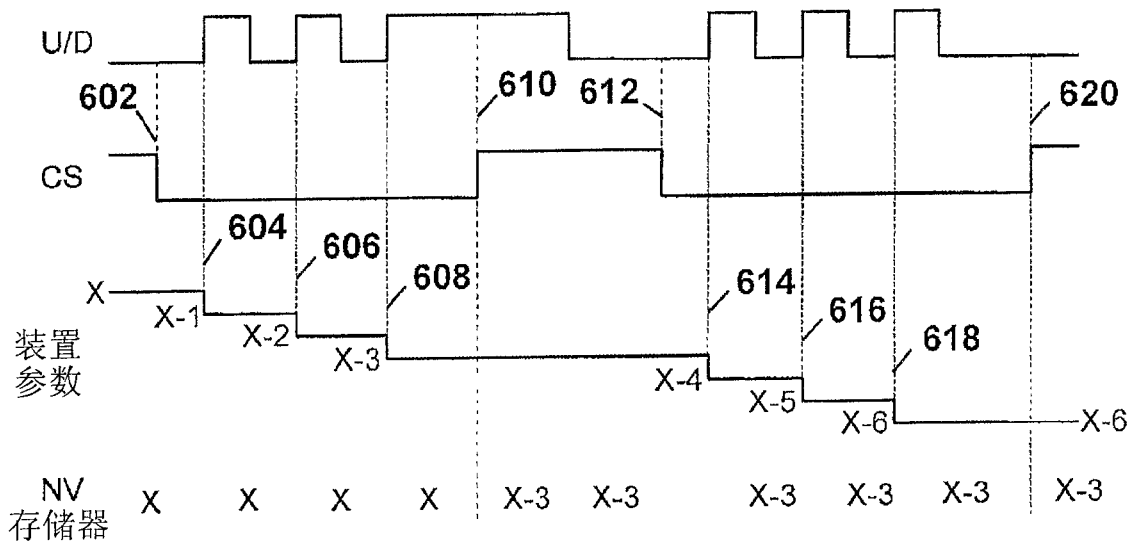


图 6

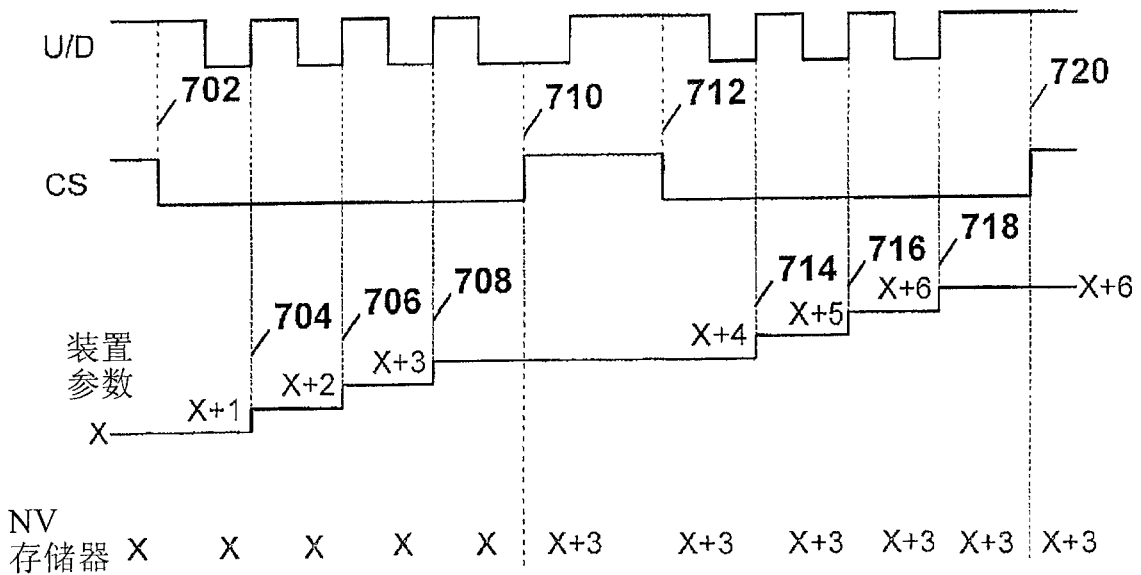


图 7

