



Teilweise bestätigt gemäß § 18 Absatz 1
Patentgesetz der DDR vom 27.10.1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 K 5/153
H 03 M 1/12

DEUTSCHES PATENTAMT

(21) DD H 03 K / 268 028 0 (22) 05.10.84 (45) 10.10.90
(44) 18.09.85

(71) VEB Zentrum Wissenschaft und Technik, Psf. 969, Dresden, 8060, DD
(72) Krauspe, Bodo, Dipl.-Ing., DD

(54) Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung

(55) Schaltungsanordnung; Erkennung; analoges Eingangssignal; Analog-Digital-Umsetzung; Kanalbelegungsanzeige; digitales Übertragungssystem; Signalverarbeitung; Auswertung; Auswertelogik; höherwertiges Bit; niederwertiges Bit
(57) Die Erfindung betrifft eine Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung und kann als Kanalbelegungsanzeige bei digitalen Übertragungssystemen angewendet werden. Ziel der Erfindung ist es, eine einfache und zuverlässige Schaltungsanordnung zur Auswertung analoger Eingangssignale bei Analog/Digital-Umsetzung anzugeben, welche mit geringem Aufwand im Verhältnis zu bekannten analogen Signalverarbeitungsschaltungen auskommt. Es besteht die Aufgabe, eine Schaltungsanordnung auf der digitalen Seite anzugeben, die analoge Eingangssignale in allen möglichen Betriebszuständen erkennt. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß ausgangsseitig des Analog/Digital-Umsetzers ein höherwertiges und ein niederwertiges Bit abgegriffen werden und einer nachgeschalteten Auswerteschaltung in Form einer logischen Verknüpfung zugeführt werden. Der logischen Verknüpfung ist nachfolgend ein Monoflop zugeordnet, an dessen Ausgang die Anzeige des entsprechenden Zustandes des analogen Eingangssignals in Form von Anzeigeelementen oder einer zusätzlichen Verwertungsschaltung erfolgen kann. Fig. 1

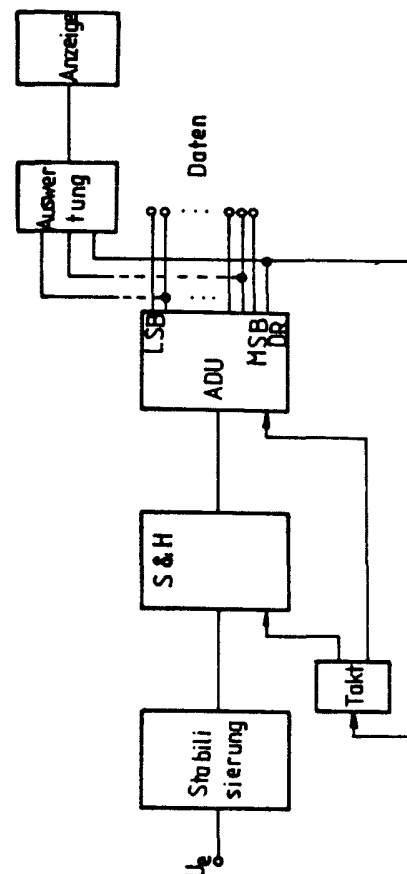


Fig. 1

Patentansprüche:

1. Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog-Digital-Umsetzung auf der digitalen Seite, wobei das analoge Eingangssignal über eine Sample & Hold-Stufe mit nachgeschaltetem Analog-Digital-Umsetzer gewandelt und weiterverarbeitet wird sowie eine Auswertelogik angeordnet ist und sowohl die Sample & Hold-Stufe, als auch der Analog-Digital-Umsetzer getaktet sind, **gekennzeichnet dadurch**, daß ausgangsseitig des Analog-Digital-Umsetzers ein höherwertiges Bit und ein niederwertiges Bit abgegriffen und mit der Auswertelogik verbunden sind.
2. Schaltungsanordnung zur Erkennung analoger Eingangssignale gemäß Anspruch 1, **gekennzeichnet dadurch**, daß das niederwertige Bit und das höherwertige Bit je auf einen Eingang eines NAND-, NOR-, AND- oder OR-Gatters geführt wird, dessen dritter Eingang entweder mit dem DATA READY-Ausgang des Analog-Digital-Umsetzers oder der Betriebsspannung verbunden ist und daß der Ausgang des NAND- oder NOR-Gatters mit einer Auswerteschaltung sowie nachgeschalteter Anzeige oder Verwertungsschaltung verbunden ist.
3. Schaltungsanordnung zur Erkennung analoger Eingangssignale gemäß Anspruch 1, **gekennzeichnet dadurch**, daß eine Gleichspannungsstabilisierungsschaltung vor dem Analog-Digital-Umsetzer angeordnet ist.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog-Digital-Umsetzung und kann als Kanalbelegungsanzeige bei digitalen Übertragungssystemen angewendet werden, wobei Analogsignale des gesamten Frequenzspektrums, welche in digital kodierte Signale gewandelt werden, erfaßt sind.

Charakteristik des bekannten Standes der Technik

Es sind Überwachungsschaltungen von Impulsfolgen bekannt, welche Abweichungen von der normalen Arbeitsweise anzeigen bzw. den laufenden Prozeß unverzüglich stoppen. Da es bei einer Impulsfolge von Anfang an nicht sicher ist, bei welchem Signalzustand der Ausfall eintritt, werden Überwachungsschaltungen benötigt, welche auf beide Signalzustände (Low und High) reagieren. Derartige Schaltungen arbeiten nach dem Prinzip des periodischen Umladens eines Kondensators, wobei dessen Ladezustand durch einen Amplitudendiskriminator ständig überwacht wird. Dabei sind zwei unabhängige Diskriminatoren angeordnet, deren Ausgangssignale in einem NAND-Gatter verknüpft sind, wobei ein Diskriminator den Ausfall nach einer High/Low-Flanke und der andere Diskriminator den Ausfall nach einer Low/High-Flanke anzeigt. Aus der DD-PS 210377 ist eine weitere Schaltungsanordnung zur Überwachung digitaler Impulsfolgen bekannt. Bei dieser Lösung wird von dem Prinzip eines zu einem Kondensator parallelgeschalteten Schalters, der von der zu überwachenden Impulsfolge gesteuert wird und einer nachgeschalteten Schwellertschaltung ausgegangen.

Bei beiden Schaltungsanordnungen ist nachteilig, daß sie nur zur Überwachung serieller Impulsfolgen geeignet sind und keine Erkennung von Daten gestatten. Es ist lediglich ein Erkennen bestimmter Datengruppen möglich. Ändern sich diese Datengruppen, so muß auch die entsprechende Schaltungsanordnung, insbesondere durch entsprechende Kondensatordimensionierung angepaßt werden.

Weiterhin ist aus der DD-PS 151517 eine Schaltungsanordnung zur Pegelüberwachung, insbesondere zur Kontrolle und Überwachung bestimmter Grenzwerte von Strömen und Spannungen bekannt. Dabei sollen die Hysterese vom eingestellten Arbeitspunkt eines Operationsverstärkers sowie der Einfluß der unterschiedlichen Operationsverstärker-Sättigungsspannungen und der Betriebsspannungsschwankungen vermieden werden. Hierbei handelt es sich um eine analoge Überwachungsschaltung, wobei in Abhängigkeit von einer zu überwachenden Eingangsspannung an einem Operationsverstärker das Überschreiten eines oberen Ansprechpunktes angezeigt und ein unterer Ansprechpunkt festgelegt wird, bei dessen Unterschreiten durch die Eingangsspannung der Operationsverstärker wieder in den Ausgangszustand umschaltet. Nachteilig ist hierbei, daß diese Lösung lediglich eine rein analoge Signalerkennung ermöglicht. Hinzu kommt, daß Analogschaltungen relativ aufwendig sind, um die notwendige Konstanz der Schaltschwellen zu gewährleisten.

Aus der DE-OS 2244118 ist schließlich eine Aussteuerungskontrolle und -anzeige für einen Analog-Digital-Wandler bekannt, der auf der Digitalseite angeordnet ist derart, daß alle Bits am Ausgang des Analog-Digital-Wandlers parallel herausgeführt und mit einer logischen Auswerteschaltung verbunden sind. Über ein LED-Leuchtbild wird dann die eingangsseitige Aussteuerung angezeigt, wobei insbesondere zum Meßbereichsende eine Dehnung erfolgt. Diese Aussteueranzeige kann jedoch immer nur die Belegung der entsprechend vorgegebenen Ausgangsbits beginnend vom MSB bis zum LSB anzeigen. Andere mögliche Varianten können nicht erkannt werden.

Ziel der Erfindung

Ziel der Erfindung ist es, eine einfache und zuverlässige Schaltungsanordnung zur Auswertung analoger Eingangssignale bei Analog-Digital-Umsetzung anzugeben, welche mit geringem Aufwand im Verhältnis zu bekannten analogen Signalverarbeitungsschaltungen auskommt.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung auf der digitalen Seite anzugeben, die analoge Eingangssignale in allen möglichen Betriebszuständen erkennt.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß ausgangsseitig eines Analog-Digital-Umsetzers ein niederwertiges Bit und ein höherwertiges Bit abgegriffen werden und einer nachgeschalteten Auswerteschaltung in Form einer logischen Verknüpfung zugeführt werden. Der logischen Verknüpfung ist nachfolgend ein Monoflop zugeordnet, an dessen Ausgang die Anzeige des entsprechenden Zustandes des analogen Eingangssignals in Form von Anzeigeelementen (z. B. LED) oder einer zusätzlichen Verwertungsschaltung erfolgen kann.

Das niederwertige Bit wird nach der geringsten anzuzeigenden analogen Signalamplitude ausgewählt, derart, daß eine kleine Amplitude ein niederwertiges Bit erfordert. Ausgegangen wird dabei von der Mittenspannung, welche durch die Stabilisierung der Gleichspannungskomponente festgelegt wird. Bei Auslenkung des analogen Eingangssignals kommt es zu einer Änderung der Zustände der ausgangsseitigen Bits des Analog-Digital-Umsetzers. Jeweils ein höherwertiges und ein niederwertiges Bit ergeben, über eine logische Schaltung verknüpft, das Kriterium, welches zur Auswertung und Aussage über den Zustand des analogen Eingangssignals herangezogen und angezeigt wird. Die Art der logischen Verknüpfung zur Auswertung erfolgt in Abhängigkeit vom zuvor definierten Ausgangszustand des höherwertigsten Bits.

Ausführungsbeispiel

Die Erfindung soll an nachstehendem Ausführungsbeispiel näher erläutert werden. Die zugehörigen Zeichnungen zeigen:

Fig. 1: Blockschaltbild der Analog-Digital-Umsetzungsschaltung mit einem Analog-Digital-Umsetzer bei sukzessiver Approximation oder kaskadierter Umwandlung

Fig. 2: Blockschaltbild der Analog-Digital-Umsetzungsschaltung mit einem Analog-Digital-Umsetzer bei Parallel-Umsetzung

Fig. 3a: Beispiel der Auswertung mittels NAND-Gatters und Anzeige

Fig. 3b: Beispiel der Auswertung mittels NOR-Gatters und Anzeige.

Gemäß Fig. 1 gelangt das analoge Eingangssignal bei einem nach dem Verfahren der sukzessiven Approximation oder einer kaskadierten Umwandlung arbeitenden Analog-Digital-Umsetzer zunächst zu einer genauen Stabilisierung der Gleichspannungskomponente und anschließend über eine Sample & Hold-Stufe zum Analog-Digital-Umsetzer ADU. Der Analog-Digital-Umsetzer und die Sample & Hold-Stufe sind getaktet. Die Stabilisierung der Gleichspannungskomponente kann über einen an sich bekannten Spannungsteiler erfolgen. Ausgangsseitig des Analog-Digital-Umsetzers werden ein niederwertiges Bit (LSB) und ein höherwertiges Bit (MSB) sowie der DATA READY-Ausgang des Analog-Digital-Umsetzers zur Auswertung und Anzeige nach Fig. 3a oder 3b herangezogen. Der DATA READY-Ausgang ist weiterhin auf die Takterzeugung geführt. Bei Analog-Digital-Umsetzung mit einem Analog-Digital-Umsetzer bei Parallelumsetzung gemäß Fig. 2 entfällt die Sample & Hold-Stufe. Das analoge Eingangssignal gelangt über eine Stabilisierungsschaltung der Gleichspannungskomponente auf den Analog-Digital-Umsetzer. Ausgangsseitig des Analog-Digital-Umsetzers werden ein niederwertiges Bit (LSB) und ein höherwertiges Bit (MSB) auf eine Auswerte- und Anzeigeschaltung nach Fig. 3a oder 3b geführt.

In Abhängigkeit vom zuvor definierten Ausgangszustand des höchstwertigen Bits (1. MSB) gibt es drei Möglichkeiten der Auswertung:

1. Wenn der Ausgangszustand des höchstwertigen Bits (1. MSB) als High definiert wird, erfolgt die Auswertung über ein NAND- oder AND-Gatter gemäß Fig. 3a.
2. Wenn der Ausgangszustand des höchstwertigen Bits (1. MSB) als Low definiert wird, erfolgt die Auswertung über ein NOR- oder OR-Gatter gemäß Fig. 3b.
3. Kombinationen der Auswertelogik aus NAND/AND- und NOR/OR-Gatter.

Beim Aufbau der Auswertelogik mittels NAND-Gatters gemäß Fig. 3a werden eingangsseitig jeweils ein höherwertiges Bit (MSB) und ein niederwertiges Bit (LSB) angelegt. Je nach Arbeitsweise des Analog-Digital-Umsetzers wird der 3. Eingang des NAND-Gatters bei einem Analog-Digital-Umsetzer mit Parallel-Umsetzung mit der Betriebsspannung (Stellung a) oder bei einem Analog-Digital-Umsetzer mit sukzessiver Approximation mit dem DATA READY-Ausgang des Analog-Digital-Umsetzers (Stellung b) belegt. Ausgangsseitig des NAND-Gatters ist ein Monoflop angeordnet, mit nachgeschalteter Anzeige.

Beim Aufbau der Auswertelogik mittels NOR-Gatters gemäß Fig. 3b werden eingangsseitig jeweils ein höherwertiges Bit (MSB) und ein niederwertiges Bit (LSB) angelegt. Je nach Arbeitsweise des Analog-Digital-Umsetzers entfällt der 3. Eingang des NOR-Gatters oder er wird bei einem Analog-Digital-Umsetzer mit Parallelumsetzung mit der Betriebsspannung invertiert (Stellung a) bzw. bei einem Analog-Digital-Umsetzer mit sukzessiver Approximation mit dem DATA READY-Ausgang des Analog-Digital-Umsetzers (Stellung b) belegt. Ausgangsseitig des NOR-Gatters ist ein Monoflop angeordnet mit nachgeschalteter Anzeige. Sollte bei Verwendung von höherwertigen Bits nicht das höchstwertigste Bit (1. MSB) verwendet werden, so muß bei den gezeigten Beispielen zwischen der Abtastung und der logischen Verknüpfung eine Negation erfolgen. Es besteht weiterhin die Möglichkeit, als Auswertelogik eine Kombination von NAND/AND- und NOR/OR-Gattern zu verwenden. Identisch umgeformte Verknüpfungen sind weiterhin verwendbar. Andererseits sind ebenfalls logische Verknüpfungen wie Inhibition, Implikation usw. einsetzbar.

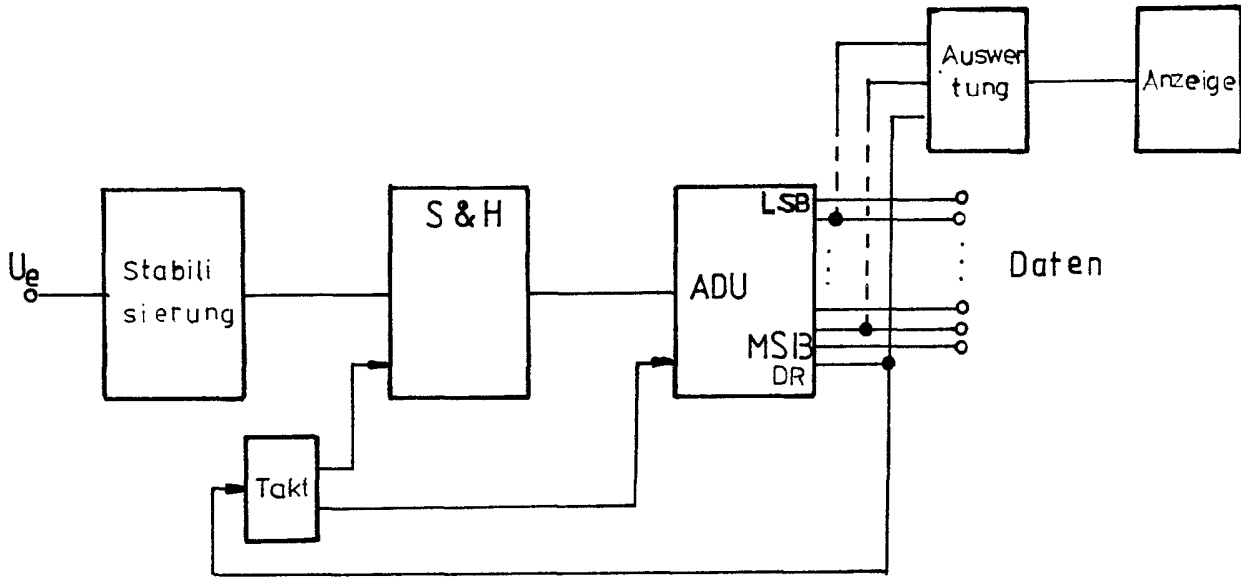


Fig. 1

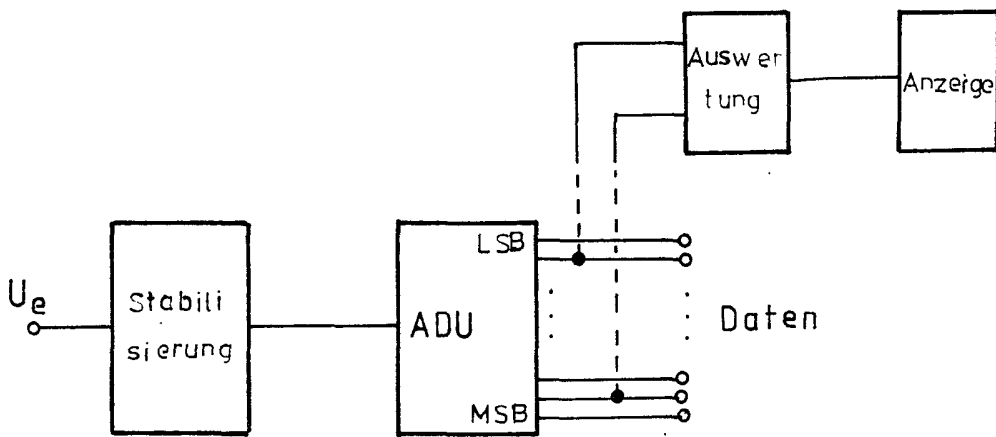


Fig. 2

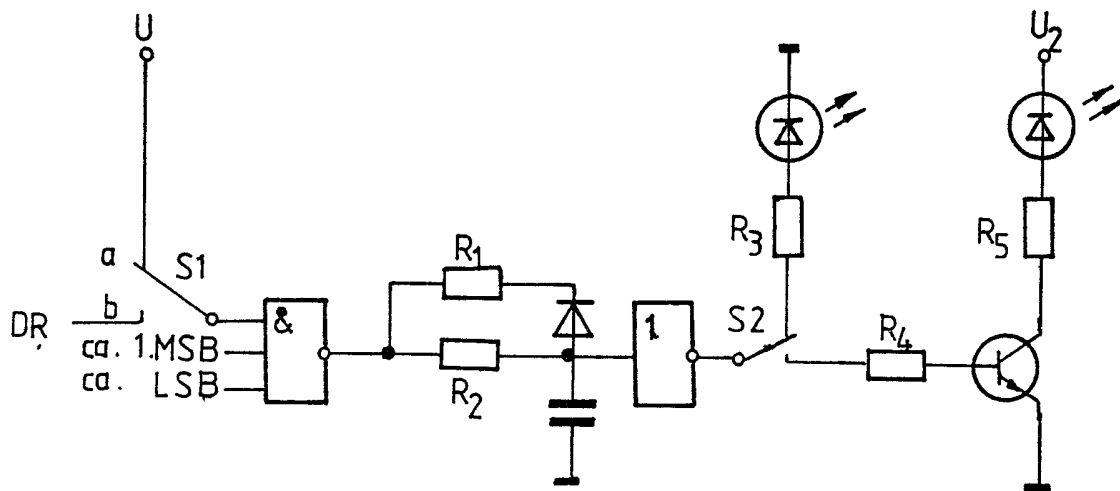


Fig. 3a

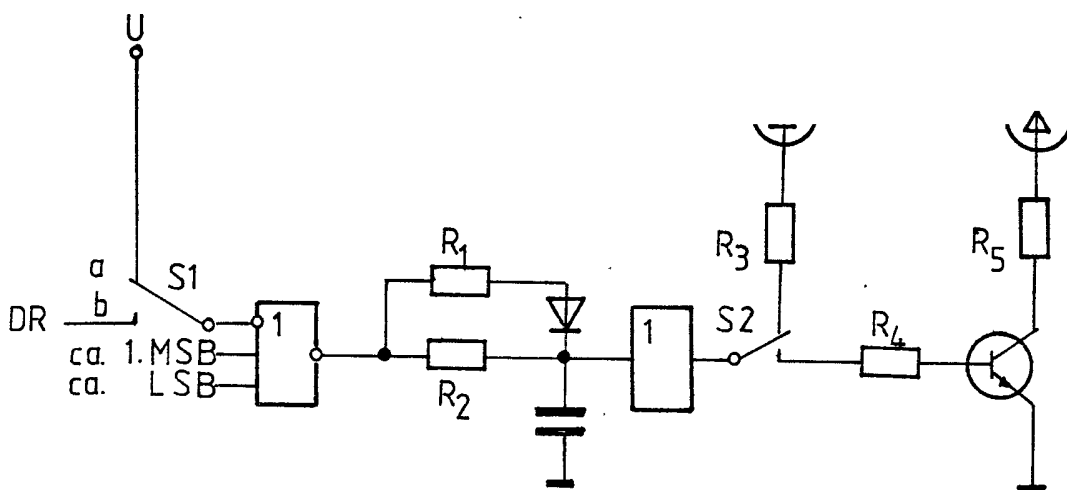


Fig. 3b