(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6687130号
(P6687130)
(45)発行日　令和2年4月22日(2020.4.22)　(24)登録日　令和2年4月6日(2020.4.6)

(51)Int.Cl.　F I
G01C 19/5776 (2012.01)　G01C 19/5776

請求項の数 15　(全 38 頁)

(21)出願番号　特願2018-559388(P2018-559388)
(86)(22)出願日　平成29年5月11日(2017.5.11)
(65)公表番号　特表2019-515304(P2019-515304A)
(43)公表日　令和1年6月6日(2019.6.6)
(86)国際出願番号　PCT/IB2017/000547
(87)国際公開番号　WO2017/195020
(87)国際公開日　平成29年11月16日(2017.11.16)
審査請求日　平成30年12月26日(2018.12.26)
(31)優先権主張番号　20165403
(32)優先日　平成28年5月11日(2016.5.11)
(33)優先権主張国・地域又は機関
フィンランド(FI)

(73)特許権者　000006231
株式会社村田製作所
京都府長岡京市東神足１丁目１０番１号
(74)代理人　100189430
弁理士　吉川　修一
(74)代理人　100190805
弁理士　傍島　正朗
(72)発明者　コリン・ラウリ
フィンランド共和国、３３９５０　ピルッカラ、パートランティエ　１０　ビー　６
(72)発明者　ユガ・コンスタ
フィンランド共和国、００４３０　ヘルシンキ、マウヌンネヴァンティエ　４１　ビー

最終頁に続く

(54)【発明の名称】力フィードバック機能を備えた二次センスループ

(57)【特許請求の範囲】
【請求項１】
ＭＥＭＳジャイロスコープ用の二次ループであって、
二次質量と前記二次質量の運動を検出する複数の電極を備える二次要素と、
前記二次要素から前記二次質量の検出運動を表すアナログ検出信号を受信し、アナログ二次入力信号を提供するように構成されている二次アナログフロントエンド回路と、
前記アナログ二次入力信号を受信し、アナログ力フィードバック信号を提供するように構成されているデジタル二次ループ回路と、
前記アナログ力フィードバック信号を受信し、受信した前記アナログ力フィードバックを用いて前記二次質量の動きに対する減衰力を引き起こすように構成されているアナログバックエンド回路とを備え、
前記デジタル二次ループ回路は、
信号経路であり、機械的共振器の検出運動を表す前記アナログ二次入力信号を受け取り、前記ＭＥＭＳジャイロスコープが受ける角速度を示す出力信号を供給するように構成されている信号経路と、
前記アナログ二次入力信号を入力において受け取り、前記アナログ力フィードバック信号を出力するように構成されているデジタル力フィードバック回路とを備え、
前記デジタル力フィードバック回路は、
前記少なくとも１つの機械的共振器の共振周波数周辺の周波数において前記デジタル二次ループ回路の位相応答の微分が低減されるように、前記デジタル二次ループ回路の応答

関数を調整することによって、前記二次ループの動作を安定化するように構成されており、

前記信号経路および前記デジタル力フィードバック回路は、

前記アナログ二次入力信号を入力において受け取り、前記アナログ二次入力信号をデジタル化二次信号にデジタル化するように構成されているアナログ－デジタル変換器と、

前記デジタル化二次信号を入力において受けとり、前記共振周波数において前記デジタル化二次信号に対する－９０度の位相シフトを引き起こし、出力において位相シフトデジタル化二次信号を提供するように構成されているデジタルローパス無限インパルス応答フィルタとを備え、

前記デジタル力フィードバック回路は、さらに、

前記位相シフトデジタル化二次信号を前記アナログ力フィードバック信号に変換するように構成されたデジタル－アナログ変換器を備える、

二次ループ。

【請求項２】

前記デジタル二次ループ回路は、前記ＭＥＭＳジャイロスコープの二次要素から受信した信号を増幅するように構成された前記二次アナログフロントエンド回路から前記アナログ二次入力信号を受信するように構成される、請求項１に記載の二次ループ。

【請求項３】

前記デジタル二次ループ回路は、中間アナログ増幅回路なしで前記ＭＥＭＳジャイロスコープの前記二次要素から前記アナログ二次入力信号を受信するように構成される、請求項１～２のいずれか一項に記載の二次ループ。

【請求項４】

前記デジタルローパス無限インパルス応答フィルタのフィルタ係数は、前記デジタルローパス無限インパルス応答フィルタの公称周波数を、前記ＭＥＭＳジャイロスコープの前記機械的共振器の前記共振周波数と一致させるように調整されるように構成される、請求項１～３のいずれか一項に記載の二次ループ。

【請求項５】

前記デジタル力フィードバック回路は、

前記位相シフトデジタル化二次信号の位相遅延をさらに調整するように構成された二次遅延補償回路と、

前記位相シフトデジタル化二次信号の振幅を制御するように構成された力フィードバック利得制御回路と

のうちの少なくとも一方をさらに備える、請求項１～４のいずれか一項に記載の二次ループ。

【請求項６】

前記アナログ－デジタル変換器は、ノイズシェーピングオーバーサンプリングアナログ－デジタル変換器であり、

前記デジタル－アナログ変換器はノイズシェーピングオーバーサンプリングデジタル－アナログ変換器である、請求項１～５のいずれか一項に記載の二次ループ。

【請求項７】

前記アナログ－デジタル変換器は、

離散時間シグマデルタアナログ－デジタル変換器、および

連続時間シグマデルタアナログ－デジタル変換器

のいずれか一方である、請求項６に記載の二次ループ。

【請求項８】

前記アナログ－デジタル変換器は、前記ＭＥＭＳジャイロスコープの前記機械的共振器の前記共振周波数において、前記変換器の量子化ノイズ伝達関数にノッチを有するように構成された三次アナログ－デジタル変換器である、請求項７に記載の二次ループ。

【請求項９】

前記デジタル二次ループ回路は、前記二次ループの動的応答を制御し、前記アナログバ

ックエンド回路と前記二次アナログフロントエンド回路との間に生じる交差結合を補償するように構成された交差結合補償フィードバックループをさらに含む、請求項１～７のいずれか一項に記載の二次ループ。

【請求項１０】

前記デジタル二次ループ回路は、フィルタリングされたデジタル化一次信号から生成された少なくとも１つのデジタル復調信号を使用して、前記位相シフトデジタル化二次信号をダウンコンバートするように構成されるコヒーレント検出器回路をさらに備える、請求項１～８のいずれか一項に記載の二次ループ。

【請求項１１】

前記デジタル二次ループ回路は、直交補償制御回路であって、前記コヒーレント検出器回路によって供給される前記二次信号の直交成分を積分し、前記直交補償制御回路の出力において、積分された直交成分信号を供給するように構成されている、直交補償制御回路と、

前記積分された直交成分信号を、前記アナログ直交補償信号を、前記二次要素に向けて供給するためにアナログバックエンド回路に提供するのに適したアナログ直交位相補償信号に変換するように構成されている、第２のデジタル－アナログ変換器と

をさらに備える、請求項１０に記載の二次ループ。

【請求項１２】

前記デジタル二次ループ回路は、前記ＭＥＭＳジャイロスコープの駆動ＡＣ信号に対応する一次オフセット補償信号を受信するように構成されており、前記デジタル二次ループ回路は、前記デジタル化二次信号内の一次ループ誘導オフセットを相殺するように構成されたオフセット補償回路をさらに備え、前記オフセット補償回路は、

前記一次オフセット補償信号に対して調整可能な時間遅延を生じさせるように構成されるデジタル遅延回路と、

前記デジタル遅延回路によって遅延された前記一次オフセット補償信号に温度依存較正係数を適用する乗算器回路と、

前記デジタル二次ループ回路内に配置されている加算回路であって、前記加算回路は、前記デジタル化二次信号から前記一次オフセット補償信号を減算するように構成されている、加算回路と

を備える、請求項１～１１のいずれか一項に記載の二次ループ。

【請求項１３】

前記二次ループのすべてのデジタル回路は、同じサンプリングレートを使用するように構成される、請求項１～１２のいずれか一項に記載の二次ループ。

【請求項１４】

請求項１～１３のいずれか一項に記載の二次ループを備える、微小電気機械ジャイロスコープ用のデジタルコントローラ。

【請求項１５】

請求項１～１３のいずれか一項に記載の二次ループを備える、微小電気機械ジャイロスコープ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、微小電気機械（ＭＥＭＳ）ジャイロスコープに関し、特に、微小電気機械ジャイロスコープ用のデジタルコントローラに関し、デジタルコントローラは、力フィードバック機能を有する二次センスループを実装する。

【背景技術】

【０００２】

運動は、３つの直交方向の並進および３つの直交する軸を中心とした回転の、６つの自由度を有すると考えることができる。後者の３つ、すなわち３つの直交する軸を中心とした回転は、ジャイロスコープとしても知られる角速度センサによって測定することができ

る。ＭＥＭＳジャイロスコープは、コリオリ効果を使用して角速度を測定する。質量が一方向に駆動され、従動軸に直交する軸を中心として回転角速度が加えられると、質量はコリオリの力の結果として従動軸と回転軸の両方に対して直交方向の力を受ける。コリオリの力によって引き起こされる結果的な物理的変位を、その後、例えば容量性、圧電性またはピエゾ抵抗性の感知構造から読み取ることができる。

【０００３】

ＭＥＭＳジャイロスコープでは、適切なベアリングの欠如に起因して、角運動量の保存に基づく従来のもののように、一次運動は通常、連続的な回転ではない。代わりに、機械的振動を一次運動として使用することができる。振動ジャイロスコープが角運動を受けると、波状のコリオリの力が生じる。これは、一次運動に、および角運動の軸に直交する、一次振動の周波数における二次振動を生成する。この結合された振動の振幅は、角運動の測度として使用することができる。

【０００４】

微小電気機械ジャイロスコープは、本体と、慣性基準フレーム内に少なくとも２つの自由度を有する少なくとも１つの慣性要素とを備えることができる。慣性要素は、例えば、第１の方向における振動一次運動のために本体に懸架された、一次要素とも呼ばれる駆動要素と、二次要素またはコリオリ要素とも呼ばれるセンス要素であって、センス要素を振動二次運動において運動させる、第２の方向における直交するコリオリ力成分を受け取るための、センス要素とを備えることができる。他方では、第１の方向における一次運動、別の方向における二次運動を有するように構成された単一の慣性要素が使用されてもよく、この慣性要素は、第３の方向における回転運動のためにも構成される。

【０００５】

質量ばね構造が、典型的には、その構造の共振周波数と呼ばれる、他の周波数よりも振幅の大きい何らかの周波数で自然に振動することによって、共振または共振挙動を示す。したがって、これらの共振周波数において、変位は、同じ励起強度においては他の周波数よりもはるかに大きく、ＭＥＭＳ構造の小型化された寸法では、検出を妨げる非線形性および／またはオーバーレンジ条件を引き起こす。

【０００６】

これらの外乱は、典型的には、検出に使用される二次要素の検出される運動を減衰させることによって除去される。フィードバックダンピングまたは能動ダンピングにおいては、検出される変位が監視され、運動に対向する相対的な力が生成される。いくつかの既知のシステムでは、能動ダンピングが、閉フィードバックループで実装されている。いわゆる力フィードバックダンピング法では、フィードバックループの応答関数を調整するために、フィルタリングおよび／または他の信号処理がフィードバックループに含まれている。

【０００７】

ジャイロスコープ設計におけるもう１つの課題は、直角誤差運動である。理想的なジャイロスコープ構造では、一次振動と二次検出とは厳密に直交している。しかしながら、実際のデバイスでは、不完全性が生じ、振動質量の一次運動変位がジャイロスコープの二次運動に直接結合する原因となる。この直接結合は直交誤差と呼ばれる。角運動信号と直交信号との間の位相差は９０度であり、これは基本的に、直交誤差が位相敏感復調で除去できることを意味する。しかしながら、直交信号は、角運動信号と比較して非常に大きくなり得、それゆえ、読み出し電子回路のダイナミックレンジまたは位相復調の位相正確度に不合理な要件を生じさせる可能性がある。

【０００８】

この誤差源に対処する１つの既知の方法は、直角信号が生成される前に、センサ構造の運動を引き起こす誤差信号を除去する静電的な直交相殺である。静電的な直交相殺のために、一次振動と正確に同相で、二次振動に平行な静電気力を振動質量に加えることができる。

【０００９】

［関連技術の説明］
米国特許第７５０９８３０号明細書は、デジタル周波数合成器と、デジタル成分とアナログ成分の両方を有する一次および二次制御ループとを有する回転速度センサを監視する方法を開示している。この解決策は、二次ループの周波数および利得挙動を調整するための力フィードバックを一切有しない。運動における非理想性の補償は開示されていない。
【００１０】
米国特許出願公開第２００７／０１８０９０８号明細書は、直角誤差相殺信号を補償するためのアナログ方法を開示している。直交誤差相殺回路は、アナログ二次信号の直交誤差を補償するために使用される、直交誤差相殺信号を生成する。
【００１１】
米国特許出願公開第２０１５／０１４３９０５号明細書は、閉フィードバックループを有する機械的共振器を減衰させるための力フィードバックを有する共振器を開示している。力フィードバックは、共振器ループの応答関数を変化させることによって共振器の安定化を有効にする。
【００１２】
欧州特許出願公開第２３６０４４８号明細書は、同期のためにＰＬＬ回路を使用しないハイブリッド型一次ループを開示している。一次運動の検出は、離散時間電荷増幅器を用いて実装される。
【００１３】
国際公開第２０１５／１１２７８０号は、ＭＥＭＳ共振器のためのアナログ駆動ループ回路を開示している。
【００１４】
ＭＥＭＳジャイロスコープの制御ループにおけるアナログ信号処理の使用は、いくつかの課題および問題を引き起こす。アナログ構成要素は構成要素パラメータのばらつきに対して非常に敏感で、検出を不正確にする可能性がある。例えば、製造プロセス、材料および温度のばらつきによって、構成要素パラメータに大きなばらつきが生じる。さらに、調整可能なアナログ構成要素をコストと面積をコスト効率的かつ面積効率的に作製することは困難である。アナログ構成要素に調整可能性を追加すると、一般的に、構成要素に必要な面積が増加し、漏れ電流および寄生要素に関するリスクがまた増加する。アナログ信号処理によるＭＥＭＳジャイロスコープの較正は困難な作業であり、最適な較正からのわずかなずれでさえ、角速度の検出における不正確さを引き起こす。大きい時定数を扱うことができる回路を実装するためにアナログ構成要素を使用することは困難であるが、ノイズ制限の目的には必要である。例えば、適切なアナログ回路に必要とされる面積は、非実用的に大きい場合がある。
【００１５】
アナログ信号処理による不正確さの問題を克服するために、ＭＥＭＳジャイロスコープ一次ループのデジタル解決策が提案されている。ＡＣ信号検出を備えた一般的なデジタル解決策では、高分解能アナログ－デジタル変換が必要であり、これは、デジタル回路のクロック周波数が非常に高いことを意味する。高周波数は電力消費を増加させ、またデジタル回路によって要求される、必要な回路面積をも増加させる。したがって、デジタル制御回路に必要なクロック周波数を低減することを有効にする解決策が必要とされる。
【００１６】
Ｓｈａｂａｎ他「Ａｎａｌｙｓｉｓ ａｎｄ Ｄｅｓｉｇｎ ｏｆ Ｇｙｒｏ－Ｄｒｉｖｅ Ｍｏｄｅ Ｌｏｏｐ ｗｉｔｈ Ａｍｐｌｉｔｕｄｅ Ｃｏｎｔｒｏｌ」（２００９年、ＩＥＥＥ Ｄｅｓｉｇｎ ａｎｄ Ｔｅｓｔ Ｗｏｒｋｓｈｏｐにおいて発表）には、デジタル直接合成発振器ＤＤＳを備えた全デジタルＰＬＬを使用する一次モード発振ループが開示されている。デジタルＰＬＬは、作動力を発生させるための一次信号に必要な９０度の位相遅延を導入するために基本的に有用な解決策であるが、ＤＤＳを実装することは非常に複雑で面積を消費する作業である。デジタル一次ループにおける電力消費および非常に複雑なＰＬＬなしに、回路内で必要な位相シフトされた信号を生成することを

有効にする解決策が必要とされる。
【先行技術文献】
【特許文献】
【００１７】
【特許文献１】米国特許第７５０９８３０号明細書
【特許文献２】米国特許出願公開第２００７／０１８０９０８号明細書
【特許文献３】米国特許出願公開第２０１５／０１４３９０５号明細書
【特許文献４】欧州特許出願公開第２３６０４４８号明細書
【特許文献５】国際公開第２０１５／１１２７８０号
【非特許文献】
【００１８】
【非特許文献１】Ｓｈａｂａｎ他「Ａｎａｌｙｓｉｓ ａｎｄ Ｄｅｓｉｇｎ ｏｆ Ｇｙｒｏ－Ｄｒｉｖｅ Ｍｏｄｅ Ｌｏｏｐ ｗｉｔｈ Ａｍｐｌｉｔｕｄｅ Ｃｏｎｔｒｏｌ」（２００９年、ＩＥＥＥ Ｄｅｓｉｇｎ ａｎｄ Ｔｅｓｔ Ｗｏｒｋｓｈｏｐにおいて発表）
【発明の概要】
【発明が解決しようとする課題】
【００１９】
本発明の目的は、従来技術の欠点を克服するための方法および装置を提供することである。
【課題を解決するための手段】
【００２０】
本発明の目的は、請求項１に記載の二次センスループによって達成される。
【００２１】
本発明の好ましい実施形態が、従属請求項に開示されている。
【００２２】
１つの態様では、本発明は、慣性質量の運動を制御し、ＭＥＭＳジャイロスコープの不均一な運動を補償し、角速度を検出するように構成されたＭＥＭＳジャイロスコープ用の完全デジタル制御回路を導入するという着想に基づく。
【００２３】
第１の態様によれば、ＭＥＭＳジャイロスコープ用の二次センスループが提供される。二次センスループは、少なくとも１つの機械的共振器を備える二次要素と、アナログフロントエンド回路と、デジタル二次ループ回路と、アナログバックエンド回路と、を備える。デジタル二次ループ回路は、信号経路を備え、信号経路は、機械的共振器の検出運動を表すアナログ二次入力信号を信号経路の入力において受け取り、上記ＭＥＭＳジャイロスコープが受ける角速度を示す出力信号を信号経路の出力において供給し、上記信号経路は、アナログ二次入力信号をデジタル化二次信号にデジタル化するように構成されたアナログ－デジタル変換器を備える。デジタル二次ループ回路は、二次センスループの応答関数を調整するように構成された閉力フィードバックループの動作を制御するデジタル力フィードバック回路をさらに備え、上記デジタル力フィードバック回路は、アナログ－デジタル変換器と、デジタルローパス無限インパルス応答フィルタであって、ＭＥＭＳジャイロスコープの機械的共振器の共振周波数においてデジタル化二次信号に対する－９０度の位相シフトを引き起こし、デジタルローパス無限インパルス応答フィルタの出力において、位相シフトデジタル化二次信号を提供するように構成されている、デジタルローパス無限インパルス応答フィルタと、位相シフトデジタル化二次信号を、ＭＥＭＳジャイロスコープの二次要素に向けてフィードバックされるアナログ力フィードバック信号に変換するように構成されたデジタル－アナログ変換器とを備える。
【００２４】
第２の態様によれば、デジタル二次ループ回路は、ＭＥＭＳジャイロスコープの二次要素から受信した信号を増幅するように構成されたアナログフロントエンド回路からアナロ

グ二次入力信号を受信するように構成される。
【００２５】
第３の態様によれば、デジタル二次ループ回路は、中間アナログ増幅回路なしでＭＥＭＳジャイロスコープの二次要素からアナログ二次入力信号を受信するように構成される。
【００２６】
第４の態様によれば、デジタルローパス無限インパルス応答フィルタのフィルタ係数は、デジタルローパス無限インパルス応答フィルタの公称周波数を、ＭＥＭＳジャイロスコープの機械的共振器の共振周波数と一致させるように調整されるように構成される。
【００２７】
第５の態様によれば、デジタル力フィードバック回路は、位相シフトデジタル化二次信号の位相遅延をさらに調整するように構成された二次遅延補償回路と、位相シフトデジタル化二次信号の振幅を制御するように構成された力フィードバック利得制御回路とのうちの少なくとも一方をさらに備える。
【００２８】
第６の態様によれば、アナログ－デジタル変換器は、ノイズシェーピングオーバーサンプリングアナログ－デジタル変換器であり、デジタル－アナログ変換器はノイズシェーピングオーバーサンプリングデジタル－アナログ変換器である。
【００２９】
第７の態様によれば、アナログ－デジタル変換器は、離散時間シグマデルタアナログ－デジタル変換器および連続時間シグマデルタアナログ－デジタル変換器のいずれか一方である。
【００３０】
第８の態様によれば、アナログ－デジタル変換器は、ＭＥＭＳジャイロスコープの機械的共振器の共振周波数において、当該変換器の量子化ノイズ伝達関数にノッチを有するように構成された三次アナログ－デジタル変換器である。
【００３１】
第９の態様によれば、力フィードバック回路は、二次センスループの動的応答を制御し、二次バックエンド回路と二次フロントエンド回路との間に生じる交差結合を補償するように構成された交差結合補償フィードバックループをさらに含む。
【００３２】
第１０の態様によれば、デジタル二次ループ回路は、フィルタリングされたデジタル化一次信号から生成された少なくとも１つのデジタル復調信号を使用して、位相シフトデジタル化二次信号をダウンコンバートするように構成されるコヒーレント検出器回路をさらに備える。
【００３３】
第１１の態様によれば、デジタル二次ループ回路は、直交補償制御回路であって、コヒーレント検出器回路によって供給される二次信号の直交成分を積分し、直交補償制御回路の出力において、積分された直交成分信号を供給するように構成された直交補償制御回路と、積分された直交成分信号を、アナログ直交補償信号を二次要素に向けて供給するためにアナログバックエンド回路に提供するのに適したアナログ直交位相補償信号に変換するように構成された第２のデジタル－アナログ変換器とをさらに備える。
【００３４】
第１２の態様によれば、デジタル二次ループ回路は、ＭＥＭＳジャイロスコープの駆動ＡＣ信号に対応する一次オフセット補償信号を受信するように構成される。デジタル二次ループ回路は、デジタル化二次信号内の一次駆動ループ誘導オフセットを相殺するように構成されたオフセット相殺回路をさらに備え、上記オフセット相殺回路は、一次オフセット補償信号に対して調整可能な時間遅延を生じさせるように構成されるデジタル遅延回路と、上記プログラム可能遅延回路によって遅延された上記一次オフセット補償信号に温度依存較正係数を適用する乗算器回路であって、上記乗算器回路は、上記乗算器回路の出力において、オフセット相殺信号を提供するように構成されている、乗算回路と、デジタル

二次ループ回路のデジタル信号経路内に配置されている加算回路であって、上記加算回路は、上記デジタル化二次信号から上記オフセット相殺信号を減算するように構成されている、加算回路とを備える。

【００３５】

第１３の態様によれば、二次センスループのすべてのデジタル回路は、同じサンプリングレートを使用するように構成される。

【００３６】

別の態様によれば、デジタル－アナログ変換器のサンプリングレートは、アナログ－デジタル変換器のサンプリングレート以上である。

【００３７】

さらなる態様によれば、デジタルローパス無限インパルス応答フィルタは、１～３の範囲内のＱ値を有するように構成される。

【００３８】

別の態様によれば、上述の態様のいずれかによる二次センスループを備える、微小電気機械ジャイロスコープ用のデジタルコントローラが提供される。

【００３９】

別の態様によれば、上述の態様のいずれかによる二次センスループを備える、微小電気機械ジャイロスコープが提供される。

【００４０】

本発明の実施形態は、角速度の精密な検出、非理想性の良好な検出および補償能力、構成要素パラメータの変動に対する低い感度および良好なノイズ耐性を有効にするという利点を提供する。デジタル一次ループ回路が、一次振動の信号と設定された周波数および位相の関係にある信頼性の高い振動信号の発生源を提供するため、精密な基準クロックを生成するためにＰＬＬを使用する必要性を省くことができる。ＰＬＬを省略することによって、回路に必要なシリコン面積が減少する。デジタル化一次信号および当該信号の微分を、二次ループ回路における信号処理に使用することができる。デジタルフィルタを使用することによって、必要なフィルタリングも実行しながら、信号の精密な位相シフトを生成することが有効になる。

【００４１】

いくつかの実施形態はまた、デジタル回路の利点が正確さおよび柔軟性のために提供されるとしても、電力の節約を有効にするデジタル制御回路における特徴の組み合わせを開示する。デジタル回路の面積は、それぞれの機能を有するアナログ回路と比較して、またはさらには既存のデジタルソリューションと比較しても小さく、省電力に寄与するだけでなく、回路のコストも低減する。開示された実施形態は、ＭＥＭＳデバイスの正確度を犠牲にすることなくデジタル部品において低クロック周波数の使用を有効にする。

【００４２】

デジタル回路のクロック周波数が低いと、エネルギー消費の低下が促進される。

【００４３】

一次ループ内の単一のデジタルフィルタは、処理の量および回路面積を比較的小さくしながら、コスト効率的に、回路全体の性能を改善するいくつかの機能を提供する。単一のデジタルフィルタは、ＡＤＣ量子化ノイズのフィルタリング、一次共振器の駆動に必要な位相シフト、一次共振器に向けた始動刺激の生成、および二次ループに向けたフィルタリングされた復調信号の供給を可能にすることができる。さらに、一次ループ内の同じデジタルフィルタは、ＰＬＬ内に安定したシステムクロックを生成するために、ＰＬＬに向けてフィルタリングされた振動信号を提供することができる。さらに、同じデジタルフィルタを使用して、温度に起因する共振周波数の変化を補償することさえできる。

【００４４】

同様に、単一のデジタルローパス無限インパルス応答（ＩＩＲ）フィルタは、処理の量および回路面積を比較的小さくしながら、コスト効率的に、回路の性能を改善する、二次ループ内のいくつかの機能を提供する。二次ループ内の単一のデジタルローパスＩＩＲフ

ィルタは、ＭＥＭＳジャイロスコープの機械的共振器の共振周波数においてデジタル化二次信号に対する－９０度の位相シフトを生じさせるように構成される。提供された位相シフトデジタル化二次信号は、角速度の検出および直交補償を目的としてコヒーレント検出に向けた入力信号として使用される。さらに、同じ位相シフト二次信号は、力フィードバック機能のための入力として使用される準備ができている。

【００４５】

上記の修正のいずれも、それらの修正が代替形態を排除すると明示的に述べられていない限り、それらの修正が参照するそれぞれの態様に別々にまたは組み合わせて適用され得ることが理解されるべきである。

【００４６】

以下において、添付の図面を参照しながら、好ましい実施形態に関連して、本発明をより詳細に説明する。

【図面の簡単な説明】

【００４７】

【図１】デジタルジャイロスコープの高レベルの概略図である。

【図２】ＭＥＭＳジャイロスコープ用のデジタル一次ループ回路の典型的な概略図である。

【図３】ＭＥＭＳジャイロスコープ用のデジタルコントローラ回路の第１の典型的な概略図である。

【図４】ＭＥＭＳジャイロスコープ用のデジタルコントローラ回路の第２の典型的な概略図である。

【図５】ＭＥＭＳジャイロスコープ用のデジタルコントローラ回路の第３の典型的な概略図である。

【図６】ＭＥＭＳジャイロスコープ用のデジタルコントローラ回路の第４の典型的な概略図である。

【図７】ＰＬＬ回路を示す図である。

【図８】ピークＩＩＲフィルタ振幅応答を示す図である。

【図９ａ】二次センスループの選択された要素を示す図である。

【図９ｂ】二次センスループ回路要素伝達関数のいくつかを示す図である。

【図１０】閉ループにおいて動作する機械的共振器およびＬＰＦフィルタの伝達関数を示す図である。

【図１１ａ】いくつかの二次センスループ回路要素の別々の伝達関数のボード線図である。

【図１１ｂ】いくつかの二次センスループ回路要素の閉ループ伝達関数のボード線図である。

【図１２】ＬＰＦフィルタの一実施形態を示す図である。

【図１３】二次ループ回路の一部の代替実施形態の概略図である。

【図１４】典型的なコヒーレント検出器回路の概略図である。

【図１５】典型的な一次オフセット補償回路の概略図である。

【図１６】一次オフセットの補償の結果を示す図である。

【発明を実施するための形態】

【００４８】

以下、添付の図面を参照して、本発明の実施形態を詳細に説明する。実施形態の特徴は、別途記載がない限り、自由に組み合わせることができる。特定の実施形態の説明は、一例としてのみ与えられており、本発明を、開示された詳細に限定するものとしては決して意図されていないことを理解されたい。

【００４９】

さらに、装置は対応する方法を実行するように構成されているが、場合によっては装置のみまたは方法のみが説明されていることを理解されたい。

【００５０】

本出願において使用される場合、用語「回路」は、（ａ）ハードウェアのみの回路実施態様、および（ｂ）回路およびソフトウェア（および／またはファームウェア）の組み合わせであって、例えば（ｉ）プロセッサ（複数可）の組み合わせ、または、（ｉｉ）装置に様々な機能を実行させるために協働するプロセッサ（複数可）／ソフトウェア（デジタル信号プロセッサ、ソフトウェアおよびメモリを含む部分、および（ｃ）たとえソフトウェアまたはファームウェアが物理的に存在しないとしても、動作のためにソフトウェアまたはファームウェアを必要とするマイクロプロセッサ（複数可）またはマイクロプロセッサ（複数可）の一部のような回路のすべてを指す。回路実施態様のハードウェアは、特定用途向け回路（複数可）（ＡＳＩＣ）またはフィールドプログラマブルゲートアレイ（複数可）（ＦＰＧＡ）などの一般的な構成可能回路のいずれかおよびすべてを含むことができる。

【００５１】

用語「一次質量」は、一次駆動信号とも呼ばれることもある電気駆動信号によって一次振動運動するように駆動されるＭＥＭＳジャイロスコープの駆動質量を指す。一次質量は、時折、文献によっては駆動質量と呼ばれることもある。一次質量は、より多くの部品のうちの１つを含むことができる。用語「一次要素」は、運動するロータとして作用する一次質量、および、少なくとも、一次質量を駆動するために使用される電極を含む一次機械要素全体を指す。容量性ジャイロスコープでは、電極は、固定電極として作用する１つまたは複数のステータを備え、一方、一次質量は可動電極である。

【００５２】

用語「二次質量」は、二次質量を振動二次運動で運動させる直交コリオリ力成分を受けるように駆動要素（一次質量）に結合されたＭＥＭＳジャイロスコープのセンスまたは検出質量を指す。二次質量は、感知質量、センス質量、検出質量またはコリオリ質量と呼ばれることがある。二次質量は、１つまたは複数の部品を含むことができる。「二次要素」という用語は、二次質量、および、少なくとも、二次質量の運動を検出するために使用される電極を含む、二次質量または感知機械要素全体を指す。容量性ジャイロスコープでは、電極は、固定電極として作用する１つまたは複数のステータを備え、一方、二次質量は可動電極である。

【００５３】

いくつかの実施形態では、一次および二次質量は、一次および二次運動で運動することができる単一の結合質量を含むことができる。

【００５４】

用語「一次信号」は、一次質量の運動によって引き起こされる、ジャイロスコープの一次要素の電極によって検出される電気信号を指す。一次信号は、例えば、適用可能な電極を用いて、容量的に、圧電的に、またはピエゾ抵抗的に得ることができる。

【００５５】

用語「デジタル化一次信号」は、一次信号をデジタル化することによって生成される、デジタル一次ループ内のデジタル信号を指す。デジタル化一次信号は、元の位相であってもよいし、または位相シフトされていてもよい。

【００５６】

用語「フィルタされたデジタル化一次信号」は、特に、位相シフト、および、一次ループデジタルフィルタによるフィルタリング後のデジタルループ内のデジタル化一次信号を指す。

【００５７】

用語「二次信号」は、二次質量の運動によって引き起こされる、ジャイロスコープの二次要素の電極によって検出される電気信号を指す。二次信号は、例えば、適用可能な電極を用いて、容量的に、圧電的に、またはピエゾ抵抗的に得ることができる。

【００５８】

用語「デジタル化二次信号」は、二次信号をデジタル化することによって生成される、二次ループ内のデジタル信号を指す。デジタル化二次信号は、元の位相であってもよいし

、または、後に位相シフトされてもよい。

【００５９】

用語「一次ループ」、「駆動ループ」および「一次駆動ループ」は、一次質量の運動の電気的検出から得られる一次信号を処理し、および／または、一次質量を振動一次運動するように駆動するように構成された回路を指す。用語「二次ループ」および「二次センスループ」は、二次信号を処理するように構成された回路を指す。

【００６０】

用語「直交運動」は、一次質量の一次運動変位をジャイロスコープの二次質量の二次運動に直接結合させることによって生じる二次質量の運動を指す。「直交誤差」は、二次質量から得られる検出信号の直交運動によって生じる望ましくない信号成分（複数可）を指す。

【００６１】

一次要素および二次要素の機械的共振周波数は、ほぼ同じになるように設計することができ、結果、共通項である共振周波数f_{RES}を使用して、両方の質量に共通の単一周波数を参照することができる。

【００６２】

図１は、ＭＥＭＳジャイロスコープの高レベルの概略図を示す。電気機械ＭＥＭＳ共振器（５０）は、一次運動と一次運動の２つの主な運動によって特徴付けられ得る。ＭＥＭＳ共振器（５０）は、一次および二次運動の両方が可能な単一のＭＥＭＳ要素内に単一の運動Ｍ　ＥＭＳ質量を含むことができ、または、２つ以上のＭＥＭＳ要素および運動質量を含むことができる。簡単にするために、図１は、２つのＭＥＭＳ要素、一次要素（５１）および二次要素（５２）を有する共振器を示しており、後者の二次要素は検出要素または感知要素と呼ばれる場合もある。一次要素（５１）の少なくとも１つの一次質量は、アナログフロントエンド回路（６１）、デジタル一次ループ回路（１００）およびアナログ一次バックエンド回路（７１）を含む閉一次駆動ループによって安定した一次振動をするように駆動される。一次質量（複数可）の運動は、二次要素の少なくとも１つの二次質量に結合される（５２）。二次質量（複数可）に作用する角速度に起因するコリオリ力F_{cor}が、二次要素の少なくとも１つの二次質量の二次検出運動を引き起こす。二次要素の二次質量（複数可）の運動は、アナログ二次アナログフロントエンド回路（６２）、デジタル二次ループ回路（２００）、および任意選択的に二次アナログバックエンド回路（６３）を含む検出回路によって検出される。検出回路は、定義された検出軸を中心とする、センサデバイスによって検出される角速度の量を示す電気信号（角速度出力（Ａｎｇｕｌａｒ　ｖｅｌｏｃｉｔｙ　Ｏｕｔ））を生成する。検出回路は力フィードバックループを含むことができ、この場合、二次アナログバックエンド回路（７２）は、デジタル二次ループ回路（２００）から力フィードバック（ＦＦ）信号を供給するために利用される。

【００６３】

本発明の実施形態によるＭＥＭＳジャイロスコープでは、一次および二次要素は、好ましくは、ロータバイアスと呼ばれる共通のＤＣバイアス電圧でバイアスされる。ＤＣバイアスは、ＭＥＭＳジャイロスコープの一次および二次要素のロータおよびステータの対のすべての信号容量にわたって安定したＤＣバイアス電圧が存在することを示す。例えば、５ボルトと２０ボルトとの間のＤＣバイアス電圧を印加することができる。一次および二次要素をバイアスするための１つの典型的な方法は、同じバイアス電圧をすべてのロータ（一次および二次質量）に同じバイアス電圧で結合することであり、これにより、ロータは、すべてのそれぞれのステータのＤＣよりも高いかまたは低いＤＣ電圧を有するようになる。しかし、ＤＣバイアスのためのいくつかの代替形態が存在し、一次および二次要素のＤＣバイアスは異なるバイアス電圧を使用することさえできる。

【００６４】

駆動（励起）機能について、高ＤＣバイアス電圧が、一次要素を駆動するための強い静電力を提供することが有益である。

【００６５】

検出（検出）機能について、ロータ電極とステータ電極との間の可変静電容量にわたるＤＣバイアス電圧は、信号電流が、いつでも、および、静電容量の変化のみに起因して、ロータ電極およびステータ電極において生成されるようにする。静電容量が変化しないままである場合、信号電流は生成されない。この変化する電流は、アナログフロントエンド（ＡＦＥ）回路によって検出することができる。振動型ＭＥＭＳジャイロスコープは、共振周波数f_{RES}において動作し、結果、ＭＥＭＳジャイロスコープが一定の回転速度を受ける場合であっても、ＭＥＭＳジャイロスコープは、電極を通じて変化する電流を提供する。ＤＣバイアスを用いて、一次および二次要素の両方の運動の検出を実施することができる。特に容量性要素の場合、高いＤＣバイアス値の結果として、強い検出信号が受信される。

【００６６】

比較的高いＤＣバイアス電圧は、高いＡＣバイアスよりも実用的に生成および管理することができる。高いＤＣバイアス電圧は、一次および二次要素に影響を及ぼす静電力だけでなく、受信される信号電流も増加させる。ＤＣバイアスは、等しく高いＡＣバイアス電圧よりも必要とする電流がはるかに少ないため、ＤＣバイアス電圧の使用はＡＣバイアスよりも有益である。高ＡＣバイアスが、高電流レベルで一次要素に向かって供給されたとすると、すべての静電容量負荷にＡＣバイアス電流を常に供給する必要がある。容量性負荷の一定の給電は、ＤＣバイアスを選択することによって避けることができる。

【００６７】

図２は、ＭＥＭＳジャイロスコープデジタル一次ループ回路（１００）用の典型的なデジタル回路を示す。デジタル一次ループ回路（１００）において、全デジタル位相ロックループが、デジタル直接合成発振器ＤＤＳ（１０３）を使用して構成される。一次ループにおけるＤＤＳ（１０３）の使用は、上述で開示したような従来技術から知られている。

【００６８】

一次アナログフロントエンド回路から受信される一次信号は、アナログ－デジタル変換器（１０１）によってデジタル化される。デジタル化一次入力信号は、デジタル位相検出器ＰＤ回路（１０２）に供給され、デジタル位相検出器ＰＤ回路は、入来するデジタル化一次入力信号の位相を、数値制御発振器（ＮＣＯ）としても知られるデジタル直接合成発振器回路ＤＤＳ（１０３）から受信される信号の位相と比較する。位相検出器ＰＤ（１０２）は、ループフィルタ（１１２）を介してデジタル直接合成発振器回路ＤＤＳ（１０３）に制御信号を供給する。ループフィルタ（１１２）は、位相検出器ＰＤ（１０２）、ループフィルタ（１１２）およびデジタル直接合成発振器ＤＤＳ（１０３）によって形成されるデジタル位相ロックループ（ＰＬＬ）の動態を規定する。当業者には知られているように、ループフィルタ（１１２）はＰＬＬの固有周波数、すなわち帯域幅および減衰比を設計することを可能にする。狭帯域幅はＰＬＬのノイズを低減するが、ＰＬＬの整定時間を増加させ、その逆も同様である。ループフィルタ（１１２）は、位相および振幅の検出に容易にエラーを引き起こす歪みおよび／またはノイズをさらに低減する。

【００６９】

ＤＤＳ回路（１０３）の振動の周波数および位相は、ＤＤＳ回路（１０３）によってデジタル領域で最初に生成されるアナログバックエンドの振動一次出力信号と、一次質量の振動運動に対応する一次信号の位相との間の位相差が、本質的に９０度に等しくなるようにする値に設定されるべきである。デジタル信号処理、特に第１のアナログ－デジタル変換器ＡＤＣ（１０１）および第１のデジタル－アナログ変換器ＤＡＣ（１１０）によるデジタル信号処理によって生じる遅延は、異なる回路実施態様間で異なり、これらの遅延は、位相検出器ＰＤ（１０２）の入力において受信されるデジタル化一次入力信号と、ＤＤＳ回路（１０３）の出力において提供される必要なデジタル振動信号φ１との間の実際の位相差の計算において考慮される。例えば、異なる量の遅延を引き起こすデータストリームが、シリアルまたはパラレル形式で第１のデジタル－アナログ変換器ＤＡＣ（１１０）に向けて供給されてもよい。位相検出器回路ＰＤ（１０２）は、アナログ－デジタル変換器ＡＤＣ（１０１）から受信されるデジタル化一次信号の振幅値をさらに検出し、その振

幅値は、アナログフロントエンド（ＡＦＥ）の一次部分から受信されるアナログ一次入力信号の振幅を表している。

【００７０】

第１のデジタル振動信号（φ１）の振幅は、第１のデジタル振動信号（φ１）を適切に乗算することによって、一次出力信号の所望の振幅が生成され得るようなものであってもよい。そのような場合、第１のデジタル－アナログ変換器ＤＡＣ（１１０）を用いて、乗算された信号を変換することによって、一次出力信号の所望のアナログ振動信号振幅を生成するために、受信した第１のデジタル振動信号（φ１）の振幅を乗算するデジタル乗算要素（１０５）を使用することができる。自動利得制御回路ＡＧＣ（１０４）は、乗算を制御する。アナログバックエンド（ＡＢＥ）回路は、当業者に知られているように、一次質量を駆動するために使用される電極に一次駆動信号として供給する前に、この一次出力信号をさらに処理することができる。一次出力信号は、アナログバックエンド（ＡＢＥ）回路に、一次質量を振動一次運動するように駆動する力を引き起こさせる。

【００７１】

デジタル直接合成発振器ＤＤＳ（１０３）は、一次入力信号に基づいて生成される、デジタル化入力信号に適切に同期した少なくとも１つのデジタル振動信号（φ１）を生成する。したがって、一次入力信号は、設定された周波数および設定された相対位相を有する、デジタル一次およびデジタル二次ループ回路のために必要なすべてのデジタル振動信号（φ１、φ２、φ３、φ４）を生成するために間接的に使用される。

【００７２】

図２には、合計４つの異なるデジタル振動信号（φ１、φ２、φ３、φ４）を供給するＤＤＳ回路（１０３）が示されている。これらのデジタル振動信号の各々は、同じ周波数f_{DDS}を有し、この周波数は、一次質量の機械的共振器の共振周波数f_{RES}にほぼ等しく、したがって一次入力信号の周波数にもほぼ等しい。一次入力信号に対するこれらの４つのデジタル振動信号（φ１、φ２、φ３、φ４）の相対位相は、関連する信号チェーンの任意の遅延を考慮して、各特定のデジタル振動信号の意図される用途に合うように設定される。この相対位相設定は、いくつかの異なる方法で実施することができる。第１のデジタル振動信号（φ１）は、好ましくは、第１のデジタル振動信号が$f_{\phi 1}=\cos(2\pi f_{prim}T+\phi 1)$の形を有するように、第１の信号の位相に対して安定した第１の位相差ϕ_1を有する。この第１の位相差ϕ_1は、デジタル一次ループ（１００）によって提供される一次出力信号、および、一次要素から検出される一次信号に基づいてアナログバックエンド（ＡＢＥ）において生成される駆動信号が、位相シフトにＬＰＦを使用するソリューションと同様に９０度の位相差を有するように、一次質量とＤＤＳ（１０３）との間のアナログおよびデジタル信号チェーンのすべての遅延を考慮して設定されるべきである。他の３つのデジタル振動信号（φ２、φ３、φ４）の位相はデジタル的に較正され、$f_{\phi N}=\cos(2\pi f_{prim}T+\phi_N)$または$f_{\phi N}=\sin(2\pi f_{prim}T+\phi_N)$の形を有する。

【００７３】

代替的に、ＤＤＳ（１０３）は、基準信号（デジタル化一次信号）に同期した単一のデジタル出力振動信号のみを提供するように構成されてもよい。出力振動信号の周波数f_{DDS}は、一次信号$f_{DDS}=f_{RES}$に等しくてもよい。デジタル直接合成発振器ＤＤＳ（１０３）によって提供される単一のデジタル振動信号に基づいて、デジタル一次およびデジタル二次ループのために必要なデジタル振動信号（φ１、φ２、φ３、φ４）を生成するために、追加のデジタル回路（図示せず）が使用されてもよい。そのような追加の回路は、各々が出力振動信号f_{DDS}に対する所望の位相遅延の１つを生成する複数のオールパスフィルタを含むことができる。出力振動信号の周波数が一次信号周波数よりも高い場合（$f_{DDS}>f_{RES}$）、周波数逓倍は、提供されるデジタル振動信号が、ＤＤＳ（１０３）の出力信号よりも低い周波数を有するようにする。追加の回路は、生成されるデジタル振動信号（φ１、φ２、φ３、φ４）が最終的に、一次信号に対して等しい周波数および意図される位相差を有するように、提供される振動信号の位相を調整するようにさ

らに構成されてもよい。

【００７４】

当業者に知られているように、ＤＤＳの実施態様は非常に低いノイズ信号生成を有効にする。例えば、二次ループで使用するための低ノイズ復調信号を生成することが望ましい。しかし、そのような実施態様に必要な回路の量はかなり大きく、回路の量が多いほど、消費電力も大きくなる。さらに、ＤＤＳの周波数は、共振周波数f_{RES}に一致するように正確に調整されなければならず、始動が成功し、信頼可能になる前にＤＤＳベースのＰＬＬに注意深い較正が必要とされるため、一次ループにおいてＤＤＳベースのＰＬＬを用いたＭＥＭＳ共振器の始動は、非常に複雑である。ＤＤＳベースのＰＬＬを備えた回路では、正確な周波数の一致が、例えば、デバイスの確実な始動を保証するために必要である。

【００７５】

図３は、デジタル制御回路の第１の典型的な実施形態を開示する。

【００７６】

デジタルコントローラ回路は、デジタル一次ループと呼ばれる場合もあるデジタル一次ループ回路（１００）と、デジタル二次ループと呼ばれ得るデジタル二次ループ回路（２００）とを備える。図１に関連して説明したように、少なくとも一次質量および二次質量を含む機械的共振器の運動が検出電極を用いて検出される。アナログ検出信号が、アナログフロントエンド（ＡＦＥ）回路において一次および二次検出電極から受信される。これらのアナログ検出信号は、一次信号および二次信号と呼ばれる場合がある。一次信号は、好ましくは、アナログフロントエンド回路の回路によって処理されて、一次入力信号を生成する。二次信号は、好ましくは、アナログフロントエンド回路の回路によって処理されて、二次入力信号を生成する。アナログフロントエンド（ＡＦＥ）はさらに、回路が一次信号または二次信号を処理するように構成されるかに基づいて、一次アナログフロントエンドと二次フロントエンドとに論理的に分割することができる。

【００７７】

容量性検出が使用される場合、アナログフロントエンドは、各容量性電極における検出された電荷を電圧信号に変換するための電荷－電圧変換器を含む。アナログフロントエンド（ＡＦＥ）は、アンチエイリアスフィルタリングなどのフィルタリングのための回路を含むことができる。アナログフロントエンド（ＡＦＥ）は、例えばバッファ増幅器回路およびアンチエイリアスフィルタなどの、アナログ信号を増幅するための回路と、アナログ－デジタル変換器を駆動するための回路とをさらに含むことができる。アナログフロントエンドの目的は、アナログ－デジタル変換、および、後続する完全デジタル一次ループ（１００）および二次ループ（２００）内でのデジタル信号処理に適したアナログ一次および二次入力信号を一次ループ（１００）および二次ループ（２００）に提供することである。

【００７８】

一次および／または二次質量のアナログ連続時間検出は、一次および二次質量のロータ電極に供給される高いＤＣ検出バイアス電圧で使用されて、一次および二次信号に対して高レベルの信号電流が生成される。連続時間検出では、一次入力信号および二次入力信号は連続時間信号を含む。

【００７９】

ロータ電極に高いＤＣバイアス電圧を使用することにより、デジタル部分に低いクロック周波数を使用することが有効になる。ＤＣ検出が適用されるとき、ＡＣ検出信号に必要な復調が不要であることから、デジタルクロック周波数を下げることができる。検出電極および作動電極にＤＣバイアス電圧を使用することにより、共振周波数の静電制御の複雑さを低減することも有効になる。ＤＣ検出および作動を使用した周波数調整機能は、二次側と一次側の共振が一致するように調整することができるため、消費電力、コストの低減、性能の向上に部分的に役立っている。

【００８０】

デジタル一次ループ回路（１００）は、アナログバックエンド（ＡＢＥ）回路用の一次出力信号を生成する。アナログバックエンド（ＡＢＥ）回路は、一次ループの第１のデジタルーアナログ変換器ＤＡＣ（１１０）からの量子化ノイズを低減するための、１つまたは複数のフィルタなどの回路、およびアナログバッファを含むことができる。アナログバックエンド（ＡＢＥ）回路は、一次質量を意図された一次運動をするように駆動するように構成されている。例えば、アナログバックエンドは、連続時間増幅器を含むことができる。一次要素、一次アナログフロントエンド、デジタル一次ループ回路（１００）および一次アナログバックエンドは、一次質量を安定した振動運動をするように駆動するように構成された閉駆動ループを形成する。

【００８１】

デジタル二次ループ（２００）は、ＭＥＭＳ装置によって測定される角速度を示す検出結果出力信号を生成する。さらに、デジタル二次ループ（２００）は、直交誤差を静電的に補償するために使用され得る直交補償信号（ＱＣ）を生成することができる。当業者には知られているように、直交誤差の静電的補償は、容量性センスおよび駆動用に構成されたセンサ要素に共通である。直交補償が使用される場合、二次質量の運動の直交誤差を補償するためにアナログバックエンド（ＡＢＥ）で使用されることになる直交補償信号（ＱＣ）が、二次ループにおいて生成される。

【００８２】

図４、図５および図６の実施形態では、特に共振周波数f_{RES}に近い周波数または共振周波数f_{RES}において二次要素の運動に対する減衰力を生じさせるためにアナログのバックエンド（ＡＢＥ）で使用されることになる力フィードバック（ＦＦ）信号が、デジタル二次ループ（２００）において生成される。力フィードバックループ動作の基本的な機能原理は、デジタル二次ループ（２００）の応答関数を変化させるように構成された閉ループの基本的な原理であり、結果、デジタル二次ループ（２００）の振幅応答関数は、共振器の動作周波数においてまたはその付近でより平坦になる。いくつかの実施形態では、二次ループ（２００）の位相応答は、デジタル二次ループ（２００）の位相応答の微分（変化率）が、共振周波数f_{RES}に近い周波数における力フィードバック能力の一切ない、デジタル二次ループ（２００）の非常に急峻な位相応答曲線と比較して、ＭＥＭＳ要素の共振周波数付近であまり劇的に変化しないように、力フィードバック（ＦＦ）によって安定させることもできる。力フィードバックループの詳細および例については、以下に力フィードバックという見出しで説明する。

【００８３】

［一次ループ］

以下の説明では、図３、図４、図５および図６に関連して、一次ループ回路およびその回路のための様々な設計選択肢がより詳細に説明される。

【００８４】

上述したように、一次信号は、一次質量の運動に起因し、アナログフロントエンド部（ＡＦＥ）によってアナログ電気信号に変換される。アナログフロントエンド部（ＡＦＥ）は、デジタル一次ループ（１００）の入力において受信される一次入力信号を提供する。この一次入力信号は、デジタル一次ループ（１００）の第１のアナログーデジタル変換器ＡＤＣ（１０１）によってデジタル化される。第１のＡＤＣ（１０１）の出力において受信される信号は、デジタル化一次信号と呼ばれることがある。

【００８５】

デジタル一次ループ（１００）において必要な位相シフトを実現するために、デジタルフィルタＤＦ（１０６）が使用され、同時に、ＤＦ（１０６）は、例えば、アナログーデジタル変換器によって生じる量子化ノイズのような、任意の望ましくない高周波数ノイズに対して減衰を提供する。デジタルフィルタＤＦ（１０６）はローパスフィルタであってもよい。デジタル一次ループ（１００）内のＤＦ（１０６）は二次以上でなければならない。デジタルフィルタがローパスフィルタである場合、ローパスフィルタの次数は偶整数である。これは、高周波数で、例えば、周波数$１０＊f_{RES}$を超えると、偶整数次ロー

パスフィルタによって引き起こされる位相シフトは１８０度の整数倍に近づき、したがって駆動信号は高周波数寄生微小機械共振に電力を供給することができないため、有益である。好ましくは、デジタルフィルタＤＦ（１０６）は無限インパルス応答フィルタ、すなわちＩＩＲフィルタを含む。デジタルフィルタ（１０６）としてＩＩＲフィルタを使用する利点は、ＦＩＲフィルタとＩＩＲフィルタの両方が共振周波数において非常に正確な位相シフトを提供するが、ＩＩＲフィルタは共振周波数よりも過剰な遅延を導入することなくこの位相シフトを提供することである。一般に、ＦＩＲは、より多くの遅延および線形位相応答を導入するが、ＩＩＲを使用することによって、共振周波数を超える周波数で望ましい、ほぼ一定の位相シフトを達成することができる。さらに、ＩＩＲフィルタは、ＦＩＲよりも少ないデジタルポートで実施することができる。したがって、デジタルフィルタ（１０６）としてＩＩＲフィルタを選択することは、回路によって必要とされる面積を減少させる。

【００８６】

デジタルフィルタ（１０６）としてＩＩＲフィルタを用いる利点は、共振周波数が変化しても、ＩＩＲフィルタが共振周波数において非常に正確な位相シフトを提供することである。したがって、ＩＩＲフィルタは、共振周波数が、例えば温度のためにわずかに変化する実際の装置において様々な共振周波数を正確にフィルタリングすることができる。典型的には、そのような周波数変化は、意図された共振周波数からわずか１パーセントの割合である。このような小さな変動は、一次共振器を駆動するのに必要な駆動力の観点から大きな問題を生じないが、デジタル化一次信号に基づく二次検出信号の復調に大きな問題を引き起こす可能性がある。このように問題を引き起こすのは、一次共振器の共振周波数のわずかな変動であっても、デジタル化二次信号とデジタル同相（Ｉ）および直交位相（Ｑ）復調信号との間に著しい位相誤差を生じる場合があり、感知される角速度に位相誤差をもたらすためである。また、ＤＦは、ピーキングフィルタとして実装されてもよく、それにより、ＭＥＭＳ要素共振周波数f_{RES}での信号の増幅を増加させることが有効になる。この増加した増幅は、一次共振が、理想的に、フィルタが９０度の位相遅延を生成するように設計されている周波数点にない場合に、位相誤差の増大のリスクの増大を伴って達成される。フィルタのＱ値が大きいほど、フィルタの位相微分は大きくなる。ピーキングデジタルフィルタを使用すると、一次要素周波数が駆動される、ピーキングフィルタの大きな利得周波数を正確に設定できる。好ましくは、大きな利得周波数は共振周波数f_{RES}に等しい。したがって、一次ループにピーキングフィルタを使用することにより、望ましくない寄生振動モードの良好な分離が容易になる。

【００８７】

ＤＦ（１０６）の出力において受信される信号の相対位相はφ１でマークされる。デジタル一次ループ（１００）における位相遅延の必要性は、一次質量を共振周波数f_{RES}における安定した振動に設定するために、一次質量に向けてアナログバック回路エンド（ＡＢＥ）によって生成された駆動信号によって引き起こされる駆動力が、一次質量の振動運動と比較して本質的に９０度の位相シフトを有するべきであるということから生じる。デジタル化一次信号という用語は、元のデジタル化一次信号または位相シフトされたデジタル化一次信号を指す場合がある。フィルタリングされたデジタル化一次信号という用語は、具体的には、デジタルフィルタＤＦ（１０６）によって位相シフトおよびフィルタリングされた、デジタルフィルタＤＦ（１０６）の出力信号を指す。位相シフトのためのデジタルフィルタＤＦ（１０６）の使用は、有益には、共振周波数において非常に正確な位相シフトを達成することができる、すなわち、９０度の位相遅延が、二次デジタルローパスフィルタの固有周波数において達成されるため、クロック生成のためのＰＬＬ回路を省略することを可能にする。ローパスフィルタリングに加えて、位相シフトに同じデジタルローパスフィルタを使用することは、デジタル一次ループに必要な回路のシリコン面積が減少するため、有益である。デジタルローパスフィルタを用いると、－９０度位相シフト（９０度位相遅延）を正確に行うことができ、結果、位相シフトデジタル化一次信号を、例えば、デジタル二次ループ（２００）において必要とされる復調信号を生成するのに利

用することができる。当業者に知られているように、共振周波数f_{RES}における駆動ループ目標位相シフトは、９０＋１８０＊ｎ－１８０＊ｐｏｌ度のいずれかであり、ｎは整数である。また、一次駆動信号極性は、共振周波数において駆動ループ内での振動を有効にするために制御可能であり得る。上記式において、極性が反転される場合はｐｏｌ＝１、そうでない場合は０である。ドライブループ極性が間違っている場合、振動が始まらないか、または振動が減衰する。極性反転は、一次ＡＦＥ（６１）内、ＤＦ（１０６）出力で行われてもよく、または、乗算器回路（１０５）において対応されてもよい。また、ＰＯＣ（２０３）入力信号およびＣＤ（２０２）入力信号に対する極性制御の影響を考慮して、これらの信号経路で正しい極性を確保することも重要である。ＰＯＣ（２０３）およびＣＤ（２０２）の機能性については、本明細書において後に説明する。

【００８８】

デジタルフィルタ１０６は、好ましくは、一次信号を使用して生成されるクロックを使用する。一次信号をフィルタリングすることにより、クロック信号のノイズが低減される。一次信号からクロックを生成する利点は、クロックが一次共振周波数f_{RES}の変化に追従することである。したがって、９０度の位相シフト周波数はまた、一次共振周波数の変化に追従し、デジタルフィルタ１０６の係数を調整する必要性を低減する。クロックは、フィルタリングされたデジタル化一次信号から直接生成されてもよく、またはフィルタリングされたデジタル化一次信号を入力として受信するＰＬＬによって安定したシステムクロックが提供されてもよい。

【００８９】

同じデジタルフィルタＤＦ（１０６）は、ＡＤＣ（１０１）からの量子化ノイズを制限するように構成することもできる。量子化ノイズは、アナログ一次信号をデジタル化するためのシグマデルタオーバーサンプリングＡＤＣの使用に起因する可能性がある。この場合、共振周波数成分f_{RES}を９０度位相シフトし、量子化ノイズが悪影響を及ぼし得る任意のさらなる信号処理のためにデジタル一次信号が使用される前にデジタル一次ループ内の量子化ノイズを制限するという両方の要件が、単一のデジタルフィルタＤＦ（１０６）によって達成され得る。

【００９０】

さらに、一次ループ内の同じデジタルフィルタＤＦ（１０６）が、温度による共振周波数の変化と、クロックを生成するためにＰＬＬが使用される場合の一次システムクロックの変化の両方の補償を提供することができる。そのような周波数補償は、デジタルフィルタＤＦ（１０６）のフィルタリング係数を調整することによって達成され得る。

【００９１】

自動利得制御回路ＡＧＣ（１０４）は、一次入力信号の振幅に対応するデジタル化一次信号の総交番振幅レベルを検出し、検出振幅に基づいて一次出力信号の信号レベルを連続的に制御する。この関連における総振幅という用語は、振幅レベル（電流振幅または電圧振幅に対応し得る）が、デジタル化一次信号のいかなる特定の振幅成分も参照しないことを示す。ＡＧＣ（１０４）は、デジタル一次ＡＣ信号を形成するために、設定位相φ１を有するＤＦ（１０６）から受信されるデジタルＡＣ信号を乗算するデジタル乗算器要素（１０５）のための制御信号を提供することができる。次いで、デジタル一次ＡＣ信号は、第１のデジタル－アナログ変換器ＤＡＣ（１１０）においてアナログ一次出力信号に変換され、信号をさらに処理し、処理された信号を一次駆動信号として一次質量に向けて供給するために、アナログバックエンド（ＡＢＥ）に供給される。容量性ジャイロスコープにおいては、特に、初期目標が正確なモード整合に設定されるが、モード整合が能動的に制御されない近似モード整合の場合に、この実施態様が実現可能であり得る。モード整合とは、一次質量と二次質量との共振周波数が同じであることを意味する。一次振幅がＡＧＣ（１０４）によって制御されるとき、駆動のＡＣ成分は最小化され、この最小化は、近モード整合ジャイロスコープにおいて実現可能である。この最小化は、容量性コリオリ位相二次信号と比較したときに、交差結合位相が分からない場合があることに起因する。乗算器回路（１０５）の使用は、一次質量にピエゾ励起が使用される場合、換言すれば、ピエ

ゾアクチュエータを駆動するために一次出力信号が使用される場合にも特に有用であり得る。

【００９２】

図３は、ＡＧＣ（１０４）への入力信号を得るための２つの選択肢を示す。実線で示される第１の選択肢では、この入力信号は、デジタルフィルタＤＦ（１０６）によってデジタル化入力信号に対して位相シフトが実行された後に得られる。この選択肢は、ＡＧＣ（１０４）によって受信される信号のノイズを低減することを有効にし、一方、ＬＰＦ（１０６）は、デジタル化入力信号における任意の高周波数ノイズをフィルタリングする。

【００９３】

図３はまた、ＡＧＣ（１０４）に対する入力信号がデジタルフィルタＤＦ（１０６）によって位相シフトする前のデジタル化一次信号である代替の解決策をも示す。この代替案は破線で示されている。この代替案は、ＤＦ（１０６）感度の可能な変動によって引き起こされる利得制御への影響を回避する。さらに別の代替案（図示せず）において、デジタル化一次信号は、二乗され得、ファイリング後に得られるＤＣ成分が、ＡＧＣ（１０４）における振幅情報として利用され得る。このような代替案の利点は、利得制御によって生じるノイズが低減されることである。

【００９４】

このように、駆動ループのロバストな始動のためにＰＬＬが必要とされないため、コヒーレント検出を利用せずにＡＧＣ（１０４）で振幅検出を実施することが有益である。

【００９５】

駆動ループの動作にＰＬＬを使用しない場合、ＡＧＣ（１０４）入力信号の２つの選択肢の間での選択は影響を受け得る。このような選択肢への影響は、ＰＬＬなしでは同期検出が利用できない可能性があり、したがって、ＡＧＣ入力の帯域外信号がＡＧＣ動作に影響を与える可能性があることに起因する。したがって、また信号帯域を制限し得る、ＤＦ（１０６）の出力からのＡＧＣ入力を利用する方が、実現可能性がより高い場合がある。他方、非同期動作に起因して、ＤＦ（１０６）は、理想的な目標位相シフト周波数から外れて動作する可能性も高いが、依然として駆動力が十分である周波数範囲内にある。このＤＦの動作がＬＰＦ出力の一次目標振幅に過度の不正確さを生じさせる場合、ＬＰＦの前に取られるＡＧＣ入力が、より実現可能な代替案であり得る。

【００９６】

ＤＣロータバイアス電圧が高い場合、例えば５Ｖ～２５Ｖの範囲内である場合、高いＤＣバイアスは一次コイル駆動信号において低い電圧を使用することを有効にするため、デジタル一次ループ（１００）においてデジタル乗算器要素（１０５）を使用することが有益である。この場合、ＡＣ駆動信号の振幅は、例えば０．６Ｖであり得、いずれの場合も十分に公称１．８Ｖ電源レール内にあり、結果、高ＤＣロータバイアスは最高ＡＣ駆動信号振幅よりも最大２０倍高くなり得る。高ＤＣバイアスを使用しない場合、一般に駆動ＤＣ制御に必要な高電圧駆動を省略すると、一次ループ回路に必要なシリコン面積が減少する。一次駆動ループ誘導オフセット（すなわち、一次誘導オフセット）および二次信号のノイズは、この構成では補償するのが比較的簡単である。オフセット補償については後でより詳細に説明する。

【００９７】

さらに別の代替的な実施形態では、ＡＧＣ（１０４）は、デジタル一次ＡＣ信号を形成するために乗算器（１０５）の代わりに回路に配置されたデジタル加算要素において、位相φ１を有するＡＣ信号と結合されるＤＣ信号を提供する。必要とされる可能性の高い高電圧駆動にもかかわらず、駆動と二次センスとの間の一定の交差結合経路が支配的なレートオフセット源である場合、この選択肢は実現可能であり得る。ＡＣ部分が一定のままであるため、ＤＣ制御により、オフセットを安定させることができる。

【００９８】

デジタル一次ループ内のＤＦ（１０６）を用いた図３の実施態様は、駆動信号が検出された一次信号から直接生成され、一次質量の運動が小さい振幅を有する場合、この信号は

最初、始動中に脆弱であるため、システム始動中に高い利得を必要とすることがある。要求される始動増幅の必要性を満たすためにＤＦ（１０６）がより高い利得を有することを可能にするために、デバイスの始動中に、および、必然的にデバイスの通常動作中にも、十分な振幅が達成されており、結果、デジタル化一次信号の振幅が回路の線形範囲で維持される場合に、デジタル化一次信号の振幅を制限するための、振幅制限回路ＡＬ（１０７）がこの第１の実施形態に導入される。このような振幅制限回路ＡＬ（１０７）は、例えば、ＤＦ（１０６）出力において所定の信号閾値レベルに達したときに、ＤＦ（１０６）の出力において提供されるデジタル化一次信号の振幅を制限する、データビット用の対数スケーラまたは単純な右シフト要素を含むことができる。さらに、振幅制限回路ＡＬ（１０７）は、ＤＦ（１０６）出力において一次入力信号レベルが所定の信号閾値レベルを下回るとき、始動中にデジタル一次ループの利得を増加させるように構成することができる。換言すれば、振幅制限回路ＡＬ（１０７）は、デジタル一次駆動ＡＣ信号の振幅を制御する。そのような単純な振幅制限回路ＡＬ（１０７）は、迅速かつ確実な始動を有効にする非常に費用効果の高い方法を提供する。振幅制限回路ＡＬ（１０７）における位相シフトは重要ではなく、したがって信号の位相にわずかな影響しか与えないため、ＡＬ（１０７）の出力における信号の位相φ１は、ＤＦ（１０６）の位相応答によって規定される。始動構成のさらなる可能な構成については後で説明する。

【００９９】

図３の実施形態では、ＤＦ（１０６）の帯域外利得は、一次質量の共振周波数f_{RES}における利得よりわずかに高いかまたはさらにはそれよりも低くなるように設計することができる。

【０１００】

図３の実施形態では、一次要素の始動は、単に、電気回路上のスイッチングに起因するノイズによって引き起こされる小さな刺激によって単に引き起こされてもよい。特定の始動刺激を伴わないそのような始動プロセスは、比較的遅く、ノイズによって引き起こされる最小の運動は、ＡＤＣ（１０１）の量子化レベル間で消滅しないように、第１のアナログ－デジタル変換器ＡＤＣ（１０１）の比較的高い分解能を必要とする。

【０１０１】

図４に示す実施形態では、デジタル化一次信号は、マルチプレクサ回路ＭＵＸ（１０９）を介してデジタルフィルタＤＦ（１０６）に供給される。この実施形態では、デジタルフィルタはローパスフィルタであることが好ましい。マルチプレクサ回路（１０９）の目的は、始動目的のためにデジタル一次ループ（１００）に向けて始動インパルスを供給することを有効にすることである。始動は、デジタルパルス形態信号がＭＵＸ（１０９）の入力を介してデジタル一次ループ（１００）に供給され、これによって、デジタル一次ループ（１００）およびアナログバックエンド回路ＢＥは、一次質量（図示せず）に向けた初期駆動力を生成させられ、一次質量が振動運動で運動し始めるようにされるように、始動時にＭＵＸ（１０９）を制御することによって実施される。デジタルパルス形態信号は、単一のインパルスサンプル、言い換えれば、非ゼロ値を有するデジタル値を含むことができ、または、定義された電圧ステップまたはパルス応答のデジタル表示のような他の適切な波形が、デジタルフィルタＤＦ（１０６）の入力に向けて供給される。デジタルパルス形態信号の供給により、ＬＰＦ（１０６）はそのインパルス応答に従って信号を出力する。この出力信号は、ＤＦ（１０６）の固有周波数ω_0に等しい、および、それに近い周波数成分も含む。この固有周波数ω_0がＭＥＭＳ要素の共振周波数と一致すると、この始動インパルス信号は、共振周波数f_{RES}においてＭＥＭＳ共振器振動の始動を引き起こす。通常動作中、デジタル化一次信号は単純に、マルチプレクサ回路ＭＵＸ（１０９）を通じて供給され、信号位相または振幅に影響を与えない。デジタルパルス形態として始動パルスを供給し、始動のために初期共振周波数信号を生成する際にＤＦ（１０６）のインパルス応答特性を利用することにより、非常にコンパクトな回路が可能となるが、依然として効果的な始動の実施が有効である。同様の機能が、通常の動作中にデジタル一次ループに加算される信号がゼロに設定される加算要素などでＭＵＸを置換することによって達

成され得ることも一般に知られている。

【０１０２】

デジタル回路では、上に開示した始動インパルスは、単純であり、実施するのが簡単である。そのような始動インパルスは、所定の共振周波数f_{RES}における静電ステップによって生成される信号の増幅を、一次ループに開始させる、単なる小さい静電ステップであってもよい。インパルスが一次出力信号に直接供給される場合、帯域幅が無制限であることに起因して、望ましくない共振器振動モードが励起される危険性があり得る。したがって、図４に示されているように、ＤＦ（１０６）の前に、デジタル一次ループ（１００）に始動インパルスを供給することが実現可能である。好ましくは１を超え、例えば１から４の範囲内にある高いＱ値では、ＤＦ（１０６）の９０度の位相遅延および振動周波数は、始動の目的のために互いに十分に近接している。

【０１０３】

図５に示す別の実施形態では、マルチプレクサ回路ＭＵＸ（１０９）は、デジタル加算要素（１０５）の後でかつ第１のＤＡＣ（１１０）の前でのみ、デジタル一次ループ（１００）内に配置される。マルチプレクサ回路（１０９）の目的は、以前の始動マルチプレクサの実施形態と同様に、始動目的のために駆動ループに向けて始動インパルスを提供することを有効にすることである。この第２の実施形態では、始動インパルスは、最初に、一次アナログバックエンドおよび一次質量に向かって供給され、一次質量が運動を開始させられ、この運動は一次入力信号に反映される。この代替案は、ＤＦ（１０６）のＱ値が１を下回る場合に実現可能になり得、この場合、ＤＦは、図４の事例において共振周波数におけるインパルスのパワーを減衰させる。

【０１０４】

２つの特定の例が本明細書に開示されているが、デジタル一次ループ（１００）内の他の可能な位置が、デバイスの始動状態の間にデジタル一次ループ内の始動インパルスの供給を有効にするために、マルチプレクサ回路ＭＵＸデバイス（１０９）に適用可能であり得る。

【０１０５】

デジタル化一次信号は、二次ループ（２００）にも供給され、二次ループは、二次信号の一次誘導オフセットの補償を有効にするためにこの信号を利用する。図３の実施形態のようないくつかの実施形態では、デジタル化一次信号は、デジタルフィルタＤＦ（１０６）による位相シフトの後にのみ二次ループに供給される。換言すれば、デジタル化一次信号は、信号振幅が駆動ＡＣ信号成分に対応する一次ループ点から提供され、オフセット補償に使用されるこの信号が、ＡＧＣ制御後でさえも、交差結合された一次駆動ＡＣ信号に整合することが可能になる。図４の典型的な実施形態のような別の実施形態では、デジタル化一次信号は、第１のアナログ－デジタル変換器ＡＤＣ（１０１）からの出力からデジタル二次ループに向けて直接、換言すれば、デジタル化一次信号を位相シフトする前に、デジタル二次ループに向けて提供される。二次信号内の任意の一次誘導オフセットを補償する目的で、デジタル化一次信号をＤＦ（１０６）によって位相シフトする前または後に、デジタル一次ループ（１００）からデジタル二次ループ（２００）に向けて提供されるこのデジタル化一次信号は、一次オフセット補償信号と呼ばれる。しかし、ＤＦ（１０６）の後に信号を取らなければならない、交差結合駆動ＡＣ信号に起因するオフセットと、ＤＦ（１０６）の前に信号が取られることが好ましい、二次ＡＦＥ内のクロック信号の交差結合または直接励起のような、駆動ＡＣ信号に直接依存しない他のソースに起因するオフセットとを区別することが重要である。デジタル二次ループのＩＩＲ（２０６）の前にすべての室温オフセットを補償することにより、ダイナミックレンジの制限が生じないことが保証される。この種の構成は有益には、アナログ設計では実現できない非常に小さな刻み幅で結合感度および位相の調整および較正が可能である、一次ループの全デジタル設計によって有効にされる。

【０１０６】

図３、図４および図５の実施形態に示されているように、デジタル部分に高品質のクロ

ックを使用することはデジタルＰＬＬなしでデジタルコントローラ回路トポロジを有効にするが、高品質クロックは、通常、外部構成要素からのみ利用可能であるため、高品質クロック源は常に利用可能であるとは限らない場合がある。オンチップ緩和型発振器またはリング発振器は、一般に、外部水晶発振器よりもかなり多くドリフトしている。特に、要素共振周波数f_{RES}および／またはデジタルフィルタ応答の間のわずかな周波数ドリフトでさえ、ＭＥＭＳデバイス全体の性能が低下する可能性がある。例えば、デジタル一次ループ（１００）および／またはデジタル二次ループ（２００）において、運動するＭＥＭＳ質量の１つまたは複数の望ましくない共振モードによって増強され得る折り畳み音が生成され得る。デジタル一次ループ（１００）で使用されるクロックがＭＥＭＳ振動と同期していない場合、そのような折り畳み問題は、帯域内ノイズ、オフセットおよび帯域外ノイズのいずれかに影響し、また、様々な周囲温度および回路の経時変化に起因して回路の性能も変化させる。実際には、問題を見えるようにするには、特定の温度点などの特殊な条件が必要となる可能性があるため、このような問題がデバイスで発生することを認識することは困難であり得る。

【０１０７】

適切な同期化は、緩和発振器などのシステムクロックソースと、ノイズシェーピングＤＡＣによる調整機能とを組み合わせることによって、必要に応じて改善され、容易に実装され得、デジタルステージとアナログステージとの間のコンパクトなインターフェースが提供される。したがって、システムクロック周波数要件が高い複雑なデジタルＰＬＬを有する負担なしに、同期動作を達成することができる。例えば、５ビットの二次または三次デルタシグマＤＡＣを、実施形態による回路におけるノイズシェーピングＤＡＣとして利用することができる。一次ループデジタルフィルタＤＦ（１０６）は、ＤＡＣの非線形性によって引き起こされる誤差および一次信号とシステムクロックとの間の任意の位相誤差を除去する積分器を備えることができる。図３、図４、図５および図６に示すデジタル一次ループ（１００）において、ＤＦ（１０６）の周波数応答は、システムが始動したときに、初期周波数誤差が１０％以下である限り、始動が成功するように設計することができる。ＡＧＣ（１０４）への入力がＤＦの前に取られるとき、１０％誤差は、ＤＦ位相シフトが理想的に－９０度ではなく、ＬＰＦ（１０６）の高品質係数が利用されるときに利得が低減し得ることに起因する駆動力の減少のみを引き起こす。限界は、例えば、初期デジタルクロックにおける１０％の不整合が、１．５％の駆動力の減少に等しい、駆動信号の１０°の位相誤差を引き起こすことであり得る。これは始動に最小限の影響しか及ぼさず、図６の閉駆動ループとＰＬＬ（３００）の両方が互いに独立して始動することができる。

【０１０８】

コントローラのデジタル回路に高品質のクロック源を提供するために、図６の実施形態に開示されているような、ＰＬＬ（３００）を使用することができる。このＰＬＬ（３００）は、高品質ＤＳＰマスタクロック信号（ＣＬＫ＿ＤＳＰ）を生成するためにのみ使用されるが、閉駆動ループ回路またはデジタル一次ループ（１００）の一部ではない。有益には、一次ループデジタルフィルタＤＦ（１０６）は、ＰＬＬ（３００）のためのフィルタリングされた振動入力信号を提供する。

【０１０９】

図７は、デジタル信号処理回路のための同期された高品質ＤＳＰマスタクロック信号ＣＬＫ＿ＤＳＰを提供するための典型的なＰＬＬ回路（３００）をある程度さらに詳細に示す。ＰＬＬ（３００）は、デジタルフィルタＤＦ（１０６）によって実行されるフィルタリングの結果として歪みのないフィルタリングされたクロック信号（フィルタリングされたデジタル化一次信号）をＤＦ（１０６）出力から受信する。ＰＬＬ（３００）の位相周波数検出器ＰＦＤ（７０１）は、クロック分周回路ＤＩＶ（７０５）によって分周されたアナログＶＣＯ（７１０）から受信されるクロック信号を、デジタル一次ループ（１００）からの基準信号と比較し、２つの入力間の位相差および周波数差に関して変化するＤＣ信号を生成する。このＤＣ成分は、ＶＣＯ（７１０）を制御するためにループフィルタＬ

Ｆ（７０２）におけるフィルタリング後に利用される。デジタル一次ループのＬＰＦは共振周波数において９０度の位相遅延を有するように設計されるが、システムが最大１０度の初期誤差で始動するとき、ＰＬＬが基準周波数にロックした後に誤差が除去される。ＰＬＬがデジタル一次および二次ループの両方のデジタル制御回路用の精密なＤＳＰマスタクロック信号ＣＬＫ＿ＤＳＰを提供するとき、ロック後、二次同期検出およびオフセット相殺は精密に機能する。ＤＳＰマスタクロック周波数は、共振周波数が変化しても共振周波数と一致させることができるように、制御可能にすることができる。一次ループ始動は、デジタルコントローラ回路が、始動中の周波数整定がデジタル化一次信号レベルおよび始動時間に無視できる程度しか影響を与えないように非同期クロックによってクロックされる場合であっても、始動が確実に行われることを保証することによって、ＤＳＰマスタクロックの同期とは独立して行うことができる。

【０１１０】

［復調信号および較正済み位相シフト係数］

二次ループ（２００）は、コヒーレント検出のために、同相復調信号Ｉ＝ｓｉｎ（２Πｆ$_{ｐｒｉｍ}$　Ｔ＋φ３）および直交位相復調信号Ｑ＝ｓｉｎ（２Πｆ$_{ｐｒｉｍ}$　Ｔ＋φ４）＝ｃｏｓ（２Πｆ$_{ｐｒｉｍ}$Ｔ＋φ３）を必要とする。図３、図４、図５および図６に開示された実施形態では、オールパスフィルタＡＰＦ１（１５１）およびＡＰＦ２（１５２）は、位相シフトのためにデジタル一次ループ（１００）とデジタル二次ループ（２００）との間に配置される。デジタル二次ループ（２００）の復調信号は、フィルタリングされたデジタル化一次信号からこれらのオールパスフィルタＡＰＦ１（１５１）およびＡＰＦ２（１５２）によって生成される。当業者には知られているように、オールパスフィルタの使用は、単にフィルタ実現のための１つの代替案であり、例えば、ローパスフィルタ、ハイパスフィルタ、またはバンドパスフィルタもまた、特にオフセット低減または高周波数ノイズフィルタリングが必要とされるときの実行可能な選択肢である。代替的に、位相シフトは、遅延ラインまたは当技術分野で知られている任意の他の実現可能な代替案によって実施されてもよい。φ３とφ４との間の正確な９０度の位相シフトは、共振周波数における９０度の位相シフトを実施する論理回路によっても実施することができる。しかし、フィルタ選択肢は、デジタル制御回路において低いクロック周波数を使用することを可能にし、したがって、設計全体の目標の１つであるデジタル回路の低消費電力をさらに促進するため、有益である。オールパスフィルタによって引き起こされる位相シフトは、較正済み位相シフト係数ＣＰＣを使用して較正され、各オールパスフィルタはそれ自体の較正係数を有し、それぞれのオールパスフィルタに、それぞれの信号に対して意図された位相シフトを引き起こさせる。同相復調信号Ｉと直交位相復調信号Ｑとの間の位相シフトは本質的に９０度である。較正済み位相シフト係数ＣＰＣは、ＣＰＵなどのプロセッサから、またはレジスタ（図示せず）から受信することができる。較正済み位相シフト係数ＣＰＣは、好ましくは、製造プロセス中のＭＥＭＳデバイスの初期較正中に取得され、ＭＥＭＳデバイスが動作しているときの後の使用のためにレジスタまたは１つまたは複数のメモリに格納される。共振周波数ｆ$_{ＲＥＳ}$の変動、要素とＡＳＩＣとの間の寄生抵抗の変動、および二次ループ特性の変動などの影響を含むように、一定の温度範囲にわたって異なる複数の較正済み位相シフト係数を較正することができる。

【０１１１】

図３、図４、図５および図６に示されている実施形態では、位相シフトオールパスフィルタＡＰＦ１（１５１）およびＡＰＦ２（１５２）は、デジタル一次ループ（１００）とデジタル二次ループ（２００）との間に配置される。実際の回路実施態様では、これらのフィルタは、ＭＥＭＳ制御回路内の任意の適切な位置に実装されてもよいことを理解されたい。

【０１１２】

［二次ループ］

二次次信号は、二次次質量の運動に起因し、アナログフロントエンド回路（ＡＦＥ）によってアナログ電気信号に変換される。アナログフロントエンド回路は、デジタル二次ル

ープ回路（２００）の入力において受信されるアナログ二次入力信号を提供する。この二次入力信号は、第２のＡＤＣ（２０１）として参照される場合がある、デジタル二次ループ回路（２００）のアナログ－デジタル変換器ＡＤＣ（２０１）によってデジタル化される。

【０１１３】

デジタル二次ループ（２００）の２つの基本設計選択肢が開示されている。

【０１１４】

第１の実施形態を図３に示す。この第１の実施形態は、力フィードバック能力のない回路である。デジタル化二次信号は、第１のローパスフィルタ（２１６）によってフィルタリングすることができる。フィードバック目的のためにデジタル化二次信号の位相を調整する必要は特になく、共振周波数f_{RES}を超える高調波周波数などの望ましくない高周波数を減衰させるだけでよいため、この第１のローパスフィルタ（２１６）は、任意のデジタルローパスフィルタトポロジを使用することができる。好ましくは、第１のローパスフィルタ（２１６）は、無限インパルス応答（ＩＩＲ）フィルタを含む。

【０１１５】

デジタル二次ループ回路（２００）の第２の実施形態および第３の実施形態では、力フィードバック機能が含まれる。これらの実施形態は、それぞれ図４および図５に開示されている。図６のデジタル二次ループの実施形態は、本質的に図５の実施形態に対応する。第２の実施形態および第３の実施形態によれば、デジタル化およびフィルタリングされた信号をコヒーレント検出器回路ＣＤ（２０２）によって処理する前に、デジタル化二次信号を第１の無限インパルス応答フィルタＩＩＲ（２０６）を用いてフィルタリングすることが好ましい。デジタル二次ループにおいてＩＩＲ（２０６）を使用する利点は、単一のフィルタ回路で複数の目的を果たすことができることである。二次信号の９０度の位相遅延を必要とする力フィードバックにはＩＩＲ（２０６）が必要である。したがって、面積および電力が節約される。第１の無限インパルス応答フィルタＩＩＲ（２０６）は、共振器の共振周波数f_{RES}において、デジタル化二次信号に対して－９０度の位相シフトを生成する。第１のＩＩＲ（２０６）を使用するさらなる利点は、デジタル化二次信号のＤＣ信号レベルが維持され、第１のＩＩＲ（２０６）は本質的にデジタルローパスフィルタであるが、共振周波数f_{RES}を超える高調波周波数およびノイズが減衰されることである。第１のＩＩＲ（２０６）は、好ましくは二次以上のローパスフィルタである。フィルタは、ピーキングフィルタとして構成することもできる。二次信号の検出は、９０度の位相遅延なしに実施することもできるが、一次周波数において９０度の位相遅延を有するデジタル化二次信号は、二次ループ内に力フィードバック機能を実装するのに有用である。デジタル二次ループ（２００）における力フィードバック構成は、二次要素ならびに二次フロントエンド回路および二次バックエンド回路による閉ループトポロジを形成する。力フィードバックおよびその効果については、後でより詳細に説明する。第１のＩＩＲ（２０６）は、第２のＡＤＣ（２０１）によって生じる任意の量子化ノイズをフィルタリングするようにさらに構成することができる。

【０１１６】

デジタル二次ループ（２００）は、位相シフト回路を通じてデジタル一次ループからデジタル同相復調信号Ｉ＝ｓｉｎ（$2\Pi f_{PRIM}T+\phi 3$）およびデジタル直交位相復調信号Ｑ＝ｓｉｎ（$2\Pi f_{PRIM}T+\phi 4$）＝ｃｏｓ（$2\Pi f_{PRIM}T+\phi 3$）を受信する。復調信号は、フィルタリングされたデジタル化一次信号から生成される。例えば、デジタル二次ループアナログ－デジタル変換器ＡＤＣ（２０１）および他の信号処理の遅延、ならびにまた、例えば寄生抵抗に起因して現れることがある第１の機械的要素および第２の機械的要素によって引き起こされる遅延を含む、ＭＥＭＳデバイス回路の任意の部分によって生じる位相遅延に対してこれらの信号の位相を調整するために、デジタル化され、好ましくはフィルタリングおよび位相シフトされた二次信号の慎重な位相整合下方変換のためにそれらの信号を使用する前に、デジタル化ＩおよびＱ復調信号の位相は、好ましくは２つの位相シフトオールパスフィルタＡＰＦ１（１５１）およびＡＰＦ２（１５２

）を含む位相シフト回路によって調整される。少なくとも第２のアナログ－デジタル変換器ＡＤＣ（２０１）によって引き起こされる遅延は、例えば、第２のＡＤＣ（２０１）によって使用されるサンプリング周波数に依存し、したがって、ＩおよびＱ復調信号の位相は、回路内の既知の瞬時遅延に従って、それらの信号の位相を、デジタル化および位相シフトされた二次入力信号の位相と一致させるために、それに応じて調整する必要がある。上記に示したように、ＩおよびＱ復調信号の位相の調整は、較正済み位相シフト係数ＣＰＣによって制御される。

【０１１７】

図４の実施形態によるデジタル二次ループ（２００）は、デジタル一次ループ（１００）から一次オフセット補償信号としてデジタル化一次信号をさらに受信する。図５および図６に示す実施形態では、デジタル二次ループは、デジタル一次ループの乗算要素（１０５）の出力からデジタル一次駆動ＡＣ信号の形態の一次オフセット補償信号を受信し、図３の第２の実施形態において、一次オフセット補償信号は、振幅制限回路ＡＬ（１０７）の出力から受信される。デジタル一次ループ（１００）からデジタル化一次信号を得る正確な点とは無関係に、二次信号の一次誘導オフセット補償を行うためにデジタル二次ループに供給されるこの信号を、一次オフセット補償信号と呼ぶことができる。

【０１１８】

デジタル化二次信号をコヒーレント検出器に向けて供給する前に、この一次オフセット補償信号は、任意の一次駆動誘導二次オフセット、すなわち、一次駆動信号と二次信号との間で相関する任意のオフセット、および、したがってまた、デジタル一次ＡＣ駆動信号のノイズによって引き起こされる二次信号内のノイズを補償することを有効にするために処理される。オフセット補償は、減算（加算）要素（２１３）において、デジタル化二次信号から適切に遅延され、スケーリングされた一次オフセット補償信号を減算することによって実施することができる。一次オフセット補償信号の遅延およびスケーリングは、一次オフセット補償回路ＰＯＣ（２０３）によって実施される。一次駆動誘導二次オフセット補償の１つの結果は、二次信号における様々なクロストーク関連誤差を低減できることである。さらに、一次駆動誘導二次オフセット補償は、検出される角速度を示す検出される同相振幅信号におけるオフセット誤差を低減する。一次オフセット補償信号を処理するための回路および方法については、図１５に関連して後でより詳細に説明する。

【０１１９】

コヒーレント検出回路ＣＤ（２０２）は、当該回路の出力の１つにおいて、二次信号の復調同相成分を供給し、この同相成分信号は、ジャイロスコープが受ける検出された角速度に関する情報を提供する。この同相成分信号は、さらなる処理のために、それぞれのデジタル二次ループ出力（角速度出力）においてデジタル信号として提供することができる。さらに、コヒーレント検出器回路ＣＤ（２０２）は、当該回路の出力において、適切な信号処理がデジタル二次ループ（２００）および二次アナログバックエンド回路（ＡＢＥ）内で適用された後に直交補償のために使用され得る二次信号の復調直交成分を提供することができる。

【０１２０】

デジタル二次ループ回路（２００）が直交補償信号を生成するように構成されている場合、コヒーレント検出器回路ＣＤ（２０２）から得られる二次入力信号の直交成分は、直交補償コントローラ回路ＱＣＣ（２０４）によってさらに処理することができる。直交補償コントローラ回路ＱＣＣ（２０４）は、復調二次信号の直交位相成分内の直交成分を抽出するように構成される。ＱＣＣ（２０４）は、復調二次信号の直交成分を積分するように構成された積分回路として実装することができる。デジタル－アナログ変換器ＤＡＣ（２０５）は、最終的に、デジタル直交補償成分信号をアナログ直交補償信号（ＱＣ）に変換し、アナログ直交補償信号（ＱＣ）は、二次質量の直交運動を除去または低減するために、二次要素とともに動作可能に較正されている容量性直交補償電極に向けて直交補償信号（ＱＣ）をさらに供給し戻すために、アナログバックエンド回路（ＡＢＥ）に供給することができる。

【０１２１】
図５および図６に示す実施形態では、デジタル二次ループ（２００）は交差結合補償回路ＣＣＣ（２１０）をさらに含む。交差結合補償は、デジタル二次ループ回路（２００）内にフィードバックループを形成する。交差結合補償ＣＣＣ（２１０）は、二次ループの動的応答を制御し、二次バックエンド（ＡＢＥ）と二次フロントエンド（ＡＦＥ）との間で生じる交差結合を補償することを有効にする。交差結合補償のデジタル実施態様は、フィードバック信号の極性を変えることさえできる単純なスケーリング機能を含むことができる。この交差結合補償のデジタル実施態様は、複数のアナログコンデンサおよび高精度抵抗器を必要とするアナログ二次ループ内の同様のフィードバックと比較すると面積効率が高い。

【０１２２】
［力フィードバック］
図４、図５および図６に示すように、デジタル二次ループ（２００）は、デジタル二次ループ（２００）内に力フィードバック信号（ＦＦ）を生成するデジタル力フィードバック回路を備えることができる。力フィードバック信号（ＦＦ）は、アナログバックエンド回路を介して二次要素に向けて供給される。この力フィードバック信号（ＦＦ）は、二次ループの応答関数を調整するために使用され、結果、二次ループの振幅応答関数は、共振器の共振周波数においてまたはその付近でより平坦になる。したがって、力フィードバック機能は、二次ループを安定化させる。

【０１２３】
力フィードバック信号（ＦＦ）生成は、好ましくは二次以上のピーキング無限インパルス応答フィルタ回路ＩＩＲ（２０６）を用いてデジタル化二次信号をフィルタリングすることによって、デジタル化二次信号から開始する。好ましくは、無限インパルス応答フィルタ回路ＩＩＲ（２０６）は二次である。二次フィルタは、必要なチップ面積が小さく、デジタル化二次信号において遅延をほとんど引き起こさない。信号プロセッサ内に実装された場合、このように必要な面積および遅延が小さいことは、対応して、ＦＩＲフィルタと比較して時間ステップ当たりの計算回数が少なくなることを意味し、したがって、計算上の節約および遅延の低減がもたらされる。さらに、上述で説明したように、ＩＩＲはある範囲の共振周波数において正確な位相シフトを提供し、共振周波数を超える小さい遅延および小さい回路面積しか生ぜず、一方で、ＦＩＲは共振周波数において正確な位相シフトをもたらすが、共振周波数を超えるより大きい遅延およびより大きい回路面積をもたらす。所望のレベルでＩＩＲフィルタ回路（２０６）のＱ値を構成し、ＩＩＲフィルタ回路（２０６）のピーク周波数を適切に調整するために、フィルタ係数のセットが計算される。共振周波数f_{RES}そのものに加えて、周囲温度は、これらのフィルタ係数に影響を及ぼすパラメータであり得る。これは、機械的共振器の共振周波数f_{RES}が温度によって変化し得るためである。共振周波数f_{RES}の変化に基づいて異なる係数を定義することができる。定義されたフィルタ係数は、メモリ（複数可）またはレジスタ（複数可）に記憶され、メモリもしくはレジスタまたはＣＰＵからフィルタに提供されてもよい。共振周波数f_{RES}において、ＩＩＲフィルタ回路（２０６）は、信号の位相を９０度変化させる。力フィードバック信号には、二次質量の二次検出運動の位相に対するこの９０度の位相遅延が必要である。入来するデジタル化二次信号の直流（ＤＣ）レベルは、ＩＩＲフィルタ回路（２０６）において変化しないままであり、一次周波数を上回る周波数は減衰される。力フィードバックループにおいてＩＩＲフィルタ（２０６）を使用することのさらなる利点は、ピーキングＩＩＲフィルタによって引き起こされる位相シフトが、共振周波数を超える周波数において１８０°に近づくことであり、この位相シフトは、広い周波数範囲にわたって大きくは変化しない。ＩＩＲフィルタ（２０６）は、好ましくは、ＭＥＭＳ共振周波数f_{RES}に等しい共振周波数および１と１２との間のＱ値とを有する、インパルス不変二次連続フィルタを備えることができる。たとえば、Ｑ値が１の場合、ピーキングＩＩＲフィルタの位相シフトは、$6 * f_{RES}$を超える周波数において１７０度を超え、位相シフトは１０倍の周波数を超える周波数範囲にわたって１８０°±１０°以内の

ままである。Ｑ値が５の場合、ピーキングＩＩＲフィルタの位相シフトは、すでに２＊ｆ$_{ＲＥＳ}$の周波数において１７０度を超え、同様に、２＊ｆ$_{ＲＥＳ}$を上回る周波数の１０倍を超える周波数範囲にわたって１８０°±１０°のままである。

【０１２４】

上述の位相応答の技術的利点は、本質的に１８０°の位相シフトを有する信号が、機械的共振器においていかなる望ましくない振動モードも引き起こすことができないことである。

【０１２５】

同じデジタルＩＩＲフィルタが一次および二次ループの両方に使用される場合、チップ面積または計算上の節約のためのさらなる可能性が提供される。これは、デジタルＩＩＲフィルタのクロック速度を２倍にすることで実現できる。

【０１２６】

ＩＩＲフィルタ２０６は、好ましくは、一次信号を使用して生成されるクロックを使用する。一次信号をフィルタリングすることにより、クロック信号のノイズが低減される。一次信号からクロックを生成する利点は、クロックが一次共振周波数ｆ$_{ＲＥＳ}$の変化に追従することである。したがって、９０度の位相シフト周波数はまた、一次共振周波数の変化に追従し、ＩＩＲフィルタの係数を調整する必要性を低減する。クロックは、フィルタリングされたデジタル化一次信号から直接生成されてもよく、またはフィルタリングされたデジタル化一次信号を入力として受信するＰＬＬによって安定したシステムクロックが提供されてもよい。

【０１２７】

任意選択的に、力フィードバックループは、二次遅延補償回路（２０７）を備えることができる。デジタル二次ループ回路（２００）において使用されるサンプリングレートが高く、それぞれのサンプリング遅延がｆ$_{ＲＥＳ}$における等価位相遅延として１度未満である場合、かつ／または二次ループのＡＦＥ／ＡＢＥセクションに遅延を導入するフィルタがない場合、二次遅延補償回路（２０７）を省略することができる。

【０１２８】

第３のデジタルアナログ変換器ＤＡＣ（２０９）が、デジタル信号を、二次アナログバックエンド回路（ＡＢＥ）に供給され、フィードバック力がＭＥＭＳ要素の二次質量上で引き起こされるようにするのに適したアナログ力フィードバック信号（ＦＦ）に変換する。

【０１２９】

図８は、ピーキングＩＩＲフィルタ回路（２０６）の数周波数応答曲線を示す。図８では、ピーキングＩＩＲフィルタの応答曲線が２５０Ｈｚの間隔で示されている。実際のデバイスでは、ピーキングＩＩＲフィルタ回路（２０６）の動作パラメータを精密に設定するために、例えば１Ｈｚまたは好ましくは１０Ｈｚの間隔でフィルタ係数を計算することができ、結果、ＩＩＲフィルタ回路（２０６）のピーキング周波数は、共振周波数ｆ$_{ＲＥＳ}$を高精度で一致させるように構成することができる。当業者に知られているように、機械的共振器の温度は共振周波数に影響を与える可能性が高い。したがって、ピーキングＩＩＲフィルタ回路（２０６）の動作パラメータは温度に依存し得、温度はフィルタ係数の１つの選択パラメータとして使用されてもよい。

【０１３０】

図９ａは、力フィードバックループの主要素、特に周波数依存伝達関数を有する要素の簡略化された概略図を示す。これらの要素は、二次要素（５２）、二次ループＩＩＲ（２０６）、二次遅延補償回路ＳＤＣ（２０７）、およびアナログバックエンド回路（ＡＢＥ）内のアナログフィルタＦＩＬＴ（１７２）を含む。二次入力信号、すなわち二次要素（共振器）から受信される電気信号は、好ましくは連続時間であり、図３、図４、図５および図６に示す第２のＡＤＣ（２０１）によってデジタル化（ＡｔｏＤ）され、その後、デジタル化二次信号が、位相シフトのためにデジタル領域において第１のＩＩＲ（２０６）に供給される。さらに、デジタル領域において、二次遅延補償回路ＳＤＣ（２０７）が、

力フィードバック信号の遅延を調整し、その後、信号が、第３のＤＡＣ（２０９、ＤｔｏＡ）においてアナログ力フィードバック信号（ＦＦ）に変換される。二次遅延補償ＳＤＣ（２０７）と、アナログバックエンド回路に力フィードバック信号（ＦＦ）を供給する第３のＤＡＣ（２０９、ＤｔｏＡ）との間の任意の位置での試験目的のために、力フィードバックループに試験入力加算要素（２１１）を設けることができる。この加算要素は、ＭＥＭＳ装置の通常の動作中は使用されないため、図３～図６には示されていない。図９ａの概略図は、力フィードバックループの試験に関する結果信号を提供するように構成された試験出力の代替案も示している。テスト出力S_{out1}は、ピーキングＩＩＲフィルタ（２０６）によって位相シフトされた後、コヒーレント検出器回路ＣＤ（２０２）に向けて供給されるデジタル化二次信号に対応する。試験出力S_{out2}は、二次遅延回路ＳＤＣ（２０７）の出力における信号を表す。

【０１３１】

図９ｂは、図９ａに示す要素の伝達関数をそれぞれ示している。図９ａと比較して、別の「要素」、すなわち、二次質量に影響を与える機械力を表す加算要素（１８２）が図９ｂに追加して示されている。二次要素を表す機械的共振器の伝達関数ＴＦ＿ＲＥＳ（５２１）、および、アナログバックエンドフィルタの伝達関数ＴＦ＿ＦＩＬＴ（１７２１）はアナログ領域にあり、一方、第２の無限インパルス応答フィルタを表す伝達関数ＴＦ＿ＩＩＲ（２０６１）、および、二次遅延補償回路を表す伝達関数ＴＦ＿ＣＯＭＰ（２０７１）はデジタル領域にある。当然ながら、二次要素の二次質量に影響を与える力はアナログであり、加算機能１８２によって示すようにアナログ領域で発生するが、典型的な構成では、信号加算機能（２１１１）によって示されているように、試験信号はまた、デジタル領域において加算される。この例では、共振器の共振周波数f_{RES}は10^5ｒａｄ／ｓである。

【０１３２】

図１０は、入力信号Ｔｍならびに出力信号S_{out1}ｉおよびS_{OUT2}の１つによる、二次要素を表す機械的共振器（ＴＦ＿ＲＥＳ）およびＩＩＲ（ＴＦ＿ＩＩＲ）のみを有するループの結合伝達関数のボード線図を示す。ＩＩＲローパスフィルタの４つの異なるＱ値（５，１０，１５および２０）に対応する曲線が図にプロットされているが、Ｑ＝５、Ｑ＝１０およびＱ＝２０の再評価のみが図で識別されている。Ｑ値が高いほど、共振周波数にある位相の微分が小さくなる。これは、共振周波数の周りで位相応答曲線が平坦になっていることによって示されている。Ｑ値は、所望の設計パラメータに基づいて選択することができる。二次ＩＩＲ　Ｑ値は、好ましくは１～３０の範囲内であり得る。二次ループの高速整定時間が予想される場合、二次ＩＩＲのＱ値は１～３の範囲内にあることが好ましい。位相シフトがほぼ所望のレベルにある信号帯域が広いほど、駆動とセンスとの間、言い換えれば一次運動と二次運動との間の周波数不整合に対する許容度は高くなるため、共振周波数における位相の微分が小さいことは有益である。換言すれば、一次ループと二次ループとの精密な周波数整合はあまり重要にはならない。ＩＩＲフィルタのＱ値を大きくすると、位相微分を等しく低いレベルに保ち、同時に、帯域外利得を低減することができる。ＤＣフィードバックが正であり、機械的共振器（二次要素５２）とＩＩＲ（２０６）の両方における－９０度の位相シフトがf_{RES}における負フィードバックを確実にしている間に、振動を防止するために、ループのＤＣ利得は常に１未満であることも留意すべきである。

【０１３３】

グラフにプロットされたＱ値はすべて好ましい選択肢である１よりも十分高いという事実にもかかわらず、場合によってはより低いＱ値も可能である。ＩＩＲのＱ値が、例えば、１～３の範囲まで低下した場合、f_{RES}において位相微分が増加するが、他方、近共振帯域外利得は低下し得ず、結果、ピーキングは発生しない。これは、この帯域外利得が大幅に低下する５のＱ値によってすでに観察することができる。このように、１～３の二次ループＩＩＲ低Ｑ範囲は、二次ループに非常に速い整定時間が必要とされ、同時に、潜在的に増加した高周波数利得が良好に許容され、寄生モードが励起されない条件の、実行

可能な代替案を提供することができる。

【０１３４】

図１１ａは、図１０ｂに示す要素の別々の伝達関数を有するボード線図を表す。二次要素を表す機械的共振器の大きさ伝達関数ＲＦ＿ＲＥＳは、共振周波数f_{RES}において明確なピークを有し、ＩＩＲフィルタの伝達関数ＴＦ＿ＩＩＲも共振周波数f_{RES}においてピークに設定される。力フィードバックの実施のための重要な特徴は、この周波数において、ＩＩＲフィルタの位相応答ＴＦ＿ＩＩＲが機械的共振器の位相応答にかなり近いことである。バックエンド内のアナログフィルタは、主に、共振周波数f_{RES}を明確に上回る高周波数、例えば量子化ノイズをフィルタリング除外するように構成されており、したがって、アナログフィルタの位相応答ＴＦ＿ＦＩＬＴは、共振周波数において信号の位相に僅かな変化しか引き起こさない。二次遅延補償の伝達関数ＴＦ＿ＣＯＭＰは、ＤＣ信号を除去するように構成されたハイパスフィルタとしてモデル化することができ、ハイパスフィルタの位相シフトはローパスフィルタと逆方向であるが、二次遅延補償の伝達関数ＴＦ＿ＣＯＭＰは、アナログフィルタリングＴＦ＿ＦＩＬＴによって引き起こされるわずかな位相シフトを補償するように構成することができる。

【０１３５】

力フィードバックの目的のために、全ループ伝達関数は、－１８０度の位相シフト、換言すれば、共振周波数f_{RES}における１８０度の位相遅延を有するべきである。この位相シフトは、共振器およびＩＩＲフィルタのピーキング伝達関数ＴＦ＿ＲＥＳ、ＴＦ＿ＩＩＲによって達成される。このように、さらなる位相反転は必要ないか、または許容されない。本質的にコリオリ加速度計を形成するセンサループは、二次共振周波数において動作領域を提供する最も高い信号を有するため、一次および二次共振周波数の周波数整合が重要である。

【０１３６】

T_{in}からS_{OUT1}またはS_{OUT2}までの力フィードバックループの結合閉ループ伝達関数を示すボード線図を、ＩＩＲの異なるＱ値を有する図１１ｂに見ることができる。アナログフィルタリングＴＦ＿ＦＩＬＴの効果を導入した効果が曲線に見られる。ＴＦ＿ＦＩＬＴがループに影響を及ぼすと、共振周波数f_{RES}を超える周波数での利得が増加する。ループ内にハイパスフィルタＴＦ＿ＣＯＭＰを追加することによって、共振周波数f_{RES}を超える周波数での利得は、ＴＦ＿ＦＩＬＴなしの場合と同様のレベルに戻る。共振周波数f_{RES}未満の利得は、ＴＦ＿ＦＩＬＴおよびＴＦ＿ＩＩＲのみによって達成される元の「中間」ピークを超えてわずかにしかピーキングしない。伝達関数要素ＴＦ＿ＲＥＳ、ＴＦ＿ＩＩＲ、ＴＦ＿ＣＯＭＰおよびＴＦ＿ＦＩＬＴによる二次ループの結合伝達関数は、共振器の伝達関数ＴＦ＿ＲＥＳおよび位相シフト要素の伝達関数ＴＦ＿ＩＩＲのみを有する「理想的な」回路と比較して、共振周波数f_{RES}においてわずかに小さい位相シフトを有することができる。図１１ｂのすべての位相シフト要素を有する回路の結合伝達関数、および、したがって結合伝達関数のステップ応答は、共振器ＴＦ＿ＲＥＳおよびフィルタＴＦ＿ＩＩＲのみの組み合わせに対してほぼ同じレベルの整定時間を有する力フィードバックループを提供する。

【０１３７】

ＩＩＲの品質係数（すなわち、品質値、Ｑ値）を増加させることにより、帯域外周波数におけるより小さい利得を利用することが可能になる。これにより、二次ループは、望ましくない寄生モードにおいて振動しにくくなる。デジタル設計は、高品質係数を有する信頼性の高いフィルタを有効にするが、類似の位相応答を有するアナログフィルタの実装は達成するのが非常に困難である。アナログフィルタ設計では、Ｑ値の大きな変動が許容されるべきであり、これはやはり問題となる。

【０１３８】

二次ループのデジタル化はまた、二次ループ回路設計におけるさらなる柔軟性をもたらす。１つではなく２つの二次ＩＩＲフィルタを並列に配置し、それ以外は同様であるが、システムの共振周波数において２つのＩＩＲの固有周波数の平均を中心として、フィルタ

の固有周波数にわずかな差（すなわち８００Ｈｚ）があるように２つのＩＩＲを構成することによって、さらに広い微分位相応答帯域を達成することができる。このような代替の構成は、単一のＩＩＲ（２０６）を置き換えるために使用できる並列ＩＩＲ（２０６ａ、２０６ｂ）を用いて図１２に示されている。第１のＩＩＲ（２０６ａ）の固有周波数は、例えば、$f_{RES}+\Delta f$に設定され得、第２のＩＩＲ（２０６ｂ）の固有周波数は、$f_{RES}-\Delta f$に設定され得る。当業者に知られているように、ローパスフィルタの固有周波数は、フィルタによって引き起こされる位相シフトが－９０度である周波数に等しい。並列ＩＩＲを有する構成は、さらにより低い帯域外閉ループ共振利得を可能にし、同時にまた、共振周波数付近の利得変動を低減する。出力信号を結合するために、２つの並列フィルタの出力に加算要素（２２２）が必要である。

【０１３９】

デジタル力フィードバックループのさらなる利点を得るために、第２のアナログデジタル変換器ＡＤＣ（２０１）に設定される要件が緩和され得る。離散時間シグマデルタＡＤＣは第２のＡＤＣ（２０１）の実現可能な代替手段であるが、連続時間シグマデルタＡＤＣはさらに優れている場合がある。これは、連続時間シグマデルタＡＤＣがＭＥＭＳ共振器に直接インターフェースすることができ、結果、高電圧検出ＤＣバイアスを利用することができ、一方、ＡＤＣの内部フィードバックに起因するわずかな非直線性が共振周波数における高いループ利得によって効率的に低減されるためである。したがって、アナログ－デジタル変換の前に必要とされる利得増加回路の数が減少する。十分に高い電圧検出ＤＣバイアスおよび連続時間シグマデルタＡＤＣによって、二次アナログフロントエンド内にユニティゲインを有するソリューション、言い換えれば、アナログ－デジタル変換の前に追加の利得増大回路を有しないソリューションさえ達成することができる。

【０１４０】

閉ループダイナミクスに大きな影響を与えないように、デジタル二次ループ回路（２００）の遅延要件は容易に厳密になるとき、ナイキスト型アナログ－デジタル（ＡＤＣ）およびデジタル－アナログ（ＤＡＣ）変換器は、デジタルコントローラ回路全体の電流消費の大部分を引き起こす。消費電力が重要な要素である用途では、アナログ－デジタル変換とデジタル－アナログ変換の両方にオーバーサンプリングデータ変換器を使用することが、１つの実行可能な代替ソリューションである。このアプローチを図１３に示す。

【０１４１】

図１３によれば、二次信号は二次要素（５２）から受信され、二次アナログフロントエンド回路（６２）において、容易にデジタル化される二次入力信号を生成するためのアナログ信号処理が行われる。１０ＭＳ／ｓ（１０＊１０＾６サンプル／秒）のサンプリングレートを備えたシングルビット二次シグマデルタアナログ－デジタル変換器ΣΔＡＤＣ（２０１）が、信号周波数（共振周波数f_{RES}）が２０ｋＨｚであるときに、２５０のオーバーサンプリング比をもたらす。実現可能なオーバーサンプリング比の範囲は、１００から３００の間であり得る。この典型的な事例では、シグマデルタアナログデジタル変換器ΣΔＡＤＣ（２０１）の量子化ノイズ制限されたダイナミックレンジは１６ビットに近く、一方、遅延は通常２サンプルだけである。高いオーバーサンプリング比、換言すれば、高いサンプリングレートは、ＡＤＣ変換によって生じる遅延を低減する。例えば、シグマ－デルタＡＤＣ回路において三次変調器を使用することにより、量子化に関するさらなる改善が容易に得られる。これにより、信号周波数、より正確には共振周波数f_{RES}において量子化ノイズ伝達関数内のノッチを有するようにシグマデルタＡＤＣを構成することにより、信号周波数でのローカル量子化ノイズの最小値の生成が有効になる。この方法はさらに、二次変調器を使用する実施形態のものから遅延が増加されることが可能である場合に、サンプリングレートを低減することを可能にする。

【０１４２】

単一ビットデータストリームは、第１のＩＩＲ（２０６）の入力または出力におけるデータレートを一切変化させずに、第１の無限インパルス応答フィルタＩＩＲ（２０６）に直接供給することができる。したがって、信号のデシメーションは必要なく、同じサンプ

リング周波数を力フィードバックループ全体で使用することができる。ピーキングタイプの第２の無限インパルス応答フィルタＩＩＲ（２０６）は、フィルタリングされた二次信号の高周波数量子化ノイズ内容を大幅に低減するが、除去しない。したがって、復調前に追加のフィルタリングを使用するか、または、帯域外ノイズ成分のフォールディングを防止するために、高い線形性、および、デジタル化二次入力信号のデータレートと同じデータレートを有するサイン復調搬送波（Ｉ）を使用することによって、コヒーレント検出器回路（ＣＤ、図示せず）内のデジタル化された（好ましくはＩＩＲフィルタリングされた）二次信号の復調において残りの量子化ノイズを考慮することが大いに重要である。デジタル化された、好ましくはＩＩＲフィルタされた（したがって、位相遅延された）二次信号を、力フィードバック信号（ＦＦ）の生成に使用することができる。力フィードバック信号が第３のデジタル－アナログ変換器（２０９）においてアナログ力フィードバック信号（ＦＦ）に変換される前に、力フィードバック信号の遅延および利得を調整するために、さらなる二次遅延および利得制御回路（２０７および２０８）を設けることができる。二次アナログバックエンド内で、例えば、力フィードバック信号（ＦＦ）の高周波数ノイズ内容を低減するために、力フィードバック信号（ＦＦ）をフィルタリングするためのさらなるアナログローパスフィルタ（３０１）を構成することができる。

【０１４３】

好ましくは、二次力フィードバックループ内の第３のＤＡＣ（２０９）は、デジタル二次ループ（２００）内の第２のＡＤＣ（２０１）と同じ周波数で動作する、マルチレベルシグマデルタ（ΣΔ）デジタル－アナログ変換器（ΣΔ　ＤＡＣ）である。このようなマルチレベルＤＡＣを使用することにより、量子化ノイズが低減される。このアプローチでは、ＡＤＣ（２０１）と第３のＤＡＣ（２０９）との間の追加のフィルタリングの必要はなく、同時に、同じサンプリングレートは、デジタル部分においてフォールディングが起こらないことを保証する。アナログ部分の交差結合は潜在的に問題になる可能性があるため、アナログローパスフィルタ（３０１）を追加して、サンプリングレートのナイキスト周波数を上回る出力を減衰させることが重要であり得る。第３のＤＡＣ（２０９）出力における量子化レベルの数、出力線形性、および回路のアナログバックエンド部分におけるローパスフィルタ（３０１）の複雑さは妥協することができる。ローパスフィルタ（３０１）の遅延は小さいままでなければならず、ローパスフィルタ（３０１）のコーナ周波数を二次信号の信号周波数の少なくとも１０倍に設定することが好ましい。アナログローパスフィルタリングを使用して、センサ要素の非理想性および／またはＡＤＣ（２０９）でのフォールディングにも起因する信号周波数誤差に変わる、第３のＤＡＣ（２０９）の量子化ノイズの危険性を低減することができる。しかしながら、質量の慣性により機械的ローパスフィルタとして作用するため、二次質量は、高周波数量子化ノイズのフィルタとして利用することもできる。高周波数で非常に高いノイズ含有量がある場合、二次質量の高周波数モードが、ＭＥＭＳ要素の非線形性およびＡＤＣ（２０９）におけるサンプリング動作とともに、ノイズが信号周波数に畳み込まないように注意しなければならない。

【０１４４】

図１３に示す代替実施形態の利点は、変換器回路における遅延が最小限に抑えられ、変換器回路による電力消費もナイキスト型変換器と比較して低減されることである。

【０１４５】

［コヒーレント検出器］

図１４は、図２～図６に開示されたコントローラ回路のいずれかと関連してデジタル二次ループで使用され得る、典型的なコヒーレント検出回路ＣＤ（２０２）の典型的な概略図を示す。

【０１４６】

理想的にはＱ＝ｃｏｓ（$2\Pi f_{RES}T+\phi_3$）で表すことができる同相復調信号Ｉ＝ｓｉｎ（$2\Pi f_{RES}T+\phi_3$）および直交位相復調信号Ｑ＝ｓｉｎ（$-2\Pi f_{RES}T+\phi_4$）が位相調整されて、デジタル化二次信号の同相成分および直交成分と整合し、Ｉ信号およびＱ信号の相対位相差を９０度に設定するように、これらの信号の位相が調整さ

れる。上で開示したように、位相調整された復調信号ＩおよびＱは、共振周波数f_{RES}において一次ループから振動信号を受信する、適切に較正された位相シフトフィルタＡＰＦ１（１５１）およびＡＰＦ２（１５２）から受信され得る。代替的に、変調信号は、図２のようにＤＤＳから受信されてもよい。位相シフトフィルタを用いて復調信号の位相調整を行う目的は、ダウンコンバートが可能な限り位相整合され、得られる同相振幅成分信号に直角信号成分が漏れることがなく、その逆も同様であるように、デジタル化二次信号をダウンコンバートするために使用される信号がデジタル化二次信号と同じ位相にあることを確実にすることである。位相値ϕ_3および／またはϕ_4は、位相φ１の位相調整されたデジタル化一次信号と、デジタル二次ループの設計に応じて、デジタル二次ループ内の位相シフト後の、または位相シフトされていない、デジタル化二次信号との間の位相差を引き起こす、あらゆるシステム遅延を補償するように調整される。

【０１４７】

第２のアナログ－デジタル変換器ＡＤＣ（２０１）から受信され、任意選択的に、第１のＩＩＲフィルタ（２０６）または第１のローパスフィルタ（２１６）によってフィルタリングおよび位相シフトされているデジタル化二次信号は、コヒーレント検出器回路ＣＤ（２０２）内の２つの二次信号処理分岐、すなわち同相分岐（７１１，７１４，７１５）および直交分岐（７１２，７１３）に分割することができる。遅延された同相復調信号Ｉは、コヒーレント検出器回路の同相分岐内の信号をダウンコンバートするために使用され、遅延された直交位相復調信号Ｑは、コヒーレント検出器回路（２０２）の直交分岐内の信号をダウンコンバートするために使用される。直交補償を使用しない場合は、直交分岐を省略することができる。

【０１４８】

同相信号処理分岐では、デジタル化二次信号は、ここでは、遅延された同相復調信号Ｉ＝ｓｉｎ（$2\Pi f_{RES}T+\phi_3$）を使用して、第１のミキサ回路（７１１）を用いてダウンコンバートされ、ダウンコンバートは、同相振幅信号をもたらす。位相整合ダウンコンバートを、復調における位相誤差を最小限にしながら、すなわち可能な限り完全に位相整合させて実行することが重要である。この関連において、完全とは、信号の位相が同じであること、または、統計的に高い依存性があることを示す。ダウンコンバートにおいて、二次信号の所望の信号帯域は、入力角速度が、一致する周波数においてセンサ出力応答を生成するように、非常に低い周波数に変換される。一実施形態では、ダウンコンバートされる所望の信号帯域は、直流レベル、すなわち０Ｈｚから始まる。次いで、ダウンコンバートされた同相振幅信号は、より高い周波数を有する任意の望ましくない信号成分を低減するためにローパスフィルタリングすることができる。ダウンコンバートされた同相振幅信号をフィルタリングし、同相振幅信号のサンプリングレートを低減するために、デシメーションフィルタ（７１４）、例えばカスケード積分器－コーム（ＣＩＣ）フィルタを使用することができる。デシメーティングフィルタ（７１４）は、サンプリング周波数の大きな変化を考慮して柔軟であり、ダウンコンバート中に信号に現れる可能性のある一次周波数の任意の高調波成分も効率的にフィルタリング除外する。

【０１４９】

二次信号をデジタル化するためにシグマ－デルタＡＤＣを使用した結果として、二次ループが高周波数において高レベルの量子化ノイズを含む場合、デジタル一次ループとデジタル二次ループの両方における、および、デジタル二次ループとデジタル一次ループとの間の信号経路における共振周波数の１００～３００倍のレベルで同じ高サンプリングレートを利用することが有用な場合がある。最低でも、二次と同じサンプリングレートを得るために、一次ループ信号の線形補間が実現可能であり得る。

【０１５０】

一次信号に量子化ノイズがなく、本質的にf_{RES}を超える信号パワーもないと仮定すると、同じサンプリングレートを使用することによって、復調プロセスにおける二次ＡＤＣ量子化ノイズのダウンコンバートが防止される。理論的には、力フィードバックが二次ループで使用されなかった場合には、共振周波数のちょうど１０倍程度のサンプリングレ

ートを使用することができる。しかしながら、力フィードバック応答時間要件は、デジタル回路のサンプリングレートの実際的な最小値を共振周波数の約１００倍に設定する。

【０１５１】

デシメートフィルタ（７１４）によって同相振幅信号を任意選択的にフィルタリングした後、達成された同相および直交チャネル（Ｉｓ，Ｑｓ）振幅信号のベクトルノルムを計算して、同相振幅信号における小さな残りの位相誤差をさらに補正することができる。ベクトルノルム回路ＶＮ（７１５）が、同相振幅信号のベクトルノルム

【数１】

$$\sqrt{(Is)^2 + (Qs)^2}$$

を計算するように構成されている同相信号処理分岐に含まれてもよく、結果、ベクトルノルムは、同相振幅値ベクトル（Ｉｓ）と直交振幅値ベクトル（Ｑｓ）とを組み合わせた長さの絶対値を示す。ベクトルノルムの符号は、検出された角速度の正しい方向を維持するために、同相信号ベクトルの符号と同じである。したがって、コヒーレント検出器回路によって得られる同相振幅信号は、同相振幅ベクトルと直交振幅ベクトルとを組み合わせた長さの絶対値を含むことができる。ベクトルノルムの計算は、例えば、相対位相φ３およびφ４を有する共振周波数信号に対応する同相復調信号Ｉと直交復調信号Ｑとの間の、最適でない位相差（正確な９０度から逸脱する）によって生じる誤差を補償するために使用され得る。デジタル振動信号φ３とφ４との間の正確な９０度の位相差を保証するのではなく、同相信号の位相整合検出を行った後のベクトルノルムの計算を用いる利点は、これらの信号を生成する回路の設計制約を低減することができることである。ベクトルノルム計算は、復調における任意の位相不整合の影響を排除するのに有用であり得る。例えば、復調クロック位相不整合が存在する場合、直交補償は角速度信号に応答する可能性がある。したがって、直交補償帯域幅を超える周波数において、同相振幅チャネルの利得が変化する可能性がある。ベクトルノルムの計算は、このタイプの周波数依存利得シフトを排除することができる。ベクトルノルムの効率的な計算は、ＣＯＲＤＩＣアルゴリズムを使用して実施することができる。

【０１５２】

１つの代替的な実施態様では、一次オフセット補償回路ＰＯＣ（２０３）によって提供される遅延およびスケーリングされた一次オフセット補償信号が、第１のミキサ回路（７１１）によってダウンコンバートする前に、減算要素（２１３）を同相分岐内に結合することによって、コヒーレント検出器ＤＣ（２０２）の同相分岐から減算される。

【０１５３】

直交信号処理分岐において、デジタル化二次信号は、遅延された直交位相復調信号Ｑを使用して第２のミキサ回路（７１２）内でダウンコンバートされ、直交振幅信号が生じる。同相復調信号Ｉと同様に、デジタル化二次信号のダウンコンバートを、可能な限り完全に位相整合させて実行することが重要である。ダウンコンバートの位相誤差は、特に直交補償が完全でない場合、利得誤差およびまたオフセット依存性を引き起こす可能性がある。ダウンコンバートにおいて、二次信号の所望の信号帯域は、入力角速度が、一致する周波数においてセンサ出力応答を生成するように、非常に低い周波数に変換される。一実施形態では、ダウンコンバートされる所望の信号帯域は、直流レベル、すなわち０Ｈｚから始まる。次いで、ダウンコンバートされた直交分岐信号は、より高い周波数を有する任意の望ましくない信号成分を低減するためにローパスフィルタリングされる。デシメーティングフィルタ（７１３）が、ダウンコンバートされた直交振幅信号を必要に応じてフィルタリングするために使用されてもよい。直交信号処理分岐におけるダウンコンバートおよびフィルタリングの結果は、二次入力信号内の直交成分の大きさを表すデジタル信号である。一実施形態では、デシメーティングフィルタは、約１００Ｈｚを上回る周波数を有する任意の信号成分を減衰させる。デシメーションフィルタ（７１３，７１４）は任意選択であり、例えば、デジタルＬＰＦ（１０６）およびＩＩＲ（２０６）が、それぞれ第１または第２のＡＤＣ（１０１，２０１）によって引き起こされる任意の量子化ノイズをフィ

ルタリングするように構成されている場合、コヒーレント検出器回路（２０２）から省略することができることが留意されるべきである。

【０１５４】

［オフセット補償］

図１５は、一次オフセット補償回路ＰＯＣ（２０３）の一実施形態を示す。一次駆動誘導二次オフセットは、様々な理由により発生する可能性がある。例えば、一次駆動と二次信号との間のクロストークが、一次運動が依然として小さいが、一次駆動がアクティブ化されているときに、二次信号内の同相成分の存在として検出され得る。一次チャネルと二次チャネルとの間の他の典型的なオフセット源は、いくつか挙げると、復調誤差、一次質量の一次運動に起因する二次質量の直接励起、バイアス電圧の非ゼロインピーダンスに起因するリップルおよび非等長減衰である。したがって、オフセットとは、ジャイロスコープデバイスが角速度を受けていないときの、二次信号におけるゼロ値からの任意の偏差を指す。デジタル遅延回路（７１０）、乗算器回路（７１７）を備え、減算（加算）要素（２１３）によって二次信号チェーンに結合されたオフセット補償回路は、デジタル化二次同相信号からの多数のこのようなオフセット信号を補償するように構成される。

【０１５５】

一次遅延Δ_{PRIM}が、較正プロセスにおいて規定され、二次信号からのクロストーク信号の同相成分を最小化するために、１つまたは複数の較正係数$Coeff_T$が規定され得る。例えば、異なる較正係数$Coeff_T$を異なる周囲温度に対して定義することができる。温度に依存する較正係数$Coeff_T$を使用することによって、より従来的な温度補償で可能な範囲を超えて、異なる周囲温度におけるオフセット補償を改善することができる。特に、そのような温度依存の較正係数$Coeff_T$は、一次駆動誘導二次オフセットと相関する一次ループ信号の不正確さを減少させることができる。較正プロセスにおいて定義された遅延値および／または対応する較正係数は、その後の使用のために適切なメモリまたはレジスタ（複数可）に格納される。

【０１５６】

一次駆動誘導二次オフセット補償を有効にするのに必要な一次オフセット補償信号の調整可能な遅延Δ_{PRIM}は、適切なデジタル遅延回路（７１０）によって、例えば、プログラム可能ＦＩＦＯ回路または所望の調整可能な遅延Δ_{PRIM}を導入するように構成されたデジタルフィルタによって実施することができる。ＦＩＦＯとデジタルフィルタの両方が、正確で小さな位相ステップを提供し、したがって、良好な位相較正公差を提供することができる。さらに、較正係数$Coeff_T$は、デジタル化二次信号から、得られるオフセット補償信号を減算する前に、乗算器回路（７１７）によって時間遅延された一次オフセット補償信号に適用されてもよい。

【０１５７】

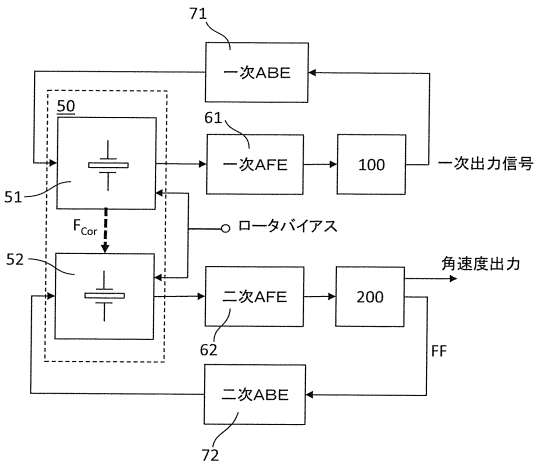
図１６は、典型的なＭＥＭＳジャイロスコープにおける一次駆動誘導二次オフセットの補償の結果を示す。検出された角速度が０ｄｐｓ（度毎秒）である状況において、２つの信号、すなわち、補償されていない二次同相信号および補償された二次同相信号の電力スペクトル密度（ＰＳＤ）がプロットされている。補償されていない信号は、特に５Ｈｚ未満の周波数において高いオフセットレベルを示す。補償された信号は、これらの周波数において一次駆動ループ誘導二次オフセットの有意な減少を示す。

【０１５８】

技術の進歩とともに、本発明の基本的な着想を様々な方法で実施することができることが、当業者には明らかである。それゆえ、本発明およびその実施形態は上述の例には限定されず、特許請求項の範囲内で様々に変化してもよい。

【図１】

図1



【図２】

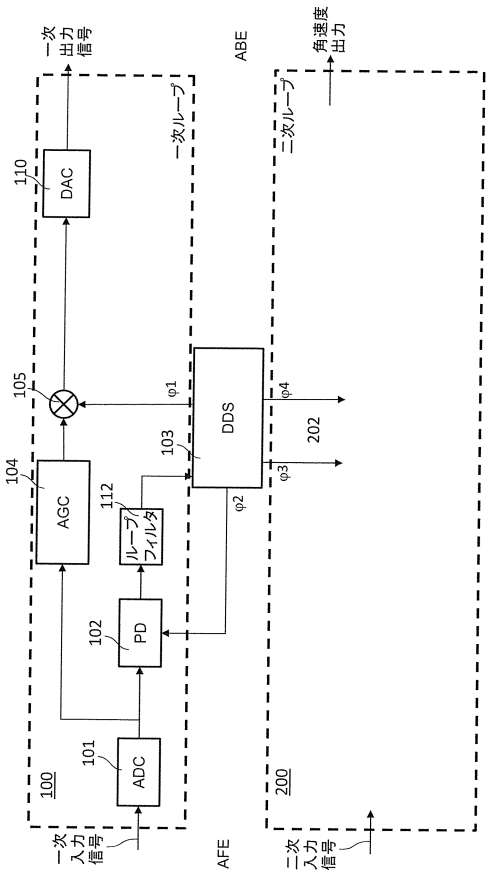


図2

【図３】

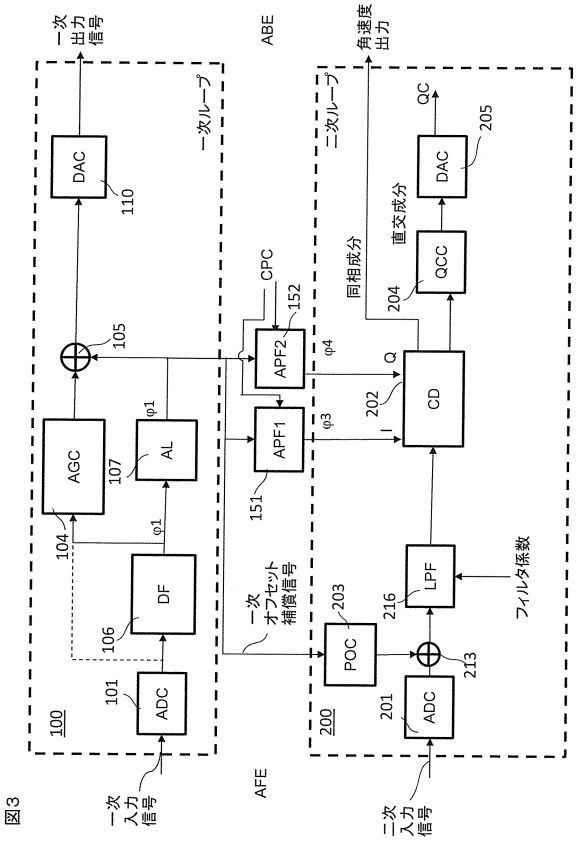


図3

【図４】

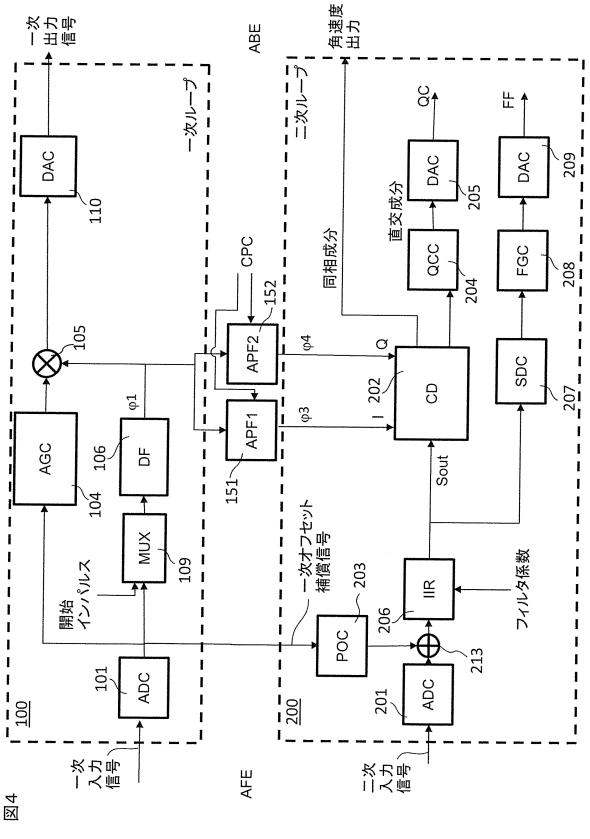


図4

【図５】

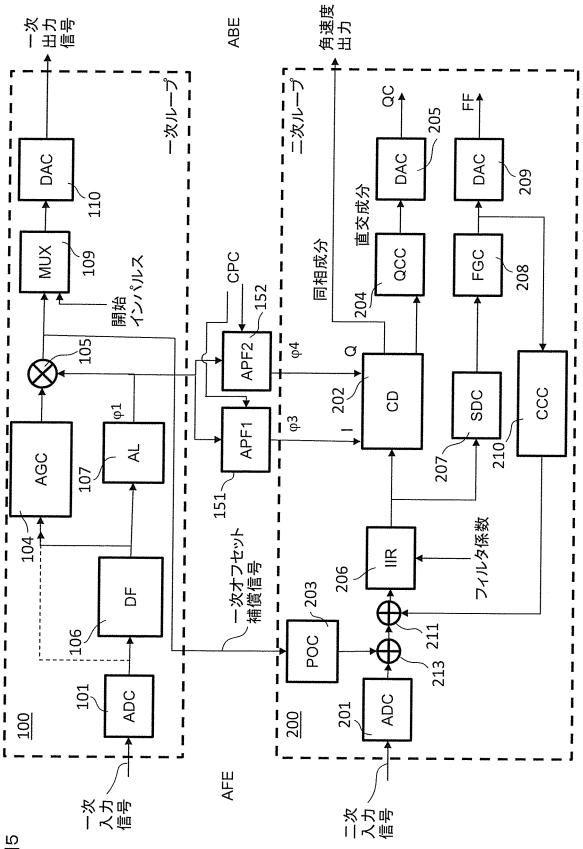


図5

【図６】

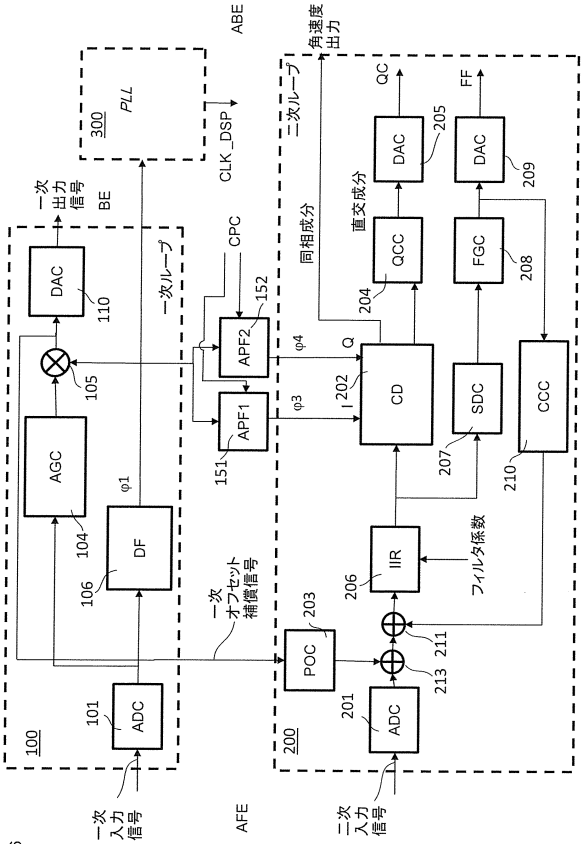
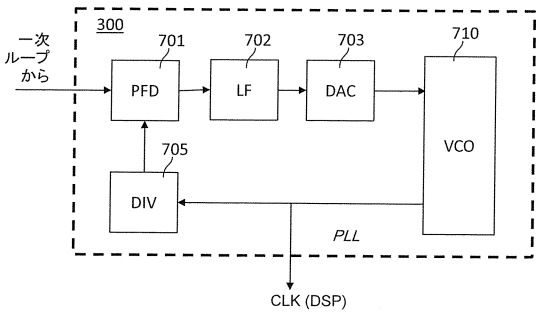


図6

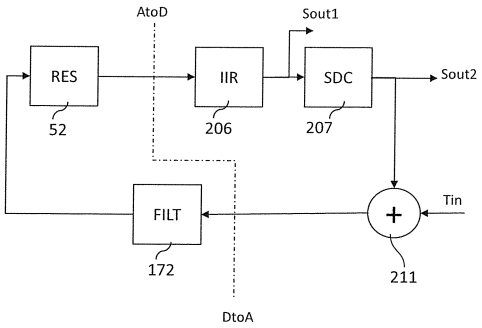
【図７】

図7



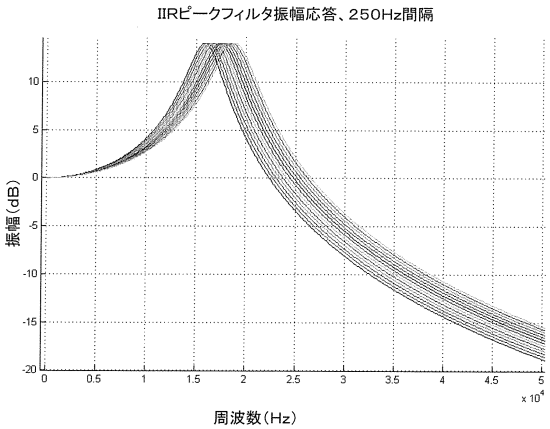
【図９ａ】

図9a



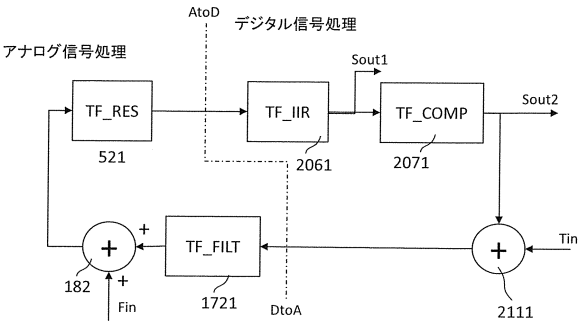
【図８】

図8

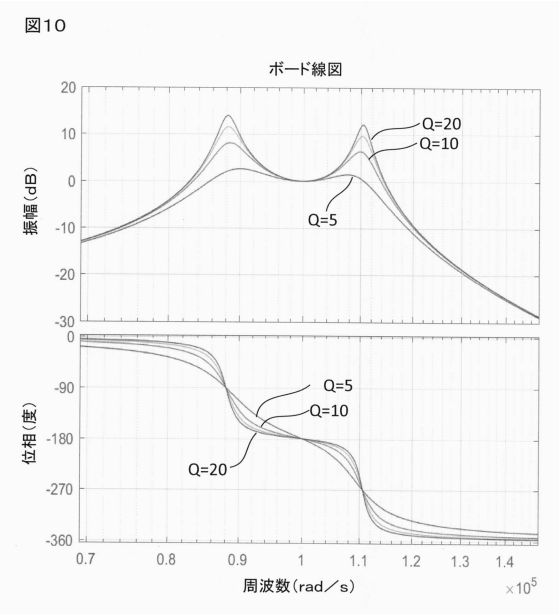


【図９ｂ】

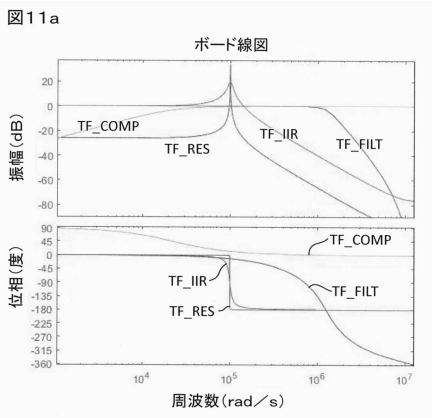
図9b



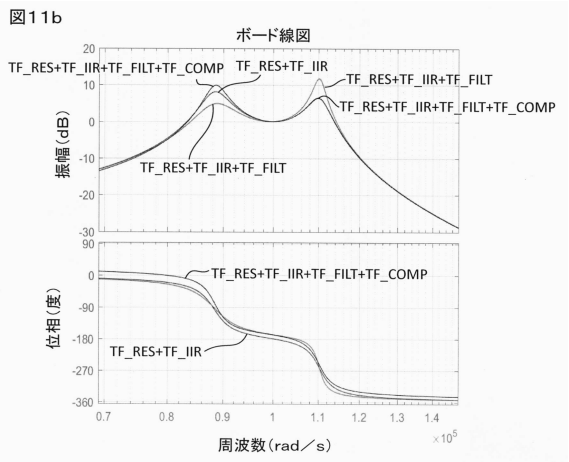
【図１０】



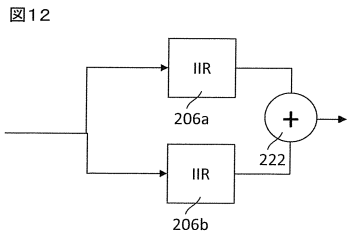
【図１１ａ】



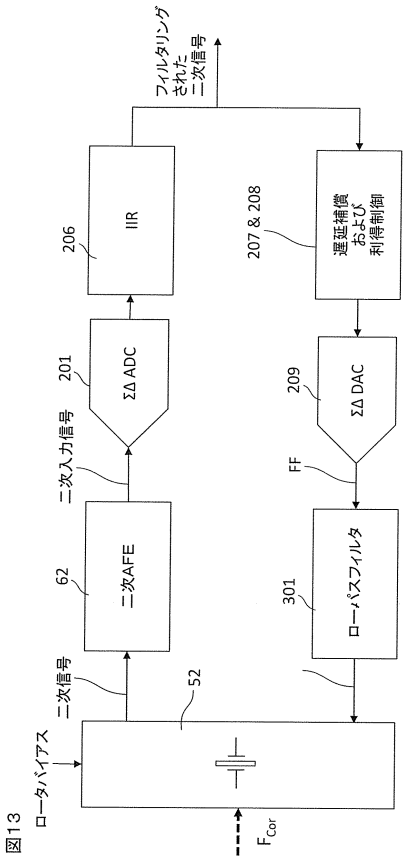
【図１１ｂ】



【図１２】



【図１３】



【図１４】

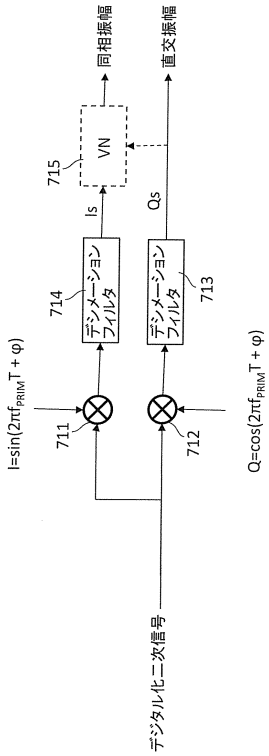
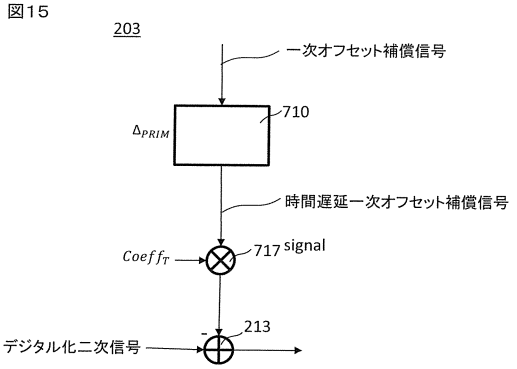


図14

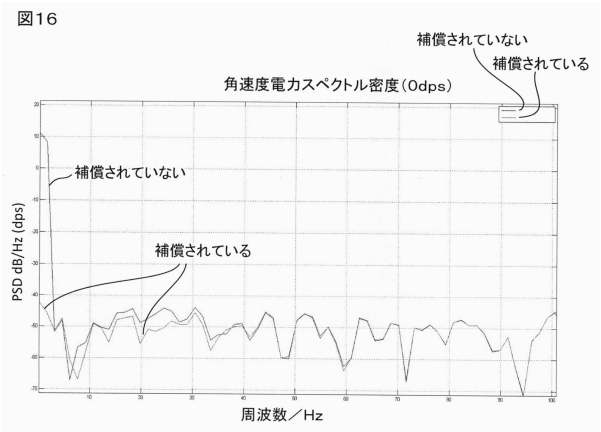
【図１５】

図15



【図１６】

図16



フロントページの続き

(72)発明者　アールトネン・ラッセ
フィンランド共和国、０２２４０　エスポー、ピースパンマエンクヤ　２　エフ　１４

審査官　川村　大輔

(56)参考文献　米国特許出願公開第２００４／００８８１２７（ＵＳ，Ａ１）
国際公開第２００９／０３７４９９（WO，Ａ１）
欧州特許出願公開第０２４６６２５７（ＥＰ，Ａ１）
RAMAN J; ET AL, A CLOSED-LOOP DIGITALLY CONTROLLED MEMS GYROSCOPE WITH UNCONSTRAINED SIGMA-DELTA FORCE-FEEDBACK, IEEE SENSORS JOURNAL, 米国, IEEE SERVICE CENTER, ２００９年３月, VOL:9, NR:3, PAGE(S):297 - 305, ＵＲＬ, https://ieeexplore.ieee.org/document/4785264

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０１Ｃ　１９／００－１９／６２