

發明專利說明書00529159

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：03/3655/

※申請日期：93.11.26

※IPC 分類：G9G 3/36

一、發明名稱：(中文/英文)

處理信號之裝置及方法

APPARATUS AND METHOD OF PROCESSING SIGNALS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 1 人)

姓 名：(中文/英文)

權秀現

KWON, SU-HYUN

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2003年11月26日；10-2003-0084534

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於處理信號之裝置及方法。

【先前技術】

一般而言，液晶顯示器(LCD)包括一對面板與一插入於該對面板之間並具有介電各向異性之液晶(LC)層，其中該對面板包括複數個像素電極及一共同電極。像素電極係以矩陣排列且連接至諸如薄膜電晶體(TFT)之開關元件。逐列(row by row)經由TFT而將資料電壓供應至像素電極。共同電極遍及於(range over)面板之整個表面之上且供應有一共同電極。像素電極及共同電極連同安置於其間之LC層一起形成電路圖中的LC電容器，且LC電容器以及開關元件為形成像素之基本元件。

LCD藉由施加電壓至電極而在LC層中產生電場，且藉由控制電場強度以改變入射於LC層上之光的透射率來獲得所要影像。此時，資料電壓相對於共同電壓之極性在訊框、列或點之單位中週期性地反向以防止由於長時間施加單向電場等而使液晶變差。

LCD日益用於顯示運動影像且液晶之慢回應時間受到關注。詳言之，顯示設備之尺寸及解析度的增加強烈要求改良回應時間。

詳言之，液晶之慢回應時間使得像素需要一段時間來達到所要亮度。用於獲得所要亮度之時間取決於用於給出所要亮度之目標電壓與像素之整個LC電容器上之先前充電電

壓之間的差值。若電壓差較大，則像素在給定時間內不能達到所要亮度。

為解決該問題，提出了動態電容補償(DCC)，其用於在不改變液晶自身之特性的情況下改良回應時間。DCC施加高於目標電壓之電壓至LC電容器以減少用於達到所要亮度之時間。

DCC在比較了連續兩個或三個訊框之間的影像資料之後產生經調節之影像資料，且因而需要至少一訊框記憶體來儲存一個訊框之影像資料。

然而，訊框記憶體增加了產品成本及控制板面積。

【發明內容】

本發明提供一種處理信號之裝置，其包括：一訊框記憶體，其儲存兩個訊框之資料；及一信號處理單元，其在輸入一列資料期間將兩列資料寫入至該訊框記憶體中或自該訊框記憶體讀取兩列資料。

寫入操作與讀取操作可交替進行。

信號處理單元可包括一寫入線路記憶體及一讀取線路記憶體，且信號處理單元將輸入資料自外部設備寫入至寫入線路記憶體中並將儲存資料自訊框記憶體寫入至讀取線路記憶體中。

信號處理單元可將影像資料自寫入線路記憶體寫入至訊框記憶體中。

輸入資料可為當前訊框之資料且儲存資料可為先前訊框之資料。

寫入線路記憶體及讀取線路記憶體可包括FIFO或雙埠(dual portion)RAM。

信號處理單元可將當前訊框之奇數列資料寫入至寫入線路記憶體中且在輸入當前訊框之奇數列資料期間將儲存於訊框記憶體中之先前訊框奇數及偶數列資料寫入至讀取線路記憶體中，且信號處理單元可將當前訊框之偶數列資料寫入至寫入線路記憶體中且在輸入當前訊框之偶數列資料期間將儲存於讀取線路記憶體中之當前訊框奇數及偶數列資料寫入至訊框記憶體中。

信號處理單元可講儲存於寫入線路記憶體中之當前訊框資料與儲存於讀取線路記憶體中之先前訊框資料進行比較且可基於該比較來調節當前訊框之資料。

訊框記憶體可於一時脈中接收或輸出兩資料。

訊框記憶體可包括DDR SDRAM。

信號處理單元可轉換輸入資料之位元數及運作頻率且可將所轉換之資料儲存於訊框記憶體中。

所轉換之資料的位元數可等於32位元。

顯示設備可包括上述裝置。

本發明提供一種處理信號之方法，其包括：自外部設備接收輸入資料；在輸入一列輸入資料期間將兩列輸入資料寫入至訊框記憶體中；及在輸入一列輸入資料期間自訊框記憶體讀取兩列儲存資料。

輸入資料可為當前訊框之資料且儲存資料可為先前訊框之資料。

寫入操作及讀取操作可交替進行。

該方法可進一步包括：講當前訊框之資料與先前訊框之資料進行比較；及基於該比較來調節當前訊框之資料。

該方法進一步包括：轉換輸入資料之位元數及運作頻率；且將所轉換之資料寫入至訊框記憶體中。

【實施方式】

現在，將參看附隨圖式於下文中更詳細地描述本發明，其中展示了本發明之較佳實施例。然而，本發明可以許多不同形式來予以實施且不應將其理解成侷限於本文所陳述之實施例。

在圖式中，為清晰起見而誇示了層及區域之厚度。全部圖式中相同數字係指相同元件。應瞭解，當將諸如層、區域或基板之元件稱為"位於"另一元件"上"時，其可直接位於其它元件上或亦可存在介入元件。相對照而言，當將元件稱為"直接位於"另一元件"上"時，不存在介入元件。

現在，將參看附隨圖式詳細描述根據本發明之實施例的信號處理裝置及方法，以及包括信號處理裝置之顯示設備。

將參看圖1及圖2詳細描述根據本發明之一實施例的LCD。

圖1為根據本發明之一實施例之LCD的方塊圖，且圖2為根據本發明之一實施例之LCD之像素的等效電路圖。

參看圖1，根據一實施例之LCD包括LC面板總成300、連接至面板總成300之閘極驅動器400及資料驅動器500、連接至資料驅動器500之灰度電壓發生器800，及控制上述元件

之信號控制器600。

在電路圖中，面板總成300包括複數個顯示信號線 G_1 至 G_n 及 D_1 至 D_m 以及連接至其且大體上以矩陣排列之複數個像素。

顯示信號線 G_1 至 G_n 及 D_1 至 D_m 包括傳輸閘極信號之複數個閘極線 G_1 至 G_n (亦稱為"掃描線")，及傳輸資料信號之複數個資料線 D_1 至 D_m 。閘極線 G_1 至 G_n 大體上以列方向進行延伸且大體上彼此平行，而資料線 D_1 至 D_m 大體上以行方向進行延伸且大體上彼此平行。

每一像素包括連接至信號線 G_1 至 G_n 及 D_1 至 D_m 之開關元件 Q ，以及連接至開關元件 Q 之LC電容器 C_{LC} 及儲存電容器 C_{ST} 。若無必要則可省略儲存電容器 C_{ST} 。

開關元件 Q 係提供於下面板100上且其具有三個端子：一控制端子，其連接至閘極線 G_1 至 G_n 之一；一輸入端子，其連接至資料線 D_1 至 D_m 之一；及一輸出端子，其連接至LC電容器 C_{LC} 與儲存電容器 C_{ST} 。

LC電容器 C_{LC} 包括作為其兩端子的提供於下面板100上之像素電極190及提供於上面板200上之共同電極270。安置於兩電極190與270之間的LC層3充當LC電容器 C_{LC} 之介電質。像素電極190連接至開關元件 Q 且共同電極270連接至共同電壓 V_{com} 且覆蓋上面板200之整個表面。與圖2不同，共同電極270可提供於下面板100上，且兩電極190及270可具有桿或條之形狀。

儲存電容器 C_{ST} 係由像素電極190與提供於下面板100上

之獨立導線(未圖示)的重疊部分加以界定且施加有諸如共同電壓 V_{com} 之預定電壓。另外之情況，儲存電容器可由像素電極190與其之經由絕緣體之先前閘極線 G_{i-1} 的重疊部分加以界定。

為了彩色顯示，藉由將複數個紅、綠及藍色濾光片230之一提供於對應於像素電極190之一區域中，每一像素可表示其自身色彩。圖2所示之彩色濾光片230係提供於上面板200之對應區域中。或者，可將彩色濾光片230提供於下面板100上之像素電極190上或其下方。

將一偏光器或多個偏光器(未圖示)附著至面板100及200中之至少一面板以使光偏振。

再次參看圖1，灰度電壓發生器800產生與像素透射率有關的兩組複數個灰度電壓。一組灰度電壓具有關於共同電壓 V_{com} 之正極性，而另一組灰度電壓具有關於共同電壓 V_{com} 之負極性。

閘極驅動器400連接至面板總成300之閘極線 G_1 至 G_n ，且將閘極信號自外部設備施加至閘極線 G_1 至 G_n 。閘極信號為閘極開啟電壓 V_{on} 與閘極關閉電壓 V_{off} 之組合。

資料驅動器500連接至面板總成300之資料線 D_1 至 D_m ，且自灰度電壓發生器800選擇灰度電壓以將其作為資料信號施加至資料線 D_1 至 D_m 。

閘極驅動器400或資料驅動器500可包括複數個驅動器積體電路(IC)，其可直接黏著於面板總成300上或黏著於可撓性印刷電路膜上，以形成附著至面板總成300之捲帶式封裝

(tape carrier package)。或者，閘極驅動器 400 或資料驅動器 500 可整合於面板總成中。

信號控制器 600 控制閘極驅動器 400、資料驅動器 500，等等。

接著，將詳細描述 LCD 之運作。

自外部圖形控制器(未圖示)供應輸入影像信號 R、G 及 B 以及控制其顯示之輸入控制信號(例如垂直同步信號 Vsync、水平同步信號 Hsync、主時脈信號 MCLK、資料啟用信號 DE，等等)至信號控制器 600。信號控制器 600 基於面板總成 300 之運作狀態而調節輸入影像信號 R、G 及 B，且為資料驅動器 500 提供經調節之影像信號 R'、G' 及 B'。此外，信號控制器 600 基於輸入影像信號及輸入控制信號而產生複數個閘極控制信號 CONT1 及資料控制信號 CONT2，且其為閘極驅動器 400 提供閘極控制信號 CONT1 並為資料驅動器 500 提供資料控制信號 CONT2。

閘極控制信號 CONT1 包括用於指示開始掃描閘極開啟電壓 V_{on} 之掃描開始信號 STV 及用於控制閘極開啟電壓 V_{on} 之輸出時序的至少一時脈信號。

資料控制信號 CONT2 包括用於通知像素列之資料傳輸的水平同步開始信號 STH；用於指示施加資料電壓至資料線 D_1 至 D_m 的負載信號 LOAD 或 TP；用於使資料電壓(關於共同電壓 V_{com})之極性反向的反轉控制信號 RVS；及資料時脈信號 HCLK。

資料驅動器 500 自信號控制器 600 接收用於像素列之一封

包影像資料R'、G'及B'。資料驅動器500將影像資料R'、G'及B'轉換為選自來自灰度電壓發生器800之灰度電壓的類比資料電壓且回應來自信號控制器600之資料控制信號CONT2而將資料電壓施加至資料線D₁至D_m。

回應來自信號控制器600之閘極控制信號CONT1，閘極驅動器400將閘極開啟電壓Von施加至閘極線G₁至G_n，藉此開啟連接至其的開關元件Q。施加至資料線D₁至D_m之資料電壓係經由開啟之開關元件Q而供應至對應像素。

藉由以水平週期(亦指示為"1H"且等於水平同步信號Hsync及資料啟用信號DE之一週期)之單位重複此程序，在一個訊框期間將閘極開啟電壓Von連續地供應至所有閘極線G₁至G_n，藉此將資料電壓施加至所有像素。在結束一個訊框之後下一訊框開始時，控制施加至資料驅動器500之反轉控制信號RVS使得資料電壓之極性反向(稱為"訊框反轉")。亦可控制反轉控制信號RVS使得在一個訊框中流經資料線之資料電壓的極性反向(例如線反轉及點反轉)，或在一封包中之資料電壓的極性反向(例如行反轉及點反轉)。

現在，將詳細描述用於上述LCD中之信號處理裝置。

圖3為根據本發明之一實施例之信號處理裝置40的方塊圖。

如圖3中所示，根據本發明之一實施例之信號處理裝置40包括信號處理單元42及連接至其的訊框記憶體44。信號處理單元42之輸入及輸出充當信號處理裝置40之輸入及輸出。

信號處理單元42包括資料轉換器46、連接至資料轉換器46之線路記憶體47，及連接至線路記憶體47且具有充當信號處理裝置40之輸出之輸出的資料調節器48。

資料轉換器46自外部設備接收當前訊框之48位元影像資料(下文中稱為"當前影像資料")，且將48位元影像資料 G_n 轉換為24位元資料。以第一預定時脈頻率(例如54 MHz)傳輸48位元輸入影像資料，且以第二預定時脈頻率(例如108 MHz)傳輸所轉換之24位元資料 G_n 。

可以列之單位儲存複數個影像資料列之影像資料的線路記憶體47自資料轉換器46儲存24位元當前資料 G_n 並將當前影像資料 G_n 傳輸至訊框記憶體44，且接收及儲存訊框記憶體44中所儲存之先前訊框之影像資料 G_{n-1} (下文中稱為"先前影像資料")。

訊框記憶體44儲存來自線路記憶體47之當前影像資料 G_n 且將先前影像資料 G_{n-1} 輸出至線路記憶體47。訊框記憶體44儲存當前影像資料 G_n 與先前影像資料 G_{n-1} 。

資料調節器48接收當前影像資料 G_n 及先前影像資料 G_{n-1} 並將其進行比較，且產生待傳輸至資料驅動器500之對於當前影像資料 G_n 的經調節影像資料 G'_n 。

信號處理裝置40之整體或僅信號處理單元42可併入信號控制器600中。

參看圖4至圖6，更詳細地描述了信號處理單元42中之影像資料的位元數及頻率之轉換。

圖4說明了進入圖3所示之信號處理單元中之輸入信號的

例示性波形。圖5說明了來自資料轉換器之輸出信號的例示性波形，且圖6說明了來自線路記憶體及訊框記憶體之輸出信號的例示性波形。

圖4展示：進入信號處理單元42之每一48位元輸入影像資料R、G及B包括兩個24位元子資料($\text{data_in}[47:24]$ 及 $\text{data_in}[23:0]$)。資料流($\text{data_in}[47:24]$ 及 $\text{data_in}[23:0]$)與輸入時脈CLOCK1同步。圖4中所示之參考符號"2T"指示對應於第一預定頻率之週期，該第一預定頻率為輸入時脈CLOCK1之頻率，例如54 MHz。

圖5展示藉由資料轉換器46來轉換之24位元資料($\text{data1}[23:0]$)。

藉由多工器可容易地建構資料轉換器46。舉例而言，多工器可於輸入時脈CLOCK1之高位準選擇輸入資料流($\text{data_in}[47:24]$)且於輸入時脈CLOCK1之低位準選擇輸入資料流($\text{data_in}[23:0]$)，藉此產生與對應於週期"T"之頻率為108 MHz之時脈CLOCK2同步的資料流($\text{data1}[23:0]$)。

線路記憶體47接收資料流($\text{data1}[23:0]$)且輸出資料流($\text{data2}[23:0]$)。輸入至及輸出自線路記憶體47之資料含有相同資訊，但其具有不同變化週期。

可藉由使用FIFO(先進先出)或雙埠RAM來建構線路記憶體47，該等FIFO或雙埠RAM具有個別輸入端子及輸出端子，使得與不同時脈頻率同步地傳輸輸入資料及輸出資料。建構為FIFO或雙埠RAM之線路記憶體47需要其輸出時脈之頻率為輸入時脈CLOCK2之頻率的兩倍。

另外之情況，可藉由兩單埠RAM及一多工器來建構線路記憶體47。在此狀況下，輸出時脈可具有與輸入時脈CLOCK2相等之頻率。

訊框記憶體44可包括DDR RAM(雙資料速率隨機存取記憶體)。亦稱為DDR SDRAM(同步動態RAM)的DDR RAM於施加至其的時脈之上升沿與下降沿讀取及寫入。相對照而言，SDR SDRAM(單資料速率SDRAM)或SDRAM於時脈之上升沿或下降沿讀取或寫入。因此，DDR RAM之速度為SDRAM之速度的兩倍。換言之，藉由DDR RAM儲存給定數目之資料所需的時間為由SDRAM儲存給定數目之資料所需時間的一半。

參看圖6，可分別於時脈CLOCK2之上升沿及下降沿讀取及寫入24位元資料流(data2[23:0])。由於圖5中所示之資料流(data1[23:0])係以一時脈之單位進行處理，故可在8T之時間中處理8個資料1至8，相對照而言，由於資料流(data1[23:0])係以半個時脈之單位進行處理，故可在4T之時間中處理圖6中所示之資料流(data2[23:0])的八個資料1至8。因此，DDR SDRAM將資料處理時間減至一半，使得在輸入一個訊框之資料期間處理兩訊框資料。

舉例而言，由於一像素需要48位元影像資料，故具有1280×1024像素之SXGA(高度延伸圖形陣列)顯示設備需要1,280×1,024×24=31,457,280位元影像資料用於一個訊框。若將24位元資料供應至能儲存32位元資料之訊框記憶體，則剩餘的用於位址之8位元資料儲存量未被使用且用於儲存

SXGA顯示設備之訊框資料的總儲存量(將由訊框記憶體提供)等於 $1,280 \times 1,024 \times 32 = 41,943,040$ ，其大於資料之總位元。因此，一個128 M位元DDR SDRAM可為SXGA顯示設備儲存兩訊框資料。

同時，市售記憶體具有16位元或32位元資料匯流排。因此，與LCD之24位元影像資料相一致地使用記憶體會降低記憶體之效率。意即，若能儲存32位元資料之32位元記憶體之位址僅儲存了24位元資料，則剩餘的8位元資料儲存量未被使用。因此，本發明之另一實施例將影像資料轉換為32位元影像資料以用於有效使用記憶體。

參看圖7A至圖9，更詳細地描述了對信號處理單元42中之影像資料的頻率與位元數之轉換。

圖7A至7C說明了圖3中所示之信號處理單元及訊框記憶體之信號的其它例示性波形。圖8說明了來自資料轉換器之輸出信號的其它例示性波形，且圖9說明了來自線路記憶體及訊框記憶體之輸出信號的其它例示性波形。

信號處理單元42將以54 MHz時脈頻率傳輸之48位元輸入資料轉換為32位元資料且以81 MHz時脈頻率將32位元資料傳輸至訊框記憶體44。

圖7A展示：圖5所示之每一24位元資料流(data1[23:0])包括三個8位元子資料(DATA[23:16]、DATA[15:8]及DATA[7:0])。

圖7B展示了藉由資料轉換器46自24位元影像資料(data1[23:0])轉換所得之32位元資料(data[31:24]、data[23:16]、

data[15:8]及data[7:0])。詳言之，資料轉換器46將於第一時脈之三個子資料R1、G1及B1與於第二時脈之子資料R2進行合成以產生包括四個子資料R1、G1、B1及R2之第一32位元影像資料，且資料轉換器46將第一32位元影像資料儲存於其中所包括的臨時儲存器(未圖示)之第一位址中。類似地，資料轉換器46將於第二時脈之兩個子資料G2及B2與於第三時脈之兩個子資料R3及G3進行合成以產生包括四個子資料G2、B2、R3及G3之第二32位元影像資料，且資料轉換器46將第二32位元影像資料儲存於臨時儲存器之第二位址中。同樣地，將於第三時脈之子資料B3與於第四時脈之三個子資料R4、G4及B4進行合成以形成包括四個子資料B3、R4、G4及B4之第三32位元影像資料，且在兩時脈之時間中將第三32位元影像資料儲存於臨時儲存器之第三位址中。在四個時脈期間(或4T)，輸出自資料轉換器46之32位元輸出影像資料R1至B4之數目則等於輸入至資料轉換器46之48位元輸入影像資料R1至B4之數目。以此方式，將輸入資料轉換為32位元資料以將其儲存於臨時儲存器中。臨時儲存器可包括上述FIFO或雙埠RAM。

如上所述，臨時儲存器之輸出時脈頻率等於對應於4T/3的81 MHz。圖7C展示：與81 MHz同步地自臨時儲存器輸出三個32位元影像資料R1至B4。

圖8展示資料轉換器46之輸出資料流，其等效於圖7C中所示之影像資料。在8T之時間中所輸入之六個32位元影像資料1'至6'等效於圖5中所示之相同時間中的八個24位元資料

1至8。

線路記憶體47接收圖8中所示之資料流(data3[31:0])且輸出圖9中所示之資料流(data4[31:0])。亦可藉由FIFO或雙埠RAM或藉由兩個單埠RAM及一多工器來建構線路記憶體47。在此狀況下，輸出時脈可具有與輸入時脈CLOCK2相等的頻率。

訊框記憶體44亦可包括DDR RAM。參看圖9，可分別於時脈信號CLOCK3之上升沿及下降沿處讀取及寫入資料流。由於可以半個時脈之單位執行資料流之讀取及寫入，故資料處理時間減至一半，以致在輸入一個訊框之資料期間處理兩訊框資料。

舉例而言，具有1,920×1,200像素之WUXGA顯示設備需要 $1,920 \times 1,200 \times 24 = 55,296,000$ 位元影像資料用於一個訊框。由於將32位元資料供應至能儲存32位元資料之訊框記憶體44，故有效地使用了訊框記憶體44。因此，一個128 M位元DDR SDRAM可為WUXGA顯示設備儲存兩訊框資料。

上述臨時儲存器可包括於線路記憶體47中或可為線路記憶體47自身。

將參看圖10詳細描述資料調節器讀取及寫入先前及當前影像資料之操作。

圖10說明在輸入第N個訊框之影像資料期間信號處理單元之操作的一實例。

假設根據此實施例之LCD包括複數個像素列，例如，m像素列。由D(N)指示在如圖6及9中所示之位元數及時脈頻

率之轉換後的第N訊框影像資料，且由 $D(N)_i$ 指示在第N訊框影像資料間的第i像素列影像資料(下文稱為"第i列資料")。

參看圖10，信號處理單元42在1H期間處理所轉換之兩像素列影像資料(下文稱為"兩列影像資料")。舉例而言，信號處理單元42讀取或寫入用於訊框記憶體44之兩列影像資料。

在輸入第一列資料 $D(N)_1$ 期間，信號處理單元42將第一列資料 $D(N)_1$ 儲存於線路記憶體47中，且信號處理單元42自訊框記憶體44讀取先前訊框之第一及第二列資料 $D(N-1)_1$ 及 $D(N-1)_2$ 且將其儲存於線路記憶體47中。

在輸入第二列資料 $D(N)_2$ 期間，信號處理單元42將 $D(N)_1$ 自線路記憶體47寫入至訊框記憶體44中，且其將 $D(N)_2$ 儲存於線路記憶體47中且將 $D(N)_2$ 寫入至訊框記憶體44中。同時，信號處理單元42在自線路記憶體47讀取 $D(N-1)_1$ 及 $D(N-1)_2$ 之後將其進行比較且產生經調節影像資料。

在輸入第三列資料 $D(N)_3$ 期間，信號處理單元42將 $D(N)_3$ 儲存於線路記憶體47中並自訊框記憶體44讀取先前訊框之第三及第四列資料 $D(N-1)_3$ 及 $D(N-1)_4$ 且將其儲存於線路記憶體47中。此外，信號處理單元42在自線路記憶體47讀取 $D(N-1)_2$ 及 $D(N-1)_3$ 之後將其進行比較，且產生經調節影像資料。

在輸入第四列資料 $D(N)_4$ 期間，信號處理單元42將 $D(N)_3$ 自線路記憶體47寫入至訊框記憶體44中，且其將 $D(N)_4$ 儲存於線路記憶體47中並將 $D(N)_4$ 寫入至訊框記憶體44中。同

時，信號處理單元42在自線路記憶體47讀取 $D(N-1)_3$ 及 $D(N-1)_4$ 之後將其進行比較並產生經調節影像資料。

信號處理單元42為來自第五像素列至第m像素列之影像資料重複該操作。

由於訊框記憶體44以兩訊框之單位儲存來自線路記憶體47之影像資料，故儲存有先前影像資料及當前影像資料之訊框記憶體44中所儲存之先前訊框(而非當前訊框)影像資料將由下一訊框之影像資料替代。

以此方式，信號處理單元42將 $D(N)$ 寫入至訊框記憶體44中且自訊框記憶體44讀取 $D(N-1)$ 並在將 $D(N)$ 與 $D(N-1)$ 進行比較之後產生經調節影像資料。因此，可藉由僅使用一訊框記憶體來處理當前影像資料 $D(N)$ 及先前影像資料 $D(N-1)$ 。

如上所述，將DDR SDRAM用作訊框記憶體及轉換位元數及時脈頻率使得能夠僅使用一訊框記憶體來儲存兩訊框資料且減少了訊框記憶體所佔據之面積並減少了製造成本。

儘管上文詳細描述了本發明之較佳實施例，但應清楚瞭解，呈現給熟習此項技術者之本文所教示的基本發明概念之許多變化及/或修正將仍位於如附加申請專利範圍中所界定之本發明精神及範疇內。

【圖式簡單說明】

圖1為根據本發明之實施例之LCD的方塊圖；

圖2為根據本發明之一實施例之LCD之像素的等效電路圖；

圖3為根據本發明之一實施例之信號處理設備40的方塊圖；

圖4說明了進入圖3中所示之信號處理單元之輸入信號的例示性波形；

圖5說明了來自資料轉換器之輸出信號的例示性波形；

圖6說明了來自線路記憶體及資料輸出組塊之輸出信號的例示性波形；

圖7A至7C說明圖3中所示之信號處理單元及訊框記憶體之信號的其它例示性波形；

圖8說明了來自資料轉換器之輸出信號的其它例示性波形；

圖9說明了來自線路記憶體及訊框記憶體之輸出信號的其它例示性波形；且

圖10說明了在輸入第N個訊框之影像資料期間信號處理單元之操作的實例。

【主要元件符號說明】

3	液晶層
40	信號處理設備
42	信號處理單元
44	訊框記憶體
46	資料轉換器
47	線路記憶體
48	資料調節器
100, 200	面板

190	像素電極
230	彩色濾光片
270	共同電極
300	液晶面板總成
400	閘極驅動器
500	資料驅動器
600	信號控制器
800	灰度電壓發生器

五、中文發明摘要：

本發明提供一種處理信號之裝置，其包括：一訊框記憶體，其儲存兩個訊框之資料；及一信號處理單元，其在輸入一列資料期間將兩列資料寫入至該訊框記憶體中或自該訊框記憶體讀取兩列資料。

六、英文發明摘要：

十、申請專利範圍：

1. 一種用於處理一信號之裝置，該裝置包含：
 - 一訊框記憶體，其儲存兩訊框之資料；及
 - 一信號處理單元，其在輸入一系列資料期間將兩列資料寫入至該訊框記憶體中或自該訊框記憶體讀取兩列資料。
2. 如請求項1之裝置，其中該寫入操作及該讀取操作係交替進行。
3. 如請求項2之裝置，其中該信號處理單元包含一寫入線路記憶體及一讀取線路記憶體，且該信號處理單元將輸入資料自一外部設備寫入至該寫入線路記憶體中，且將儲存資料自該訊框記憶體寫入至該讀取線路記憶體中。
4. 如請求項3之裝置，其中該信號處理單元將影像資料自該寫入線路記憶體寫入至該訊框記憶體中。
5. 如請求項4之裝置，其中該等輸入資料為一當前訊框之資料，且該等儲存資料為一先前訊框之資料。
6. 如請求項5之裝置，其中該寫入線路記憶體及該讀取線路記憶體包含FIFO或雙埠RAM。
7. 如請求項6之裝置，其中該信號處理單元將該當前訊框之奇數列資料寫入至該寫入線路記憶體中，且在輸入該當前訊框之該等奇數列資料期間，將儲存於該訊框記憶體中之該先前訊框之奇數及偶數列資料寫入至該讀取線路記憶體中，且該信號處理單元將該當前訊框之偶數列資料寫入至該寫入線路記憶體中，且在輸入該當前訊框之

- 該等偶數列資料期間，將儲存於該讀取線路記憶體中之該當前訊框之奇數及偶數列資料寫入至該訊框記憶體中。
8. 如請求項7之裝置，其中該信號處理單元將儲存於該寫入線路記憶體中之該當前訊框之該等資料與儲存於該讀取線路記憶體中之該先前訊框之該等資料進行比較，且基於該比較來調節該當前訊框之該等資料。
 9. 如請求項8之裝置，其中該訊框記憶體於一時脈中接收並輸出兩個資料。
 10. 如請求項9之裝置，其中該訊框記憶體包含DDR SDRAM。
 11. 如請求項2之裝置，其中該信號處理單元轉換該等輸入資料之一位元數及一運作頻率，且將該等所轉換之資料儲存於該訊框記憶體中。
 12. 如請求項11之裝置，其中該等所轉換資料之該位元數等於32位元。
 13. 一種顯示設備，其包含如請求項1之裝置。
 14. 一種處理一信號之方法，該方法包含：
 - 自一外部設備接收輸入資料；
 - 在輸入一系列該等輸入資料期間將兩列該等輸入資料寫入至該訊框記憶體中；及
 - 在輸入一系列該等輸入資料期間自該訊框記憶體讀取兩列儲存資料。
 15. 如請求項14之方法，其中該等輸入資料為一當前訊框之資料，且該等儲存資料為一先前訊框之資料。

16. 如請求項15之方法，其中該寫入操作與該讀取操作交替進行。

17. 如請求項16之方法，進一步包含：

將該當前訊框之該等資料與該先前訊框之該等資料進行比較；及

基於該比較來調節該當前訊框之該等資料。

18. 如請求項17之方法，進一步包含：

轉換該等輸入資料之一位元數及一運作頻率；及

將該等所轉換之資料寫入至該訊框記憶體中。

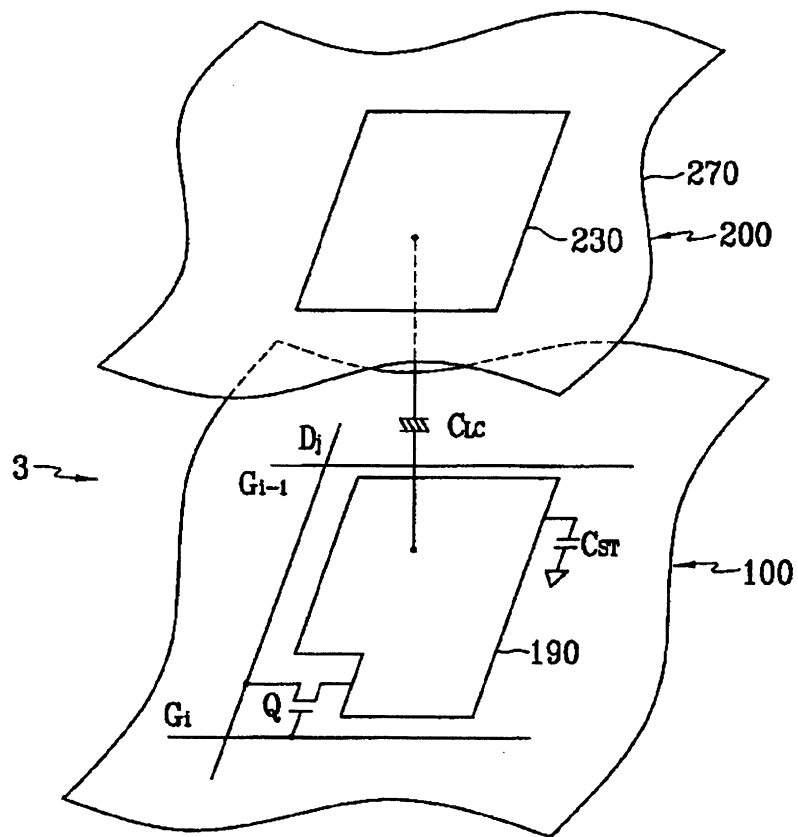


圖2

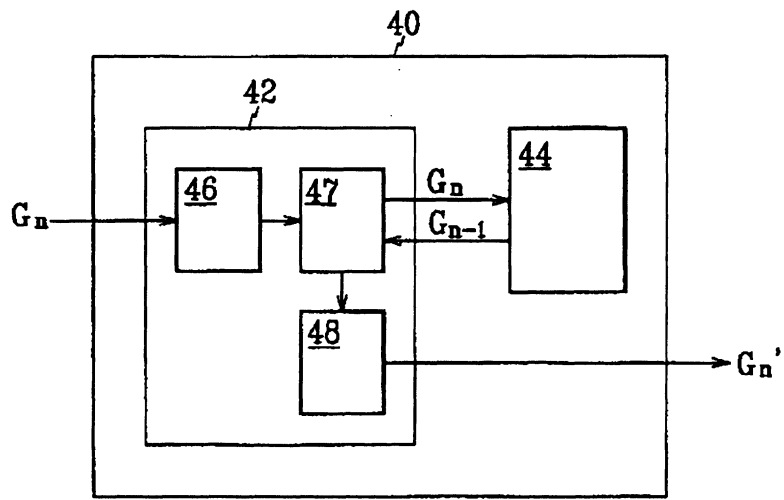


圖3

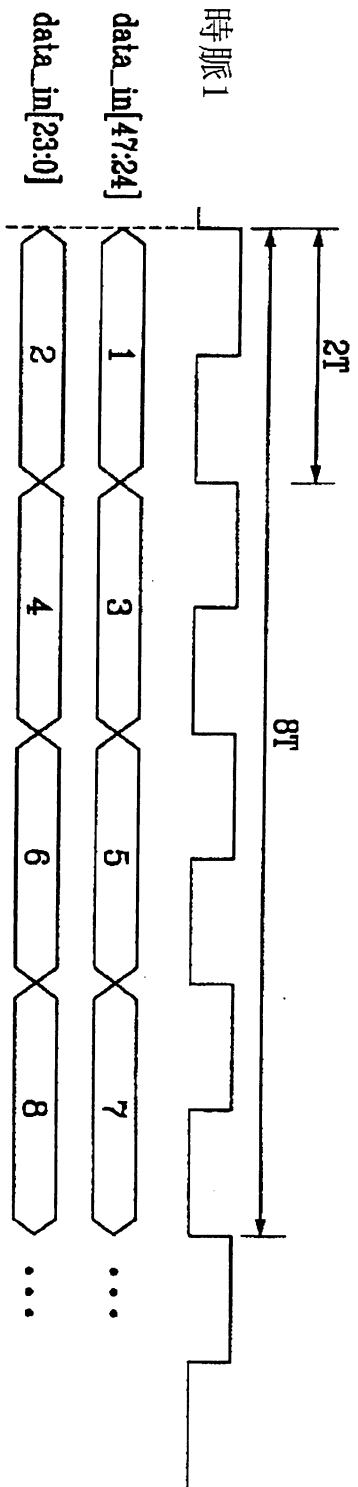


圖 4

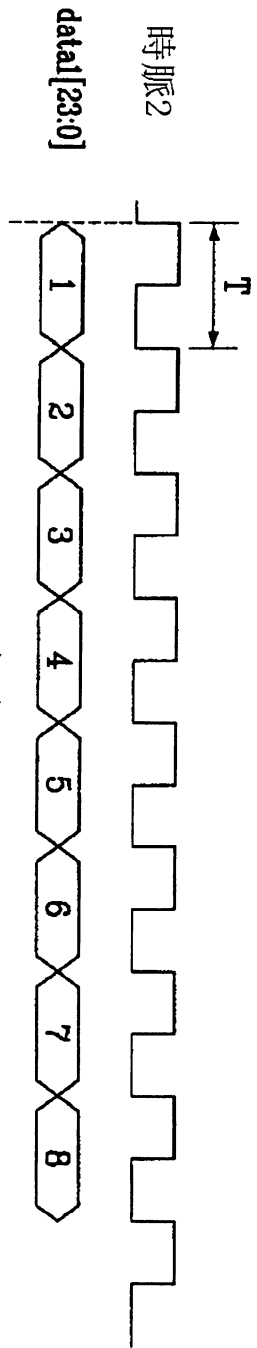


圖5

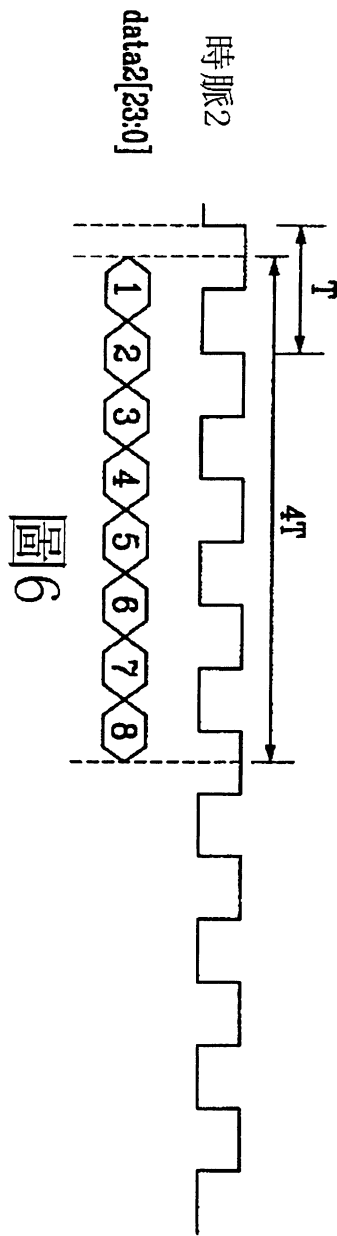


圖6

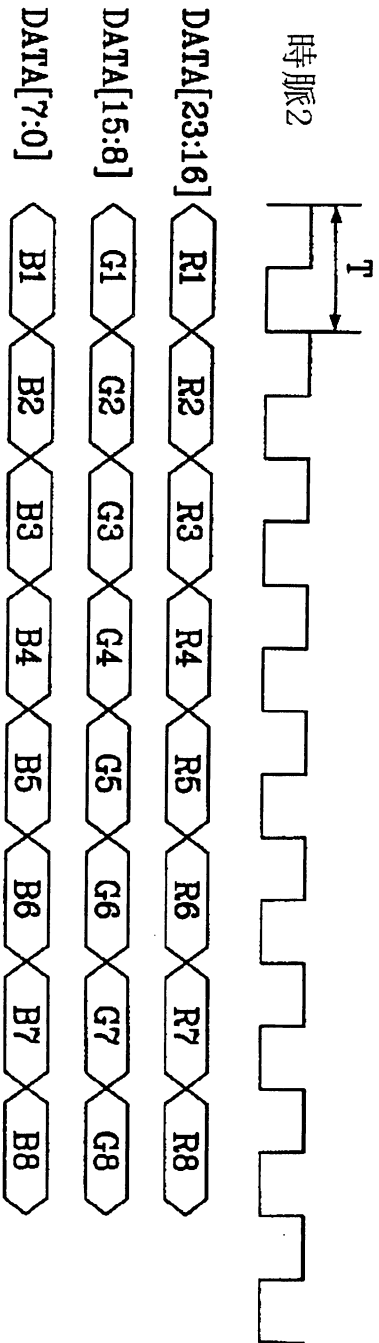


圖7A

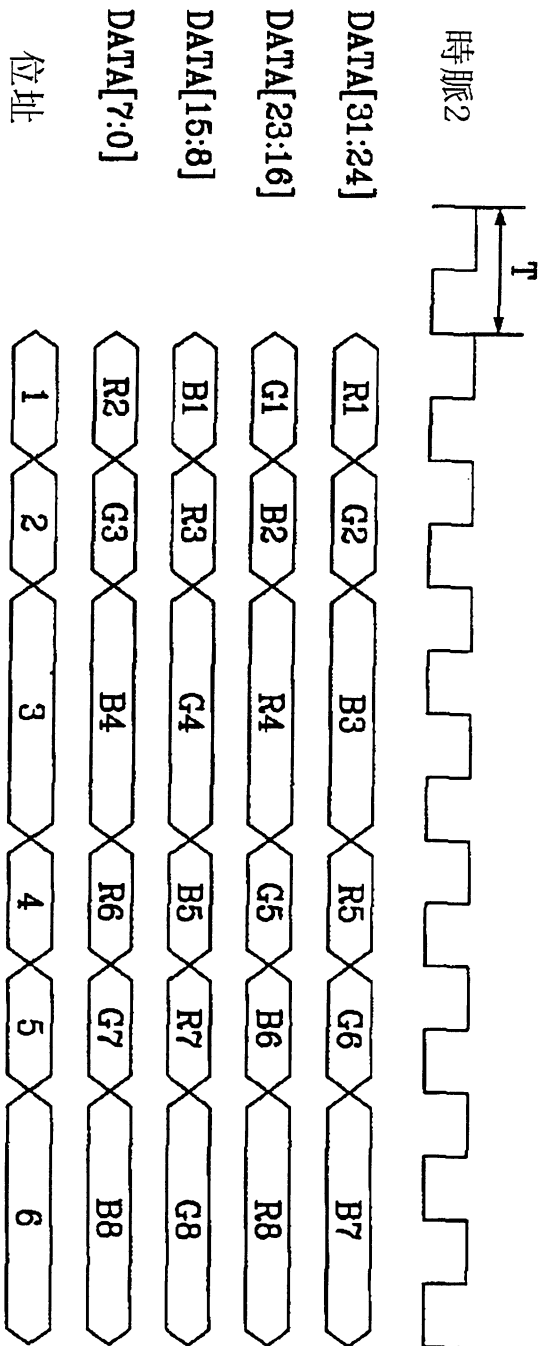


圖 7B

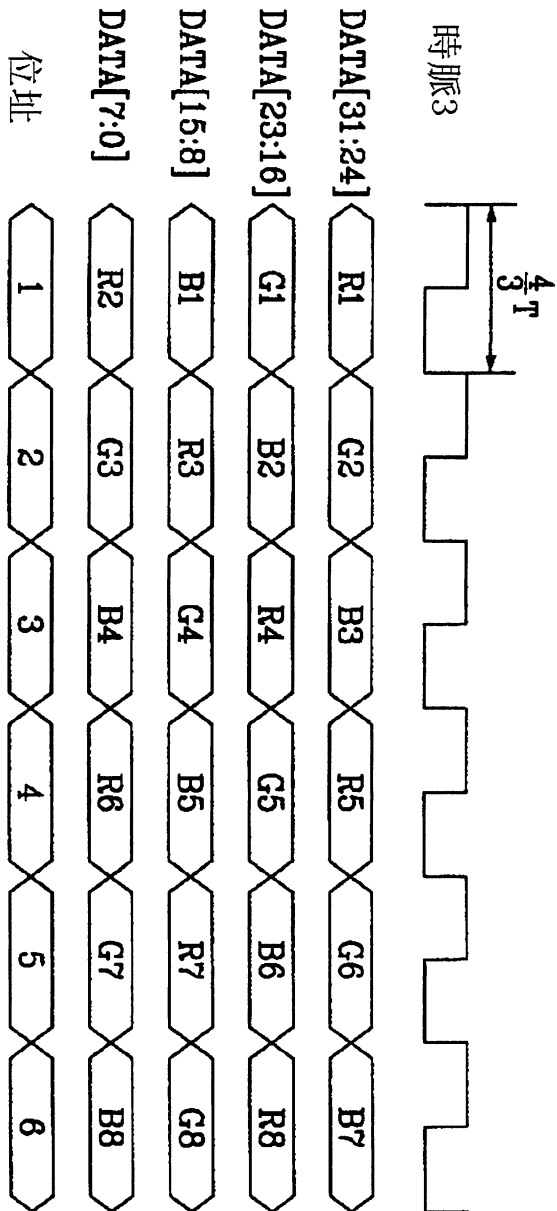


圖7C

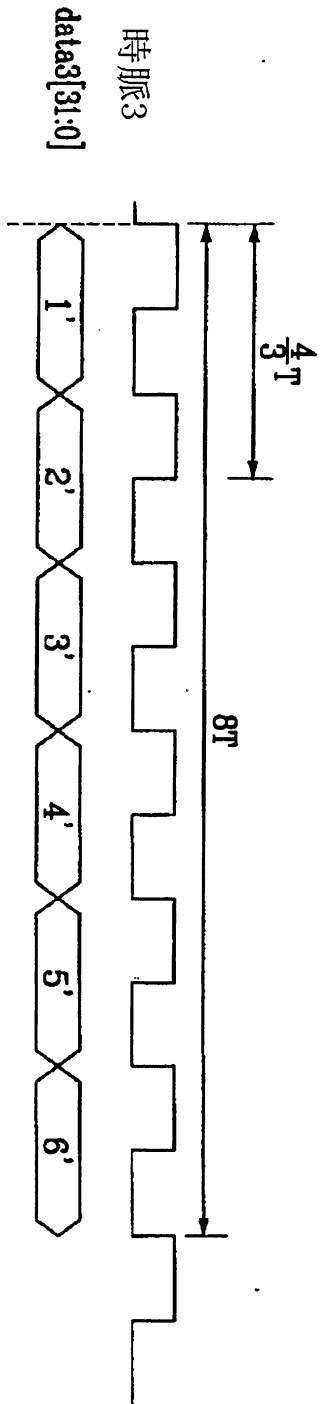


圖 8

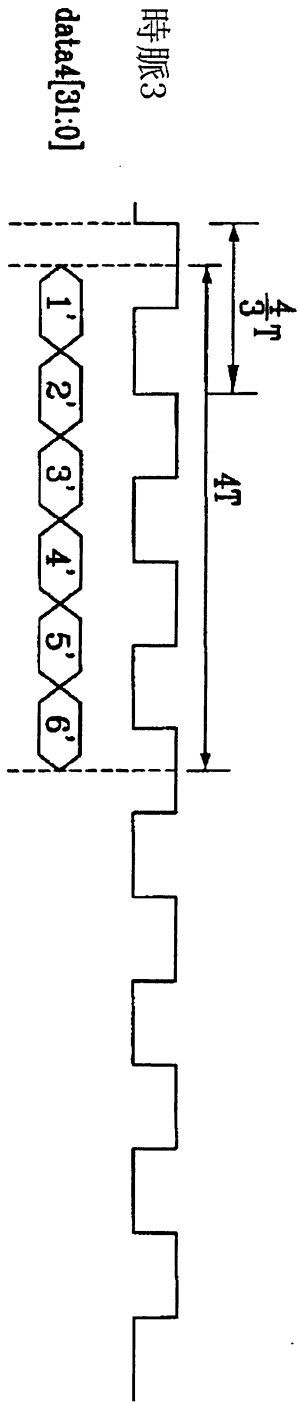


圖9

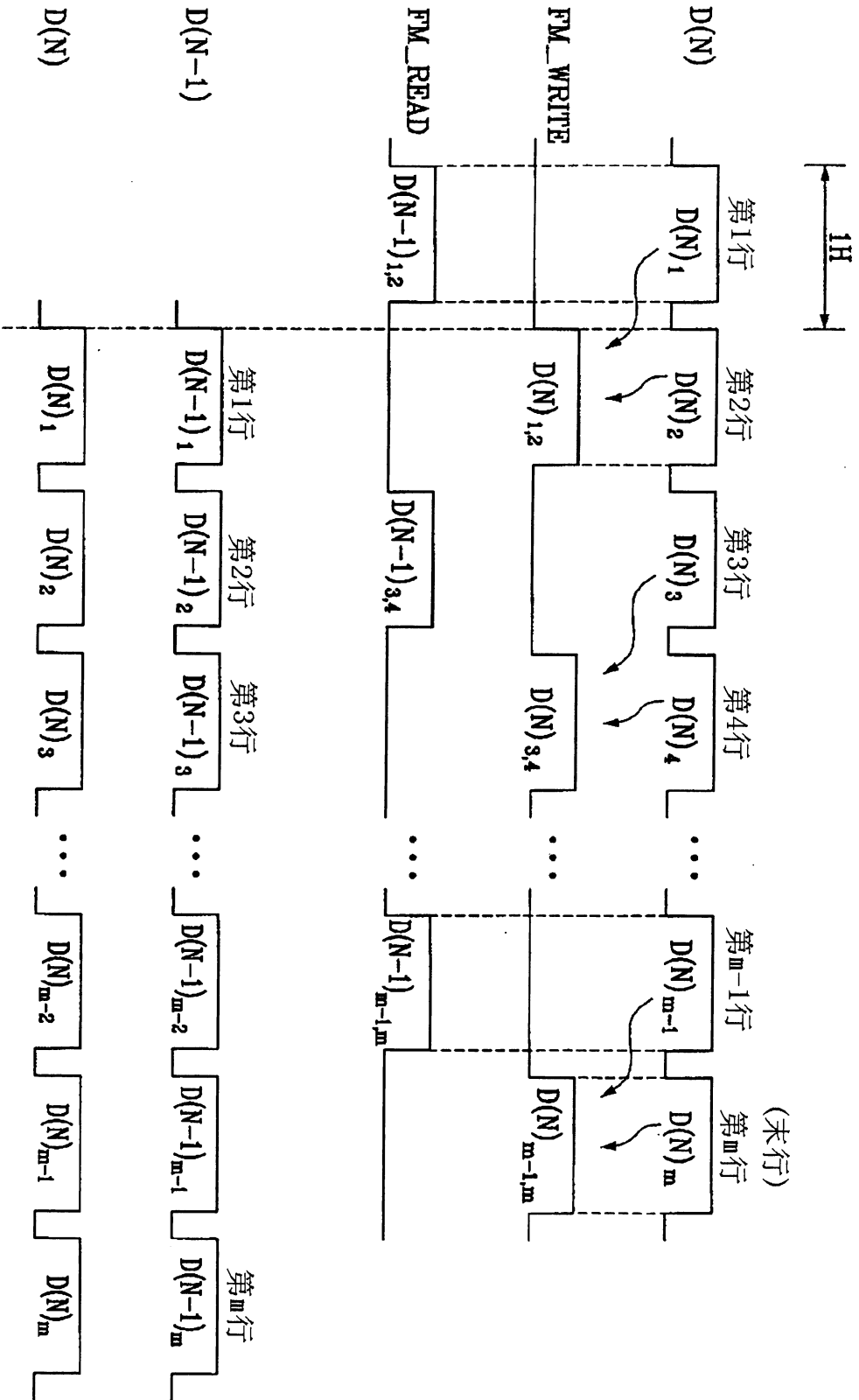


圖 10

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

- 40 信號處理設備
- 42 信號處理單元
- 44 訊框記憶體
- 46 資料轉換器
- 47 線路記憶體
- 48 資料調節器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)