(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0031193
(43) 공개일자 2009년03월25일

(51) Int. Cl.
H01L 21/318 (2006.01)
(21) 출원번호 10-2008-0040821
(22) 출원일자 2008년04월30일
심사청구일자 없음
(30) 우선권주장
1020070096963 2007년09월21일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
재단법인서울대학교산학협력재단
서울특별시 관악구 봉천7동 산4의 2번지
(72) 발명자
최상무
경기 용인시 기흥구 농서동 삼성종합기술원 기숙사 C206호
황농문
서울 서초구 방배4동 845-4 동양빌라 301호
(뒷면에 계속)
(74) 대리인
리앤목특허법인

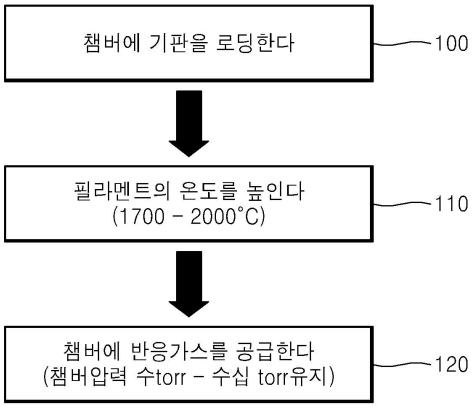
전체 청구항 수 : 총 15 항

(54) 저온 실리콘 질화물 형성방법 및 이 방법으로 형성된결정질 나노 도트를 포함하는 전하 트랩형 메모리 소자 및그 제조방법

(57) 요 약

저온 실리콘 질화물(nitride) 형성방법과 이 방법으로 형성된 결정질 나노 도트를 포함하는 전하 트랩형 메모리 소자 및 그 제조방법에 관해 개시되어 있다. 개시된 본 발명은 필라멘트를 포함하는 실리콘 질화물 증착장치의 챔버에 기판을 로딩하는 제1 단계, 유입될 반응가스를 해리될 수 있는 소정 온도까지 상기 필라멘트의 온도를 높이는 제2 단계 및 상기 챔버에 실리콘 질화물 형성용 반응가스를 공급하는 제3 단계를 포함하고, 상기 필라멘트의 온도는 1400℃-2000℃로 유지하고, 상기 제3 단계에서 상기 챔버의 압력은 수torr-수십torr로 유지하여, 상기 기판 상에 결정질 실리콘 질화물로 형성되는 막 또는 결정질 실리콘 질화물로 형성되는 나노 도트를 형성하는 실리콘 질화물 형성방법을 제공한다.

대 표 도 - 도2



(72) 발명자

설광수

경기도 용인시 수지구 동천동 동문굿모닝힐5차아파트 509-2202

김찬수

서울 동작구 사당1동 419-80, 402호

윤웅규

인천 남구 용현1동 177-14 18/4

이동권

서울 관악구 봉천11동 196-25 (207호)

특허청구의 범위

청구항 1

필라멘트를 포함하는 실리콘 질화물 증착장치의 챔버에 기판을 로딩하는 제1 단계;

유입될 반응가스가 해리될 수 있는 온도까지 상기 필라멘트의 온도를 높이는 제2 단계; 및

상기 챔버에 실리콘 질화물 형성용 반응가스를 공급하는 제3 단계를 포함하고,

상기 필라멘트의 온도는 1400℃-2000℃로 유지하고,

상기 제3 단계에서 상기 챔버의 압력은 수torr-수십torr로 유지하여,

상기 기판 상에 결정질 실리콘 질화물을 형성하는 것을 특징으로 하는 실리콘 질화물 형성방법.

청구항 2

제 1 항에 있어서, 상기 기판은 500℃-700℃로 유지되는 것을 특징으로 하는 실리콘 질화물 형성방법.

청구항 3

제 1 항에 있어서, 상기 챔버의 압력은 4torr-40torr인 것을 특징으로 하는 실리콘 질화물 형성방법.

청구항 4

제 1 항에 있어서, 상기 반응가스는 실리콘(Si)을 공급하기 위한 제1 소오스 가스와 질소(N)를 공급하기 위한 제2 소오스 가스이고,

상기 제1 소오스 가스는 모노실란(SiH4), 디실란, 트리실란 또는 테트라실란인 것을 특징으로 하는 실리콘 질화물 형성방법.

청구항 5

제 4 항에 있어서, 상기 제1 소오스 가스가 20%의 모노 실란이고, 상기 제2 소오스 가스가 암모니아 가스(NH3)일 때, 상기 제1 및 제2 소오스 가스의 흐름률(flow ratio)은 1:50, 1:100 또는 1:200을 유지하는 것을 특징으로 하는 실리콘 질화물 형성방법.

청구항 6

기판 상에 순차적으로 적층된 터널링막, 전하 트랩층, 전하 차단층 및 게이트 전극을 포함하는 전하 트랩형 메모리 소자에 있어서,

상기 전하 트랩층은 결정질 실리콘 질화물인 전하 트랩형 메모리 소자.

청구항 7

제 6 항에 있어서, 상기 전하 트랩층은 결정질 실리콘 질화물 나노 도트층인 전하 트랩형 메모리 소자.

청구항 8

제 7 항에 있어서, 상기 결정질 실리콘 질화물 나노 도트층은 다결정인 전하 트랩형 메모리 소자.

청구항 9

제 6 항에 있어서, 상기 터널링막은 비정질인 전하 트랩형 메모리 소자.

청구항 10

전하 트랩 수단을 포함하는 게이트 적층물을 구비하는 전하 트랩형 메모리 소자의 제조 방법에 있어서,

기판 상에 터널링막을 형성하는 단계;

상기 터널링막 상에 상기 전하 트랩 수단으로써 결정질 실리콘 질화물을 형성하는 단계;

상기 결정질 실리콘 질화물을 덮는 전하 차단층을 형성하는 단계; 및

상기 전하 차단층 상에 게이트 전극을 형성하는 단계;를 포함하는 전하 트랩형 메모리 소자의 제조방법.

청구항 11

제 10 항에 있어서, 상기 결정질 실리콘 질화물은 열선 기상 증착 장치를 이용하여 형성하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 12

제 11 항에 있어서, 상기 결정질 실리콘 질화물은 청구항 1항의 과정에 따라 형성하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 13

제 10 항 또는 제 12 항에 있어서, 상기 결정질 실리콘 질화물은 상기 결정질 실리콘 질화물 나노 도트로 형성하는 전하 트랩형 메모리 소자의 제조방법.

청구항 14

제 10 항에 있어서, 상기 터널링막은 비정질막으로 형성하는 전하 트랩형 메모리 소자의 제조방법.

청구항 15

제 13 항에 있어서, 상기 결정질 실리콘 질화물 나노 도트는 다결정인 전하 트랩형 메모리 소자의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 저온 실리콘 질화물(nitride) 형성방법과 이 방법으로 형성된 결정질 나노 도트를 포함하는 전하 트랩형 메모리 소자 및 그 제조방법에 관한 것이다.

배 경 기 술

<2> 실리콘 질화물 막은 우수한 유전상수 및 우수한 내산화 특성을 갖고 있다. 그 결과 실리콘 질화물 막은 마이크로 전자 디바이스에 적용되는데, 예를 들어 배리어층 또는 게이트 절연층으로 사용된다.

<3> 결정질 실리콘 질화물 막을 게이트 절연막으로 사용할 경우, 게이트의 유전율이 증가되고, 또한 게이트 재료 내의 불순물이 기판으로 확산되는 것을 방지할 수 있다.

<4> 실리콘 질화물 막은 Si(100)상에 형성된다. 그리고 상기 실리콘 질화물 막은 주로 플라즈마 화학기상 증착법(Plasma-enhanced CVD) 또는 저압 화학기상 증착법(low-pressure CVD)으로 형성된다.

<5> 그러나 이러한 방법으로 형성된 실리콘 질화물 막은 구조적으로 비정질이다. 두꺼운 비정질 실리콘 질화물 막은 적절히 낮은 누설전류를 갖는다. 그러나 비정질 실리콘 질화물 막의 두께가 얇아질 경우, 예를 들면, 50Å이하일 경우, 누설전류는 증가할 수 있다.

<6> 한편, Si(100)기판 상의 도핑된 폴리 실리콘 게이트가 존재하고, 상기 도핑된 폴리 실리콘 게이트와 상기 Si(100) 기판 사이에 게이트 절연막으로서 SiO2가 존재할 경우, 상기 도핑된 폴리 실리콘 게이트로부터 도핑물질이 SiO2를 통해서 Si(100)기판으로 확산될 수 있다. 이러한 확산 문제는 게이트 절연막의 두께 기하학이 감소되면서 증가되는데, 그 결과 채널영역에서 장치의 특성이 열화될 수 있다.

<7> 반면, 상기 게이트 절연막이 비정질 실리콘 질화물일 경우, 상기 도핑물질, 예를 들면 붕소가 상기 Si(100)기판으로 확산되는 것을 막을 수 있다. 그러나 상기 게이트와 상기 Si(100)기판 사이의 계면이 비정질 실리콘 질화물이 되어 액티브 반도체 장치의 채널 내에서 전자 흐름이 중단될 수 있는 바, SiO2를 게이트 절연막으로 사용하였을 때보다 반도체 장치의 특성이 열화될 수 있다.

<8> 다른 한편으로, SiO2막이 게이트 절연막으로 사용되고, 그 두께가 얇을 때, 트랜지스터의 게이트와 드레인 사이에 전자 터널링으로 인해 허용치 이상의 누설전류가 증가하기 때문에, SiO2막의 두께를 얇게 하기 어렵다.

<9> 그러나 실리콘 질화물막은 SiO2막보다 큰 벌크 유전율을 갖기 때문에, 얇은 두께의 SiO2막과 동일한 정전 용량 밀도를 갖는 두꺼운 실리콘 질화물이 사용될 수 있다.

<10> 그렇지만, 상기 하였듯이 현재까지 알려진 방법으로 형성되는 실리콘 질화물은 구조적으로 비정질인 바, 그 두께가 얇을 경우, 누설전류는 증가될 수 있다.

발명의 내용

해결 하고자하는 과제

<11> 본 발명이 해결하고자 하는 기술적 과제는 상술한 종래의 문제점을 개선하기 위한 것으로서, 액티브 반도체 장치의 채널에서 전자의 흐름이 중단되는 것을 방지할 수 있고, 두께를 얇게 하더라도 누설전류가 증가되는 것을 방지할 수 있으며, 결정질 실리콘 질화물이 형성될 수 없었던 저온 기판 상에도 결정질 실리콘 질화물 막 또는 나노 도트를 형성할 수 있는 저온 실리콘 질화물 형성 방법을 제공함에 있다.

<12> 본 발명의 다른 기술적 과제는 이 방법으로 형성된 결정질 나노 도트를 포함하는 전하 트랩형 메모리 소자 및 그 제조방법을 제공함에 있다.

과제 해결수단

<13> 상기 기술적 과제를 해결하기 위하여, 본 발명은 필라멘트를 포함하는 실리콘 질화물(silicon nitride) 증착장치의 챔버에 기판을 로딩하는 제1 단계, 유입될 반응가스를 해리될 수 있는 소정 온도까지 상기 필라멘트의 온도를 높이는 제2 단계 및 상기 챔버에 실리콘 질화물 형성용 반응가스를 공급하는 제3 단계를 포함하고, 상기 필라멘트의 온도는 1400℃-2000℃로 유지하고, 상기 제3 단계에서 상기 챔버의 압력은 수torr-수십torr로 유지하여, 상기 기판 상에 결정질 실리콘 질화물을 형성하는 실리콘 질화물 형성방법을 제공한다.

<14> 이러한 형성방법에서 상기 기판은 500℃-700℃로 유지될 수 있다.

<15> 상기 챔버의 압력은 4torr-40torr일 수 있다.

<16> 상기 반응가스는 실리콘(Si)을 공급하기 위한 제1 소오스 가스와 질소(N)를 공급하기 위한 제2 소오스 가스이고, 상기 제1 소오스 가스는 모노실란(SiH4), 디실란, 트리실란 또는 테트라실란일 수 있다.

<17> 상기 제1 소오스 가스가 20%의 모노 실란이고, 상기 제2 소오스 가스가 암모니아 가스(NH3)일 때, 상기 제1 및 제2 소오스 가스의 흐름률(flow ratio)은 1:50, 1:100 또는 1:200을 유지할 수 있다.

<18> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 기판 상에 순차적으로 적층된 터널링막, 전하 트랩층, 전하 차단층 및 게이트 전극을 포함하는 전하 트랩형 메모리 소자에 있어서, 상기 전하 트랩층은 결정질 실리콘 질화물인 전하 트랩형 메모리 소자를 제공한다.

<19> 상기 전하 트랩층은 결정질 실리콘 질화물 나노 도트층일 수 있다.

<20> 상기 결정질 실리콘 질화물 나노 도트층은 다결정일 수 있다.

<21> 상기 터널링막은 비정질일 수 있다.

<22> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 전하 트랩 수단을 포함하는 게이트 적층물을 구비하는 전하 트랩형 메모리 소자의 제조 방법에 있어서,

<23> 기판 상에 터널링막을 형성하는 단계, 상기 터널링막 상에 상기 전하 트랩 수단으로써 결정질 실리콘 질화물을 형성하는 단계, 상기 결정질 실리콘 질화물을 덮는 전하 차단층을 형성하는 단계 및 상기 전하 차단층 상에 게이트 전극을 형성하는 단계를 포함하는 전하 트랩형 메모리 소자의 제조방법을 제공한다.

<24> 상기 결정질 실리콘 질화물은 열선 기상 증착 장치를 이용하여 형성할 수 있다. 이때, 상기 결정질 실리콘 질화물은 상기 기술적 과제를 달성하기 위해 제공되는 실리콘 질화물 형성 방법에 따라 형성할 수 있다.

<25> 상기 결정질 실리콘 질화물은 상기 결정질 실리콘 질화물 나노 도트로 형성할 수 있다.

<26> 상기 결정질 실리콘 질화물 나노 도트는 다결정일 수 있다.

효 과

<27> 본 발명은 기상에서 형성되는 결정질 나노입자를 기판 상에 증착시키는 바, 결정질 실리콘 질화물 막 또는 나노 도트가 형성될 수 없었던 저온의 기판 상에도 결정질 실리콘 질화물 막 또는 나노 도트를 형성할 수 있다. 따라서 불순물의 확산을 방지할 수 있고, 비정질 실리콘 질화물에서 나타나는 누설전류를 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

<28> 이하, 본 발명의 실시예에 의한 실리콘 나이트라이드막의 형성방법을 첨부된 도면들을 참조하여 상세히 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다. 그러나 본 발명의 실시예는 여러 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 한정되는 것으로 해석되어져서는 안 된다.

<29> 도 1은 본 발명의 실시예에 의한 결정질 실리콘 나이트라이드막의 형성방법에 사용된 막 증착 장치를 보여준다. 도 1에 도시된 막 증착 장치는 열선 기상 증착 장치(Hot Wire CVD)이다.

<30> 도 1을 참조하면, 막 증착 장치(5)는 챔버(1)를 포함하고, 가스 주입구(3), 가스 배출구(4), 필라멘트(21)를 포함한다. 가스 주입구(3)를 통해서 반응가스, 분위기 가스 등과 같은 원료가스가 챔버(1) 내에 주입된다. 챔버(5)에서 실리콘 나이트라이드막이 형성될 경우, 상기 반응가스는 20%의 실란(SiH4)가스와 암모니아 가스(NH3)가 될 수 있다. 그리고 상기 분위기 가스는 H2가 될 수 있다. 가스 배출구(4)를 통해서 챔버(1) 내부의 가스가 챔버(1) 밖으로 배출된다. 필라멘트(21)로부터 챔버(1)내로 주입되는 반응가스를 해리시키기 위한 열이 방출된다. 이를 위해 필라멘트(21)는 소정의 온도로 유지될 수 있다. 예를 들면 챔버(1)에서 결정질 실리콘 나이트라이드막을 형성하기 위해 반응가스가 유입될 때, 필라멘트(21)는 1400℃-2000℃로 유지될 수 있는데, 바람직하게는 1700℃로 유지될 수 있다. 상기 반응가스를 고온 해리시키기 위해 사용되는 필라멘트(21)로는 흑연으로 코팅된 텅스텐(W)과 같이 단일 금속이 사용될 수 있지만, 합금이 사용될 수도 있다. 상기 합금은 몰리브덴(Mo), 백금(Pt), 탄탈륨(Ta), 이리듐(Ir) 등과 같은 금속 발열체의 합금일 수 있다. 필라멘트(21)의 형태는 단일선, 꼬아진 형태일 수도 있고, 어떠한 형태일 수도 있다. 그리고 필라멘트(21)의 수는 한 개 이상일 수 있다.

<31> 막 증착 장치(5)는 또한 전극(22), 막 증착 동안 기판(40)을 홀딩하는 기판 홀더(41), 히터(10) 및 전원(24)을 포함한다. 전극(22)을 통해서 전원(23)으로부터 필라멘트에 전압이 인가된다. 필라멘트(21) 및 전극(22)을 통틀어 열선(Hot-Wire)(30)이라 한다. 기판(40) 상에는 박막이나 나노 도트가 형성될 수 있다. 예를 들면, 기판(40) 상에 결정질 실리콘 질화물층이나 결정질 실리콘 질화물 나노 도트가 형성될 수 있다. 이에 대해서는 후술된다. 기판 홀더(41)는 다양한 크기의 기판을 홀딩할 수 있다. 히터(10)는 막 증착 동안 기판(40)을 일정한 온도로 유지시켜준다. 예를 들면, 결정질 실리콘 나이트라이드막이 형성되는 동안, 히터(10)는 500℃-700℃로 기판의 온도를 유지한다. 전원(24)은 히터(10)에 전력을 공급하는 것으로서, 일정한 교류 및 직류 전압을 인가할 수 있다.

<32> 다음에는 상술한 막 증착 장치(5)를 이용한 결정질 실리콘 질화물의 형성방법(이하, 본 발명의 방법)을 도 2를 참조하여 설명한다.

<33> 도 2를 참조하면, 본 발명의 방법은 먼저, 챔버(1)에 기판(40)을 로딩한다(100). 이때, 챔버(1) 압력은 수십 mtorr로 유지할 수 있는데, 예를 들면 10^{-2}torr 정도로 유지할 수 있다. 기판(40)은 (100) 실리콘 기판일 수 있다. 이후, 필라멘트(21)가 산화되는 것을 방지하기 위한 분위기 가스로 수소가스(H2)를 주입할 수 있다. 기판(40)과 필라멘트(21) 사이는 기판(40) 상에 결정질 실리콘 질화물 막 또는 결정질 실리콘 질화물 나노 도트를 형성하기에 적합한 소정 거리로 유지할 수 있는데, 예를 들면 기판(40)과 필라멘트(21) 사이의 거리는 6.5cm 정도일 수 있다. 다른 조건이 일정할 때는 기판(40)과 필라멘트(21) 사이의 거리를 조절하여 기판(40) 상에 결정질 실리콘 질화물 막을 형성하거나 결정질 실리콘 질화물 나노 도트를 형성할 수 있다.

<34> 다음, 필라멘트(21)의 온도를 주입될 반응가스를 해리할 수 있을 정도로 높인다(110). 예를 들면, 실리콘 질화물을 형성하기 위한 반응가스가 유입될 때, 필라멘트(21)는 1400℃-2000℃, 바람직하게는 1700℃로 높일 수 있다.

<35> 다음, 가스 유입구(3)를 통해서 챔버(1)에 반응가스를 공급한다(120). 상기 반응가스는 실리콘 나이트라이드막을 형성하는데 필요한 소오스 가스일 수 있다. 이 경우에 챔버(1)의 압력은 수 토르(torr)에서 수십 토르로 유

지하고, 기판(40)은 500℃-700℃로 유지할 수 있다. 예컨대, 챔버(1)의 압력은 4 torr~40 torr일 수 있다.

<36> 상기 소오스 가스는 실리콘(Si)을 공급하기 위한 것으로서, 모노실란, 디실란, 트리실란 또는 테트라실란 등일 수 있고, 질소(N)를 공급하기 위한 암모니아 가스(NH3)일 수 있다. 이때, 상기 소오스 가스의 유량은 20% 실란 가스와 암모니아 가스의 비(SiH4(20%):NH3)의 비가 1:50, 1:100 또는 1:200이 되도록 유지한다. 여기서, 암모니아 유량은 200sccm로 일정하게 유지할 수 있다.

<37> 상기 유입된 반응가스는 필라멘트(21)를 통과하면서 해리된다. 해리된 반응가스는 기상에서 응축되어 실리콘 질화물의 핵(seed)이 생성되고 결정질의 나노입자가 된다.

<38> 한편, 챔버(1)의 상기 압력조건으로 인해 상기 유입된 반응가스의 과포화도가 낮아진다. 과포화도가 낮아지면, 필라멘트(21) 둘레의 온도가 낮은 영역, 예컨대 온도가 1700℃보다 낮은 영역에서는 상기 유입된 반응가스의 해리가 일어나지 않고, 해리된 반응가스의 핵 형성이 이루어지지 않는다.

<39> 이렇게 형성된 나노입자가 기판(40) 상에 증착되어 결정질 실리콘 나이트라이드막이 형성된다. 이때, 증착 시간은 30분 정도일 수 있다. 그러나 증착 시간은 30분으로 한정되지는 않는다. 증착 시간은 30분보다 짧을 수 있는데, 예를 들면 수초 정도일 수도 있다. 결정질 실리콘 질화물 막은 상기 결정질 실리콘 질화물 나노 도트 입자가 기판(40) 상에 충분히 증착된 결과로 형성되기 때문에, 증착 시간의 조절을 통해서도 기판(40) 상에 결정질 실리콘 질화물 나노 도트를 형성할 수 있다.

<40> HWCVD에서 나노입자가 형성되고, 나노입자에 의해 박막이 형성됨은 N. M. Hwang, I. D. Jeon and D. Y. Kim, J. Ceram. Process. Res., 1, 33(2000)에서 찾을 수 있다.

<41> 다음에는 상술한 결정질 실리콘 질화물의 형성방법과 관련하여 본 발명자가 실시한 실험에 대해 설명한다.

<42> 먼저, 본 발명자는 실리콘 질화물의 조성비에 대한 챔버 압력과 필라멘트의 온도의 영향을 알기 위한 제1 및 제2 실험을 하였다.

<43> 상기 제1 실험은 상술한 실리콘 질화물 형성방법에 따라 실시하였다. 이때, 반응가스로는 20%의 실란가스와 암모니아 가스를 사용하였다. 그리고 상기 실란가스와 상기 암모니아 가스의 비(SiH4(20%):NH3)는 1:200으로 유지하였고, 챔버의 압력은 4torr, 기판 온도는 700℃로 유지하였다.

<44> 상기 제2 실험은 상기 제1 실험과 동일하되, 챔버의 압력을 4torr에서 40torr로 다소 높였다.

<45> 도 3 및 도 4는 각각 상기 제1 및 제2 실험의 결과를 보여주는 엑스선 회절 분석 결과이다.

<46> 도 3 및 도 4를 참조하면, 챔버의 반응 압력이 달라짐에 따라, 필라멘트 온도 변화에 따른 실리콘 질화물의 조성비의 경향이 달라짐을 알 수 있다.

<47> 다음에 본 발명자는 챔버 압력을 일정하게 유지한 상태에서 필라멘트 온도 변화의 영향을 알아보기 위한 제3 및 제4 실험을 실시하였다.

<48> 상기 제3 실험에서 5sccm의 20% 실란가스(SiH4(20%))와 200sccm의 암모니아 가스를 사용하였고, 실란가스와 암모니아 가스의 흐름률(flow ratio)은 1:200으로 유지하였다. 그리고 필라멘트 온도는 1430℃, 기판온도는 700℃, 압력은 4torr로 유지한 상태에서 결정질 실리콘 질화물, 예를 들면 Si3N4을 형성하였다.

<49> 상기 제4 실험의 실시조건은 필라멘트 온도를 1730℃로 유지한 것을 제외하고 상기 제3 실험과 동일하다.

<50> 도 5 및 도 6은 각각 상기 제3 및 제4 실험에서 형성한 결정질 실리콘 질화물들에 대한 고해상 투과 전자 현미경 사진을 보여준다.

<51> 도 5 및 도 6을 비교하면, 상기 제3 및 제4 실험에서 형성된 실리콘 질화물, 예를 들면 Si3N4은 결정질임을 알 수 있고, 결정입자의 크기와 밀도가 다르고 두께도 다른 것을 알 수 있다.

<52> 이러한 결과로부터 필라멘트 온도의 변화가 결정입자의 크기, 결정입자 밀도 및 막 두께에 영향을 주는 것을 알 수 있었다.

<53> 다음, 본 발명자는 상기 제4 실험에서 다른 조건은 동일하게 하고 챔버 압력만 4torr에서 40torr로 높여서 실리콘 질화물을 형성하는 제5 실험을 실시하였다.

<54> 도 7은 상기 제5 실험으로 형성한 실리콘 질화물, 예컨대 Si3N4의 고해상 투과 전자 현미경 사진을 보여준다.

<55> 도 7을 참조하면, 상기 제5 실험으로 형성한 실리콘 질화물 역시 결정질임을 알 수 있다. 그리고 기판의 자연 산화막 상에 형성된 실리콘 질화물의 결정성을 볼 때, 상기 자연 산화막 두께가 얇은 부분에 형성된 실리콘 질화물의 결정성 방향이 기판으로 사용된 실리콘 웨이퍼의 방향과 일치되게 나타나는 것을 알 수 있다.

<56> 도 7의 이러한 결과는 자연 산화막이 제거된 실리콘 기판 상에 바로 실리콘 질화물을 성장시키면, 실리콘 기판의 결정방향과 동일한 결정방향을 갖는 실리콘 질화물을 형성할 수 있음을 의미한다. 따라서 실리콘 기판이 단결정일 때, 단결정 실리콘 질화물을 형성할 수 있다.

<57> 또한, 도 6과 도7을 비교하면, 모든 조건이 동일한 가운데 챔버 압력이 높아지면, 결정입자밀도가 더 높아지고, 결정학적으로 동일한 방향을 나타내는 결정질 영역이 넓어짐을 볼 수 있다.

<58> 한편, 도 5, 도 6 및 도 7에서 실리콘 질화물이 형성되는 기판의 온도는 700℃이다. 이 온도는 기상에 존재하는 원자나 분자가 기판 위에 도달해 실리콘 질화물이 형성될 때, 결정성을 만들 수 없는 온도이다.

<59> 그러나 도 5 내지 도 7의 결과를 통해서 알 수 있었듯이, 본 발명의 방법을 따를 경우, 700℃의 기판 상에 형성된 실리콘 질화물에 결정입자들이 존재함을 알 수 있다.

<60> 이러한 결과는 실리콘 질화물이 기판 위에 도달한 원자나 분자에 의해서 만들어지는 것이 아니라 기상 상태의 해리된 반응가스로부터 만들어진 결정성을 가지고 있는 나노입자들이 기판 위에 증착되어 형성되기 때문에 가능하다.

<61> 도 5 내지 도 7의 실험 결과는 각 실험 조건에 따라서 결정입자 존재 정도의 차이는 있지만, 종래에는 결코 결정질의 실리콘 질화물이 형성될 수 없었던 저온의 기판 상에도 결정질 실리콘 질화물로 형성된 막이나 나노 도트가 형성될 수 있음을 보인 것이다.

<62> 다음은 본 발명의 실시예에 의한 결정질 실리콘 질화물 나노 도트를 포함하는 전하 트랩형 메모리 소자(이하, 본 발명의 메모리 소자)에 대해 설명한다.

<63> 도 8을 참조하면, 본 발명의 메모리 소자는 기판(40) 상에 게이트 적층물(50)을 구비한다. 게이트 적층물(50) 양측의 기판(40)에 제1 및 제2 불순물 영역(52, 54)이 존재한다. 제1 및 제2 불순물 영역(52, 54) 중 하나는 소오스 영역으로, 다른 하나는 드레인 영역으로 사용된다. 게이트 적층물(50)은 순차적으로 적층된 터널링막(42), 나노 도트층(44), 전하 차단층(46) 및 게이트 전극(48)을 포함한다. 터널링막(42)은, 예를 들면 실리콘 산화막(SiO2)일 수 있다. 이때, 실리콘 산화막은 비정질일 수 있다. 나노 도트층(44)은 전하 트랩층이고, 복수의 나노 도트(44a)를 포함한다. 나노 도트(44a)는 결정질 실리콘 질화물일 수 있는데, 예를 들면 결정질의 Si3N4 나노 도트일 수 있다. 이러한 나노 도트(44a)는 전하 차단층(46)으로 덮여 있다. 전하 차단층(46)은 나노 도트층(44)에 트랩된 전하가 게이트 전극(48)으로 누설되는 것을 방지한다.

<64> 도 8에 도시한 본 발명의 전하 트랩형 메모리 소자는 상기한 바와 같은 결정질 실리콘 질화물로 형성된 나노 도트층을 전하 트랩층으로 구비한다. 따라서 결정질 실리콘 질화물의 이점인 얕은 결함(shallow defect)을 줄일 수 있는 바, 큰 ETA를 얻을 수 있고, 또한 나노 도트의 이점인 측면 이동(lateral migration)이 감소되는 효과를 얻을 수 있다.

<65> 다음, 도 8의 전하 트랩형 메모리 소자의 제조방법을 도 9 내지 도 11을 참조하여 설명한다.

<66> 도 9를 참조하면, 기판(40) 상에 터널링막(42)을 형성한다. 터널링막(42)은 비정질 실리콘 산화막, 예컨대 비정질 SiO2막으로 형성할 수 있다. 터널링막(42)은 후속 공정에서 나노 도트층(44)을 형성하는데 적합한 다른 물질막으로 형성할 수도 있다. 터널링막(42)을 형성한 후, 기판(40)을 상술한 열선 기상 증착 장치로 로딩하여 기판 홀더(41)에 홀딩한다. 이후, 열선 기상 증착 장치를 상술한 조건에 따라 가동하여 기판(40) 상에 형성된 터널링막(42) 상에 결정질 나노 도트층(44)을 형성한다. 결정질 나노 도트층(44)이 형성될 수 있는 여러 조건들에 대한 설명은 열선 기상 증착 장치와 관련해서 상술하였는 바, 여기서는 생략한다. 결정질 나노 도트층(44)은 나노 도트층(44)은 복수의 결정질 나노 도트(44a)를 포함한다. 나노 도트(44a)는, 예를 들면 결정질 실리콘 질화물일 수 있다. 터널링막(42)이 비정질 실리콘 산화막일 때, 나노 도트(44a)의 결정상(crystalline phase)은 다결정일 수 있다. 나노 도트층(44)이 결정질 실리콘 질화물 나노 도트층일 때, 그 증착 조건의 일예는 다음과 같은 수 있다. 그러나 상술한 바와 같이 다른 조건에서도 결정질 실리콘 나노 도트층은 형성될 수 있다.

<67> 필라멘트 온도:1730℃, 반응압력(열선 기상 증착 장치내 압력):40Torr, 가스 공급비: NH3/SiH4 = 200, 기판(40) 온도: 700℃

<68> 터널링막(42) 상에 나노 도트층(44)을 형성한 다음, 기판(40)을 열선 기상 증착 장치로부터 꺼내어 터널링막(42)을 형성할 때 사용한 막 증착장치 또는 그와 유사한 막 증착 장치로 로딩하여 후속 막 증착 공정을 진행한다.

<69> 다음, 도 10을 참조하면, 터널링막(42) 상에 나노 도트층(44)를 덮는 전하 차단층(46)을 형성한다. 전하 차단층(46)은 나노 도트층(44)에 트랩된 전하가 게이트 전극(48)으로 누설되는 것을 막을 수 있고, 또한 게이트 전극(48)으로부터 나노 도트층(44)으로 전하가 유입되는 것을 막을 수 있는 절연 물질막일 수 있다. 예를 들면, 전하 차단층(46)은 알루미늄 산화막일 수 있다. 전하 차단층(46) 상에 게이트 전극(48)을 형성한다. 게이트 전극(48)은 도핑된 실리콘층, 금속층, 도전성을 갖는 합금층이나 도전성 산화물층일 수도 있다. 게이트 전극(48) 상에 마스크(M1)를 형성한다. 마스크(M1)는 도 8의 게이트 적층물(50)이 형성될 영역을 한정한다. 마스크(M1) 둘레의 게이트 전극(48), 전하 차단층(46), 나노 도트층(44) 및 터널링막(42)을 순차적으로 식각한다. 이 식각은 기판(40)이 노출될 때까지 실시한다. 상기 식각 결과, 도 11에 도시한 바와 같이 기판(40) 상에 게이트 적층물(50)이 형성된다. 이후, 마스크(M1)를 제거한다. 마스크(M1)를 제거한 후에 도 8의 전하 트랩형 메모리 소자의 제1 및 제2 불순물 영역(52, 54), 곧 소오스 및 드레인 영역은 통상적인 공정에 따라 형성할 수 있다. 이 과정에서 게이트 적층물(50)의 측면을 덮는 게이트 스페이서(미도시)를 더 형성할 수 있고, 제1 및 제2 불순물 영역(52, 54)은 LDD(Lightly Doped Drain) 구조로 형성할 수도 있다.

<70> 도 12는 상술한 전하 트랩형 메모리 소자의 제조 방법에서 나노 도트층(44)이 결정질 실리콘 질화물 나노 도트층일 때, 나노 도트층(44)에 대한 투과 전자 현미경(TEM) 사진이다.

<71> 도 12를 참조하면, 복수의 원형 물체들(C1)를 볼 수 있는데, 이것이 나노 도트들(44a)이다. 도 13 및 도 14는 도 12의 일부를 확대한 이미지인데, 도 13의 제1 영역(A1)과 도 14의 제2 및 제3 영역(A2, A3)은 나노 도트(44a)를 나타낸다. 도 13 및 도 14를 참조하면, 제1 내지 제3 영역(A1-A3)은 각각 평행한 복수의 제1 내지 제3 선(L1-L3)을 포함하고 있어 그렇지 않은 주변 영역과 확연히 구분되는 것을 알 수 있다. 제1 내지 제3 선(L1-.L3)은 결정면을 나타낸다. 따라서 도 13 및 도 14로부터 나노 도트(44a)의 상(phase)은 결정인 것을 알 수 있다.

<72> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 결정질 실리콘 질화물 막 또는 결정질 실리콘 질화물 나노도트 형성방법의 챔버 내 공정 조건들을 조금씩 다르게 할 수 있을 것이다. 또한, 본 발명의 방법을 실리콘 질화물 막 또는 결정질 실리콘 질화물 나노 도트가 사용될 수 있는 여러 반도체 장치의 제조 방법에 적용할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

도면의 간단한 설명

<73> 도 1은 본 발명의 실시예에 의한 저온 결정질 실리콘 질화물 형성에 사용하는 HWCVD(Hot Wire CVD)장치의 단면도이다.

<74> 도 2는 도 1의 장치를 이용한 본 발명에 실시예에 의한 실리콘 질화물의 형성방법을 단계별로 나타낸 블록도이다.

<75> 도 3 및 도 4는 챔버의 반응 압력의 변화에 따른 결정질 실리콘 질화물의 조성비 변화를 알기 위해 실시한 제1 및 제2 실험의 결과를 나타낸 그래프이다.

<76> 도 5 및 도 6은 도 1의 장치를 이용한 실리콘 질화물 증착에서 필라멘트 온도 변화가 실리콘 질화물에 미치는 영향을 알기 위해 실시한 제3 및 제4 실험 결과를 나타낸 고해상 투과 전자 현미경(High Resolution Transmission Electron Microscopy)(HRTEM) 사진이다.

<77> 도 7은 제4 실험과 다른 조건은 동일하되, 압력만 4torr에서 40torr로 높인 제5 실험에 대한 결과를 나타낸 고해상 투과 전자현미경 사진이다.

<78> 도 8은 결정질 나노 도트층을 전하 트랩층으로 포함하는 본 발명의 실시예에 의한 전하 트랩형 메모리 소자의 단면도이다.

<79> 도 9 내지 도 11은 도 8의 메모리 소자의 제조 방법을 단계별로 나타낸 단면도들이다.

<80> 도 12는 도 9 내지 도 11의 메모리 소자의 제조 방법에서 형성되는 결정질 나노 도트층에 대한 투과 전자 현미

경 사진이다.

<81> 도 13 및 도 14는 도 12의 일부를 확대하여 보여주는 사진이다.

<82> *도면의 주요 부분에 대한 부호설명*

<83> 1 : 진공 챔버 3:가스 주입구

<84> 4 : 가스 배출구 5:막 증착장치(HWCVD)

<85> 10:히터 21:필라멘트

<86> 22:전극 23, 24:전원

<87> 30:열선(Hot Wire) 40:기판

<88> 41:기판홀더 42:터널링막

<89> 44:결정질 나노 도트층 44a:결정질 나노 도트

<90> 46:전하 차단층 48:게이트 전극

<91> 52, 54:제1 및 제2 불순물 영역

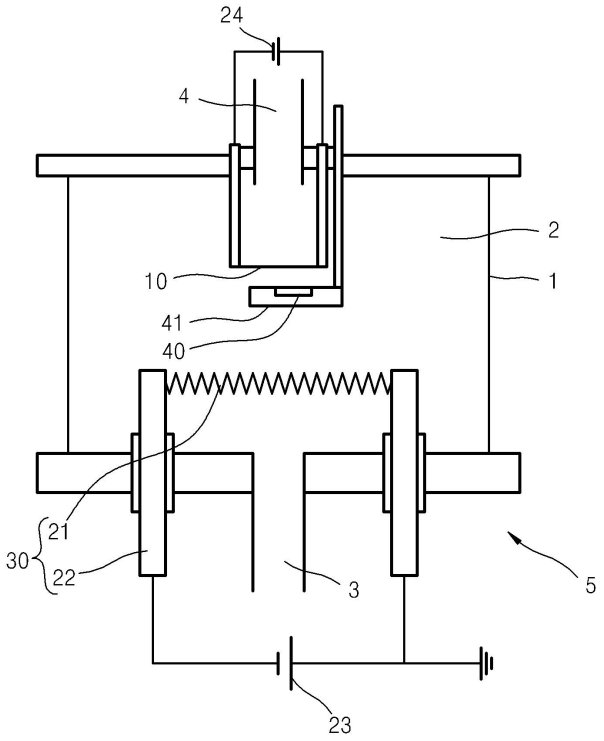
<92> C1:원형물체 A1 내지 A3:제1 내지 제3 영역

<93> L1:제1 영역(A1)의 선 L2:제2 영역(A2)의 선

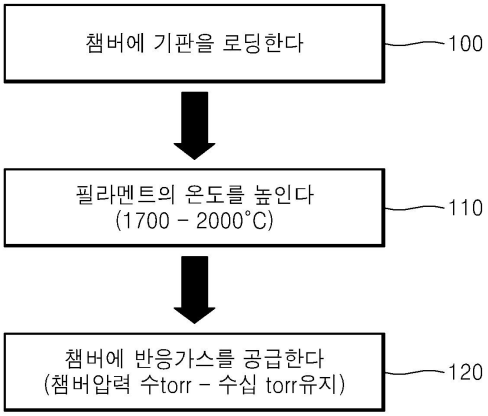
<94> L3:제3 영역(A3)의 선 M1:마스크

도면

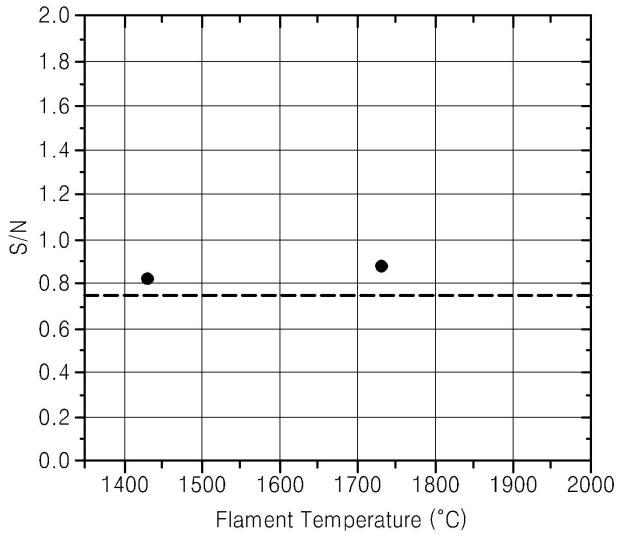
도면1



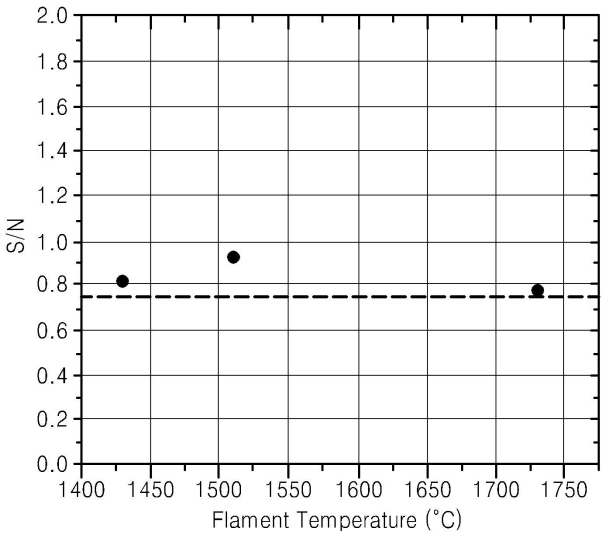
도면2


챔버에 기판을 로딩한다
100
필라멘트의 온도를 높인다
(1700 - 2000°C)
110
챔버에 반응가스를 공급한다
(챔버압력 수torr - 수십 torr유지)
120

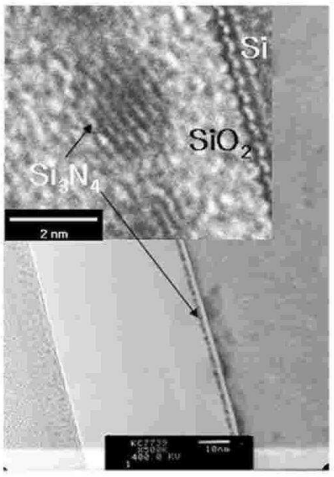
도면3


S/N
2.0
1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
1400
1500
1600
1700
1800
1900
2000
Flament Temperature (°C)

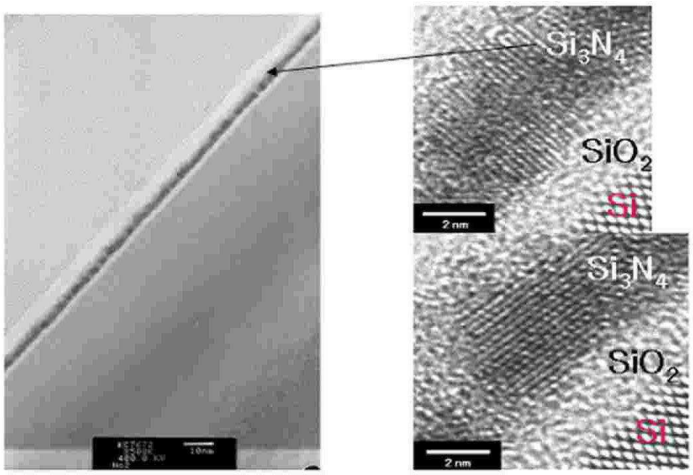
도면4


2.0
1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
S/N
1400
1450
1500
1550
1600
1650
1700
1750
Flament Temperature (°C)

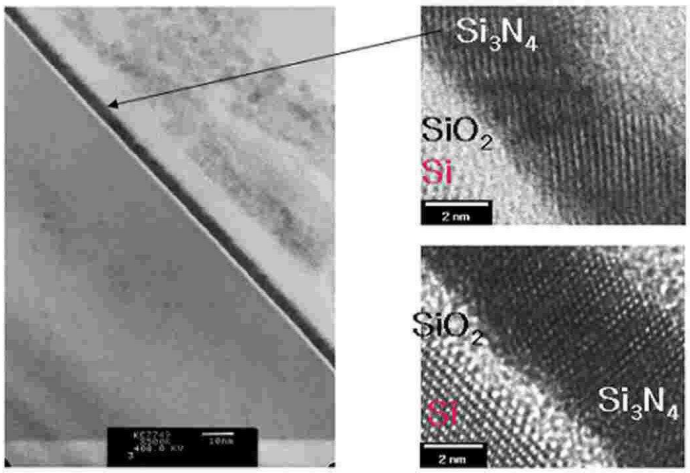
도면5


Si
SiO2
Si3N4
2 nm

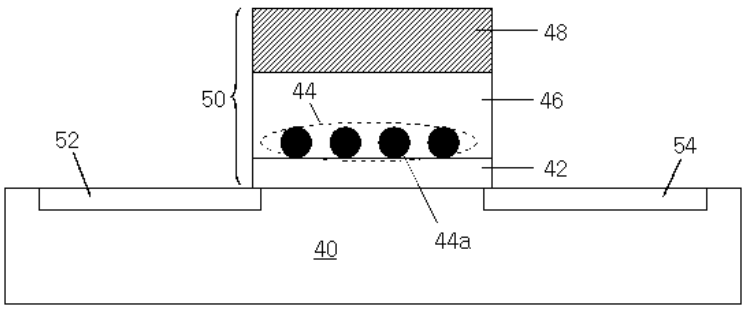
도면6


Si3N4
SiO2
Si
2nm
Si3N4
SiO2
Si
2nm

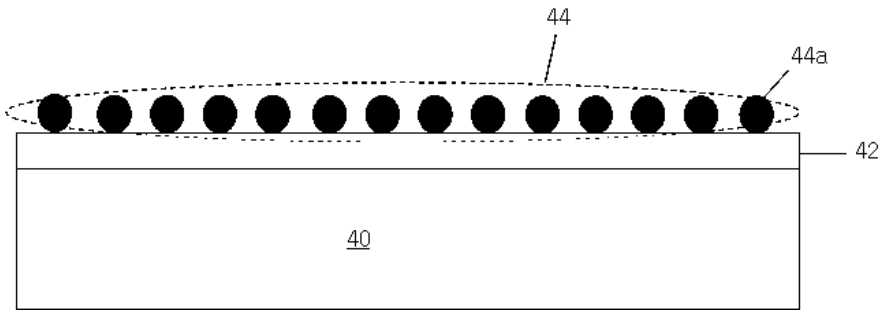
도면7


Si3N4
SiO2
Si
2nm
SiO2
Si
Si3N4
2nm

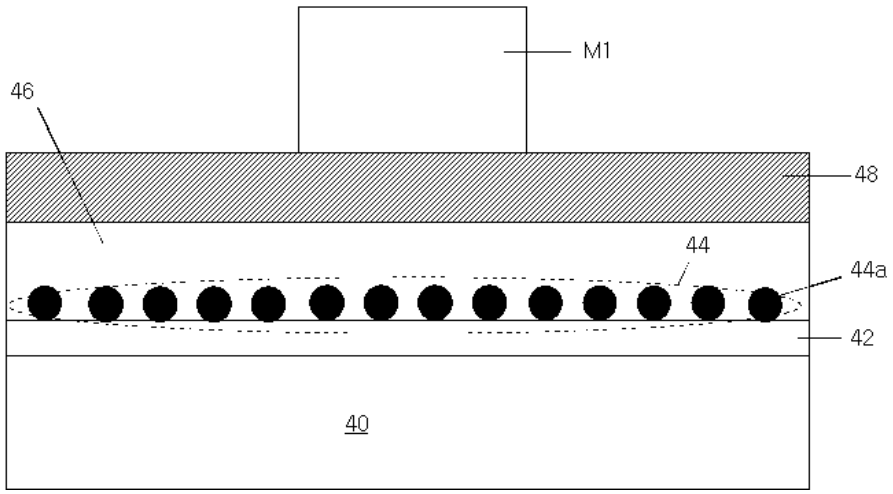
도면8


48
50
44
46
52
54
42
44a
40

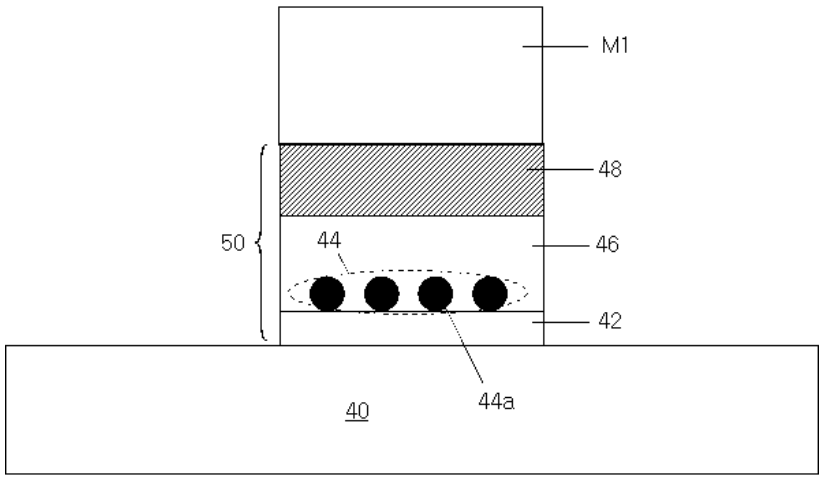
도면9



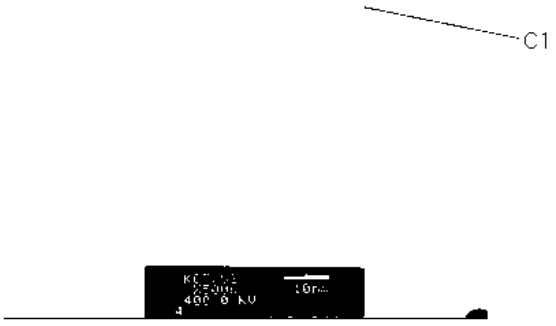
도면10



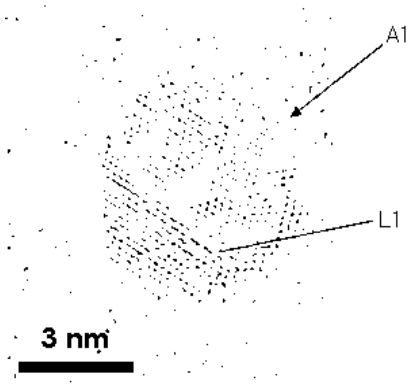
도면11



도면12



도면13



도면14

