(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 5 月 28 日(28.05.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/075985 A1

(51) 国際特許分類:
*G11C 13/00* (2006.01) *H01L 29/786* (2006.01)
*G11C 17/12* (2006.01)

(21) 国際出願番号: PCT/JP2014/072293

(22) 国際出願日: 2014 年 8 月 26 日(26.08.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-243052 2013 年 11 月 25 日(25.11.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 加藤　純男(KATOH Sumio). 上田　直樹(UEDA Naoki).

(74) 代理人: 奥田　誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号　大阪証券取引所ビル１０階　奥田国際特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

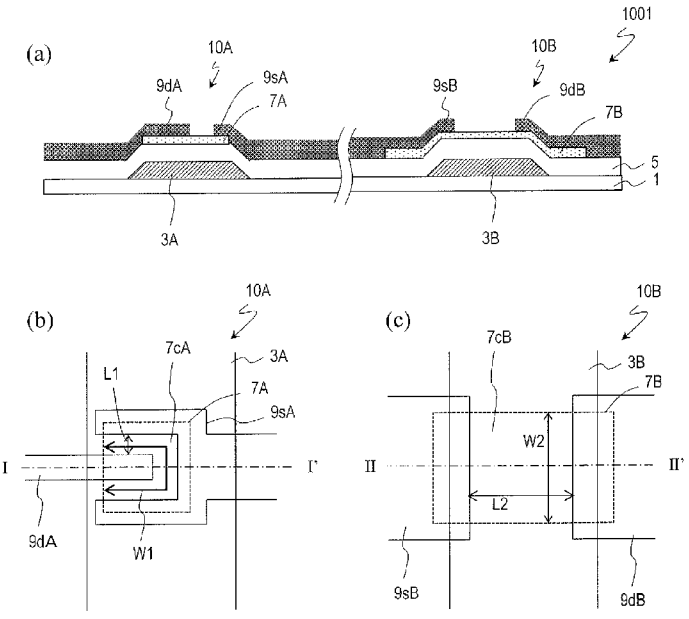
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR WRITING THERETO

(54) 発明の名称 : 半導体装置およびその書き込み方法

[図2]




(57) **Abstract**: This semiconductor device (1001) comprises a memory cell and a write control circuit. The memory cell contains a memory transistor (10A) that has an active layer (7A) that contains a metal oxide. Said memory transistor (10A) can be irreversibly changed from a semiconductor state in which a drain current (Ids) depends on a gate-source voltage (Vgs) to a resistor state in which said drain current (Ids) does not depend on said gate-source voltage (Vgs). The write control circuit is designed so as to write to the memory transistor (10A) by controlling voltages applied to a drain (9dA), a source (9sA), and a gate electrode (3A) such that a threshold voltage (Vth) for the memory transistor (10A) and the drain-source voltage (Vds) satisfy the relation Vgs ≥ Vds + Vth.

(57) 要約: 半導体装置（１００１）は、メモリセルと書き込み制御回路とを備え、メモリセルは、金属酸化物を含む活性層（７Ａ）を有するメモリトランジスタ（１０Ａ）を含み、メモリトランジスタ（１０Ａ）は、ドレイン電流Ｉｄｓがゲート - ソース間電圧Ｖｇｓに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート - ソース間電圧Ｖｇｓに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、書き込み制御回路は、メモリトランジスタ（１０Ａ）の閾値電圧をＶｔｈ、ドレイン - ソース間電圧をＶｄｓとするとき、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、ドレイン（９ｄＡ）、ソース（９ｓＡ）およびゲート電極（３Ａ）に印加する電圧を制御することによって、メモリトランジスタ（１０Ａ）への書き込みを行うように構成されている。

WO 2015/075985 A1

# 明　細　書

## 発明の名称 ： 半導体装置およびその書き込み方法

## 技術分野

[0001] 本発明は、メモリトランジスタを備えた半導体装置に関する。

## 背景技術

[0002] ＲＯＭ（読み出し専用メモリ）として利用可能なメモリ素子として、従来、トランジスタ構造を有する素子（以下、「メモリトランジスタ」と称する。）を用いることが提案されている。

[0003] 例えば特許文献１には、ＭＯＳトランジスタ構造を有する不揮発性のメモリトランジスタが開示されている。このメモリトランジスタでは、ゲート絶縁膜に高電界を印加し、絶縁破壊させることにより、書き込みを行う。また、特許文献２には、ゲートに所定の書き込み電圧をかけることによって生じる閾値電圧の変化を利用したメモリトランジスタが開示されている。

[0004] これに対し、本出願人による特許文献３は、従来よりも消費電力を低減可能な新規な不揮発性メモリトランジスタを提案している。このメモリトランジスタは、活性層（チャネル）に金属酸化物半導体を用いており、ドレイン電流により生じるジュール熱によって、ゲート電圧にかかわらずオーミックな抵抗特性を示す抵抗体状態に不可逆的に変化し得る。このようなメモリトランジスタを用いると、書き込みのための電圧を特許文献１、２における電圧よりも低くすることが可能である。なお、本明細書では、このメモリトランジスタの金属酸化物半導体を抵抗体状態に変化させる動作を「書き込み」と称する。また、メモリトランジスタからドレイン‐ソース間に流れる電流を読み出す動作を「読み出し」と、メモリトランジスタから読み出された電流を「読み出し電流」と称する。このメモリトランジスタは、書き込みされた後、金属酸化物半導体が抵抗体となるため、トランジスタとして動作しないが、本明細書では、抵抗体に変化した後も「メモリトランジスタ」と呼ぶ。同様に、抵抗体に変化した後も、トランジスタ構造を構成するゲート電極

、ソース電極、ドレイン電極、活性層、チャネル領域などの呼称を使用する。

[0005] 特許文献３には、メモリトランジスタを例えば液晶表示装置のアクティブマトリクス基板に形成することが記載されている。

## 先行技術文献

## 特許文献

[0006] 特許文献1：米国特許第６７７５１７１号明細書

特許文献2：特開平１１－９７５５６号公報

特許文献3：国際公開第２０１３／０８０７８４号

## 発明の概要

## 発明が解決しようとする課題

[0007] 本発明者が検討したところ、特許文献３のメモリトランジスタでは、書き込み時に、メモリトランジスタのドレイン‐ソース間に印加する電圧（書き込み電圧）をメモリトランジスタの飽和領域において設定したとき、メモリトランジスタの活性層中のドレイン電極の近傍に局所的にジュール熱が発生し、ドレイン電極の近傍で局所的に金属酸化物の組成が変化する可能性があることが分かった。活性層の一部のみが低抵抗化するため、読み出し時に、メモリトランジスタからの読み出し電流が低下し得る。この結果、読み出し電流を検出するセンスアンプに対する出力電圧が不安定となり、読み出し動作マージンが低下する可能性がある。これは、半導体装置の信頼性を低下させる要因となり得る。

[0008] 本発明の実施形態は、メモリトランジスタからの読み出し電流の低下を抑制することにより、センスアンプの読み出し動作マージンを大きくして、半導体装置の信頼性を確保することを目的とする。

## 課題を解決するための手段

[0009] 本発明の実施形態による半導体装置は、少なくとも１つのメモリセルと、前記少なくとも１つのメモリセルへの書き込みを制御する書き込み制御回路

とを備え、前記少なくとも１つのメモリセルは、金属酸化物を含む活性層を有するメモリトランジスタを含み、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記書き込み制御回路は、前記メモリトランジスタの閾値電圧をＶｔｈ、前記メモリトランジスタのドレイン－ソース間電圧をＶｄｓとするとき、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、前記メモリトランジスタのドレイン電極、ソース電極およびゲート電極に印加する電圧を制御することによって、前記メモリトランジスタへの書き込みを行うように構成されている。

[0010] ある実施形態において、前記少なくとも１つのメモリセルは、複数のメモリセルであり、前記複数のメモリセルは、前記半導体状態であるメモリトランジスタＳを含むメモリセルと、前記抵抗体状態であるメモリトランジスタＲを含むメモリセルとを含む。

[0011] ある実施形態において、前記金属酸化物は、第１の金属元素を含み、前記メモリトランジスタＲの前記活性層は、前記メモリトランジスタＳの前記活性層よりも金属状態の前記第１の金属元素を多く含む。

[0012] ある実施形態において、前記金属状態の第１の金属元素は、前記活性層中のチャネル領域におけるソース側よりもドレイン側に多く存在する。

[0013] ある実施形態において、前記メモリトランジスタは、ゲート電極と、前記活性層と、前記ゲート電極と前記活性層との間に配置された第１の絶縁層と、前記第１の絶縁層と反対側に位置する第２の絶縁層とを有し、前記第２の絶縁層は、前記活性層の表面に接しており、前記金属状態の第１の金属元素は、前記活性層と前記第２の絶縁層との界面に存在する。

[0014] ある実施形態において、前記金属状態の第１の金属元素は前記活性層の内部に存在する。

[0015] ある実施形態において、前記金属酸化物は、少なくともＩｎを含み、前記金属状態の第１の金属元素はＩｎである。

[0016] ある実施形態において、前記メモリトランジスタＲの前記活性層は、前記メモリトランジスタＳの前記活性層よりもボイドを多く含む。

[0017] ある実施形態において、前記メモリトランジスタＲの前記活性層は、前記ドレイン電極の近傍に存在するボイドを含む。

[0018] ある実施形態において、前記メモリトランジスタＲの前記活性層中のチャネル領域と前記メモリトランジスタＳの前記活性層中のチャネル領域とでは、前記金属酸化物の組成が異なる。

[0019] ある実施形態において、前記活性層は、第１の金属元素および第２の金属元素を含み、第１の金属元素は、第２の金属元素よりも高い標準電極電位を有し、前記メモリトランジスタＲの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第２の金属元素の含有率は、前記メモリトランジスタＳの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第２の金属元素の含有率よりも大きい。

[0020] ある実施形態において、前記活性層は、第１の金属元素および第２の金属元素を含み、第１の金属元素は、第２の金属元素よりも高い標準電極電位を有し、前記メモリトランジスタＲの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第１の金属元素の含有率は、前記メモリトランジスタＳの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第１の金属元素の含有率よりも小さい。

[0021] ある実施形態において、前記金属酸化物は、少なくともＩｎおよびＧａを含み、前記第１の金属元素はＩｎであり、前記第２の金属元素はＧａである。

[0022] ある実施形態において、前記金属酸化物は、Ｉｎ、ＧａおよびＺｎを含む。

[0023] ある実施形態において、前記金属酸化物は結晶質部分を含む。

[0024] ある実施形態において、前記メモリトランジスタの前記活性層の上方には有機絶縁膜が形成されていない。

[0025] ある実施形態において、電子機器は上記のいずれかの半導体装置を備える

。

[0026] 本発明の実施形態による書き込み方法は、メモリセルを備えた半導体装置の書き込み方法であって、前記メモリセルは、金属酸化物を含む活性層を有するメモリトランジスタを含み、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記メモリトランジスタの閾値電圧をＶｔｈ、前記メモリトランジスタのドレイン－ソース間電圧をＶｄｓとするとき、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、前記メモリトランジスタのドレイン電極、ソース電極およびゲート電極に電圧を印加することによって、前記メモリトランジスタへの書き込みを行う工程を包含する。

## 発明の効果

[0027] 本発明の一実施形態によると、メモリトランジスタの線形領域においてメモリトランジスタへ書き込みを行うので、メモリトランジスタのドレイン－ソース間に均一なジュール熱が発生し、金属酸化物の組成がドレイン－ソース間において均一に変化する。この結果、読み出し電流の低下が抑制され、センスアンプの読み出し動作マージンを大きくすることができ、半導体装置の信頼性を確保することができる。

## 図面の簡単な説明

[0028] [図1]書き込み電圧Ｖｄｓ、ゲート電圧Ｖｇｓおよびメモリトランジスタの閾値電圧Ｖｔｈと読み出し電流との関係を示す図である。

[図2]（ａ）は、第１の実施形態の半導体装置１００１におけるメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂを示す断面図、（ｂ）および（ｃ）は、それぞれ、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの平面図である。

[図3]（ａ）は、第１の実施形態におけるメモリ回路３００１を構成する単一のメモリセルを例示する図、（ｂ）は、メモリ回路３００１の構成を示すブロック図である。

[図4]（ａ）は、第１の実施形態のアクティブマトリクス基板１００２の平面図であり、（ｂ）は、アクティブマトリクス基板１００２を用いた表示装置２００１を例示する断面図である。

[図5]液晶表示装置２００１のブロック構成を例示する図である。

[図6]（ａ）～（ｄ）は、それぞれ、不揮発性記憶装置６０ａ～６０ｃを構成するメモリセル、液晶表示装置２００１の画素回路、ゲートドライバ７６、および、ゲートドライバ７６の一段分の構成を示す概略図である。

[図7]第１の実施形態の半導体装置（アクティブマトリクス基板１００２）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図8]第１の実施形態の半導体装置（アクティブマトリクス基板１００２）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図9]第１の実施形態の半導体装置（アクティブマトリクス基板１００２）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図10]第１の実施形態の半導体装置（アクティブマトリクス基板１００２）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図11]（ａ）および（ｂ）は、第１の実施形態の半導体装置（集積回路）２００２を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[図12]（ａ）は、メモリトランジスタ１０Ａの初期状態（半導体状態）におけるＩｄｓ－Ｖｇｓ特性を示す図であり、（ｂ）は、メモリトランジスタ１０Ａの初期状態におけるＩｄｓ－Ｖｄｓ特性を示す図である。

[図13]（ａ）は、メモリトランジスタ１０Ａの抵抗体状態におけるＩｄｓ－Ｖｇｓ特性を示す図であり、（ｂ）は、メモリトランジスタ１０Ａの抵抗体状態におけるＩｄｓ－Ｖｄｓ特性を示す図である。

[図14]書き込み前後のメモリトランジスタ１０Ａにおける、Ｖｇｓ＝０Ｖの場合の原点付近のＩｄｓ－Ｖｄｓ特性を拡大して示す図である。

[図15]書き込み前後のメモリトランジスタ１０ＡのＩｄｓ－Ｖｇｓ特性を重ね合わせて示す図である。

[図16]書き込み前後のメモリトランジスタ１０Ａの微分抵抗（ｄＶｄｓ／ｄＩｄｓ、単位：Ωμｍ）とドレイン電圧Ｖｄｓとの関係を示す図である。

[図17]メモリトランジスタ１０Ａの書き込み時間（単位：ｍ秒）と単位ドレイン電流（単位：Ａ／μｍ）との関係の一例を示す図である。

[図18]（ａ）および（ｂ）は、第１の実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図19]（ａ）および（ｂ）は、それぞれ、第２の実施形態の半導体装置におけるメモリトランジスタ１０Ａを示す平面図および断面図である。

[図20]第２の実施形態の半導体装置（アクティブマトリクス基板１００３）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図21]第２の実施形態の半導体装置（アクティブマトリクス基板１００３）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図22]第２の実施形態の半導体装置（アクティブマトリクス基板１００３）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図23]第２の実施形態の半導体装置（アクティブマトリクス基板１００３）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図24]（ａ）および（ｂ）は、それぞれ、第３の実施形態の半導体装置におけるメモリトランジスタ１０Ａを示す平面図および断面図である。

[図25]第３の実施形態の半導体装置（アクティブマトリクス基板１００４）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、

（ｃ）は上面図である。

[図26]第３の実施形態の半導体装置（アクティブマトリクス基板１００４）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図27]第３の実施形態の半導体装置（アクティブマトリクス基板１００４）の製造方法を説明するための工程図であり、（ａ）および（ｂ）は断面図、（ｃ）は上面図である。

[図28]（ａ）および（ｂ）は、本発明による実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図29]（ａ）～（ｃ）は、本発明による実施形態における他の半導体装置の構成を例示する断面図である。

[図30]線形領域において書き込みを行った後のメモリトランジスタの金属酸化物の状態を模式的に示す図である。

## 発明を実施するための形態

[0029] 本発明者は、特許文献３に開示されているメモリトランジスタを備えた半導体装置において、メモリトランジスタからの読み出し電流の低下を抑制するための書き込み電圧の条件について検討を重ねた。具体的に、本発明者は、書き込み時におけるメモリトランジスタのゲート－ソース間の電圧Ｖｇｓ、ドレイン－ソース間の電圧Ｖｄｓおよびメモリトランジスタの閾値電圧Ｖｔｈと読み出し電流との関係を調べた。

[0030] 図１は、書き込み電圧Ｖｄｓ、ゲート電圧Ｖｇｓおよびメモリトランジスタの閾値電圧Ｖｔｈと読み出し電流との関係を示す。横軸は、Ｖｇｓ－Ｖｄｓ－Ｖｔｈから得られる電圧値を示し、縦軸は単位チャネル幅当たりの読み出し電流の値（Ａ／μｍ）を示す。

[0031] ここで、一般的なトランジスタの電気的特性（ドレイン－ソース間の電圧Ｖｄｓとドレイン電流Ｉｄｓとの関係）において、「線形領域」および「非線形領域」が確認できる。「線形領域」は、ドレイン－ソース間の電圧Ｖｄｓの変化に応じて、ドレイン電流Ｉｄｓが変化する領域であり、「飽和領域

」は、ドレイン－ソース間の電圧Ｖｄｓの変化に依存せずにドレイン電流Ｉｄｓがほぼ一定となる領域である。また、電圧Ｖｄｓに着目すると、Ｖｄｓ≦Ｖｇｓ－Ｖｔｈを満たす領域が線形領域となり、Ｖｄｓ＞Ｖｇｓ－Ｖｔｈを満たす領域が飽和領域となることが知られている。このように、一般的なトランジスタでは、ＶｄｓとＶｇｓ－Ｖｔｈとの大小関係によって、Ｖｇｓ－Ｖｔｈを境界に線形領域と飽和領域とに区別される。従って、図１においては、Ｖｇｓ－Ｖｄｓ－Ｖｔｈ≧０の領域が線形領域を表し、Ｖｇｓ－Ｖｄｓ－Ｖｔｈ＜０の領域は飽和領域を表す。

[0032] 図１では、書き込み時におけるドレイン－ソース間の電圧Ｖｄｓを２０～３０Ｖに設定して、線形領域において書き込みを行った後、読み出し時にドレイン－ソース間の電圧Ｖｄｓを１０Ｖ、ゲート－ソース間の電圧Ｖｇｓを－１０Ｖに設定して読み出し電流を測定した結果を「◆」でプロットしている。また、書き込み時のドレイン－ソース間の電圧Ｖｄｓを２０～３０Ｖに設定して、飽和領域において書き込みを行った後、読み出し時にドレイン－ソース間の電圧Ｖｄｓを１０Ｖ、ゲート－ソース間の電圧Ｖｇｓを－１０Ｖに設定して読み出し電流を測定した結果を「■」でプロットしている。なお、読み出し時における電圧Ｖｄｓは１０Ｖ、電圧Ｖｇｓは－１０Ｖに限定されない。低消費電力の観点から、電圧Ｖｄｓ、Ｖｇｓは小さい方が好ましく、例えば、電圧Ｖｄｓは０．１Ｖに設定し得る。

[0033] 図１に示す結果を検討すると、以下のような知見が得られる。

[0034] まず、線形領域で書き込みを行った場合の読み出し電流が、飽和領域で書き込みを行った場合の読み出し電流よりも大きくなることが分かる。この理由は以下のように考えられる。

[0035] メモリトランジスタの飽和領域において書き込みを行った場合、メモリトランジスタの金属酸化物層中のドレイン電極の近傍で局所的にジュール熱が発生するため、ドレイン電極の近傍だけで金属酸化物の組成が変化する。これに対して、線形領域において書き込みを行った場合、メモリトランジスタのドレイン－ソース間全体にジュール熱が均一に発生し、金属酸化物の組成

がチャネル領域全体において均一に変化し、チャネル領域全体が低抵抗化する。

[0036] このように、飽和領域において書き込みを行う場合と比べて、線形領域において書き込みを行う場合、読み出し電流の低下が抑制され、センスアンプの読み出し動作マージンを大きくすることが可能となる。

[0037] 本発明者は、上記の知見に基づいて、メモリトランジスタからの読み出し電流の低下を抑制できる書き込み電圧の条件を見出し、本発明に至った。

[0038] 以下、図面を参照しながら、本発明による半導体装置の実施形態を具体的に説明する。

[0039] （第１の実施形態）

本発明による半導体装置の第１の実施形態は、第１の薄膜トランジスタと、第２の薄膜トランジスタとを同一基板上に備える。第１の薄膜トランジスタはメモリ素子として機能するメモリトランジスタである。第２の薄膜トランジスタは、メモリ素子として機能せず、回路を構成するトランジスタである。本明細書では、このようなトランジスタを「回路用トランジスタ」と称し、メモリトランジスタと区別する。

[0040] 図２（ａ）は、本実施形態の半導体装置１００１におけるメモリトランジスタ（第１の薄膜トランジスタ）１０Ａおよび回路用トランジスタ（第２の薄膜トランジスタ）１０Ｂを示す断面図である。図２（ｂ）および（ｃ）は、それぞれ、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの平面図である。図２（ａ）は、図２（ｂ）のＩ－Ｉ’線および図２（ｃ）のＩＩ－ＩＩ’線に沿った断面構造を示している。

[0041] 半導体装置１００１は、基板１と、基板１に支持されたメモリトランジスタ１０Ａと、基板１に支持された回路用トランジスタ１０Ｂとを備えている。回路用トランジスタ１０Ｂは、回路を構成する回路素子であればよく、その用途は限定されない。また、これらのトランジスタ１０Ａ、１０Ｂは、共通の金属酸化物を含む活性層（酸化物半導体層）７Ａ、７Ｂを有していてもよい。

[0042] メモリトランジスタ１０Ａは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇｓに依存する状態（半導体状態という。）から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇｓに依存しない状態（抵抗体状態という。）に不可逆的に変化させられ得る不揮発性メモリ素子である。ドレイン電流Ｉｄｓは、メモリトランジスタ１０Ａのドレイン‐ソース間を流れる電流であり、ゲート電圧Ｖｇｓは、ゲート‐ソース間の電圧である。

[0043] 上記の状態変化は、例えば、半導体状態（初期状態）のメモリトランジスタ１０Ａのドレイン‐ソース間に所定の書き込み電圧Ｖｄｓを印加することによって生じる。書き込み電圧Ｖｄｓの印加により、活性層７Ａのうちチャネルが形成される部分（チャネル領域）７ｃＡに電流が流れ、ジュール熱が発生する。このジュール熱により、活性層７Ａのうちチャネル領域７ｃＡが低抵抗化される。この結果、ゲート電圧Ｖｇｓに依存せずに、オーミックな抵抗特性を示す抵抗体状態となる。酸化物半導体の低抵抗化が生じる理由は現在解明中であるが、ジュール熱によって酸化物半導体中に含まれる酸素がチャネル領域７ｃＡの外部に拡散することにより、チャネル領域７ｃＡ中の酸素欠損が増加してキャリア電子が生じるからと考えられる。なお、このような状態変化を生じ得るメモリトランジスタは、本出願人による特許文献３、本出願人による未公開の特許出願である特願２０１２－１３７８６８号および特願２０１２－２３１４８０号に記載されている。これらの開示内容の全てを参考のために本明細書に援用する。

[0044] 半導体装置１００１は複数のメモリトランジスタ１０Ａを有してもよい。本実施形態では、線形領域で書き込みを行う。この場合、書き込み後の複数のメモリトランジスタ１０Ａは、例えば、半導体状態のメモリトランジスタＳと、抵抗体状態のメモリトランジスタＲとを含んでいる。メモリトランジスタＲは書き込み対象となったものであり、メモリトランジスタＳは書き込み対象とはならなかったものである。

[0045] ＜金属酸化物の組成＞

本発明者は、書き込み前後においてメモリトランジスタの金属酸化物中の

組成を分析した結果、メモリトランジスタの金属酸化物が書き込みによって変化したことが確認された。以下、分析結果の一例を説明する。

[0046] 試料として、Ｉｎ（インジウム）、Ｇａ（ガリウム）、Ｚｎ（亜鉛）を含んでいる金属酸化物を含むメモリトランジスタを用いた。主として、チャネル領域の中央付近における金属酸化物の組成（書き込み前後）を分析した。金属酸化物の組成分析は、例えば、オージェ電子分光法を用いて行うことができる。

[0047] ここで、本明細書での金属元素の「含有率」を定義しておく。金属元素の「含有率」は、活性層に含まれるイオン状態の金属元素全体に対するイオン状態の各金属元素の比率を意味している。分析に用いた試料では、書き込み前では、チャネル領域の中央付近において、Ｉｎの含有率は０．２９、Ｇａの含有率は０．３３、Ｚｎの含有率は０．３７であることが確認された。

[0048] これに対して、線形領域で書き込みを行った後は、チャネル領域の中央付近では、Ｉｎの含有率は０．１０、Ｇａの含有率は０．５４、Ｚｎの含有率は０．３５となることが確認された。これにより、書き込み後の活性層のイオン状態のＩｎの含有率は、書き込み前の活性層のイオン状態のＩｎの含有率よりも減少し、書き込み後の活性層のイオン状態のＧａの含有率は、書き込み前の活性層のイオン状態のＧａの含有率よりも増加することが分かった。

[0049] また、書き込みにより金属状態のＩｎが増加することも確認された。なお、上記の分析結果は一例であり、書き込み条件によって、ＩｎやＧａの含有率は変化し得る。

[0050] 本発明者は、分析結果を検討し、以下のような知見を得るに至った。ここで、図３０を参照しながら、得られた知見を説明する。

[0051] 図３０は、線形領域において書き込みを行った後のメモリトランジスタの金属酸化物の状態を模式的に示す。

[0052] （１）メモリトランジスタＲ中の活性層は、メモリトランジスタＳ中の活性層よりも金属状態のＩｎをより多く含んでいる。この理由は現在解明中で

あるが、ジュール熱によってＩｎと酸素との結合が弱まり、Ｉｎと結合していた酸素の一部がチャネル領域の外部に拡散したためであると考えられる。

[0053] （２）金属状態のＩｎは、活性層と第２の絶縁層（保護膜）との界面、および活性層の内部にも析出している。特に、チャネル領域において、金属状態のＩｎをより多く含んでいることが確認された。この理由は、チャネル領域においてジュール熱が発生し、Ｉｎと結合していた酸素の一部がチャネル領域の外部に拡散したためであると考えられる。

[0054] （３）メモリトランジスタＲ中の活性層は、メモリトランジスタＳ中の活性層よりもボイドを多く含んでいる。また、メモリトランジスタＲ中の活性層は、ドレイン電極の近傍に存在するボイドを含んでいる。これは、金属状態のＩｎの析出や酸素欠損に起因して生じたものと考えられる。

[0055] （４）メモリトランジスタＲの活性層中のチャネル領域とメモリトランジスタＳの活性層中のチャネル領域とでは、金属酸化物（Ｉｎ、ＧａおよびＺｎを含む）の組成が異なる。この理由は、チャネル領域においてジュール熱とエレクトロマイグレーションンが発生したためであると考えられる。

[0056] （５）メモリトランジスタＲの活性層中のイオン状態のＧａの含有率は、メモリトランジスタＳの活性層中のイオン状態のＧａの含有率よりも大きい。また、メモリトランジスタＲの活性層中のイオン状態のＩｎの含有率は、メモリトランジスタＳの活性層中のイオン状態のＩｎの含有率よりも小さい。この理由は、ジュール熱によってＩｎと酸素との結合が弱まり、一部のＩｎが金属状態のＩｎとして析出したためであると考えられる。

[0057] さらに、これらの知見を総合すると、線形領域において書き込みを行った場合にメモリトランジスタからの読み出し電流が大きくなる理由は、活性層のうち特にチャネル領域全体において金属状態のＩｎが析出し、チャネル領域全体の電気抵抗率が低下したためであると考えられる。

[0058] また、書き込み前のメモリトランジスタの活性層に含まれる金属酸化物がＩｎ、ＧａおよびＺｎを１：１：１の組成比で含んでいる場合、メモリトランジスタＲの活性層ではイオン状態のＧａの含有率が最も大きくなり、イオ

ン状態のＩｎの含有率が最も小さくなると考えられる（Ｇａ＞Ｚｎ＞Ｉｎ）。

[0059] また、ドレイン側でより大きなジュール熱が発生することから、金属状態のＩｎは、チャネル領域中のソース側よりもドレイン側により多く析出することが考えられる。

[0060] 上記は、Ｉｎ、Ｇａ、Ｚｎの三元系酸化物である金属酸化物を例に組成の分析結果を示したが、金属酸化物が、例えば、Ｉｎ、Ｇａ、Ｓｎの三元系酸化物である場合や、Ｉｎ、Ｚｎの二元系酸化物である場合にも、同様の分析結果が得られる。

[0061] 金属酸化物が、２種類以上の金属元素を含む場合、標準電極電位の高い方の金属元素が金属酸化物中で金属として析出し易いと考えられる。標準電極電位が低いほど金属元素はイオン化され易く、酸化され易い。活性層が、第１の金属元素および第２の金属元素を含み、第１の金属元素が、第２の金属元素よりも高い標準電極電位を有している場合は、第１の金属元素の方が、第２の金属元素よりもイオン状態から金属状態に変化し易い。

[0062] 以上の検討を踏まえると、以下のような知見が得られる。

[0063] （６）メモリトランジスタＲの活性層は、メモリトランジスタＳの活性層よりも金属状態の第１の金属元素を多く含み得る。金属状態の第１の金属元素は、チャネル領域中のソース側よりもドレイン側に多く存在し、活性層と第２の絶縁層（保護膜）との界面および活性層の内部にも存在し得る。

[0064] （７）メモリトランジスタＲの活性層中のイオン状態の第２の金属元素の含有率は、メモリトランジスタＳの活性層中のイオン状態の第２の金属元素の含有率よりも大きく、メモリトランジスタＲの活性層中のイオン状態の第１の金属元素の含有率は、メモリトランジスタＳの活性層中のイオン状態の第１の金属元素の含有率よりも小さくなり得る。

[0065] ＜トランジスタ１０Ａ、１０Ｂの構造＞

ここで、各トランジスタ１０Ａ、１０Ｂのより具体的な構造を説明する。

[0066] メモリトランジスタ１０Ａは、酸化物半導体を含む活性層７Ａと、ゲート

電極３Ａと、活性層７Ａとゲート電極３Ａとの間に配置されたゲート絶縁膜５と、ゲート絶縁膜５と活性層７Ａとの界面とは反対側に位置する活性層７Ａの面に接する他の絶縁膜（不図示）と、活性層７Ａの一部と接するように配置されたソース電極９ｓＡと、活性層７Ａの他の一部と接するように配置されたドレイン電極９ｄＡとを有している。基板１の法線方向から見たとき、活性層７Ａの少なくとも一部は、ゲート絶縁膜５を介してゲート電極３Ａと重なるように配置される。なお、活性層７Ａとソース電極９ｓＡおよびドレイン電極９ｄＡとは、電気的に接続されていればよく、直接接していなくてもよい。活性層７Ａのうちソース電極９ｓＡと接する領域（または電気的に接続された領域）を「ソースコンタクト領域」、ドレイン電極９ｄＡと接する領域（または電気的に接続された領域）を「ドレインコンタクト領域」と称する。基板１の法線方向から見たとき、ゲート電極３Ａとゲート絶縁膜５を介して重なり、かつ、活性層７Ａのうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域がチャネル領域７ｃＡとなる。

[0067] 本実施形態では、活性層７Ａの全体がゲート電極３Ａと重なっており、活性層７Ａとソース電極９ｓＡおよびドレイン電極９ｄＡとが直接接している。このような場合、メモリトランジスタ１０Ａのチャネル長は、基板１の法線方向から見たとき、活性層７Ａ上におけるソース電極９ｓＡとドレイン電極９ｄＡとの間隙部分のチャネル方向の長さに相当する。チャネル幅は、上記間隙部分のチャネル方向に直交する方向の長さに相当する。

[0068] また、図示する例では、基板１の法線方向から見たとき、ドレイン電極９ｄＡおよびソース電極９ｓＡのうち一方の電極（ここではドレイン電極９ｄＡ）は、活性層７Ａ上に凹部を有しており、他方の電極（ここではソース電極９ｓＡ）は、ドレイン電極９ｄＡの凹部内に、ドレイン電極９ｄＡと間隔を空けて配置されている。このため、ソース電極９ｓＡおよびドレイン電極９ｄＡの間に位置するチャネル領域７ｃＡは、Ｕ字形状を有している。このような場合、図２（ｂ）に示すように、ソース電極９ｓＡとドレイン電極９ｄＡとの間に位置する間隙部分の幅がチャネル長である。また、チャネル領

域７ｃＡのうちソース電極９ｓＡからの距離とドレイン電極９ｄＡからの距離とが等しくなる線の長さ（ソース電極９ｓＡとドレイン電極９ｄＡとの活性層７Ａ上での離間距離の２等分点を結ぶ線の長さ）がチャネル幅である。

[0069] 回路用トランジスタ１０Ｂは、活性層７Ｂと、ゲート電極３Ｂと、活性層７Ｂとゲート電極３Ｂとの間に位置するゲート絶縁膜５と、活性層７Ｂの一部と接するように配置されたソース電極９ｓＢと、活性層７Ａの他の一部と接するように配置されたドレイン電極９ｄＢとを有している。なお、上述のとおり、活性層７Ｂは、活性層７Ａと共通の酸化物半導を含んでいても構わない。基板１の法線方向から見たとき、ゲート電極３Ｂは、活性層７Ｂの少なくとも一部と重なるように配置される。上述したメモリトランジスタ１０Ａと同様に、活性層７Ｂは、ソース電極９ｓＢと接する（または電気的に接続された）ソースコンタクト領域、ドレイン電極９ｄＢと接する（または電気的に接続された）をドレインコンタクト領域、およびチャネル領域７ｃＢを有する。チャネル領域７ｃＢは、基板１の法線方向から見たとき、ゲート電極３Ｂとゲート絶縁膜５を介して重なり、かつ、活性層７Ｂのうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域である。図示する例では、回路用トランジスタ１０Ｂのチャネル長は、活性層７Ｂ上におけるソース電極９ｓＢとドレイン電極９ｄＢとの間隙部分のチャネル方向の長さ、チャネル幅は、間隙部分のチャネル方向に直交する方向の長さである。

[0070] 本実施形態では、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂのゲート電極３Ａ、３Ｂは、共通のゲート用導電膜から形成されている。また、メモリトランジスタ１０Ａのゲート絶縁膜５は、回路用トランジスタ１０Ｂまで延設され、回路用トランジスタ１０のゲート絶縁膜としても機能する。メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂのソース電極９ｓＡ、９ｓＢおよびドレイン電極９ｄＡ、９ｄＢは、共通のソース用導電膜から形成されている。これにより、回路用トランジスタ１０Ｂとメモリトランジスタ１０Ａとを共通のプロセスを利用して形成できるので、製

造工程数を低減できる。

[0071] なお、図２に示す例では、メモリトランジスタ１０Ａのチャネル領域７ｃＡの平面形状はＵ字形であるが、矩形であってもよい。同様に、回路用トランジスタ１０Ｂのチャネル領域７ｃＢの平面形状は矩形であるが、Ｕ字形であってもよい。ただし、チャネル領域がＵ字形状の場合、書き込み電流によって生じるジュール熱を、チャネル領域の低抵抗化（書き込み）に、より効率的に利用できると考えられる。

[0072] また、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂはボトムゲート構造に限定されず、トップゲート構造を有していてもよい。ただし、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂが同様の構造を有していると、共通のプロセスを利用してこれらのトランジスタ１０Ａ、１０Ｂを形成できる。

[0073] メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの活性層７Ａ、７Ｂとなる酸化物半導体膜は、例えばＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜である。ここで、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、Ｚｎ（亜鉛）の三元系酸化物であって、Ｉｎ、ＧａおよびＺｎの割合（組成比）は特に限定されず、例えばＩｎ：Ｇａ：Ｚｎ＝２：２：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２等を含む。本実施形態では、活性層７Ａ、７Ｂは、Ｉｎ、Ｇａ、Ｚｎを、例えばＩｎ：Ｇａ：Ｚｎ＝１：１：１の割合で含むＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体層であってもよい。

[0074] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴは、高い移動度（ａ－ＳｉＴＦＴに比べ２０倍超）および低いリーク電流（ａ－ＳｉＴＦＴに比べ１００分の１未満）を有している。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴを用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0075] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体としては、ｃ軸が層

面に概ね垂直に配向した結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体を用いてもよい。このようなＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体の結晶構造は、例えば、特開２０１２－１３４４７５号公報に開示されている。参考のために、特開２０１２－１３４４７５号公報の開示内容の全てを本明細書に援用する。

[0076] 酸化物半導体膜として、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体の代わりに、ジュール熱による低抵抗化が生じ得る他の半導体膜を用いてもよい。例えばＮｉＯ、$SnO_2$、$TiO_2$、$VO_2$、$In_2O_3$、$SrTiO_3$を含む半導体膜を用いてもよい。あるいは、Ｚｎ－Ｏ系半導体（ＺｎＯ）、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ（登録商標））、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）、Ｃｄ－Ｇｅ－Ｏ系半導体、Ｃｄ－Ｐｂ－Ｏ系半導体、ＣｄＯ（酸化カドミウム）、Ｍｇ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体（例えば$In_2O_3$－$SnO_2$－ＺｎＯ）、Ｉｎ－Ｇａ－Ｓｎ－Ｏ系半導体などを用いることもできる。さらに、これらの酸化物半導体に種々の不純物を添加した膜を使用してもよい。

[0077] ＜メモリトランジスタ１０Ａの動作＞

メモリトランジスタ１０Ａは、例えば半導体状態（初期状態）を論理値「０」、抵抗体状態を論理値「１」に割り当てることにより、半導体状態は、情報を不揮発的に記憶するメモリ回路に用いられ得る。以下、メモリ回路を構成する単一のメモリセルの構成および動作の一例を説明する。

[0078] 図３（ａ）は、メモリ回路を構成する単一のメモリセルを例示する図である。図３（ａ）に示すように、メモリセルは、例えば、メモリトランジスタ１０Ａと、メモリトランジスタ１０Ａに直列に接続されたメモリセル選択用のトランジスタ（「選択トランジスタ」と称する。）１０Ｄとを有している。

[0079] 選択トランジスタ１０Ｄの構造は特に限定しないが、メモリトランジスタ１０Ａの活性層と同じ酸化物半導体膜から形成された活性層を有していてもよい。これにより、メモリトランジスタ１０Ａと選択トランジスタ１０Ｄとを共通のプロセスを利用して簡便に製造できる。このような場合、図２に示

す回路用トランジスタ１０Ｂは、選択トランジスタ１０Ｄを含む。

[0080] 図３（ａ）に示すメモリセルでは、選択トランジスタ１０Ｄにゲート電圧を印加してオン状態にすることにより、メモリトランジスタ１０Ａへの書き込みまたは読み出し動作が可能になる。

[0081] メモリトランジスタ１０Ａへの書き込みは、期間（書き込み時間）Ｔｐｐの間、線形領域において行われる。具体的には、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、メモリトランジスタのドレイン電極、ソース電極およびゲート電極に電圧を印加することにより行われる。この間、選択トランジスタ１０Ｄのソース電極は固定電圧（例えばＧＮＤ）に接続しておく。これにより、期間Ｔｐｐの間、メモリトランジスタ１０Ａのチャネル領域を書き込み電流Ｉｐｐが流れる。書き込み電流Ｉｐｐにより、ドレイン－ソース間に均一なジュール熱が発生し、酸化物半導体の組成がドレイン－ソース間において均一に変化し得る。この結果、チャネル領域が低抵抗化した抵抗体状態となる。なお、選択トランジスタ１０Ｄのソース電極は、当然ながら基準電圧Ｖｓｓに固定されていればよいということは言うまでもない。

[0082] メモリトランジスタ１０Ａの読み出しは、メモリトランジスタ１０Ａのドレイン－ソース間に所定の電圧を印加することによって流れる電流（読み出し電流）のゲート電圧依存性を調べることによって行うことができる。具体的には、半導体状態にあるメモリトランジスタ１０Ａに流れる読み出し電流をＩｔとすると、電流Ｉｔに対する読み出し時の読み出し電流Ｉｒの比によって容易に判別できる。なお、読み出しの際のゲート電圧Ｖｇｓを、所定の電圧範囲内（例えば約０．５Ｖ以下）に設定すると、読み出し電流Ｉｔと読み出し電流Ｉｒとの差が大きいため、メモリトランジスタ１０Ａの状態をより容易に判別できる。

[0083] ＜半導体装置の構成＞

以下、図面を参照しながら、本実施形態の半導体装置のより具体的な構成を説明する。

[0084] ＜メモリ回路の構成＞

まず、図３（ｂ）を参照しながら、複数のメモリセルを備えたメモリ回路３００１の構成を説明する。

[0085] 図３（ｂ）は、複数のメモリセルが行方向および列方向に配置されたメモリ回路３００１の構成例を示す．メモリ回路３００１では、複数のメモリセルが行方向および列方向に配置されている。なお、複数のメモリセルは、行方向のみに配置されていてもよいし、列方向のみに配置されていてもよい。

[0086] メモリ回路３００１は、典型的には、複数のメモリセルと、第１の複数のワード線ＰＬと、第２の複数のワード線ＷＬと、複数のビット線ＢＬと、ワード線デコーダ１０４と、センスアンプ回路１０６と、書き込み制御回路１０７とを備える。

[0087] メモリ回路３００１では、メモリセルは、１つのメモリトランジスタと、２つの選択トランジスタとを含む。ｋ個のメモリセルが列方向に、ｌ個のメモリセルが行方向に配置される。すなわち、複数のメモリセルがｋ×ｌのマトリクス状に配置される。なお、メモリセルは、図３（ａ）に示すように、１つのメモリトランジスタおよび１つの選択トランジスタから構成されていてもよい。または、３つ以上の選択トランジスタが互いに並列に接続され、且つ、各選択トランジスタがメモリトランジスタと直列に接続される構成であっても構わない。ただし、複数の選択トランジスタを互いに並列に接続することにより、選択トランジスタの電流駆動能力の低下を抑制できる。

[0088] 第１の複数のワード線ＰＬは、ｋ本のワード線ＰＬｎ（ｎ＝０、１、・・・、ｋ－１）を含み、第２の複数のワード線ＷＬは、ｋ本のワード線ＷＬｎ（ｎ＝０、１、・・・、ｋ－１）を含む。また、複数のビット線ＢＬは、ｌ本のビット線ＢＬｎ（ｎ＝０、１、・・・、ｌ－１）を含む。

[0089] 同一行に配置されたメモリセル中のメモリトランジスタ１０Ａのゲート電極は、各行に対応するワード線ＰＬｎを介して書き込み制御回路１０７に接続される。また、同一行に配置されたメモリセル中の２つの選択トランジスタのゲート電極は、各行に対応するワード線ＷＬｎを介してワード線デコーダ１０４に接続される。同一列に配置されたメモリセル中のメモリトランジ

スタ１０Ａのドレイン電極は、各列に対応するビット線ＢＬｎを介して書き込み制御回路１０７およびセンスアンプ回路１０６に接続される。メモリセル中の各選択トランジスタのソース電極は基準電圧線（不図示）に接続されている。なお、上述のとおり、本実施形態では、基準電圧はＧＮＤレベルの電圧である。

[0090] 書き込み制御回路１０７は、ビット線電圧制御回路１０２と、ビット線デコーダ１０３と、書き込み電圧制御回路１０５とを含む。書き込み制御回路１０７は、メモリセルへの書き込みを制御する。

[0091] ビット線電圧制御回路１０２は、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、書き込み時に必要な書き込み電圧Ｖｐｐ（Ｖｄｓ）を生成し、生成した電圧Ｖｐｐをビット線デコーダ１０３に供給する。また、ビット線電圧制御回路１０２は、読み出し時に必要な読み出しドレイン電圧Ｖｄｒを生成し、生成した電圧をビット線デコーダ１０３に供給する。

[0092] ビット線デコーダ１０３は、外部から入力されたアドレスをデコードして、書き込みまたは読み出し対象である１つまたは複数のメモリセルに接続される１つまたは複数のビット線ＢＬを選択する。ビット線デコーダ１０３は、書き込み電圧Ｖｐｐまたは読み出しドレイン電圧Ｖｄｒを選択したビット線ＢＬｎに印加し、非選択ビット線電圧（例えば、基準電圧Ｖｓｓ）を選択しなかったビット線ＢＬｎに印加する。

[0093] ワード線デコーダ１０４は、外部から入力されたアドレスをデコードして書き込み対象である１つまたは複数のメモリセルに接続される１つまたは複数のワード線ＷＬを選択する。また、読み出し対象である１つまたは複数のメモリセルに接続される１つのワード線ＷＬを選択する。ワード線デコーダ１０４は、選択されたメモリセル中の選択トランジスタをオンにし、選択されなかったメモリセル中の選択トランジスタをオフにするように各ワード線ＷＬを制御する。具体的には、ワード線デコーダ１０４は、選択されたメモリセルに接続されているワード線ＷＬｎに、選択トランジスタがオンになる高レベルのゲート電圧（例えば、書き込み電圧Ｖｐｐ）を印加する。また、

ワード線デコーダ１０４は、選択されなかった残りのワード線ＷＬｎには選択トランジスタがオフになる低レベルの電圧ＶＬを印加する。

[0094] 書き込み電圧制御回路１０５は、外部から入力されたアドレスをデコードして書き込み対象である１つまたは複数のメモリセルに接続される１つまたは複数のワード線ＰＬｎを選択する。書き込み電圧制御回路１０５は、書き込み時には、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、書き込みゲート電圧Ｖｇｓを生成し、生成したゲート電圧Ｖｇｓを選択したワード線ＰＬｎに印加する。また、書き込み電圧制御回路１０５は、低レベルの電圧ＶＬを非選択のワード線ＰＬｎに印加する。

[0095] また、書き込み電圧制御回路１０５は、読み出し時において、メモリトランジスタ１０Ａがオン状態とならない低レベルの電圧ＶＬ（例えば、読み出しドレイン電圧Ｖｄｒ）を全てのワード線ＰＬｎに印加する。

[0096] ビット線電圧制御回路１０２および書き込み電圧制御回路１０５は、書き込み制御回路１０７内部で電気的に接続され、ビット線電圧制御回路１０２と書き込み電圧制御回路１０５との間で、電圧ＶｄｓおよびＶｇｓを示す情報が送受信される。これにより、ビット線電圧制御回路１０２は、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、書き込み電圧制御回路１０５からの電圧Ｖｇｓの情報に基づき、電圧Ｖｄｓを生成する。書き込み電圧制御回路１０５は、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、ビット線電圧制御回路１０２からの電圧Ｖｄｓの情報に基づき、電圧Ｖｇｓを生成する。

[0097] センスアンプ回路１０６は、典型的にはビット線ＢＬの総数Ｉと同数のセンスアンプを備えている。センスアンプ回路１０６は、選択されたビット線ＢＬｎからビット線デコーダ１０３を介して読み出し対象であるメモリセルに流れる読み出し電流Ｉｒを検知する。そして、読み出し対象であるメモリセル中のメモリトランジスタ１０Ａの状態が半導体状態（初期状態）または抵抗体状態の何れであるかを判別する。

[0098] なお、センスアンプ回路１０６に含まれるセンスアンプは、典型的には、読み出し電流Ｉｒを検知する電流センス式であるが、読み出しの電流経路上

のノード電圧を検知する電圧センス式であってもよい。また、ビット線ＢＬｎを介してビット線デコーダ１０３と接続される回路構成に代えて、センスアンプ回路１０６が、列毎に独立して設けられた基準電圧線ＶＳＬに接続される回路構成を採用してもよい。

[0099] なお、図３（ｂ）に示すメモリ回路３００１では、書き込み制御回路１０７と、ワード線デコーダ１０４とはそれぞれ独立した回路として構成されているが、本発明の実施形態はこれに限定されない。例えば、書き込み制御回路１０７およびワード線デコーダ１０４は、ビット線およびワード線を制御するための１つの集積回路により構成されても構わない。このような場合、１つの集積回路が、書き込み制御回路となり得る。

[0100] 特定のメモリセルへの書き込みが完了した後は、行方向および列方向に配置された複数のメモリセルは、半導体状態であるメモリトランジスタＳを含むメモリセルと、抵抗体状態であるメモリトランジスタＲを含むメモリセルとを含んでいる。

[0101] 次に、メモリ回路３００１の書き込みおよび読み出し動作の典型例を説明する。

[0102] 書き込み時には、ビット線電圧制御回路１０２は、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように書き込み時に必要な書き込み電圧Ｖｐｐ（Ｖｄｓ）を生成する。ビット線デコーダ１０３は、選択されたビット線ＢＬｎに生成された書き込み電圧Ｖｐｐを印加する。また、書き込み電圧制御回路１０５は、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように書き込み時に必要な電圧Ｖｇｓを生成し、生成した電圧Ｖｇｓを選択されたワード線ＰＬｎに印加する。ワード線デコーダ１０４は、書き込み電圧Ｖｐｐと同じレベルの電圧を選択されたワード線ＷＬｎに印加する。選択されなかったビット線ＢＬｎは浮遊状態（ハイインピーダンス状態）であり、選択されなかったワード線ＰＬｎおよびＷＬｎには低レベルの電圧ＶＬが印加される。なお、選択されなかったワード線ＰＬｎには書き込み電圧Ｖｐｐと同じレベルの電圧が印加されていても構わない。

[0103] 以上のように、書き込み対象のメモリセルにおいて、上述したメモリトランジスタ１０Ａへの書き込み動作に従い、メモリトランジスタ１０Ａへの書き込み動作が行われる。

[0104] 読み出し時には、ビット線デコーダ１０３は読み出しに必要な電圧を選択されたビット線ＢＬｎに印加し、ワード線デコーダ１０４は、高レベルな電圧を選択されたワード線ＷＬｎに印加する。また、書き込み電圧制御回路１０５は、メモリトランジスタがオンとならない低レベルの電圧ＶＬを全てのワード線ＰＬｎに印加する。

[0105] 読み出し対象のメモリセル中のメモリトランジスタ１０Ａが抵抗体状態であるとき、メモリトランジスタ１０Ａは導電性を有しているため、ワード線ＰＬｎに低レベルの電圧ＶＬが印加されても、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れる。

[0106] 一方、読み出し対象のメモリセル中のメモリトランジスタ１０Ａが半導体状態、すなわち初期状態のままであるとき、ワード線ＰＬｎに低レベルの電圧ＶＬが印加された場合、メモリトランジスタ１０Ａはオフ状態となり、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れない。

[0107] このように、読み出し電流の違い（読み出し電流の比）をセンスアンプによって検出することにより、各メモリセルの記憶状態が検知できる。

[0108] 本実施形態は、メモリ回路を備えた電子機器に広く適用され得る。本実施形態の半導体装置は、メモリトランジスタ１０Ａを少なくとも１つ備えていればよく、その用途や構成は限定されない。例えば、不揮発性半導体記憶装置、集積回路（ＩＣ、ＬＳＩ）、液晶表示装置や有機ＥＬ表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板であってもよい。

[0109] 本実施形態を表示装置のアクティブマトリクス基板に適用する場合、アクティブマトリクス基板の表示領域以外の領域（周辺領域）に、メモリトランジスタ１０Ａを含むメモリ回路を設けてもよい。この場合、回路用トランジスタ１０Ｂは、周辺領域に設けられた駆動回路などの周辺回路を構成する回

路用トランジスタであってもよい。

[0110] また、周辺領域内に、回路素子として、メモリトランジスタ１０Ａの活性層と共通の酸化物半導体を含む活性層を有する複数の薄膜トランジスタが形成されていてもよい。

[0111] ＜アクティブマトリクス基板の構成＞

本実施形態は、例えば液晶表示装置に用いられるアクティブマトリクス基板に適用され得る。

[0112] 図４（ａ）は、アクティブマトリクス基板１００２の一部を示す平面図である。アクティブマトリクス基板１００２は、複数の画素１０１を含む表示領域１００と、表示領域以外の領域（周辺領域）２００とを有している。

[0113] 表示領域１００の各画素１０１には、スイッチング素子として薄膜トランジスタ（「画素用トランジスタ」と称する。）１０Ｃが形成されている。図示しないが、周辺領域２００には、表示装置を構成する複数の回路（メモリ回路や駆動回路など）の少なくとも一部がモノリシックに形成されている。周辺領域２００に形成された回路を「周辺回路」と称する。

[0114] 本実施形態では、メモリトランジスタ１０Ａは、例えば周辺領域２００に形成されたメモリ回路に用いられる。また、回路用トランジスタ１０Ｂは、何れかの周辺回路、例えば駆動回路を構成する薄膜トランジスタである。なお、回路用トランジスタ１０Ｂは、各画素に設けられる画素用トランジスタ１０Ｃであってもよい。

[0115] 各画素１０１には、画素の列方向に沿って延びるソース配線Ｓと、画素の行方向に沿って延びるゲート配線Ｇと、画素電極１９とが設けられている。画素用トランジスタ１０Ｃは、ソース配線Ｓとゲート配線Ｇとが交差する点の近傍に配置されている。図示する例では、画素１０１には、ゲート配線Ｇと同一の導電膜から形成された容量配線ＣＳが設けられている。容量配線ＣＳ上には、容量部２０が配置されている。

[0116] 周辺領域２００には、ゲート配線ＧまたはソースＳを外部配線と接続するための複数の端子部２０１が設けられている。ソース配線Ｓは、表示領

域１００の端部まで延びて、ソース接続部９ｓｇと接続されている。ソース接続部９ｓｇは、ゲート配線Ｇと同一膜から形成されたゲート接続部３ｓｇと電気的に接続される。この接続部を「ソース・ゲート接続部」３０と称する。ゲート接続部３ｓｇは周辺領域２００まで延び、端子部（ソース端子）２０１を介して、例えばソースドライバ（図示せず）に接続される。一方、図示しないが、ゲート配線Ｇも周辺領域２００まで延びて、端子部（ゲート端子）を介して、例えばゲートドライバ（図示せず）と接続される。

[0117] 周辺領域２００には、メモリ回路を含む複数の周辺回路（図示せず）がモノリシックに形成されている。例えばゲートドライバ、ソースドライバなどの駆動回路と、各駆動回路に接続されたメモリ回路とが形成されていてもよい。メモリ回路は、図２に示すメモリトランジスタ１０Ａを含み、メモリ回路または他の周辺回路は、図２に示す回路用トランジスタ１０Ｂを含んでいる。また、周辺領域２００に形成されるメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂと、表示領域１００に形成される画素用トランジスタ１０Ｃとは、共通の酸化物半導体膜から形成された活性層を有していてもよい。この場合、これらのトランジスタ１０Ａ～１０Ｃは、共通のプロセスを利用して製造され得る。

[0118] アクティブマトリクス基板１００２は、液晶表示装置などの表示装置に適用され得る。液晶表示装置は、例えば、図４（ｂ）に示すように、アクティブマトリクス基板１００２と、表面に対向電極４２を有する対向基板４１と、これらの間に配置された液晶層４３とを備える。液晶層４３には、画素電極１９と対向電極４２とによって画素ごとに電圧が印加され、これにより、表示が行われる。

[0119] 図５は、アクティブマトリクス基板１００２を用いた液晶表示装置２００１のブロック構成を例示する図である。図６（ａ）～（ｄ）は、それぞれ、不揮発性記憶装置６０ａ～６０ｃを構成するメモリセル、液晶表示装置２００１の画素回路、ゲートドライバ７６、および、ゲートドライバ７６の一段分の構成を示す概略図である。

[0120] 液晶表示装置２００１は、複数の画素を含む表示部７１を有している。表示部７１は、アクティブマトリクス基板１００２の表示領域１００（図４（ａ））に対応している。本実施形態では、表示部７１には、複数の画素回路７０がマトリクス状に配列されている。これらの画素回路７０は、ソース線ＳＬ１～ＳＬｋ、ゲート線ＧＬ１～ＧＬｊ、及び、補助容量線ＣＳＬ１～ＣＳＬｊにより相互に接続されている。

[0121] 各画素回路７０は、図６（ｂ）に示すように、画素用トランジスタ１０Ｃ、液晶容量Ｃｌｃ、補助容量Ｃｓを有している。画素用トランジスタ１０Ｃのソース電極はソース配線Ｓ、ゲート電極はゲート配線Ｇと、ドレイン電極は画素電極（図示せず）と接続されている。画素電極と、共通電極ＣＯＭとによって液晶容量Ｃｌｃが形成され、画素電極と、容量配線ＣＳとによって補助容量Ｃｓが形成されている。

[0122] 液晶表示装置２００１は、また、ソース配線Ｓと電気的に接続されたソースドライバ７５、ゲート配線Ｇと電気的に接続されたゲートドライバ７６、容量配線ＣＳに電気的に接続されたＣＳドライバ７７、および、共通電極を駆動する共通電極駆動回路７４を備えている。これらの駆動回路７５、７６、７７、７４は、タイミングやソース配線Ｓ、ゲート配線Ｇ、容量配線ＣＳおよび共通電極に印加する電圧を制御する表示制御回路７３と、これらの回路に電源を供給する電源回路（図示せず）とに接続されている。さらに、ソースドライバ７５、ゲートドライバ７６および表示制御回路７３は、それぞれ、不揮発性記憶装置６０ａ、６０ｂ、６０ｃに接続されている。不揮発性記憶装置６０ａ、６０ｂ、６０ｃは共通メモリ制御回路部６１に接続されている。

[0123] 不揮発性記憶装置６０ａ、６０ｂ、６０ｃは、例えば、複数のメモリセルがアレイ状に配列された構成を有している。メモリセルは、メモリトランジスタ１０Ａを含んでいる。メモリセルは、図３を参照しながら前述した構成を有していてもよい。あるいは、図６（ａ）に例示するように、図３に示す選択トランジスタ１０Ｄの代わりに、並列に接続された２個または２以上の

選択トランジスタ１０Ｄ、１０Ｅを有してもよい。

[0124] 不揮発性記憶装置６０ａには、ディスプレイパネルの構成情報や固有ＩＤ等が格納されている。これらの不揮発性記憶装置６０ａに記憶された情報は、表示制御回路７３により参照され、これらの情報に基づいて詳細な表示制御方法の切り替え、或いは、制御パラメータの最適化が行われる。また、固有ＩＤ等は、ディスプレイパネルと接続するシステム側からの照会が可能であり、ディスプレイパネルの判別や、最適な駆動方法の選択等に利用される。表示制御回路７３は、不揮発性記憶装置６０ａに格納された情報に基づいて表示制御のために使用する回路を切り替え、最適なディスプレイの表示制御を実現する。

[0125] 不揮発性記憶装置６０ｂには、ゲートドライバの冗長救済情報等、ゲートドライバの駆動に必要な構成パラメータの情報が格納されている。同様に、不揮発性記憶装置６０ｃには、ソースドライバの冗長救済情報等、ソースドライバの駆動に必要な構成パラメータの情報が格納されている。

[0126] 不揮発性記憶装置６０ａ、６０ｂ、６０ｃの少なくとも一部と、表示部７１以外に設けられる回路７３、７４、７５、７６、７７、６１の少なくとも一部とは、アクティブマトリクス基板１００２の周辺領域２００（図４（ａ））にモノリシックに形成されている。

[0127] 本実施形態では、例えばゲートドライバ７６が、アクティブマトリクス基板にモノリシックに形成されている。ゲートドライバ７６は、例えば、図６（ｃ）に示すように、複数段を有するシフトレジスタ４１０によって構成されている。表示部７１に例えばｉ行×ｊ列の画素マトリクスが形成されている場合、それら画素マトリクスの各行と１対１で対応するようにｉ段の双安定回路を有している。

[0128] シフトレジスタ４１０に含まれている双安定回路（シフトレジスタ４１０の１段分の構成）は、図６（ｄ）に示すように、１０個の薄膜トランジスタＭＡ，ＭＢ、ＭＩ、ＭＦ、ＭＪ、ＭＫ、ＭＥ、ＭＬ、ＭＮおよびＭＤと、キャパシタＣＡＰ１とを備えている。また、この双安定回路は、第１クロック

ＣＫＡを受け取る入力端子、第２クロックＣＫＢを受け取る入力端子、第３クロックＣＫＣを受け取る入力端子、第４クロックＣＫＤを受け取る入力端子、セット信号Ｓを受け取る入力端子、リセット信号Ｒを受け取る入力端子、クリア信号ＣＬＲを受け取る入力端子、および状態信号Ｑを出力する出力端子を備えている。

[0129] 本実施形態では、例えば、図６（ｄ）に示す双安定回路に含まれる複数の薄膜トランジスタと、不揮発性記憶装置６０ａ～６０ｃの何れかに含まれるメモリトランジスタ１０Ａとは、共通の酸化物半導体膜から形成された活性層を有している。双安定回路に含まれる薄膜トランジスタの少なくとも１つ、好ましくは全部が、図２に示す回路用トランジスタ１０Ｂに相当する。さらに、メモリトランジスタ１０Ａのチャネル長（あるいはチャネル長／チャネル幅）は、図６（ｄ）に示す双安定回路に含まれる複数の薄膜トランジスタおよび画素用トランジスタ１０Ｃのチャネル長（あるいはチャネル長／チャネル幅）の最小値以下、好ましくは最小値未満であってもよい。

[0130] なお、ここではゲートドライバ７６を例に説明したが、薄膜トランジスタを含む他の回路がモノリシックに形成されている場合でも同様である。表示制御回路７３、共通電極駆動回路７４、ソースドライバ７５及びＣＳドライバ７７の詳細な回路構成については、公知の液晶表示装置の構成とほぼ同様であるため、詳細な説明を省略する。

[0131] 本実施形態では、モノリシックに形成された回路を構成する薄膜トランジスタの少なくとも１つが、図２を参照しながら前述した回路用トランジスタ１０Ｂに相当すればよい。好ましくは、アクティブマトリクス基板１００２上において、メモリトランジスタ１０Ａを含む回路と同一の電源ドメイン領域にある全ての回路（同一の電源回路に接続された回路）において、回路素子として機能する全ての薄膜トランジスタが回路用トランジスタ１０Ｂに相当する。さらに、画素用トランジスタ１０Ｃも回路用トランジスタ１０Ｂであってもよい。なお、上記回路の一部は、アクティブマトリクス基板１００２に外付けされた他の基板上に形成されていてもよい。

[0132] 次に、図面を参照しながら、アクティブマトリクス基板１００２の製造方法の一例を説明する。

[0133] 図７～図１０は、アクティブマトリクス基板１００２の製造方法を説明するための工程図であり、各図の（ａ）および（ｂ）は断面図、（ｃ）は上面図である。これらの図では、アクティブマトリクス基板１００２におけるメモリトランジスタ１０Ａを形成する領域Ｒ（１０Ａ）、回路用トランジスタ１０Ｂを形成する領域Ｒ（１０Ｂ）、容量部２０を形成する領域Ｒ（２０）、ゲート・ソースコンタクト部３０を形成する領域Ｒ（３０）およびゲート・ソース交差部４０を形成する領域Ｒ（４０）をそれぞれ示している。ゲート・ソース交差部４０は、ゲート配線またはゲート配線と同一の導電膜から形成された導電層と、ソース配線またはソース配線と同一の導電膜から形成された導電層とが、絶縁層を介して交差する部分を指す。なお、これらの図では、便宜上、トランジスタ１０Ａ、１０Ｂや容量部２０などの形成領域を並べて示しているが、これらの形成領域の配置は図示する配置に限定されない。

[0134] まず、基板１上に、例えばスパッタリング法でゲート用導電膜を形成し、これを周知のドライエッチング法でパターニングする。これにより、図７（ａ）～図７（ｃ）に示すように、ゲート・ソースコンタクト部形成領域Ｒ（３０）にゲート接続部３ｓｇ、ゲート・ソース交差部形成領域Ｒ（４０）にゲート配線Ｇ、メモリトランジスタ形成領域Ｒ（１０Ａ）にゲート電極３Ａ、容量部形成領域Ｒ（２０）に容量配線ＣＳ、回路用トランジスタ形成領域Ｒ（１０Ｂ）にゲート電極３Ｂをそれぞれ形成する。ゲート用導電膜から形成されたこれらの配線および電極を含む層を「ゲート配線層」と称する。

[0135] 基板１としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。ゲート用導電膜として、例えばアルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、またはタングステン（Ｗ）などの単層膜、それらを２層以上積層した積層膜、あるいは上記の金属元素のうち２以上の元素を成分とする合金膜を

用いてもよい。例えば、基板１側からＴｉ膜、ＡｌおよびＴｉ膜をこの順で有する３層膜（Ｔｉ／Ａｌ／Ｔｉ）、Ｍｏ膜、ＡｌおよびＭｏ膜をこの順で有する３層膜（Ｍｏ／Ｔｉ／Ｍｏ）等を用いることができる。本実施形態では、一例として、基板１から、厚さが１０～１００ｎｍのＴｉ膜、厚さが５０～５００ｎｍのＡｌ膜、および厚さが５０～３００ｎｍのＴｉ膜をこの順で有する３層膜（Ｔｉ／Ａｌ／Ｔｉ）を用いる。

[0136] この後、ゲート配線層を覆うようにゲート絶縁膜５を形成する。ゲート絶縁膜５は、例えばプラズマＣＶＤ法、スパッタリング法などにより形成される。ゲート絶縁膜５としては、例えば、酸化シリコン膜（$SiO_2$）、窒化シリコン膜（ＳｉＮ）、酸化窒化シリコン膜（ＳｉＮＯ）、窒化酸化シリコン膜（ＳｉＯＮ）、酸化アルミニウム（$Al_2O_3$）、酸化タンタル（$Ta_2O_5$）から選択される単層または２層以上の積層膜を用いてもよい。本実施形態では、一例として、基板１側から、厚さが１００～５００ｎｍのＳｉＮ膜、および厚さが２０～１００ｎｍの$SiO_2$膜をこの順で有する２層膜を使用する。

[0137] 続いて、ゲート絶縁膜５上に、例えばスパッタリング法で酸化物半導体膜（厚さ：例えば２０～２００ｎｍ）を形成した後、周知のウェットエッチング法で酸化物半導体膜のパターニングを行う。これにより、図８（ａ）～図８（ｃ）に示すように、メモリトランジスタ形成領域Ｒ（１０Ａ）に活性層７Ａ、回路用トランジスタ形成領域Ｒ（１０Ｂ）に活性層７Ｂをそれぞれ形成する。活性層７Ａ、７Ｂは、それぞれ、対応するゲート電極３Ａ、３Ｂにゲート絶縁膜５を介して重なるように配置される。ここでは、ゲート電極３Ａ、３Ｂのチャネル方向の幅を略等しくし、活性層７Ａのチャネル方向の幅を、活性層７Ｂのチャネル方向の幅よりも小さくしている。例えば、図示するように、活性層７Ａのチャネル方向の幅を、ゲート電極３Ａのチャネル方向の幅よりも小さく、活性層７Ｂのチャネル方向の幅を、ゲート電極３Ｂのチャネル方向の幅よりも大きくしてもよい。このような構成により、ゲート電極３Ａ、３Ｂとドレイン－ソース電極とが重なる部分に形成される寄生容

量を増大させることなく、チャネル長の異なるトランジスタ構造を作り分けることができる。

[0138] 酸化物半導体膜として、例えばＩｎ、ＧａおよびＺｎを含む酸化物半導体膜を用いることができる。本実施形態では、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系のアモルファス酸化物半導体膜（厚さ：例えば２０～２００ｎｍ）を用いる。この半導体膜は、ｎ型の金属酸化物半導体であり、低温で形成される。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体膜における各金属元素の組成比Ｉｎ：Ｇａ：Ｚｎは、例えば１：１：１である。この組成比を基準として組成比が調整されても本発明の効果を奏する。

[0139] 次いで、ゲート絶縁膜５および活性層７Ａ、７Ｂの上に、例えばスパッタリング法でソース用導電膜を形成し、周知のドライエッチング法でソース用導電膜のパターニングを行う。これにより、図９（ａ）～図９（ｃ）に示すように、ゲート・ソースコンタクト部形成領域Ｒ（３０）にソース接続部９ｓｇ、ゲート・ソース交差部形成領域Ｒ（４０）にソース配線Ｓ、メモリトランジスタ形成領域Ｒ（１０Ａ）にソース電極９ｓＡおよびドレイン電極９ｄＡ、容量部形成領域Ｒ（２０）に容量電極９ｃｓ、回路用トランジスタ形成領域Ｒ（１０Ｂ）にソース電極９ｓＢおよびドレイン電極９ｄＢをそれぞれ形成する。ソース用導電膜から形成されたこれらの配線および電極を含む層を「ソース配線層」と称する。

[0140] メモリトランジスタ形成領域Ｒ（１０Ａ）および回路用トランジスタ形成領域Ｒ（１０Ｂ）では、ソース電極９ｓＡとドレイン電極９ｄＡとは、互いに電気的に分離し、かつ、活性層７Ａの一部とそれぞれ接するように配置される。同様に、ソース電極９ｓＢとドレイン電極９ｄＢとは、互いに電気的に分離し、かつ、活性層７Ｂの一部とそれぞれ接するように配置される。活性層７Ａ、７Ｂのうち対応するゲート電極３Ａ、３Ｂと重なり、かつ、ソース電極９ｓＡ、７ｓＢとドレイン電極９ｄＡ、７ｄＢとの間に位置する領域がチャネル領域７ｃＡ、７ｃＢとなる。本実施形態では、例えば、メモリトランジスタ形成領域Ｒ（１０Ａ）において、基板１の法線方向から見たとき

、チャネル領域７ｃＡがＵ字形となるように、ソース電極９ｓＡおよびドレイン電極９ｄＡを配置する。一方、回路用トランジスタ形成領域Ｒ（１０Ｂ）において、基板１の法線方向から見たとき、チャネル領域７ｃＢが矩形となるように、ソース電極９ｓＢおよびドレイン電極９ｄＢを配置する。このようにして、メモリトランジスタ１０Ａと、回路用トランジスタ１０Ｂとが形成される。

[0141] また、容量部形成領域Ｒ（２０）に、容量配線ＣＳと、容量電極９ｃｓと、その間に位置する誘電体層（ここではゲート絶縁膜５）とを有する容量部２０が形成される。ゲート・ソース交差部形成領域Ｒ（４０）には、ゲート配線Ｇとソース配線Ｓとがゲート絶縁膜５を介して交差するゲート・ソース交差部４０が形成される。ゲート・ソースコンタクト部形成領域Ｒ（３０）において、ソース接続部９ｓｇは、ゲート絶縁膜５を介して、ゲート接続部３ｓｇの一部と重なるように配置される。

[0142] ソース用導電膜として、例えばアルミニウム（Ａｌ）、クロム（Ｃｒ）、銅（Ｃｕ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、またはタングステン（Ｗ）などの単層膜、それらを２層以上積層した積層膜、あるいは上記の金属元素のうち２以上の元素を成分とする合金膜を用いてもよい。例えば、基板１側からＴｉ膜、Ａｌ膜およびＴｉ膜をこの順で有する３層膜（Ｔｉ／Ａｌ／Ｔｉ）、Ｍｏ膜、Ａｌ膜およびＭｏ膜をこの順で有する３層膜（Ｍｏ／Ｔｉ／Ｍｏ）等を用いることができる。本実施形態では、一例として、基板１から、厚さが１０～１００ｎｍのＴｉ膜、厚さが５０～４００ｎｍのＡｌ膜、および厚さが５０～３００ｎｍのＴｉ膜をこの順で有する３層膜（Ｔｉ／Ａｌ／Ｔｉ）を用いる。

[0143] 次いで、図１０（ａ）～図１０（ｃ）に示すように、例えばプラズマＣＶＤ法またはスパッタリング法で、ソース配線層を覆うように保護膜（パッシベーション膜）１１を形成する。保護膜１１として、例えば、酸化シリコン膜（$SiO_2$）、窒化シリコン膜（ＳｉＮ）、酸化窒化シリコン膜（ＳｉＮＯ）、窒化酸化シリコン膜（ＳｉＯＮ）、酸化アルミニウム（$Al_2O_3$）、酸化

タンタル（$Ta_2O_5$）から選択される単層または２層以上の積層膜を用いてもよい。本実施形態では、一例として、保護膜１１として、ＣＶＤ法により$SiO_2$膜（厚さ：例えば５０～５００ｎｍ）を用いる。

[0144] この後、大気雰囲気中で、２００～４００℃の温度で、３０分～４時間程度のアニーリングを行う。これにより、ソース電極９ｓＡ、９ｓＢおよびドレイン電極９ｄＡ、９ｄＢと活性層７Ａ、７Ｂとの界面に、反応層が形成される。このため、ソース電極９ｓＡ、９ｓＢおよびドレイン電極９ｄＡ、９ｄＢと活性層７Ａ、７Ｂとのコンタクト抵抗を低減できる。

[0145] この後、必要に応じて、パッシベーション膜１１上に平坦化膜を形成してもよい。本実施形態では、平坦化膜として、例えば、感光性樹脂等の有機絶縁膜１３を形成する。有機絶縁膜１３は、公知のフォトリソ法（露光、現像、ベーキング）によりパターニングされる。これにより、有機絶縁膜１３のうちゲート・ソースコンタクト部形成領域Ｒ（３０）上に位置する部分に開口部を形成する。この後、有機絶縁膜１３をマスクとして、ゲート絶縁膜５およびパッシベーション膜１１のエッチングを行う。エッチングでは、ソース接続部９ｓｇおよびゲート接続部３ｓｇはエッチストップとして機能する。このため、ゲート絶縁膜５のうちソース接続部９ｓｇで覆われた部分はエッチングされずに残る。このようにして、ゲート接続部３ｓｇおよびソース接続部９ｓｇの表面を露出するコンタクトホール１５を得る。

[0146] 続いて、コンタクトホール１５内および有機絶縁膜１３上に導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト部形成領域Ｒ（３０）において、コンタクトホール１５内で、ゲート接続部３ｓｇとソース接続部９ｓｇとを電気的に接続する上部導電層１７を得る。このようにして、ゲート・ソースコンタクト部３０が形成される。

[0147] 本実施形態では、導電膜として、ＩＴＯ膜（厚さ：例えば約２０ｎｍ～３００ｎｍ）などの透明導電膜を用いる。なお、図示しないが、この導電膜から、各画素に形成される画素電極も形成され得る。このようにして、アクティブマトリクス基板１００２が得られる。

[0148] ＜集積回路＞

次に、本実施形態をＶＬＳＩなどの集積回路に適用した半導体装置の一例を説明する。

[0149] 図１１（ａ）および（ｂ）は、本実施形態の半導体装置（集積回路）２００２を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[0150] 本実施形態の集積回路（ＶＬＳＩ）２００２は、低電圧コア・ロジック回路５１、電圧コンバータ回路およびバッファ回路５３、不揮発性メモリによる切り替え回路５５などを有している。これらの回路５１、５３、５５はＬＳＩチップ５９上に支持されている。切り替え回路５５は、不揮発性メモリ素子を利用して配線の切り替えを行う。これにより、回路の切り替え、機能の切り替えまたは回路ブロックの構成の変更を行うことができる。切り替え回路５５は、例えばＬＳＩチップ５９の外部にある高電圧回路やチップ間インターフェースに接続されてもよい。

[0151] 本実施形態では、切り替え回路５５は、不揮発性メモリ素子としてメモリトランジスタ１０Ａを含んでいる。また、例えば電圧コンバータ回路およびバッファ回路５３または切り替え回路５５を構成する薄膜トランジスタの何れか１つ、好ましくは全部は、回路用トランジスタ１０Ｂに相当する。

[0152] 図１１（ｂ）に示すように、ＬＳＩチップ５９は、ＬＳＩ素子層５６と、ＬＳＩ素子層５６を覆う層間絶縁層５７とを有している。低電圧コア・ロジック回路５１は、例えば内部に形成されている。電圧コンバータ回路およびバッファ回路５３と切り替え回路５５とは、層間絶縁層５７上に形成されている。なお、図１１（ｂ）では、切り替え回路５５のメモリトランジスタ１０Ａ、配線部およびコンタクト部５８の構成のみを示している。回路用トランジスタ１０Ｂも、層間絶縁層５７上に形成される。回路用トランジスタ１０Ｂは、チャネル長またはチャネル幅は異なるものの、メモリトランジスタ１０Ａと同様のトランジスタ構造を有し得る。

[0153] 本実施形態の半導体装置は、表示装置や集積回路に限定されない。例えば

、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂは比較的低温（例えば２００℃以下）で製造可能であるため、ＩＣタグ等にも適用され得る。この場合、メモリトランジスタ１０ＡはＩＤの記憶に利用され得る。さらに、酸化物半導体膜として透明な金属酸化物膜を用いることができるので、デジタルサイネージ向けの大容量記憶装置に利用することもできる。記憶装置以外にも、ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）やＦＰＧＡ（Ｆｉｅｌｄ－Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等のプログラム可能な論理回路装置に適用することも可能である。

[0154] ＜メモリトランジスタ１０Ａの電気的特性＞

ここで、図１２～図１７を参照しながら、メモリトランジスタ１０Ａの電気的特性を説明する。

[0155] メモリトランジスタ１０Ａとして、金属酸化物半導体としてＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体を用いたｎチャネル型の薄膜トランジスタを作製し、書き込み前および書き込み後の電気的特性を測定した。測定に用いたメモリトランジスタ１０Ａのチャネル長を４μｍ、チャネル幅を２０μｍ、活性層（酸化物半導体層）７Ａの厚さを２０～１００ｎｍ、チャネル領域７ｃＡの平面形状を矩形またはＵ字形とした。

[0156] メモリトランジスタ１０Ａは、製造された直後（初期状態）には、通常の薄膜トランジスタと同様にトランジスタ特性を示す。すなわち、ドレイン電流Ｉｄｓ（ドレイン電極からソース電極に流れる電流）は、ゲート電圧Ｖｇｓ（ソース電極を基準としてゲート電極に印加される電圧）およびドレイン電圧Ｖｄｓ（ソース電極を基準としてドレイン電極に印加される電圧）のそれぞれに依存して変化する。

[0157] 図１２（ａ）は、メモリトランジスタ１０Ａの初期状態における、Ｖｄｓ＝０．１ＶおよびＶｄｓ＝１０Ｖの場合のＩｄｓ－Ｖｇｓ特性を示す図である。図１２（ｂ）は、メモリトランジスタ１０Ａの初期状態において、Ｖｇｓを０から７Ｖまで１Ｖごとに変化させた場合のＩｄｓ－Ｖｄｓ特性を示す

図である。なお、図１２（ａ）および（ｂ）におけるドレイン電流Ｉｄｓの値は、単位ゲート幅（１μｍ）あたりのドレイン電流（単位ドレイン電流）の値を示している。

[0158] 図１２（ａ）および（ｂ）より明らかなように、初期状態のメモリトランジスタ１０Ａでは、ゲート電圧Ｖｇｓが約０．５Ｖ以下の範囲（特定電圧範囲）であり、かつ、ドレイン電圧Ｖｄｓが０．１Ｖ以上１０Ｖ以下の範囲において、単位ドレイン電流は極めて微小（例えば$1\times10^{-14}$Ａ／μｍ以下）となる。これは、実質的にオフ状態である。ゲート電圧Ｖｇｓが上記特定電圧範囲よりも大きくなると、ゲート電圧Ｖｇｓの増加とともにドレイン電流Ｉｄｓも増加する（図１２（ａ））。また、ドレイン電圧Ｖｄｓの増加とともにドレイン電流Ｉｄｓも増加する（図１２（ｂ））。

[0159] このような初期状態（半導体状態ともいう。）のメモリトランジスタ１０Ａに対して書き込み動作を行って、書き込み後の電気的特性を調べた。書き込みは、メモリトランジスタ１０Ａに所定のゲート電圧Ｖｇｓおよびドレイン電圧Ｖｄｓを印加し、チャネル領域７ｃＡに大きなドレイン電流を流すことによって行う。ドレイン電流により、活性層７Ａ全体にジュール熱が発生し、チャネル領域７ｃＡの電気抵抗を低下させることができる。なお、書き込みの際のゲート電圧Ｖｇｓは、例えば、回路動作によって回路用トランジスタに印加されるゲート電圧の範囲より高い電圧に設定される。ここでは、メモリトランジスタ１０Ａに、ドレイン電圧Ｖｄｓ：２４Ｖ、ゲート電圧Ｖｇｓ：３０Ｖを印加して線形領域において書き込みを行った。書き込み時間（ドレイン電流Ｉｄｓの通電時間）を１００ｍ秒とした。

[0160] 図１３（ａ）は、メモリトランジスタ１０Ａの書き込み動作後における、Ｖｄｓ＝０．１ＶおよびＶｄｓ＝１０Ｖの場合のＩｄｓ－Ｖｇｓ特性を示す図である。図１３（ｂ）は、メモリトランジスタ１０Ａの書き込み動作後において、Ｖｇｓを０から７Ｖまで１Ｖごとに変化させた場合のＩｄｓ－Ｖｄｓ特性を示す図である。

[0161] また、図１４は、書き込み前後の電気的特性を比較するため、書き込み前

（初期状態）および書き込み後のメモリトランジスタ１０Ａにおける、Ｖｇｓ＝０Ｖの場合の原点付近のＩｄｓ－Ｖｄｓ特性を拡大して示す図である。線Ｒ１は書き込み前のＩｄｓ－Ｖｄｓ特性、線Ｔ１は書き込み後のＩｄｓ－Ｖｄｓ特性を表している。

[0162] 図１５は、書き込み前後のメモリトランジスタ１０ＡのＩｄｓ－Ｖｇｓ特性を重ね合わせて示す図である。線Ｔ２およびＴ３は、それぞれ、Ｖｄｓが０．１Ｖおよび１０Ｖのときの書き込み前のＩｄｓ－Ｖｇｓ特性を表している。線Ｒ２およびＲ３は、それぞれ、Ｖｄｓが０．１Ｖおよび１０Ｖのときの書き込み後のＩｄｓ－Ｖｇｓ特性を表している。

[0163] 図１６は、書き込み前後のメモリトランジスタ１０Ａの、Ｉｄｓ－Ｖｄｓ特性から得られる微分抵抗（ｄＶｄｓ／ｄＩｄｓ、単位：Ωμｍ）とドレイン電圧Ｖｄｓとの関係を示す図である。線Ｔ４、Ｔ５は、それぞれ、ゲート電圧Ｖｇｓが０Ｖおよび７Ｖのときの、書き込み前のｄＶｄｓ／ｄＩｄｓとＶｄｓとの関係を表している。線Ｒ４、Ｒ５は、それぞれ、ゲート電圧Ｖｇｓが０Ｖおよび７Ｖのときの、書き込み後のｄＶｄｓ／ｄＩｄｓとＶｄｓとの関係を表している。

[0164] 図１３（ａ）および（ｂ）から明らかなように、書き込み後のメモリトランジスタ１０Ａでは、ドレイン電流Ｉｄｓは、ゲート電圧Ｖｇｓに殆ど依存せず、主としてドレイン電圧Ｖｄｓに依存して変化する。ドレイン電圧Ｖｄｓが一定であれば、ドレイン電流Ｉｄｓはほぼ一定値である。また、Ｉｄｓ－Ｖｄｓ特性の各ゲート電圧ＶｇｓにおけるＩＶ曲線は、ゲート電圧Ｖｇｓにかかわらず、ほぼ直線状であり、かつ、原点（Ｉｄｓ＝０Ａ／μｍ、Ｖｄｓ＝０Ｖ）を通過する。すなわち、書き込み後のメモリトランジスタ１０Ａは、オーミックな抵抗特性を呈する抵抗体であることが分かる。原点における微分抵抗（ｄＶｄｓ／ｄＩｄｓ）は無限大でも０でも無い有限値を有する。

[0165] 初期状態のメモリトランジスタ１０Ａでは、ドレイン電圧Ｖｄｓが一定とすると、ドレイン電流Ｉｄｓはゲート電圧Ｖｇｓに大きく依存して変化する

。また、ゲート電圧Ｖｇｓが特定電圧範囲内（例えば約０．５Ｖ以下）にある場合、ドレイン電流Ｉｄｓは殆ど流れず、実質的にオフ状態である。これに対し、書き込み後においては、ドレイン電圧Ｖｄｓが一定とすると、ゲート電圧Ｖｇｓにかかわらず、一定のドレイン電流Ｉｄｓが流れる。ゲート電圧Ｖｇｓが特定電圧範囲内にある場合、ドレイン電圧が例えば０．１Ｖ以上１０Ｖ以下の範囲であれば、単位ドレイン電流は１×１０$^{-11}$Ａ／μｍ以上となる。

[0166] このように、メモリトランジスタ１０Ａでは、半導体状態のとき、ドレイン電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、単位チャネル幅当たりのドレイン電流Ｉｄｓ／Ｗ（Ｗはメモリトランジスタ１０Ａのチャネル幅）の絶対値が、例えば１×１０$^{-14}$Ａ／μｍ以下の微小電流状態となるゲート電圧の電圧範囲が存在する。抵抗体状態に変化した後は、ドレイン電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ゲート電圧を上記の電圧範囲内に設定した場合でも、単位チャネル幅当たりのドレイン電流Ｉｄｓ／Ｗの絶対値は、ドレイン電圧に応じて、例えば１×１０$^{-11}$Ａ／μｍ以上の電流状態となる。

[0167] さらに、図１６から分かるように、初期状態における微分抵抗ｄＶｄｓ／ｄＩｄｓは、ゲート電圧Ｖｇｓにより変化する。これに対し、書き込み後における微分抵抗ｄＶｄｓ／ｄＩｄｓは、ゲート電圧Ｖｇｓにより変化しない。

[0168] 次に、メモリトランジスタ１０Ａの書き込み動作について更に説明を追加する。メモリトランジスタ１０Ａの書き込み動作は、書き込み電圧の条件Ｖｄｓ≦Ｖｇｓ－Ｖｔｈの下で、高電流密度のドレイン電流Ｉｄｓを、チャネル領域７ｃＡに一定の書き込み時間流すことで実行される。高電流密度のドレイン電流Ｉｄｓは、書き込み動作以外の回路動作においてメモリトランジスタ１０Ａに印加されるゲート電圧Ｖｇｓおよびドレイン電圧Ｖｄｓの電圧範囲よりも高いバイアス状態で流れる。所定の高電流密度のドレイン電流Ｉｄｓが一定の書き込み時間流れることにより、チャネル領域７ｃＡにジュー

ル熱とエレクトロマイグレーションが発生する。これにより、チャネル領域７ｃＡ（活性層７Ａ）を構成する金属酸化物の組成が変化して、低抵抗化が誘起されるものと考えられる。なお、活性層７Ａの厚さを一定とすると、単位ドレイン電流（単位：Ａ／μｍ）は、ドレイン電流の電流密度（単位：Ａ／$m^2$）と比例関係にある。単位ドレイン電流（単位：Ａ／μｍ）を大きくすることにより、ドレイン電流の電流密度（単位：Ａ／$m^2$）が大きくなる。本実施形態では、書き込み動作時の単位ドレイン電流を例えば１μＡ／μｍ～１ｍＡ／μｍ程度、書き込み時間を例えば１０μ秒～１００秒程度とする。書き込み時のゲート電圧Ｖｇｓは、例えば０Ｖより大きく２００Ｖ以下、好ましくは２０Ｖ以上１００Ｖ以下に設定される。書き込み時のドレイン電圧Ｖｄｓは、例えば０Ｖより大きく２００Ｖ以下、好ましくは２０Ｖ以上１００Ｖ以下に設定される。ただし、書き込み時の電圧Ｖｇｓ、Ｖｄｓは上記範囲に限定されず、書き込み電圧の条件Ｖｄｓ≦Ｖｇｓ－Ｖｔｈを満たすように適宜設定され得る。また、書き込み動作時の単位ドレイン電流および書き込み時間も、上述の数値範囲に限定されない。単位ドレイン電流および書き込み時間は、活性層７Ａに使用する金属酸化物半導体の種類や厚さ、メモリトランジスタ１０Ａの素子構造などに依存して変化し得る。

[0169] メモリトランジスタ１０Ａの電気的特性は、メモリトランジスタ１０Ａで発生するジュール熱が大きいほど変化しやすい。例えば、書き込み時の単位ドレイン電流Ｉｄｓを大きくすると、より大きなジュール熱を生じさせることができる。

[0170] また、上述したとおり、図１に示すように、線形領域において書き込みを行った場合、メモリトランジスタのドレイン‐ソース間全体にジュール熱が均一に発生し、金属酸化物の組成がドレイン‐ソース間において均一に変化する。飽和領域において書き込んだ場合と比べて、線形領域において書き込みを行う場合には、読み出し電流の低下が抑制される。

[0171] 図１７に、書き込み時間（単位：ｍ秒）と単位ドレイン電流（単位：Ａ／μｍ）との関係の一例を示す。図１７から、単位ドレイン電流が大きい程、

ジュール熱が大きくなり、書き込み時間を短縮できることが分かる。

[0172] 書き込み時の単位ドレイン電流は、書き込み時のゲート電圧Ｖｇｓを高くする、あるいは、ゲート絶縁膜５の容量を高めることにより増加させることができる。ただし、書き込み時のゲート電圧Ｖｇｓはゲート絶縁膜５の絶縁破壊電圧よりも低い値に設定される。従って、書き込み時のゲート電圧Ｖｇｓをさらに高くするためには、ゲート絶縁膜５の絶縁破壊電圧を高めることが好ましい。このような観点から、本実施形態では、ゲート絶縁膜５に比誘電率の高い材料を使用して、電気容量を大きくしている。比誘電率の高い絶縁材料として、例えば、窒化シリコン膜（ＳｉＮ）または酸化窒化シリコン膜（ＳｉＮＯ）を用いてもよい。これらの比誘電率は、酸化シリコン膜（$SiO_2$）の比誘電率よりも高い。また、誘電率の大きい材料の選択とは別に、または併せて、ゲート絶縁膜５の厚さを大きくすることにより、ゲート絶縁膜５にかかる電界強度を低く抑えてもよい。これにより、ゲート絶縁膜５の絶縁破壊電圧を低減できる。なお、比誘電率の高い絶縁膜として、窒化シリコン膜（ＳｉＮ）や窒化酸化シリコン膜（ＳｉＯＮ）をＣＶＤ法で形成すると、これらの膜中に水素が含まれる。このため、ＳｉＮ膜またはＳｉＯＮ膜と活性層７Ａである酸化物半導体層とが接していると、水素が酸化物半導体の酸素と反応する結果、活性層７Ａが導電体に近づく可能性がある。そこで、活性層７Ａと窒化シリコン膜（ＳｉＮ）や酸化窒化シリコン膜（ＳｉＮＯ）とが直接接触しないように、これらの間に、膜中の水素濃度の低い酸化シリコン膜（$SiO_2$）または窒化酸化シリコン膜（ＳｉＯＮ）を挿入してもよい。

[0173] ＜メモリトランジスタ１０Ａの構成例＞

メモリトランジスタ１０Ａの書き込み動作時のドレイン電流Ｉｄｓをさらに大きくするために、活性層７Ａにおけるゲート電極３Ａと反対側に、他のゲート電極１８を設けてもよい。

[0174] 図１８（ａ）および（ｂ）は、本実施形態における他のメモリトランジスタ１０Ａの構成を例示する平面図および断面図である。この例では、活性層

７Ａの上方に、層間絶縁層（ここではパッシベーション膜１１および有機絶縁膜１３）を介して上部ゲート電極１８が設けられている。上部ゲート電極１８は、基板１の法線方向から見たとき、活性層７Ａの少なくともチャネル領域７ｃＡと重なるように配置されている。上部ゲート電極１８は、例えば画素電極と共通の透明導電膜から形成された透明電極であってもよい。また、上部ゲート電極１８と、活性層７Ａの基板１側にあるゲート電極（ゲート配線）３Ａとは、コンタクトホールＣＨを介して接続されていてもよい。これにより、他のゲート電極１８とゲート電極３Ａとが同電位となるので、バックゲート効果によりドレイン電流Ｉｄｓをさらに大きくできる。なお、図１８（ａ）に示す例では、上部ゲート電極１８は透明電極として示されているが、透明電極でなくてもよい。このように、メモリトランジスタ１０Ａに上部ゲート電極１８を設けることにより、ゲート電圧Ｖｇｓを大幅に高めることなく、ジュール熱を増加させ、書き込み時間を短縮することが可能になる。

[0175] 本実施形態のメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの構成は、図２および図１８に示す構成に限定されない。メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂは、後述するように、チャネル領域７ｃＡの表面と接するようにエッチストップ層を設けたエッチストップ構造を有していてもよい。あるいは、活性層７Ａをソースおよびドレイン電極上に形成し、活性層７Ａの下面がこれらの電極と接するように配置されたボトムコンタクト構造を有していてもよい。

[0176] （第２の実施形態）

以下、本発明の半導体装置の第２の実施形態を説明する。本実施形態の半導体装置は、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの活性層上に、エッチストップとして保護層を有する点で、第１の実施形態の半導体装置と異なる。その他の構成は同様である。

[0177] 図１９（ａ）および（ｂ）は、それぞれ、第２の実施形態におけるメモリトランジスタ１０Ａの構成の一例を示す平面図及び断面図である。図１９（

ｂ）に示す断面は、図１９（ａ）に示すＡ－Ａ’線に沿った断面である。図１９では、図２と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、図示していないが、回路用トランジスタ１０Ｂは、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ１０Ａと同様のトランジスタ構造を有する。

[0178] メモリトランジスタ１０Ａは、活性層７Ａの少なくともチャネル領域７ｃＡ上に保護層３１を有している。活性層７Ａのチャネル方向の幅は、ゲート電極３Ａのチャネル方向の幅よりも大きい。この例では、保護層３１は、活性層７Ａを覆うように設けられている。保護層３１には、活性層７Ａのうちチャネル領域７ｃＡの両側に位置する領域をそれぞれ露出する開口部３２ｓ、３２ｄが設けられている。ソース電極９ｓＡおよびドレイン電極９ｄＡは、保護層３１上および開口部３２ｓ、３２ｄ内に形成され、開口部３２ｓ、３２ｄ内で活性層７Ａと接している。これにより、活性層７Ａのうちソース電極９ｓＡと接する領域はソースコンタクト領域、ドレイン電極９ｄＡと接する領域はドレインコンタクト領域となる。なお、図１９では、チャネル領域７ｃＡの平面形状は矩形であるが、図２（ｂ）に示すようなＵ字形であってもよい。

[0179] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0180] 図２０～図２３は、アクティブマトリクス基板１００３の製造方法の一例を説明するための工程図であり、各図の（ａ）および（ｂ）は断面図、（ｃ）は上面図である。ここでは、アクティブマトリクス基板１００３におけるメモリトランジスタ１０Ａ、回路用トランジスタ１０Ｂ、容量部２０、ゲート・ソースコンタクト部３０およびゲート・ソース交差部４０を形成する工程を示す。なお、（ｃ）の上面図において、メモリトランジスタ１０Ａと回路用トランジスタ１０Ｂとは、チャネル長およびチャネル幅は異なるが、同様のトランジスタ構造を有するため、１つの図面で表している。

[0181] まず、図２０（ａ）～（ｃ）に示すように、基板１上にゲート用導電膜を

形成し、これをパターニングすることにより、ゲート接続部３ｓｇ、ゲート配線Ｇ、ゲート電極３Ａおよび容量配線ＣＳ、ゲート電極３Ｂを含むゲート配線層を形成する。この後、ゲート配線層を覆うようにゲート絶縁膜５を形成する。次いで、ゲート絶縁膜５上に、酸化物半導体膜を形成し、これをパターニングすることにより、メモリトランジスタ形成領域Ｒ（１０Ａ）に活性層７Ａ、回路用トランジスタ形成領域Ｒ（１０Ｂ）に活性層７Ｂをそれぞれ形成する。また、容量部形成領域Ｒ（２０）に、容量配線ＣＳとゲート絶縁膜５を介して重なるように半導体層７ｃｓを残す。容量部形成領域Ｒ（２０）に半導体層７ｃｓを残しておく点で、前述の実施形態とは異なっている。また、この例では、活性層７Ａ、７Ｂのチャネル方向の幅を、ゲート電極３Ａ、３Ｂのチャネル方向の幅よりも大きくしている。なお、各層の材料や厚さ、形成方法は、第１の実施形態で説明した各層の材料・厚さおよび形成方法と同様である。

[0182] 次いで、図２１（ａ）～（ｃ）に示すように、ゲート絶縁膜５、活性層７Ａ、７Ｂおよび半導体層７ｃｓの上に絶縁保護膜を形成し、これをパターニングすることにより保護層３１を得る。

[0183] 絶縁保護膜のパターニングの際には、絶縁保護膜の下方にあるゲート絶縁膜５も同時にエッチングされる。このとき、活性層７Ａ、７Ｂおよび半導体層７ｃｓはエッチストップして機能するため、ゲート絶縁膜５のうちこれらの層で覆われた部分は除去されない。ここでは、パターニングにより、ゲート・ソースコンタクト部形成領域Ｒ（３０）においては、保護層３１およびゲート絶縁膜５に、ゲート接続部３ｓｇを露出する開口部３３が形成される。容量部形成領域Ｒ（２０）では、保護層３１に半導体層７ｃｓを露出する開口部３４が形成される。さらに、メモリトランジスタおよび回路用トランジスタ形成領域Ｒ（１０Ａ、１０Ｂ）では、活性層７Ａ、７Ｂのうちチャネル領域７ｃＡ、７ｃＢとなる部分の両側に、活性層７Ａ、７Ｂを露出する開口部３２ｓ、３２ｄがそれぞれ形成される。

[0184] 絶縁保護膜は、例えばプラズマＣＶＤ法またはスパッタリング法で形成さ

れ、周知のドライエッチング法でパターニングされ得る。絶縁保護膜の形成後、例えば、大気雰囲気中で、２００～４５０℃の温度で、３０分～４時間程度のアニーリングを行う。絶縁保護膜として、例えば、酸化シリコン膜（$SiO_2$）、窒化シリコン膜（ＳｉＮ）、酸化窒化シリコン膜（ＳｉＮＯ）、窒化酸化シリコン膜（ＳｉＯＮ）、酸化アルミニウム（$Al_2O_3$）、酸化タンタル（$Ta_2O_5$）から選択される単層または２層以上の積層膜を用いることができる。本実施形態では、一例として、厚さが１０ｎｍ～５００ｎｍの$SiO_2$膜を用いる。

[0185] 続いて、図２２（ａ）～（ｃ）に示すように、保護層３１の上および保護層３１の開口部内にソース用導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト形成領域Ｒ（３０）に、開口部３３内でゲート接続部３ｓｇと接するソース接続部９ｓｇが得られる。また、ゲート・ソース交差部形成領域Ｒ（４０）にソース配線Ｓが形成される。容量部形成領域Ｒ（２０）には、開口部３４内で半導体層７ｃｓと接する容量電極９ｃｓが形成される。さらに、メモリトランジスタおよび回路用トランジスタ形成領域Ｒ（１０Ａ、１０Ｂ）には、開口部３２ｓ、３２ｄ内で活性層７Ａ、７Ｂとそれぞれ接するソース電極９ｓＡ、９ｓＢおよびドレイン電極９ｄＡ、９ｄＢが得られる。ソース用導電膜の材料、厚さ、形成方法は、第１の実施形態で説明したソース用導電膜の材料、厚さおよび形成方法と同様である。このようにして、ゲート・ソースコンタクト部形成領域Ｒ（３０）にゲート・ソースコンタクト部３０、ゲート・ソース交差部形成領域Ｒ（４０）にゲート・ソース交差部４０、容量部形成領域Ｒ（２０）に容量部２０、メモリトランジスタおよび回路用トランジスタ形成領域Ｒ（１０Ａ、１０Ｂ）にメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂが形成される。

[0186] 続いて、図２３（ａ）～（ｃ）に示すように、保護膜（パッシベーション膜）１１、感光性樹脂等の有機絶縁膜１３および上部導電層１７を形成する。まず、第１の実施形態で前述した方法と同様の方法で、保護膜１１および有機絶縁膜１３をこの順で形成する。次いで、有機絶縁膜１３のうちゲート

・ソースコンタクト部形成領域Ｒ（３０）上に位置する部分に開口部を形成する。この後、有機絶縁膜１３をマスクとして、パッシベーション膜１１のエッチングを行う。これにより、ソース接続部９ｓｇの表面を露出するコンタクトホール１５を得る。続いて、コンタクトホール１５内および有機絶縁膜１３上に導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト部形成領域Ｒ（３０）において、コンタクトホール１５内でソース接続部９ｓｇに接する上部導電層１７を得る。保護膜１１、有機絶縁膜１３および導電膜の材料や厚さ、形成方法は、第１の実施形態で説明したこれらの膜の材料、厚さおよび形成方法と同様である。このようにして、アクティブマトリクス基板１００３が得られる。

[0187] 本実施形態のメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂは、エッチストップ層を有する（エッチストップ構造）ので、エッチストップ層を有しない場合（チャネルエッチ構造）と比べて次のような利点を有する。

[0188] 本実施形態では、チャネル領域７ｃＡ、７ｃＢが保護層３１で覆われた状態で、ドレイン―ソース分離のためのソース用導電膜のエッチング工程を行う。このため、チャネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャネル領域７ｃＡ、７ｃＢのダメージを低減できる。従って、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの電気的特性のばらつきを改善できる。また、電気ストレスによる電気的特性の変動量を低減できる。さらに、ゲート・ソースコンタクト部３０において、ゲート接続部３ｓｇとソース接続部９ｓｇとを直接コンタクトさせることが可能となる。従って、ゲート・ソースコンタクト部３０のサイズを小さくできるので、回路面積を縮小できる。

[0189] （第３の実施形態）

以下、本発明の半導体装置の第３の実施形態を説明する。本実施形態の半導体装置は、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂのソースおよびドレイン電極上に活性層を形成する点で、第１の実施形態の半

導体装置と異なる。その他の構成は同様である。

[0190] 図２４（ａ）および（ｂ）は、それぞれ、第３の実施形態におけるメモリトランジスタ１０Ａの構成の一例を示す平面図及び断面図である。図２４（ｂ）に示す断面は、図２４（ａ）に示すＡ－Ａ’線に沿った断面である。図２４では、図２と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、回路用トランジスタ１０Ｂは、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ１０Ａと同様のトランジスタ構造を有する。

[0191] メモリトランジスタ１０Ａでは、ゲート電極３Ａを覆うゲート絶縁膜５上に、ソース電極９ｓＡおよびドレイン電極９ｄＡが離間して設けられ、その上に活性層７Ａが形成されている。活性層７Ａは、ソース電極９ｓＡとドレイン電極９ｄＡとの間に位置するゲート絶縁膜５と、ソース電極９ｓＡおよびドレイン電極９ｄＡの上面および側面と接するように配置されている。活性層７Ａのうち、ゲート電極３Ａと重なり、かつ、ソース電極９ｓＡの側面と接する領域とドレイン電極９ｄＡの側面と接する領域との間に位置する部分がチャネル領域７ｃＡとなる。なお、図２４では、チャネル領域７ｃＡの平面形状は矩形であるが、図２（ｂ）に示すようなＵ字形であってもよい。

[0192] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0193] 図２５～図２７は、アクティブマトリクス基板の製造方法の一例を説明するための工程図であり、各図の（ａ）および（ｂ）は断面図、（ｃ）は上面図である。ここでは、アクティブマトリクス基板におけるメモリトランジスタ１０Ａ、回路用トランジスタ１０Ｂ、容量部２０、ゲート・ソースコンタクト部３０およびゲート・ソース交差部４０を形成する工程を示す。

[0194] まず、図２５（ａ）～（ｃ）に示すように、基板１上にゲート用導電膜を形成し、これをパターニングすることにより、ゲート接続部３ｓｇ、ゲート配線Ｇ、ゲート電極３Ａおよび容量配線ＣＳ、ゲート電極３Ｂを含むゲート配線層を形成する。この後、ゲート配線層を覆うようにゲート絶縁膜５を形

成する。

[0195] 次いで、ゲート絶縁膜５上に、ソース用導電膜を形成し、これをパターニングする。これにより、ゲート・ソースコンタクト形成領域Ｒ（３０）にソース接続部９ｓｇを形成する。ソース接続部９ｓｇは、基板１の法線方向から見たとき、ゲート接続部３ｓｇの一部と重なるように配置される。また、ゲート・ソース交差部形成領域Ｒ（４０）にソース配線Ｓが形成され、ゲート・ソース交差部４０が得られる。容量部形成領域Ｒ（２０）には容量電極９ｃｓが形成され、容量部２０が得られる。容量電極９ｃｓは、基板１の法線方向から見たとき、容量配線ＣＳと重なるように配置される。メモリトランジスタおよび回路用トランジスタ形成領域Ｒ（１０Ａ）およびＲ（１０Ｂ）においては、ソース電極９ｓＡ、９ｓＢとドレイン電極９ｄＡ、９ｄＢとは離間して配置される。

[0196] ゲート用導電膜、ゲート絶縁膜およびソース用導電膜の材料、厚さ、形成方法は、第１の実施形態で前述したこれらの膜の材料、厚さおよび形成方法と同様である。

[0197] 次いで、図２６（ａ）～（ｃ）に示すように、ゲート絶縁膜５およびソース配線層上に酸化物半導体膜を形成し、これをパターニングする。これにより、メモリトランジスタ形成領域Ｒ（１０Ａ）に活性層７Ａ、回路用トランジスタ形成領域Ｒ（１０Ｂ）に活性層７Ｂをそれぞれ形成する。活性層７Ａ、７Ｂは、ソース電極９ｓＡ、７ｓＢとドレイン電極９ｄＡ、７ｄＢとの間に位置するゲート絶縁膜５と、ソース電極９ｓＡ、７ｓＢおよびドレイン電極９ｄＡ、７ｄＢの上面および側面と接するように配置される。酸化物半導体膜の材料や厚さ、形成方法は、前述した実施形態の材料・厚さおよび形成方法と同様である。これにより、メモリトランジスタおよび回路用トランジスタ形成領域Ｒ（１０Ａ、１０Ｂ）にメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂが形成される。

[0198] 本実施形態では、ソース用導電膜のエッチング工程後に、活性層７Ａ、７Ｂを形成するため、エッチング工程による活性層７Ａ、７Ｂのダメージを抑

制できる。

[0199] 続いて、図２７（ａ）～（ｃ）に示すように、ソース配線層および活性層７Ａ、７Ｂ上に、保護膜（パッシベーション膜）１１、感光性樹脂等の有機絶縁膜１３および上部導電層１７を形成する。まず、前述の実施形態と同様の方法で、保護膜１１および有機絶縁膜１３をこの順で形成し、有機絶縁膜１３のうちゲート・ソースコンタクト部形成領域Ｒ（３０）上に位置する部分に開口部を形成する。次いで、この有機絶縁膜１３をマスクとして、パッシベーション膜１１のエッチングを行う。これにより、ゲート接続部３ｓｇおよびソース接続部９ｓｇの表面を露出するコンタクトホール１５を得る。続いて、コンタクトホール１５内および有機絶縁膜１３上に導電膜を形成し、パターニングを行う。これにより、コンタクトホール１５内でソース接続部９ｓｇとを電気的に接続する上部導電層１７を得る。保護膜１１、有機絶縁膜１３および導電膜の材料や厚さ、形成方法は、前述した実施形態の材料、厚さおよび形成方法と同様である。このようにして、アクティブマトリクス基板１００４が得られる。

[0200] 本実施形態のメモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂは、活性層７Ａ、７Ｂの下面でソースおよびドレイン電極と接するように構成されたボトムコンタクト構造を有する。このような構造によると、チャネルエッチ構造を有する場合と比べて次のような利点を有する。

[0201] 本実施形態では、ドレイン－ソース分離のためのソース用導電膜のエッチング工程を行った後で活性層７Ａ、７Ｂを形成する。このため、チャネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャネル領域７ｃＡ、７ｃＢのダメージを低減できる。従って、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂの電気的特性のばらつきを改善できる。また、電気ストレスによる電気的特性の変動量を低減できる。

[0202] さらに、本実施形態では、第２の実施形態のエッチストップ構造を有する場合よりも、製造工程が簡略化される。このため、製造コストを低減でき、かつ、歩留まりを向上できるという利点がある。

[0203] なお、第２および第３の実施形態におけるメモリトランジスタ１０Ａの動作や電気的特性については、第１の実施形態で説明した動作および電気的特性と同様である。また、これらの実施形態も、第１の実施形態と同様に、アクティブマトリクス基板に限らず、集積回路など、メモリ回路を備えた電子機器などに広く適用され得る。

[0204] なお、上記各実施形態では、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂとして、ボトムゲート型の薄膜トランジスタを用いたが、トップゲート型の薄膜トランジスタであってもよい。

[0205] 図２８（ａ）および（ｂ）は、それぞれ、トップゲート構造を有するメモリトランジスタ１０Ａの一例を示す平面図および断面図である。図２８（ｂ）に示す断面は、図２８（ａ）に示すＡ－Ａ’線に沿った断面である。図２８では、図２と同様の構成要素には同じ参照符号を付している。

[0206] メモリトランジスタ１０Ａは、基板１上に、金属酸化物を含む活性層７Ａと、活性層７Ａを覆うゲート絶縁膜５と、ゲート絶縁膜５上に配置されたゲート電極３Ａとを備えている。これらの上には層間絶縁層１２が形成され、層間絶縁層１２上にはソース電極９ｓＡ、ドレイン電極９ｄＡが設けられている。これらは、層間絶縁層１２に形成されたコンタクトホール８内で活性層７Ａと接している。なお、図示していないが、回路用トランジスタ１０Ｂも、同様のトランジスタ構造を有していてもよいし、直列または並列に接続された２以上のチャネル領域を含む構造を有していてもよい。

[0207] 本実施形態の半導体装置では、メモリトランジスタ１０Ａへの書き込み動作は、酸化物半導体層７Ａで生じるジュール熱によって行う。書き込み動作時のチャネル領域７ｃＡの温度は、例えば２００℃以上になる。チャネル領域７ｃＡのドレイン側では、さらに高くなることもあり得る（例えば２５０℃以上、あるいは３００℃以上）。このため、メモリトランジスタ１０Ａの酸化物半導体層７Ａの上方に、耐熱性の低い材料（軟化温度：２００℃未満、好ましくは３００℃未満）からなる層（例えば有機絶縁膜）が配置されていないことが好ましい。以下、アクティブマトリクス基板を例に、より具体

的に説明する。

[0208] 図１０、図２３および図２７に例示するアクティブマトリクス基板では、メモリトランジスタ１０Ａの酸化物半導体層７Ａは、パッシベーション膜１１および有機絶縁膜１３で覆われている。この有機絶縁膜１３の耐熱性が低いと、書き込み条件などによっては、有機絶縁膜１３のうち酸化物半導体層７Ａ上に位置する部分がパッシベーション膜１１から剥がれたり、変形する可能性がある。特に、有機絶縁膜１３のうち酸化物半導体層７Ａのドレイン側の端部上で、剥離や変形が生じ得る。有機絶縁膜１３の剥離や変形が生じると、例えば複数のメモリトランジスタ１０Ａを用いてメモリアレイを構成した場合、書き込まれたメモリトランジスタ１０Ａと書き込まれていないメモリトランジスタ１０Ａとを、有機絶縁膜１３の剥離や変形の位置によって見分けられるおそれがある。

[0209] そこで、図２９（ａ）～（ｃ）に例示するように、酸化物半導体層７Ａの上方に、パッシベーション膜１１として、耐熱性の比較的高い無機絶縁膜（上記に列挙したシリコン酸化膜等）を設け、パッシベーション膜１１上に有機絶縁膜１３を形成しなくてもよい。これにより、書き込み時の熱に起因する上記問題が生じないので、デバイスの信頼性やセキュリティー性をさらに向上できる。

[0210] 図２９（ａ）～（ｃ）に例示するアクティブマトリクス基板は、平坦化膜として有機絶縁膜を有していなくてもよい。あるいは、基板１の一部領域のみに有機絶縁膜１３を有していてもよい。この場合、有機絶縁膜１３は、少なくともメモリトランジスタ１０Ａの酸化物半導体層７Ａの上方に形成されていなければよく、例えば回路用トランジスタ１０Ｂの酸化物半導体層７Ｂの上方には有機絶縁膜１３が形成されていてもよい。

[0211] 図４に例示するアクティブマトリクス基板１００２において、有機絶縁膜１３は、複数の画素用トランジスタ１０Ｃの上方に形成され、メモリ回路内のメモリトランジスタ１０Ａの上方には形成されていなくてもよい。例えば、有機絶縁膜１３は表示領域１００に設けられ、周辺領域２００（周辺領域

２００のうち少なくともメモリ回路上）に設けられていなくてもよい。

[0212] なお、図１０、図２３および図２７に例示するアクティブマトリクス基板において、有機絶縁膜１３の代わりに、耐熱性の高い材料（例えば軟化温度：２００℃以上、好ましくは３００℃以上）からなる平坦化膜を用いても、書き込み時の熱による上記問題を抑制できる。例えば、平坦化膜として、無機系のＳＯＧ（スピンオングラス）膜などの無機絶縁膜を用いてもよい。

[0213] また、上記各実施形態では、メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂは薄膜トランジスタであるが、ＭＯＳ型のトランジスタであってもよい。ＭＯＳ型のトランジスタでも、チャネル領域に高電流密度のドレイン電流を流すことにより、抵抗体状態に変化させることが可能である。ＭＯＳ型のトランジスタは、例えば、シリコン基板上に絶縁膜を介して金属酸化物半導体膜が配置された構成を有する。このような構成では、放熱性の高いシリコン基板を用いるが、シリコン基板と酸化物半導体膜とが絶縁膜によって分離されているので、書き込み電流によるジュール熱がシリコン基板に放出することを抑制できる。このため、酸化物半導体膜をジュール熱によって低抵抗化させることが可能である。

[0214] メモリトランジスタ１０Ａおよび回路用トランジスタ１０Ｂを構成する各導電膜及び各絶縁膜の材料、構造、厚さ、及びトランジスタ特性及び書き込み特性は、上記各実施形態で例示した内容に限定されない。

[0215] さらに、上記実施形態では、ｎチャネル型のメモリトランジスタ１０Ａを備えた半導体装置を例に説明したが、メモリトランジスタの導電型はｎチャネル型に限定されず、ｐチャネル型であってもよい。ｐチャネル型メモリトランジスタの場合、ドレイン電流Ｉｄｓはソースからドレインに向かって流れる。ｐチャネル型メモリトランジスタの場合でも、上記実施形態の書き込みの電圧条件を適用することにより、読み出し電流の低下を抑制できる。

## 産業上の利用可能性

[0216] 本発明による半導体装置は、メモリ回路を備えた半導体装置および電子機器に広く適用され得る。例えば、不揮発性半導体記憶装置、集積回路（ＩＣ

、ＬＳＩ）、液晶表示装置や有機ＥＬ表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板に適用される。

## 符号の説明

[0217] １　基板

３Ａ、３Ｂ　ゲート電極

３ｓｇ　ゲート接続部

５　ゲート絶縁膜

７Ａ、７Ｂ　活性層

７ｃＡ、７ｃＢ　チャネル領域

９ｄＡ、９ｄＢ　ドレイン電極

９ｓＡ、９ｓＢ　ソース電極

９ｃｓ　容量電極

９ｓｇ　ソース接続部

１０Ａ　メモリトランジスタ

１０Ｂ　回路用トランジスタ

１０Ｃ　画素用トランジスタ

１０Ｄ、１０Ｅ　選択トランジスタ

１１　保護膜（パッシベーション膜）

１３　有機絶縁膜

１５　コンタクトホール

１７　上部導電層

１８　上部ゲート電極

１９　画素電極

２０　容量部

３０　ソースコンタクト部

３１　保護層

３２ｓ、３２ｄ、３３、３４　開口部

４０　ソース交差部

１００　表示領域

１０１　画素

１０２　ビット線電圧制御回路

１０３　ビット線デコーダ

１０４　ワード線デコーダ

１０５　書き込み電圧制御回路

１０６　センスアンプ回路

１０７　書き込み制御回路

２００　周辺領域

２０１　端子部

１００１　半導体装置

１００２、１００３、１００４　アクティブマトリクス基板

２００１　液晶表示装置

３００１　メモリ回路

ＣＳ　容量配線

Ｇ　ゲート配線

Ｓ　ソース配線

# 請求の範囲

[請求項1] 少なくとも１つのメモリセルと、

前記少なくとも１つのメモリセルへの書き込みを制御する書き込み制御回路と

を備え、

前記少なくとも１つのメモリセルは、金属酸化物を含む活性層を有するメモリトランジスタを含み、

前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、

前記書き込み制御回路は、前記メモリトランジスタの閾値電圧をＶｔｈ、前記メモリトランジスタのドレイン－ソース間電圧をＶｄｓとするとき、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、前記メモリトランジスタのドレイン電極、ソース電極およびゲート電極に印加する電圧を制御することによって、前記メモリトランジスタへの書き込みを行うように構成されている、半導体装置。

[請求項2] 前記少なくとも１つのメモリセルは、複数のメモリセルであり、

前記複数のメモリセルは、前記半導体状態であるメモリトランジスタＳを含むメモリセルと、前記抵抗体状態であるメモリトランジスタＲを含むメモリセルとを含む、請求項１に記載の半導体装置。

[請求項3] 前記金属酸化物は、第１の金属元素を含み、

前記メモリトランジスタＲの前記活性層は、前記メモリトランジスタＳの前記活性層よりも金属状態の前記第１の金属元素を多く含む、請求項２に記載の半導体装置。

[請求項4] 前記メモリトランジスタは、ゲート電極と、前記活性層と、前記ゲート電極と前記活性層との間に配置された第１の絶縁層と、前記第１の絶縁層と反対側に位置する第２の絶縁層とを有し、

前記第２の絶縁層は、前記活性層の表面に接しており、

前記金属状態の第１の金属元素は、前記活性層と前記第２の絶縁層との界面に存在する、請求項３に記載の半導体装置。

[請求項5] 前記金属状態の第１の金属元素は前記活性層の内部に存在する、請求項３に記載の半導体装置。

[請求項6] 前記金属酸化物は、少なくともＩｎを含み、

前記金属状態の第１の金属元素はＩｎである、請求項３から５のいずれかに記載の半導体装置。

[請求項7] 前記メモリトランジスタＲの前記活性層は、前記メモリトランジスタＳの前記活性層よりもボイドを多く含む、請求項２に記載の半導体装置。

[請求項8] 前記メモリトランジスタＲの前記活性層は、前記ドレイン電極の近傍に存在するボイドを含む、請求項７に記載の半導体装置。

[請求項9] 前記メモリトランジスタＲの前記活性層中のチャネル領域と前記メモリトランジスタＳの前記活性層中のチャネル領域とでは、前記金属酸化物の組成が異なる、請求項２に記載の半導体装置。

[請求項10] 前記活性層は、第１の金属元素および第２の金属元素を含み、

第１の金属元素は、第２の金属元素よりも高い標準電極電位を有し、

前記メモリトランジスタＲの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第２の金属元素の含有率は、前記メモリトランジスタＳの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第２の金属元素の含有率よりも大きい、請求項９に記載の半導体装置。

[請求項11] 前記活性層は、第１の金属元素および第２の金属元素を含み、

第１の金属元素は、第２の金属元素よりも高い標準電極電位を有し、

前記メモリトランジスタＲの前記活性層に含まれるイオン状態の金

属元素全体に対するイオン状態の前記第１の金属元素の含有率は、前記メモリトランジスタＳの前記活性層に含まれるイオン状態の金属元素全体に対するイオン状態の前記第１の金属元素の含有率よりも小さい、請求項９に記載の半導体装置。

[請求項12] 前記金属酸化物は、少なくともＩｎおよびＧａを含み、

前記第１の金属元素はＩｎであり、前記第２の金属元素はＧａである、請求項１０または１１に記載の半導体装置。

[請求項13] 前記金属酸化物は、Ｉｎ、ＧａおよびＺｎを含む、請求項１から１２のいずれかに記載の半導体装置。

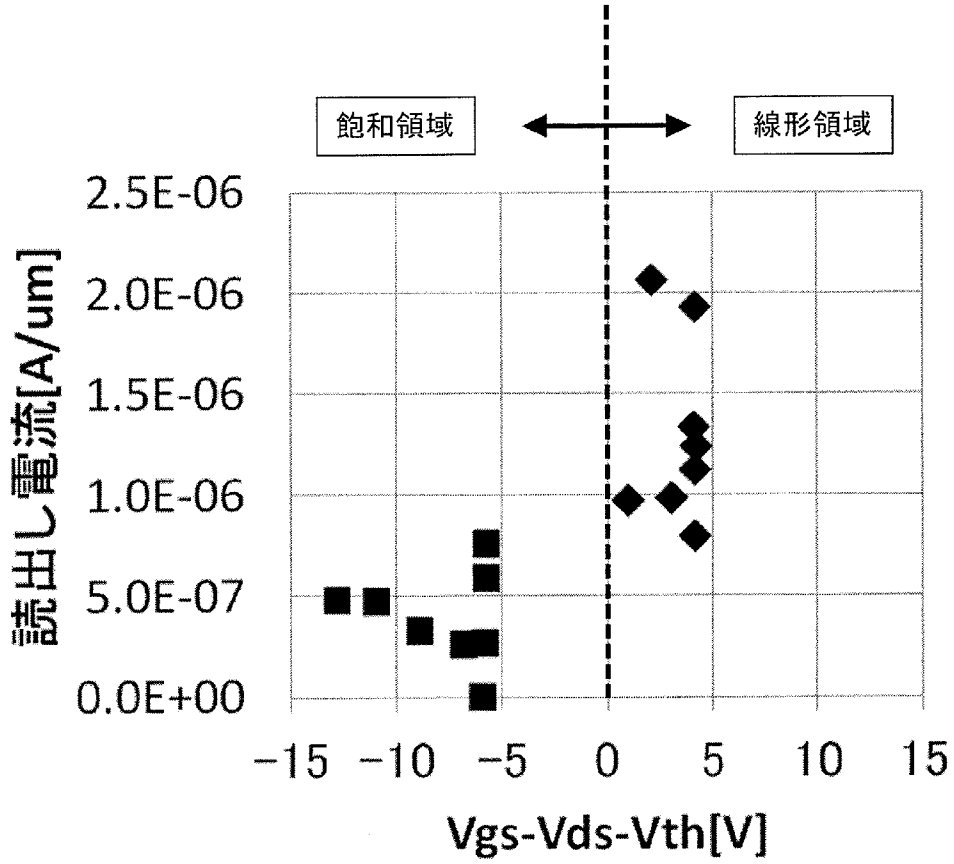
[請求項14] 前記金属酸化物は結晶質部分を含む、請求項１３に記載の半導体装置。

[請求項15] 請求項１から１４のいずれかに記載の半導体装置を備えた、電子機器。

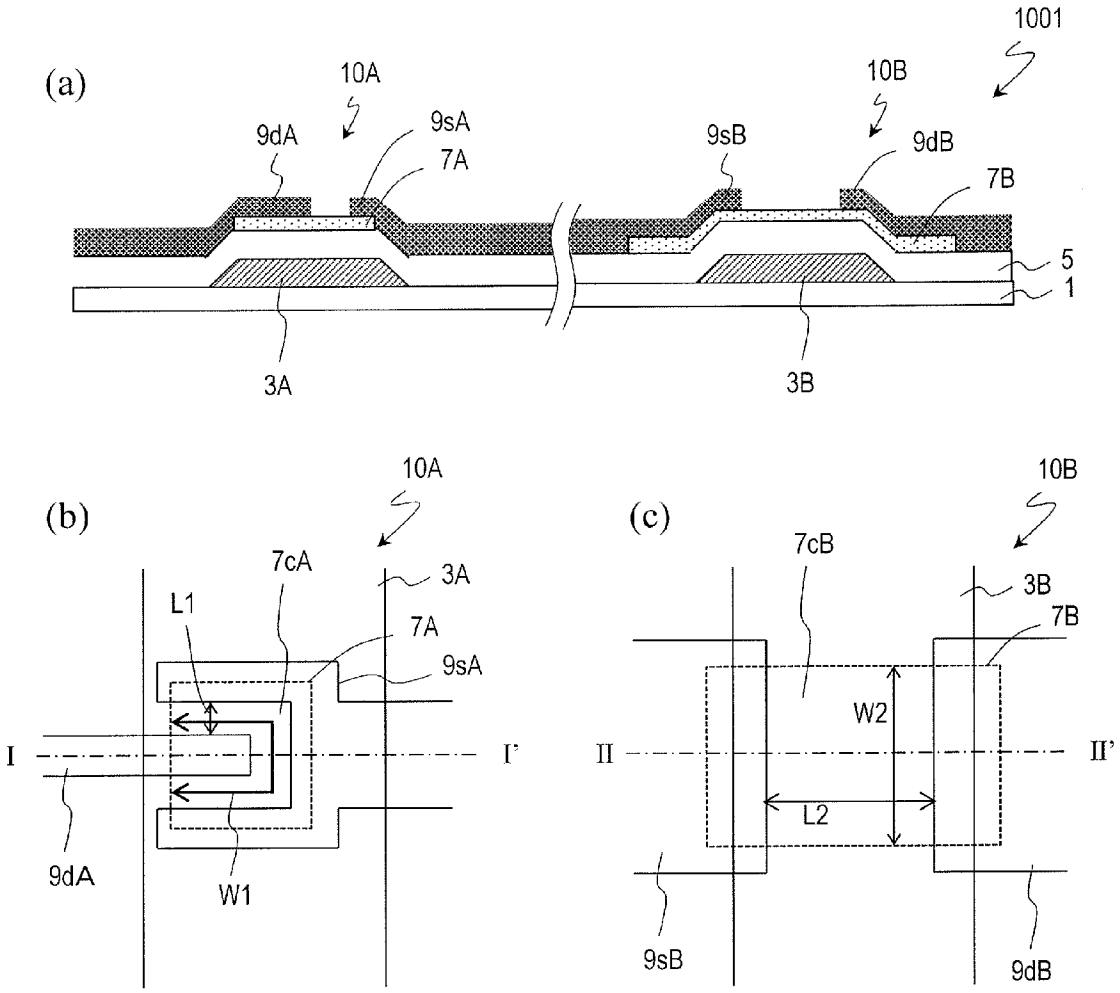
[請求項16] メモリセルを備えた半導体装置の書き込み方法であって、前記メモリセルは、金属酸化物を含む活性層を有するメモリトランジスタを含み、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、

前記メモリトランジスタの閾値電圧をＶｔｈ、前記メモリトランジスタのドレイン－ソース間電圧をＶｄｓとするとき、Ｖｇｓ≧Ｖｄｓ＋Ｖｔｈを満足するように、前記メモリトランジスタのドレイン電極、ソース電極およびゲート電極に電圧を印加することによって、前記メモリトランジスタへの書き込みを行う工程を包含する、半導体装置の書き込み方法。

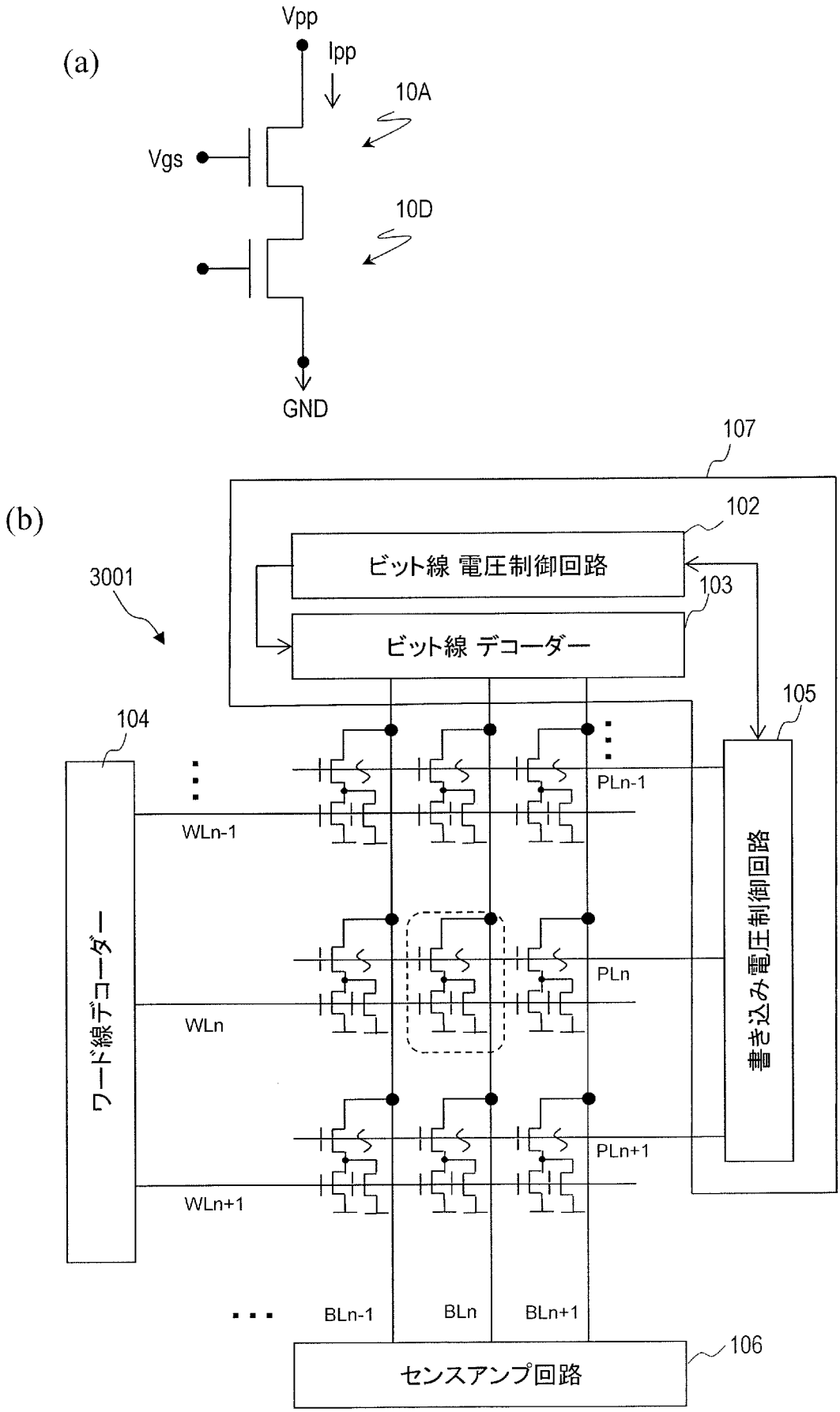
[図1]


飽和領域
線形領域
2.5E-06
2.0E-06
1.5E-06
1.0E-06
5.0E-07
0.0E+00
読出し電流[A/um]
−15
−10
−5
0
5
10
15
Vgs-Vds-Vth[V]

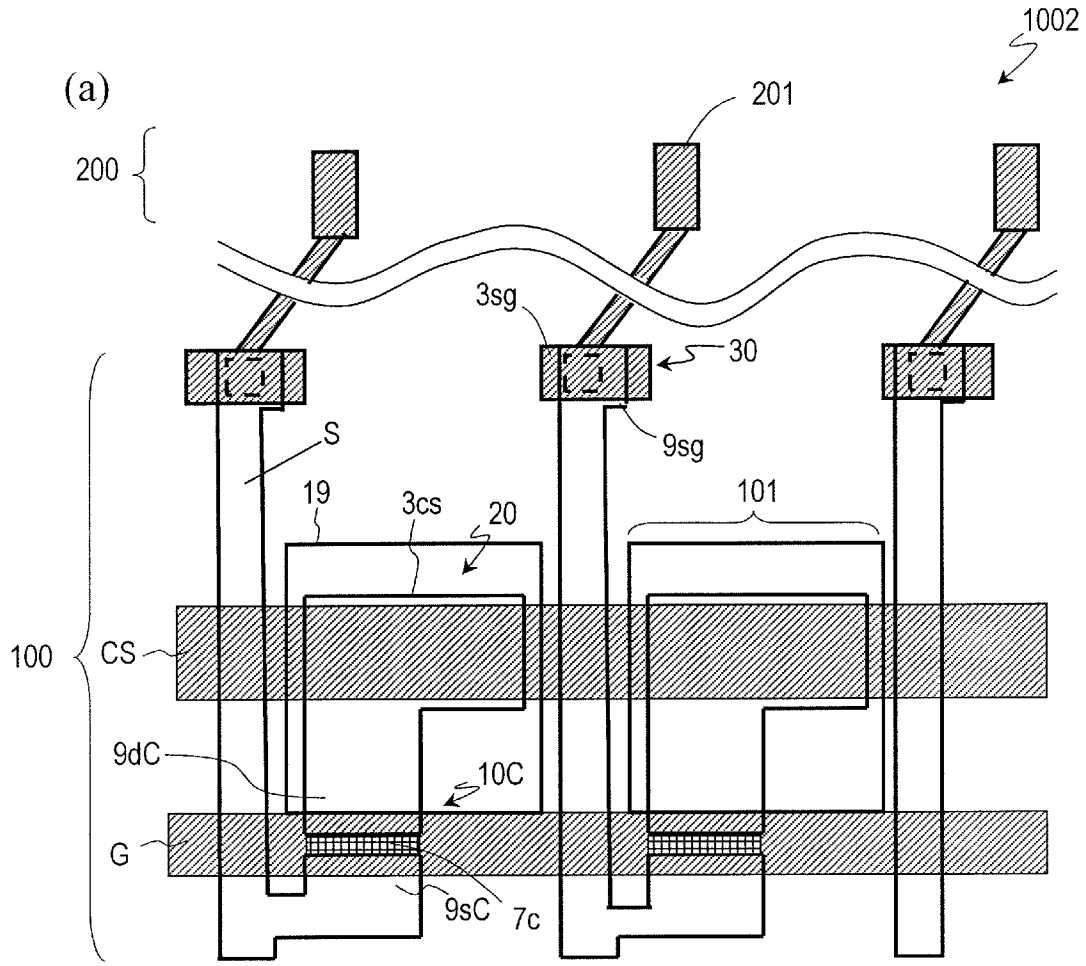
[図2]

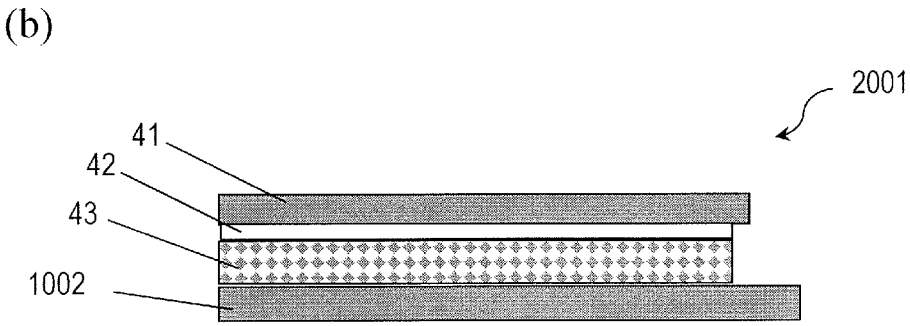

(a)
1001
10A
10B
9dA
9sA
7A
9sB
9dB
7B
5
1
3A
3B
(b)
10A
7cA
3A
L1
7A
9sA
I
I'
9dA
W1
(c)
10B
7cB
3B
7B
W2
II
II'
L2
9sB
9dB

[図3]

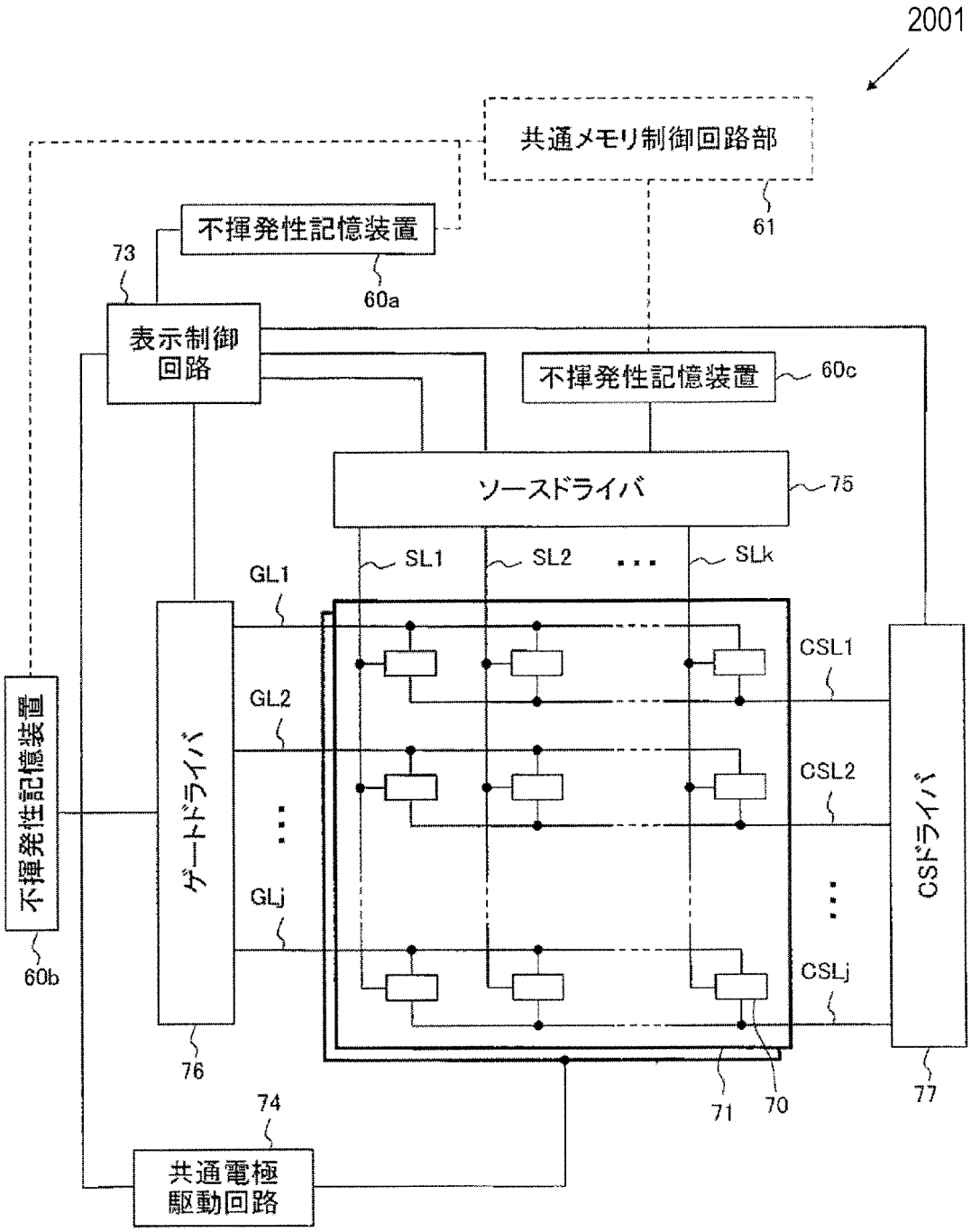

(a)
Vpp
Ipp
10A
Vgs
10D
GND
(b)
107
102
ビット線 電圧制御回路
103
ビット線 デコーダー
3001
104
105
PLn-1
WLn-1
PLn
WLn
PLn+1
WLn+1
ワード線デコーダー
書き込み電圧制御回路
BLn-1
BLn
BLn+1
106
センスアンプ回路

[図4]

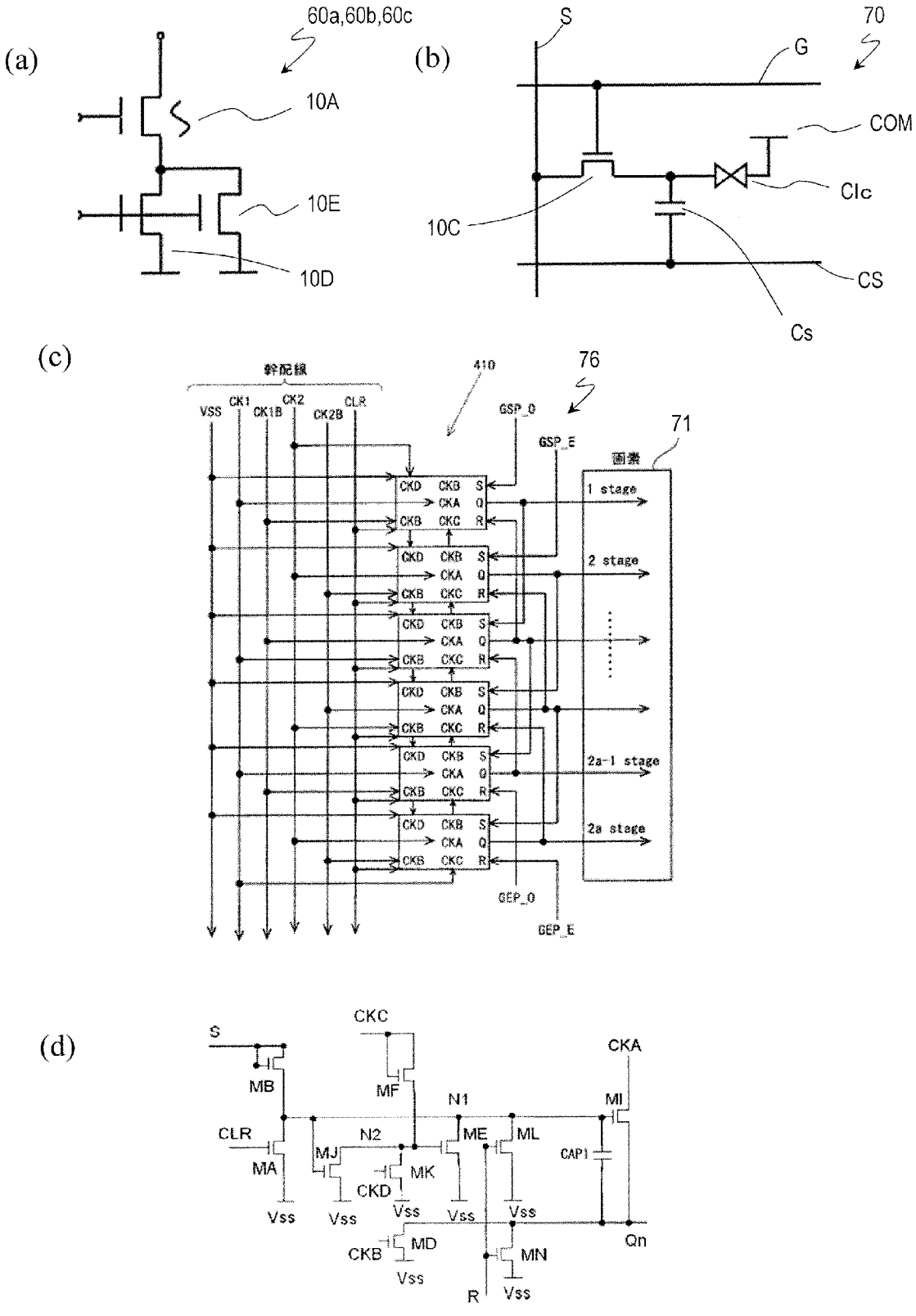

(a)
1002
201
200
3sg
30
9sg
S
19
3cs
20
101
100
CS
9dC
10C
G
9sC
7c


(b)
2001
41
42
43
1002

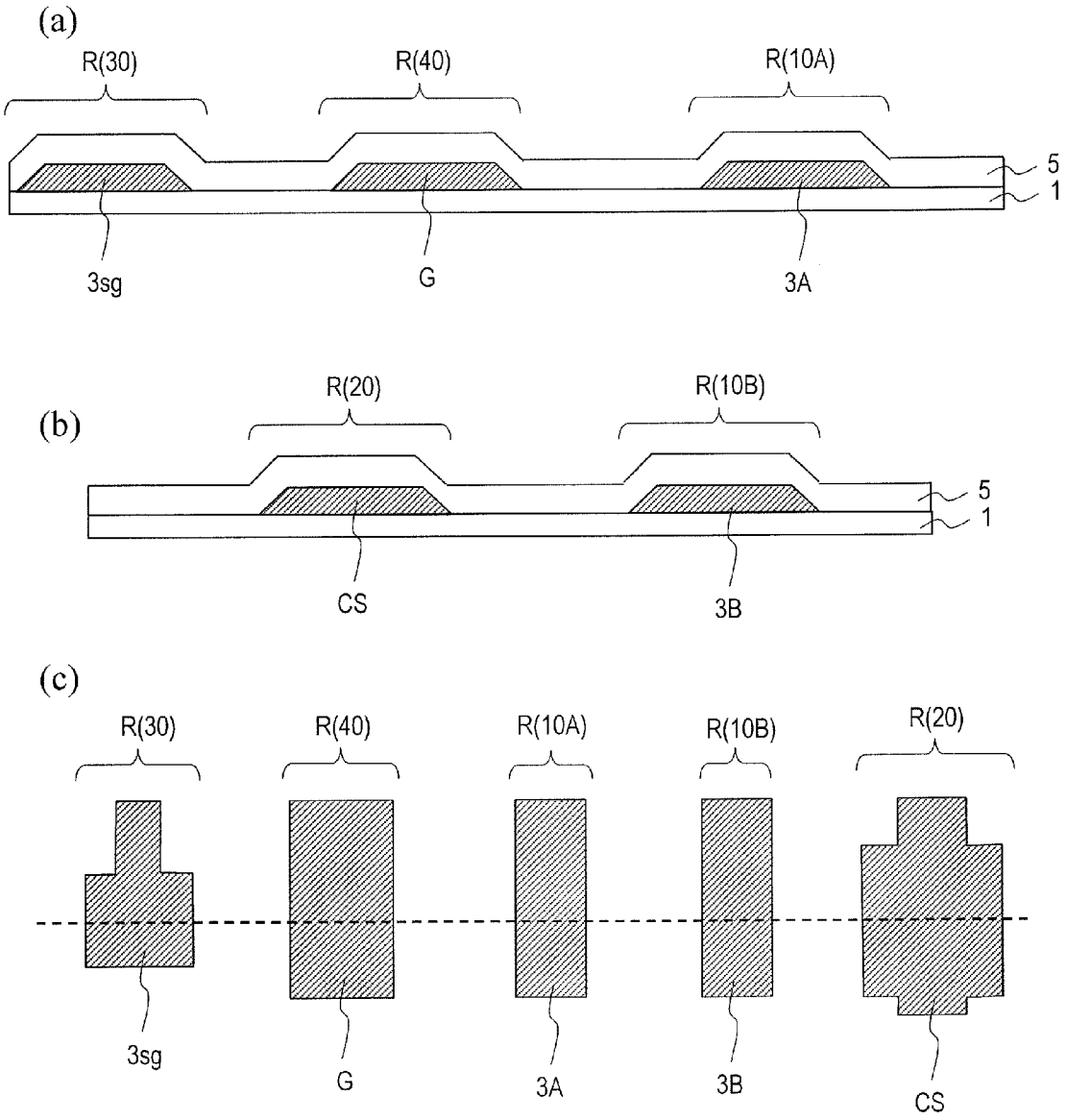
[図5]


2001
共通メモリ制御回路部
61
不揮発性記憶装置
60a
73
表示制御回路
不揮発性記憶装置
60c
ソースドライバ
75
SL1
SL2
SLk
GL1
GL2
GLj
CSL1
CSL2
CSLj
ゲートドライバ
76
CSドライバ
77
不揮発性記憶装置
60b
71
70
74
共通電極駆動回路

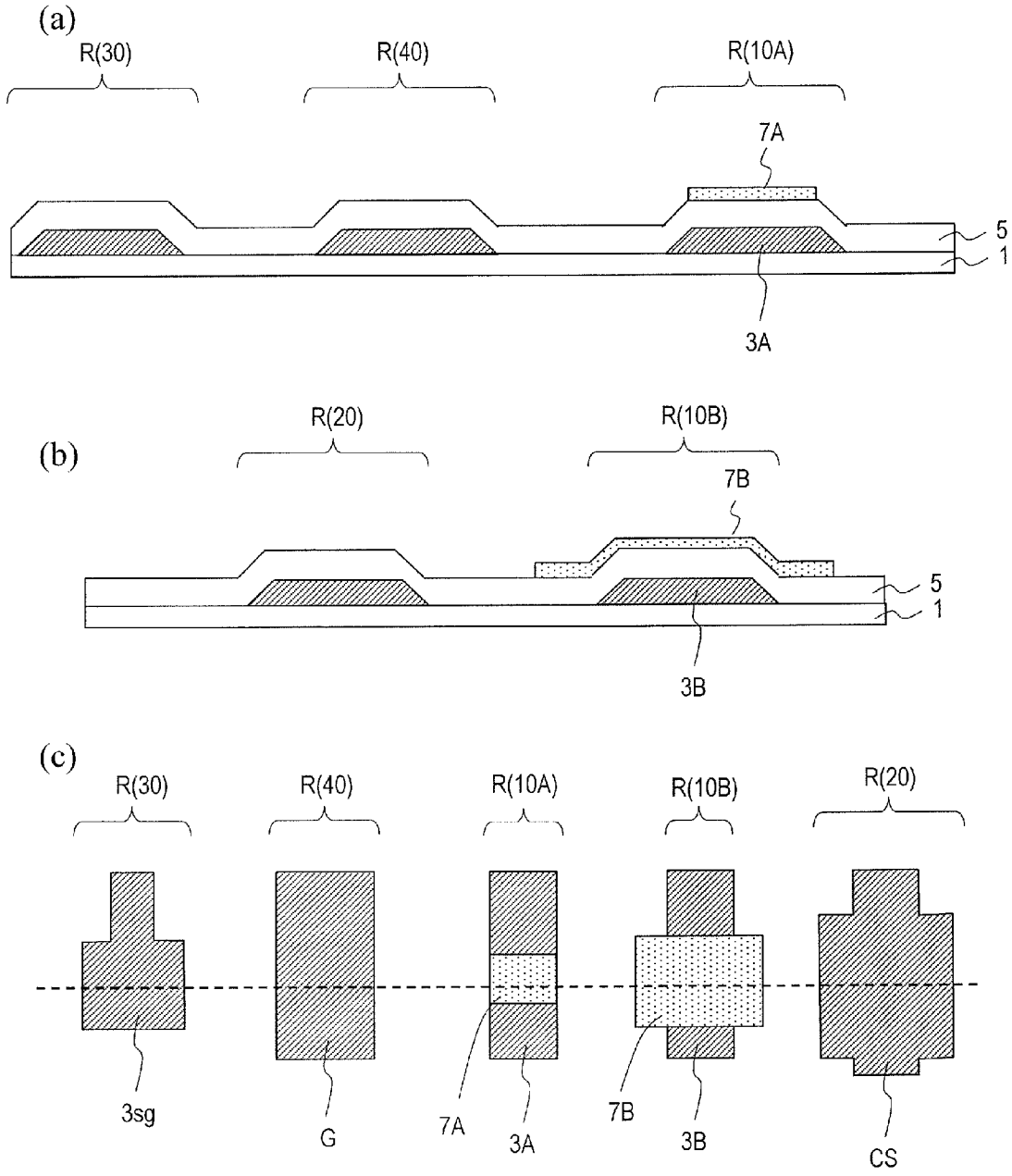
[図6]


(a)
60a,60b,60c
10A
10E
10D
(b)
S
G
70
COM
Clc
10C
CS
Cs
(c)
幹配線
VSS
CK1
CK1B
CK2
CK2B
CLR
410
76
GSP_O
GSP_E
71
画素
CKD CKB S
CKA Q
CKB CKC R
1 stage
2 stage
2a-1 stage
2a stage
GEP_O
GEP_E
(d)
S
MB
CKC
MF
N1
CKA
MI
CLR
MA
N2
MJ
MK
CKD
ME
ML
CAP1
Vss
MD
CKB
MN
R
Qn

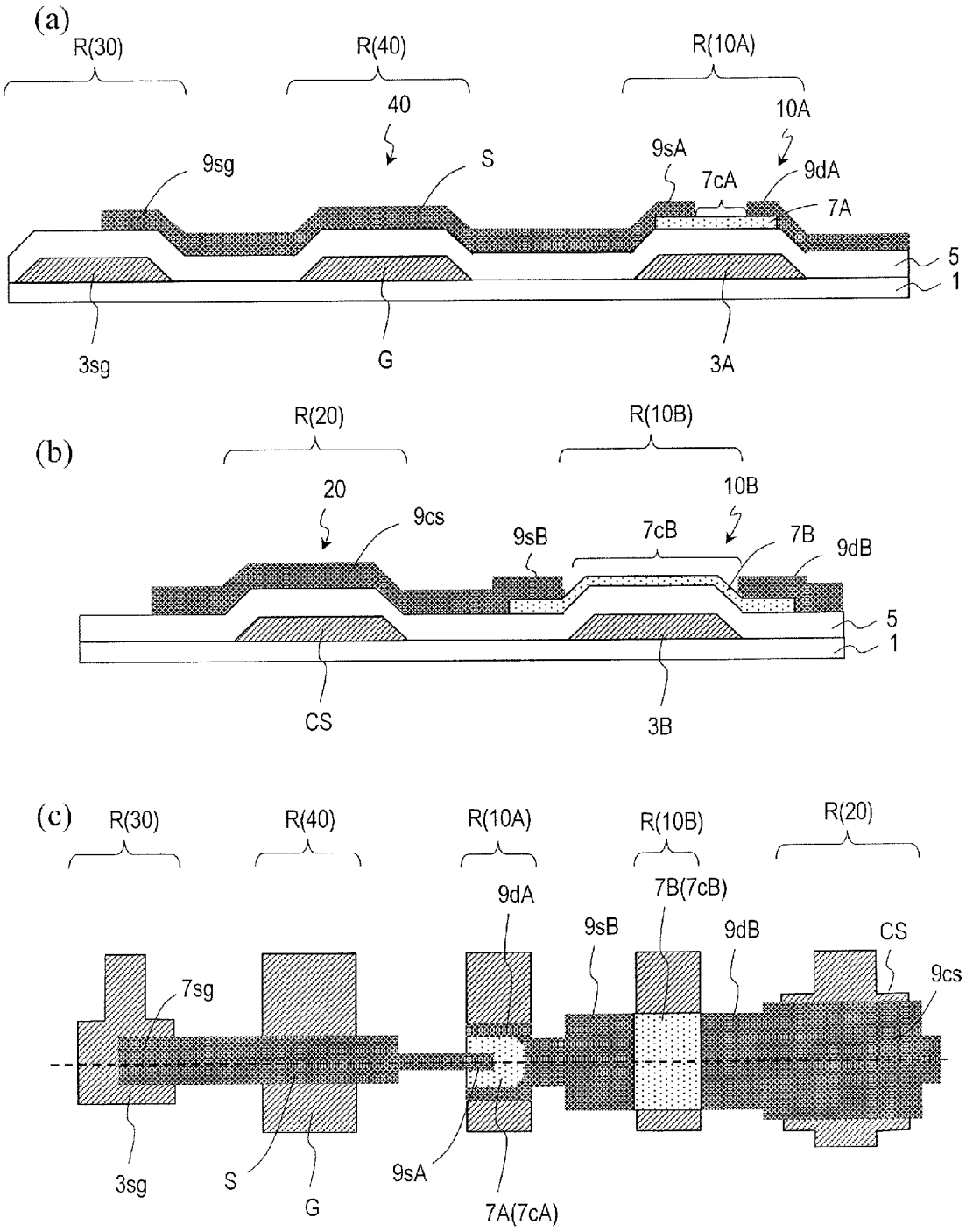
[図7]


(a)
R(30)
R(40)
R(10A)
5
1
3sg
G
3A
(b)
R(20)
R(10B)
5
1
CS
3B
(c)
R(30)
R(40)
R(10A)
R(10B)
R(20)
3sg
G
3A
3B
CS

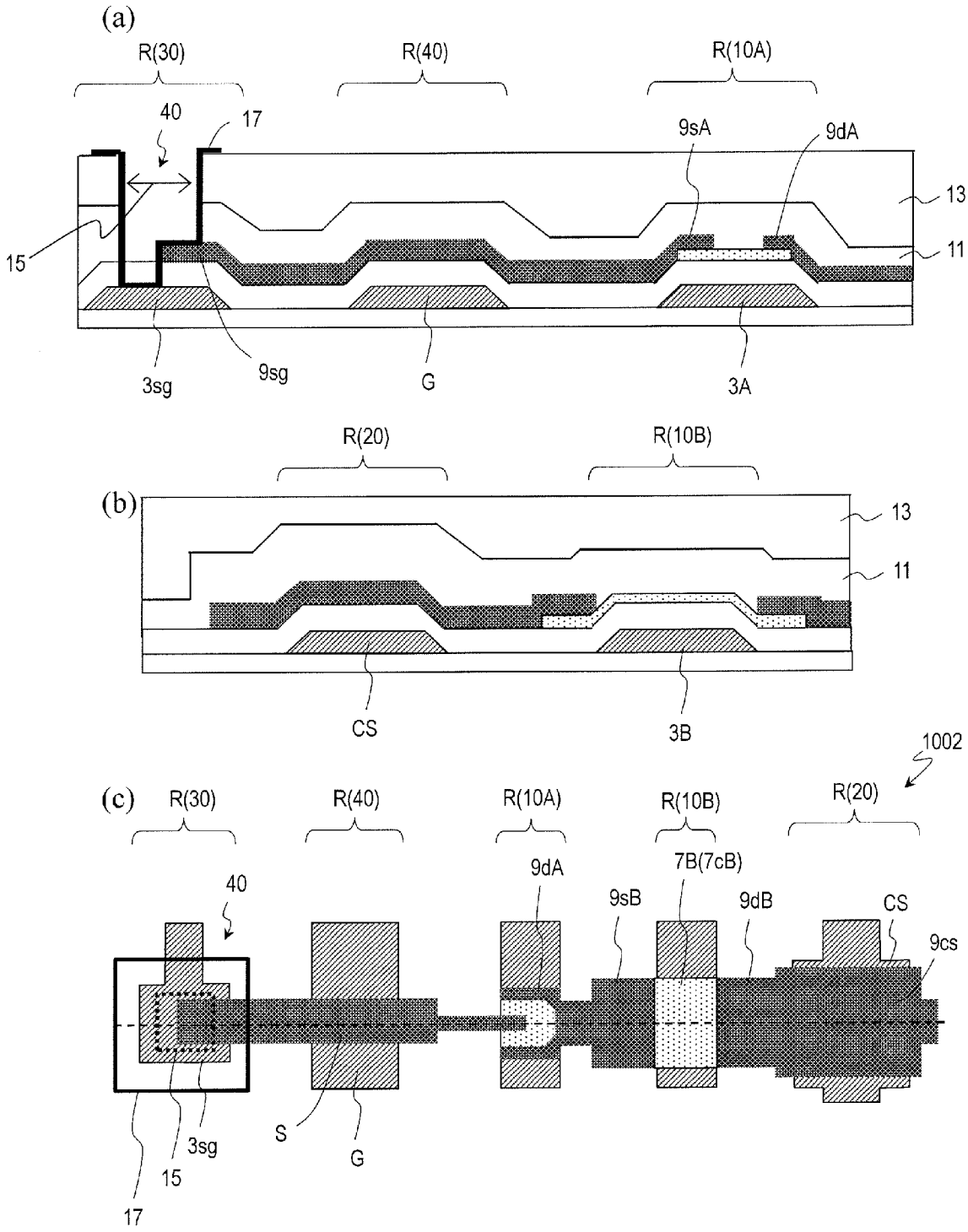
[図8]


(a)
R(30)
R(40)
R(10A)
7A
5
1
3A
(b)
R(20)
R(10B)
7B
5
1
3B
(c)
R(30)
R(40)
R(10A)
R(10B)
R(20)
3sg
G
7A
3A
7B
3B
CS

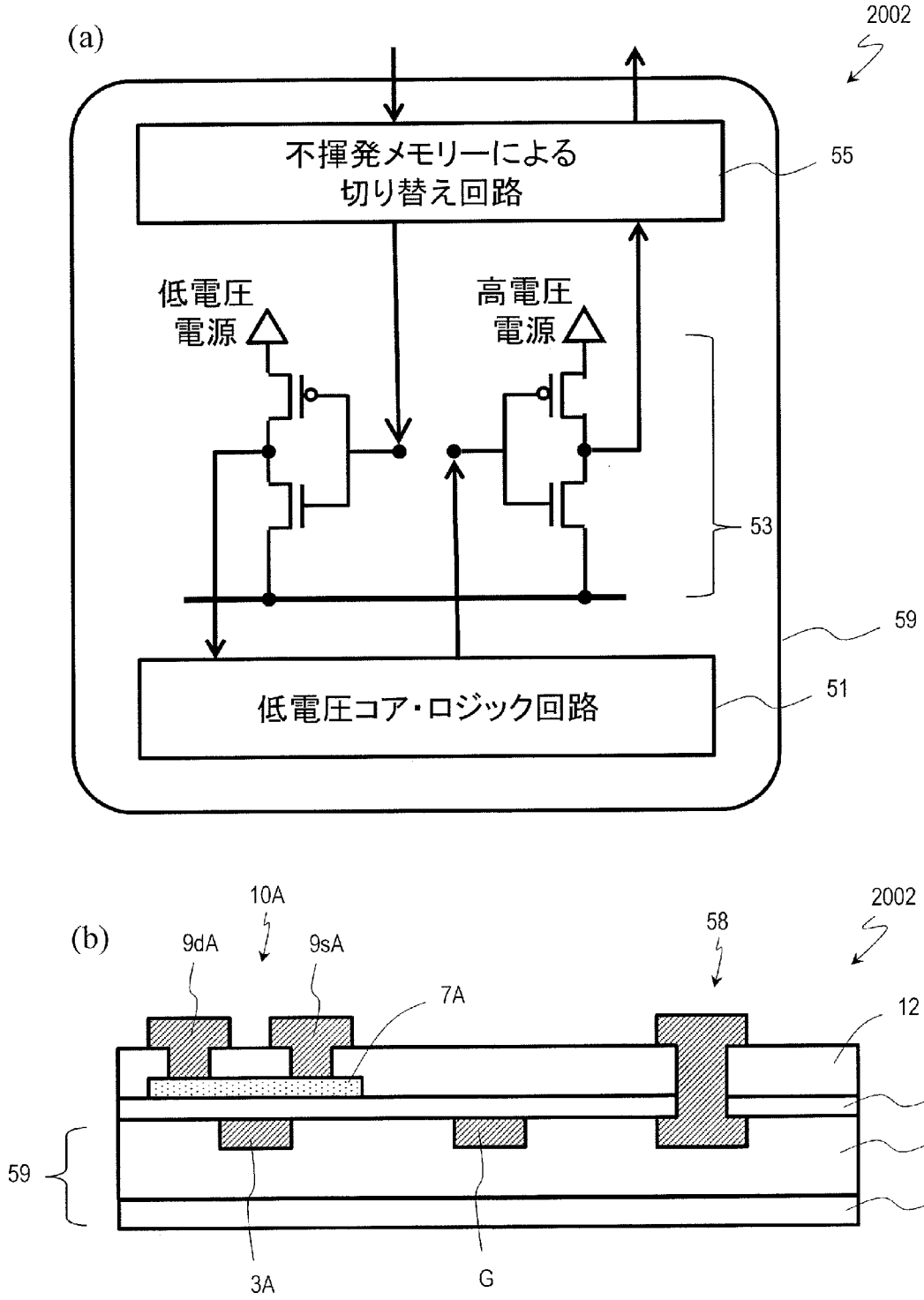
[図9]


(a)
R(30)
R(40)
R(10A)
40
10A
9sg
S
9sA
7cA
9dA
7A
5
1
3sg
G
3A
(b)
R(20)
R(10B)
20
10B
9cs
9sB
7cB
7B
9dB
5
1
CS
3B
(c)
R(30)
R(40)
R(10A)
R(10B)
R(20)
9dA
7B(7cB)
9sB
9dB
CS
9cs
7sg
3sg
S
G
9sA
7A(7cA)

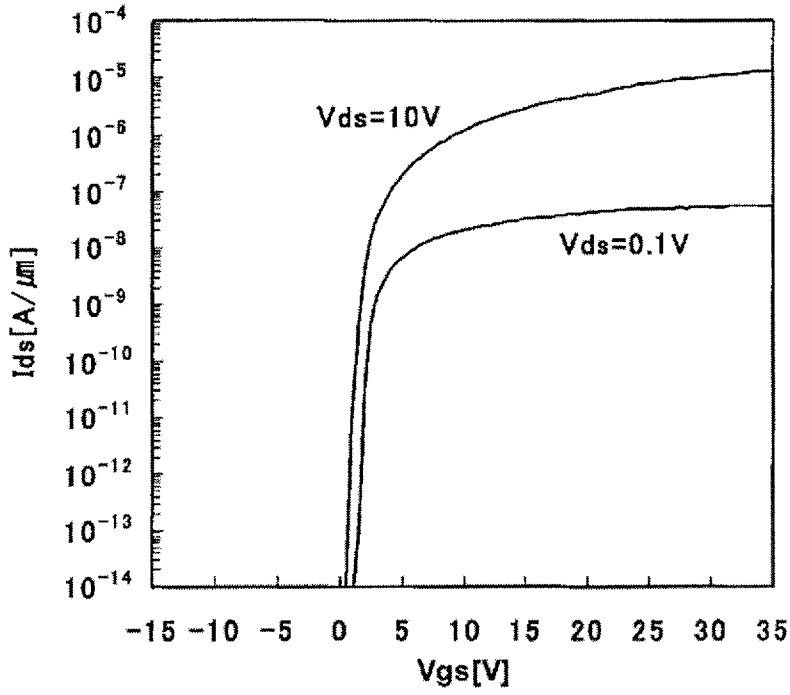
[図10]


(a)
R(30)
R(40)
R(10A)
40
17
9sA
9dA
13
11
15
3sg
9sg
G
3A
(b)
R(20)
R(10B)
13
11
CS
3B
(c)
1002
R(30)
R(40)
R(10A)
R(10B)
R(20)
40
9dA
9sB
7B(7cB)
9dB
CS
9cs
3sg
15
17
S
G

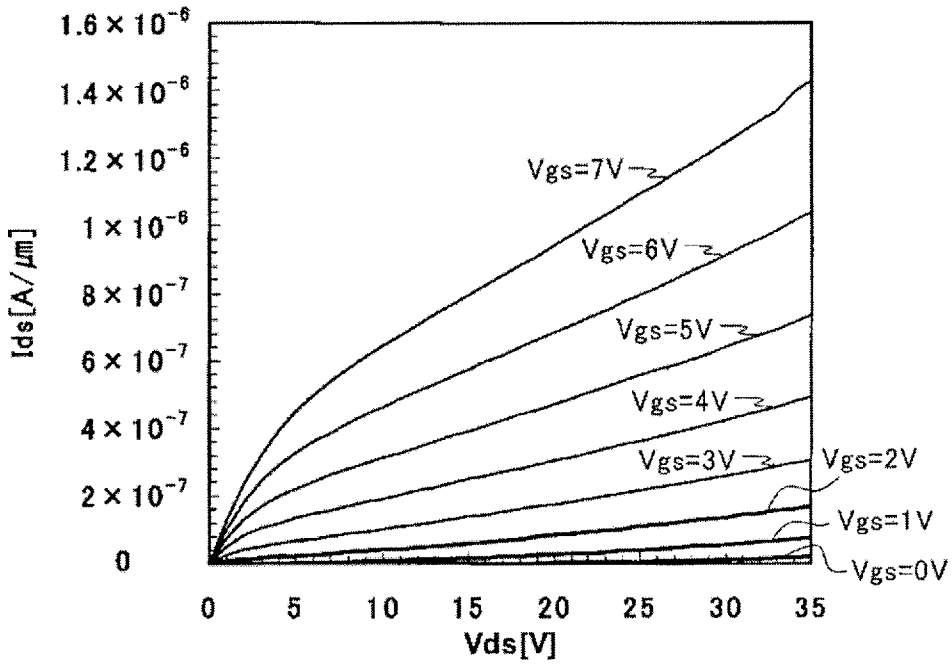
[図11]


(a)
2002
不揮発メモリーによる
切り替え回路
55
低電圧
電源
高電圧
電源
53
59
低電圧コア・ロジック回路
51
(b)
10A
9dA
9sA
7A
58
2002
12
5
57
59
56
3A
G

[図12]

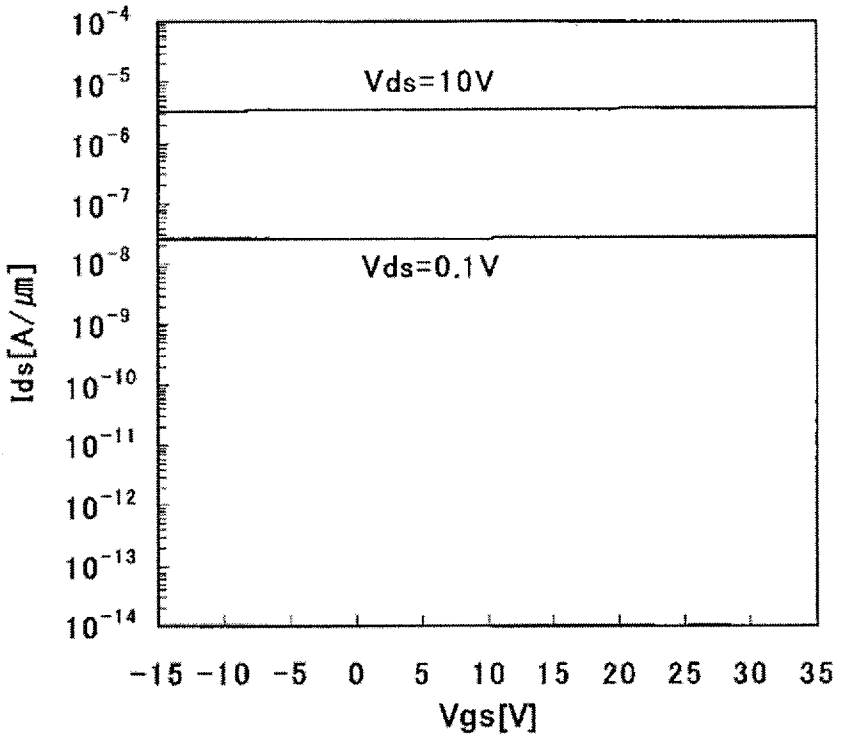

Vds=10V
Vds=0.1V
Ids[A/μm]
Vgs[V]
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
10^-13
10^-14
-15 -10 -5 0 5 10 15 20 25 30 35

(a)

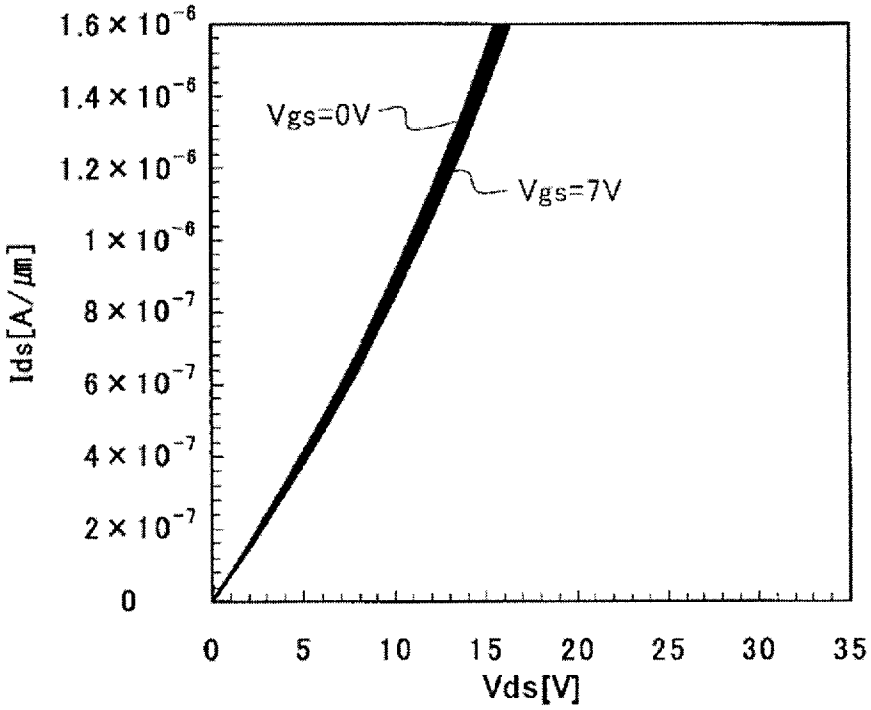

Vgs=7V
Vgs=6V
Vgs=5V
Vgs=4V
Vgs=3V
Vgs=2V
Vgs=1V
Vgs=0V
Ids[A/μm]
Vds[V]
1.6×10^-6
1.4×10^-6
1.2×10^-6
1×10^-6
8×10^-7
6×10^-7
4×10^-7
2×10^-7
0
0 5 10 15 20 25 30 35

(b)

[図13]

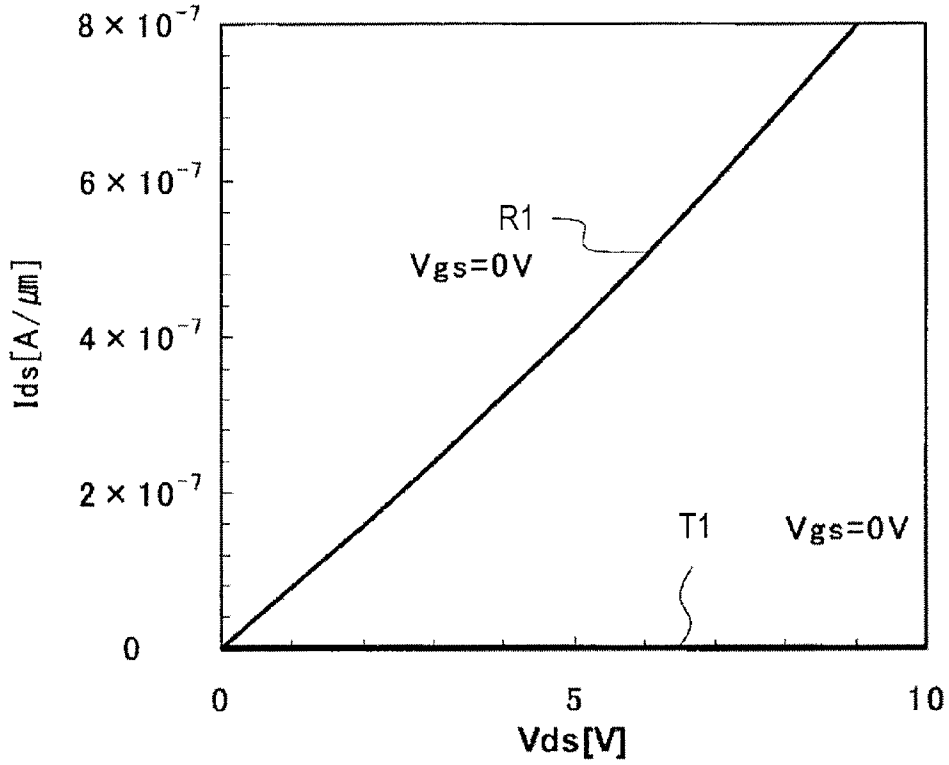



(a)

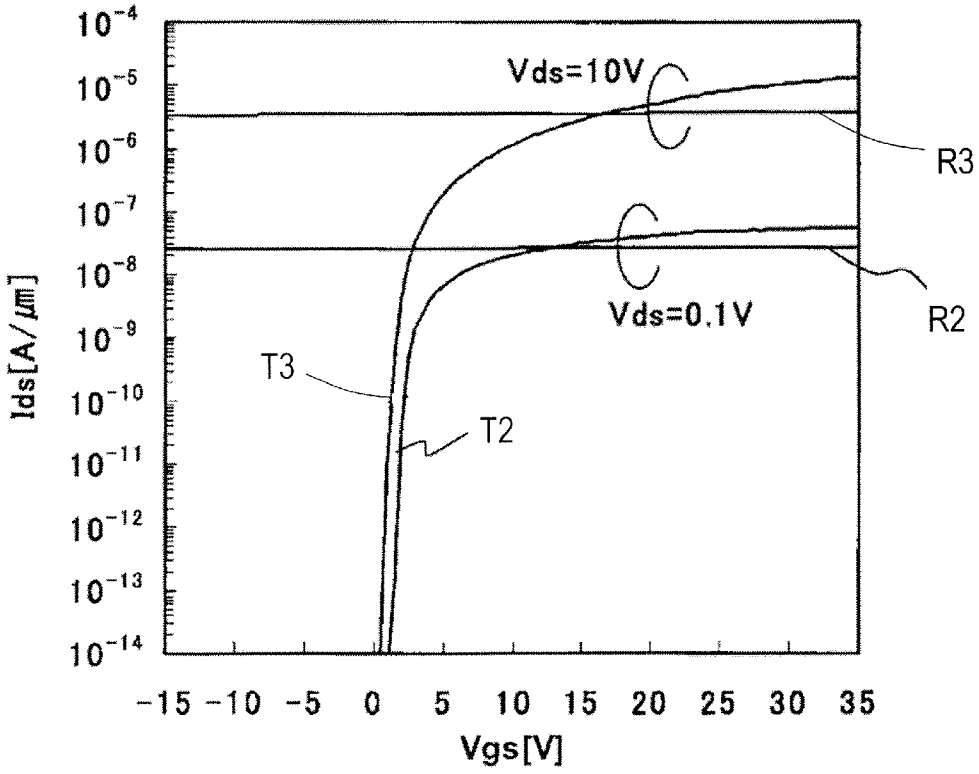



(b)

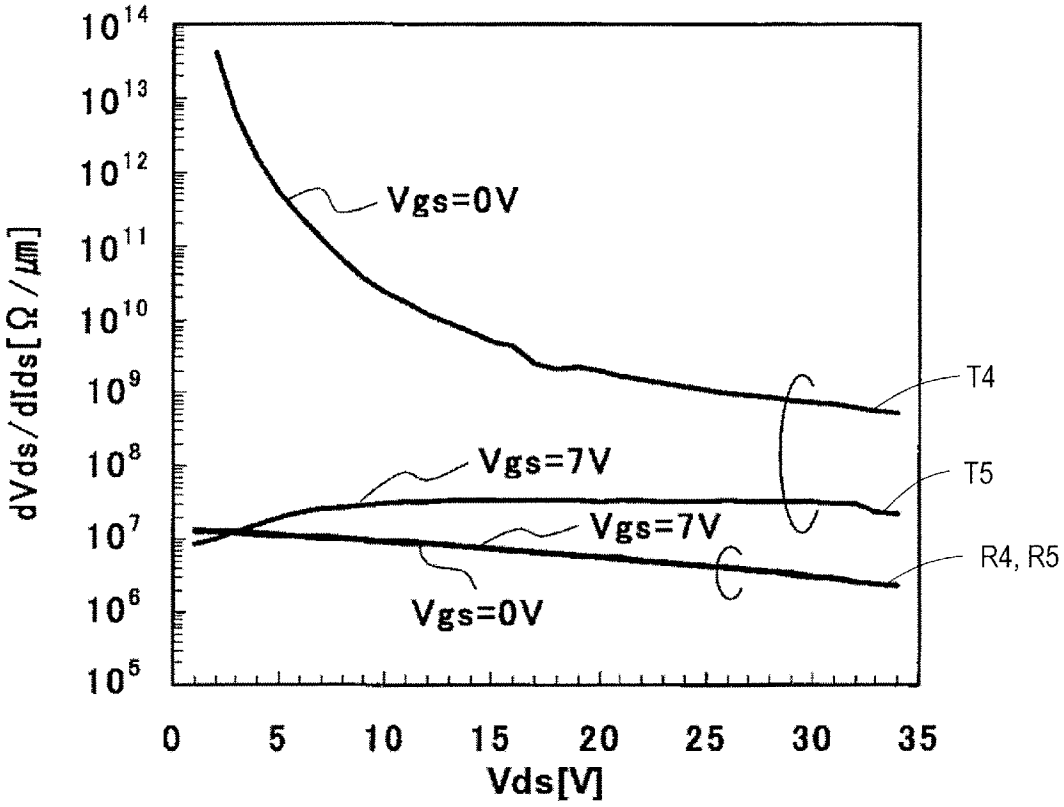
[図14]


8 × 10⁻⁷
6 × 10⁻⁷
4 × 10⁻⁷
2 × 10⁻⁷
0
Ids[A/μm]
R1
Vgs=0V
T1
Vgs=0V
0
5
10
Vds[V]

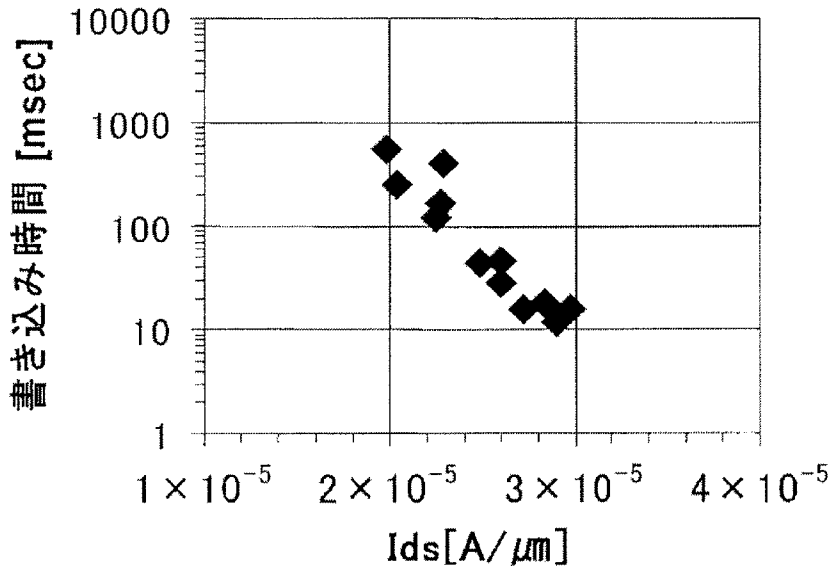
[図15]


10⁻⁴
10⁻⁵
10⁻⁶
10⁻⁷
10⁻⁸
10⁻⁹
10⁻¹⁰
10⁻¹¹
10⁻¹²
10⁻¹³
10⁻¹⁴
Ids[A/μm]
Vds=10V
R3
Vds=0.1V
R2
T3
T2
-15 -10 -5 0 5 10 15 20 25 30 35
Vgs[V]

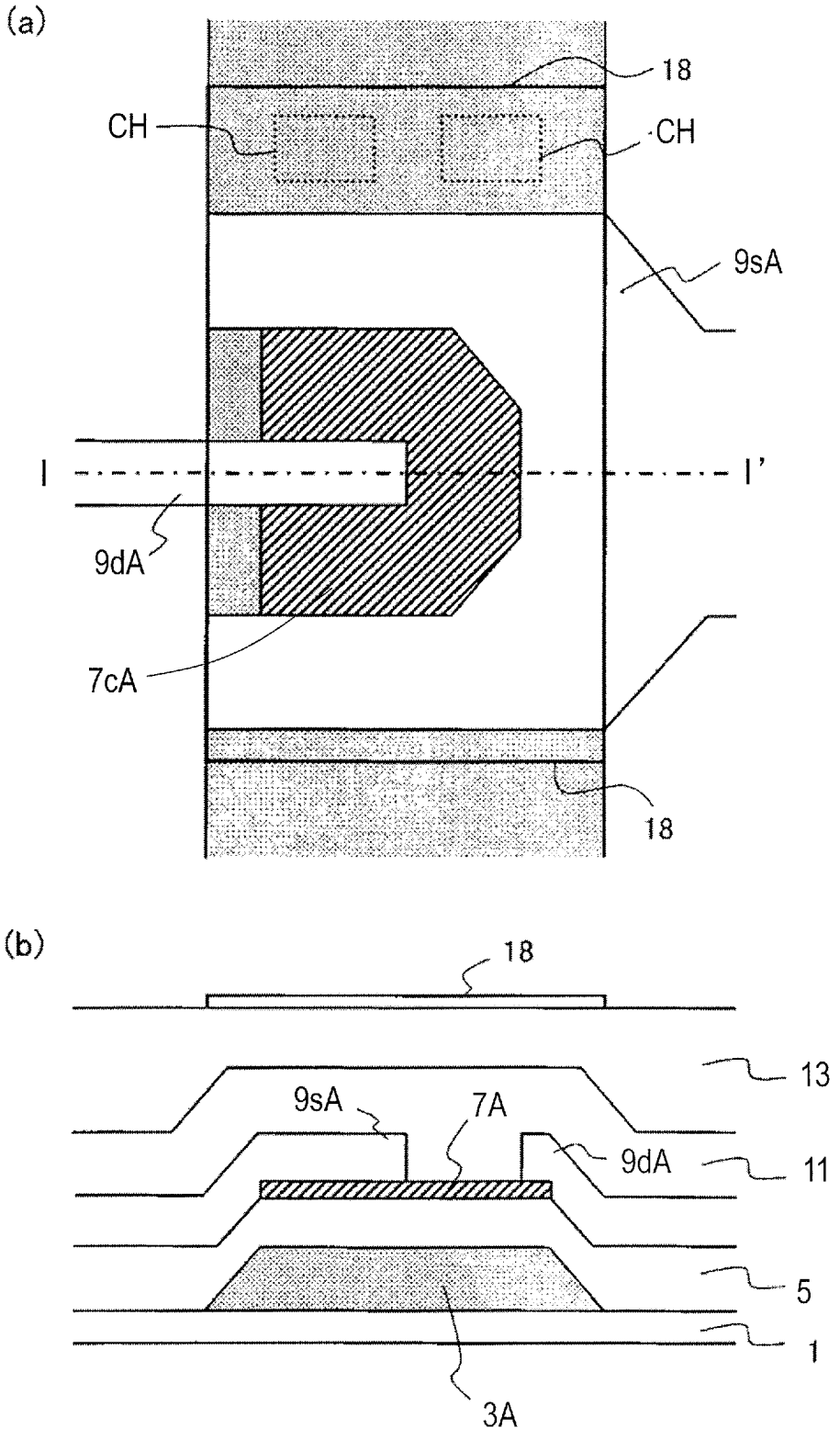
[図16]


dVds/dIds[Ω/μm]
$10^{14}$
$10^{13}$
$10^{12}$
$10^{11}$
$10^{10}$
$10^{9}$
$10^{8}$
$10^{7}$
$10^{6}$
$10^{5}$
Vgs=0V
Vgs=7V
Vgs=7V
Vgs=0V
T4
T5
R4, R5
0
5
10
15
20
25
30
35
Vds[V]

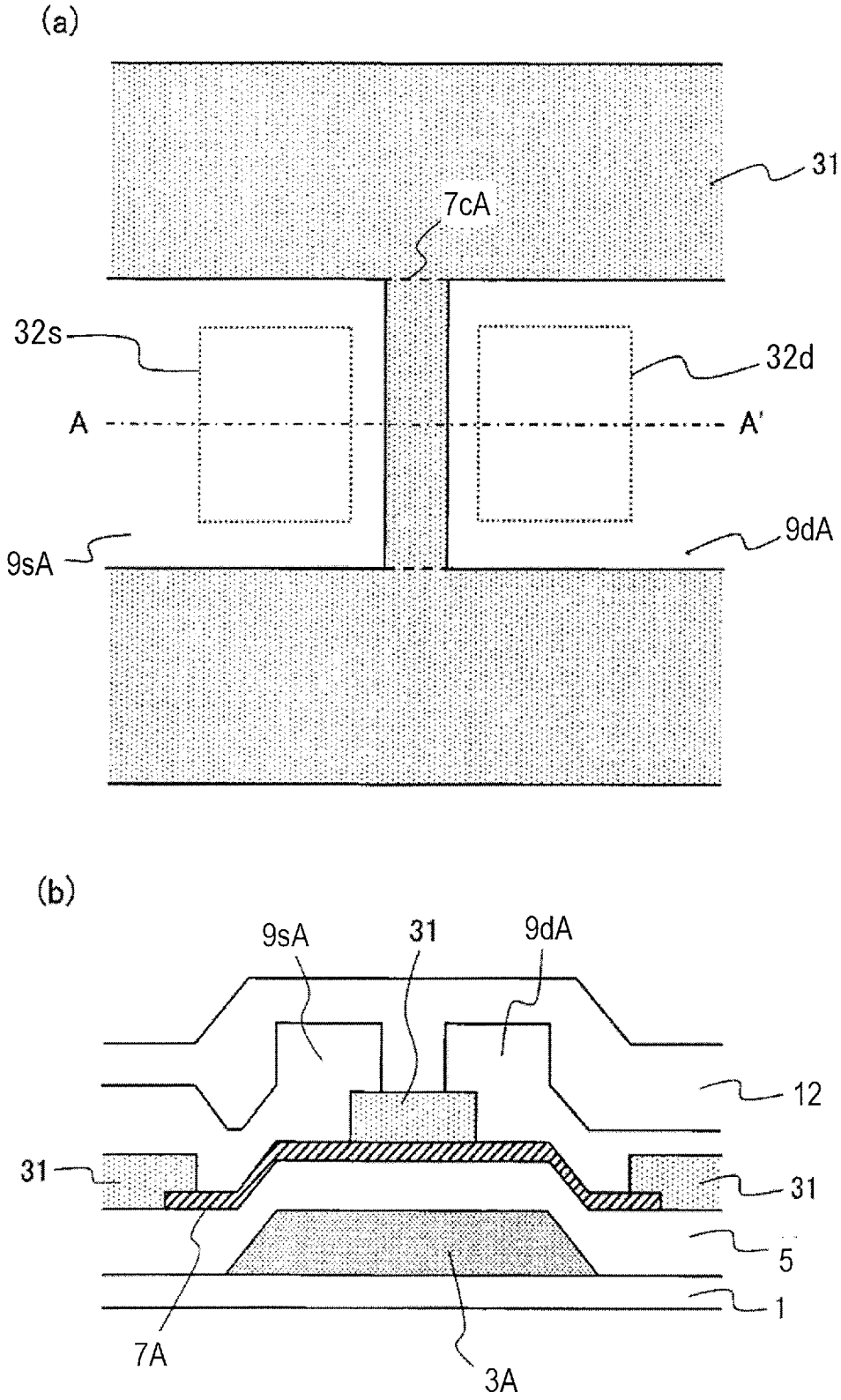
[図17]


書き込み時間 [msec]
10000
1000
100
10
1
$1\times10^{-5}$
$2\times10^{-5}$
$3\times10^{-5}$
$4\times10^{-5}$
Ids[A/μm]

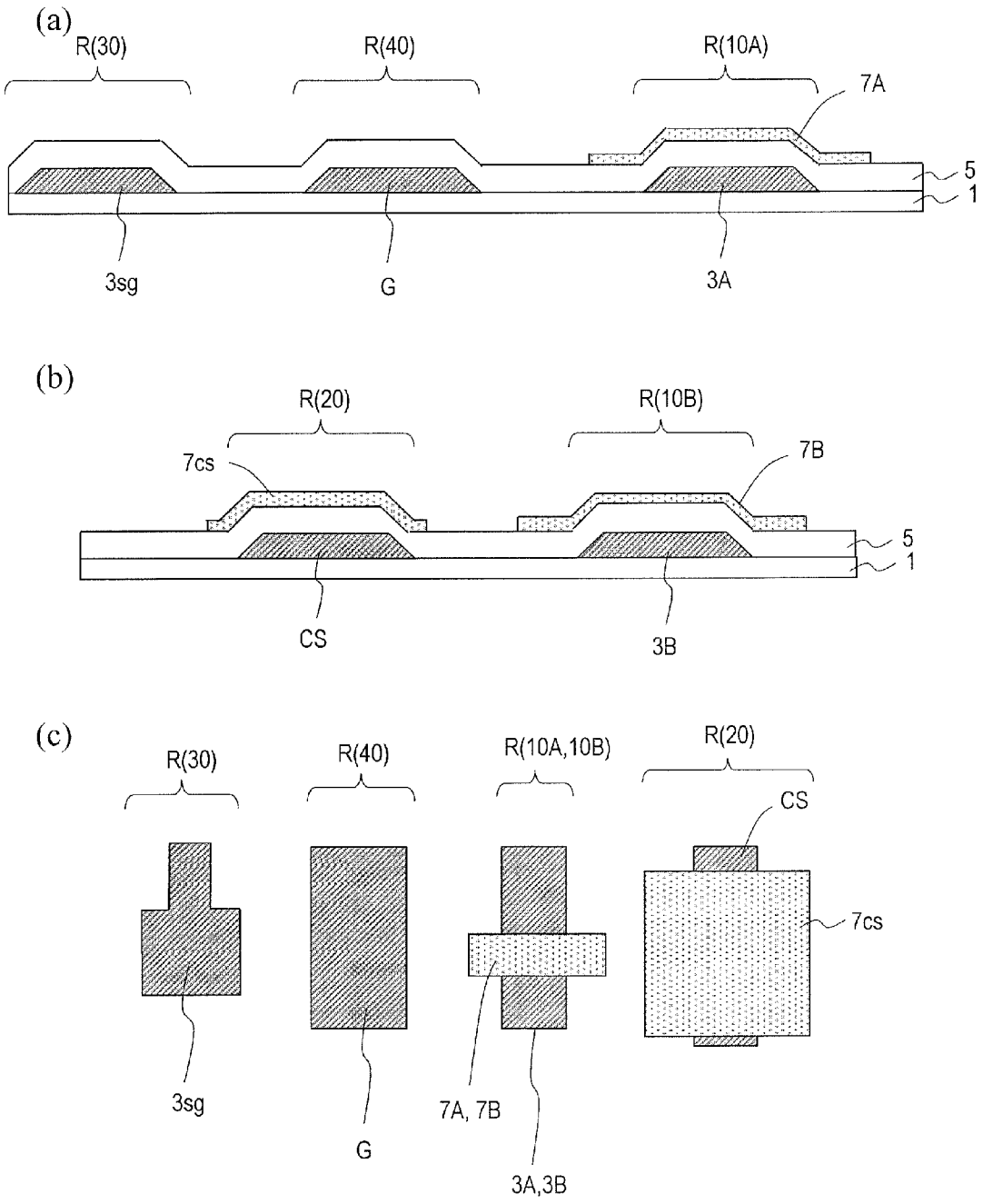
[図18]



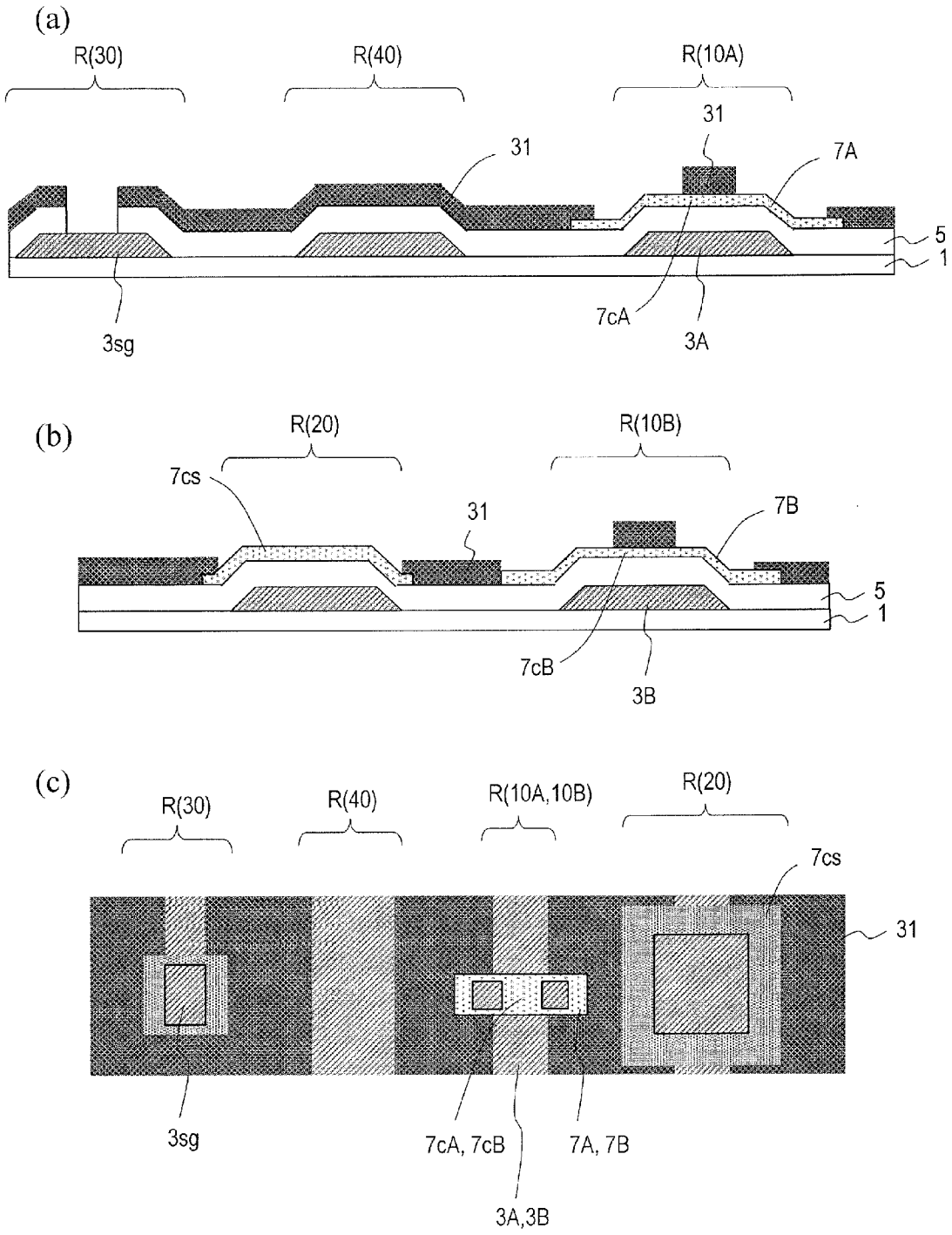
[図19]



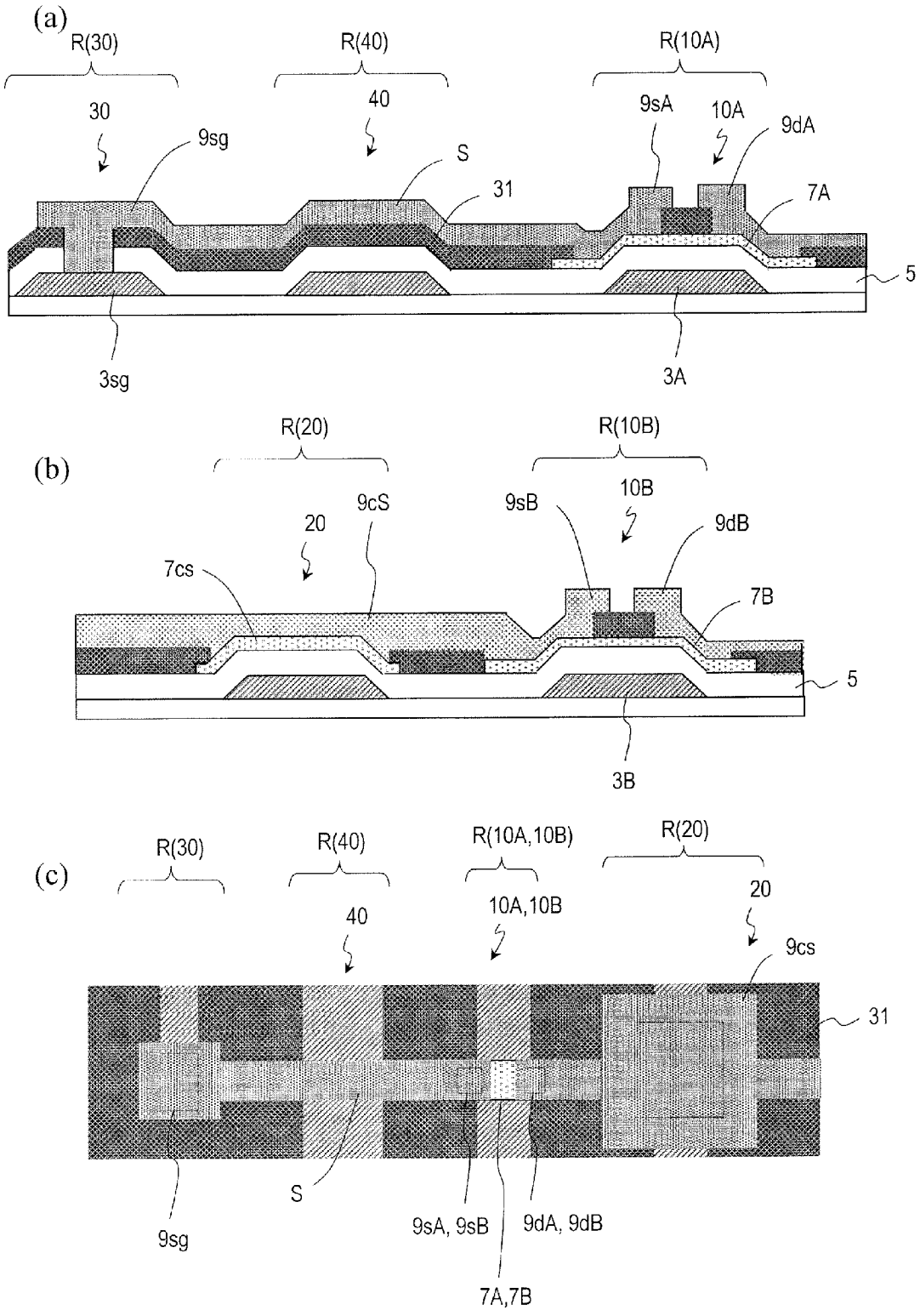
[図20]


(a)
R(30)
R(40)
R(10A)
7A
5
1
3sg
G
3A
(b)
R(20)
R(10B)
7cs
7B
5
1
CS
3B
(c)
R(30)
R(40)
R(10A,10B)
R(20)
CS
7cs
3sg
G
7A, 7B
3A,3B

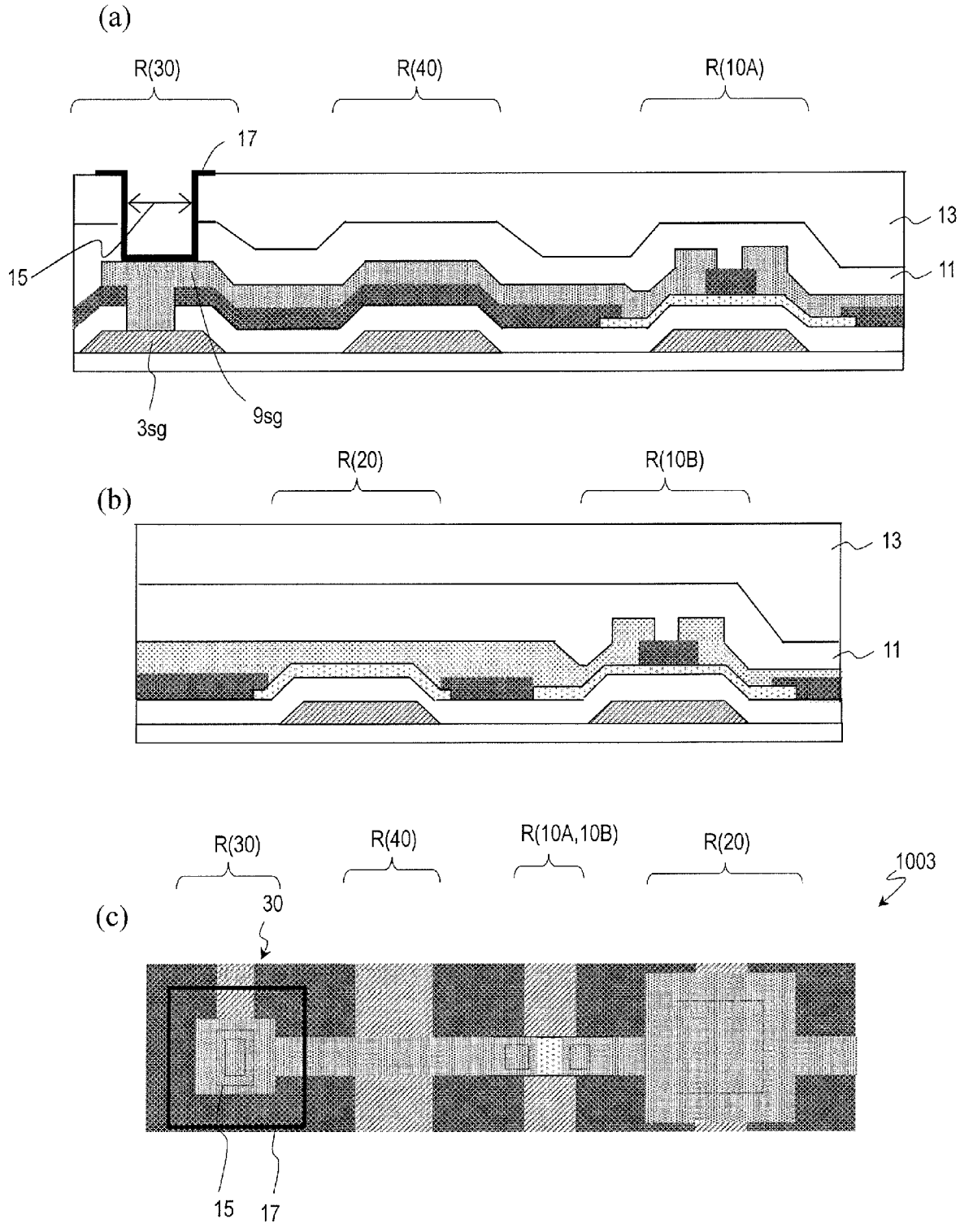
[図21]


(a)
R(30)
R(40)
R(10A)
31
31
7A
5
1
3sg
7cA
3A
(b)
R(20)
R(10B)
7cs
31
7B
5
1
7cB
3B
(c)
R(30)
R(40)
R(10A,10B)
R(20)
7cs
31
3sg
7cA, 7cB
7A, 7B
3A,3B

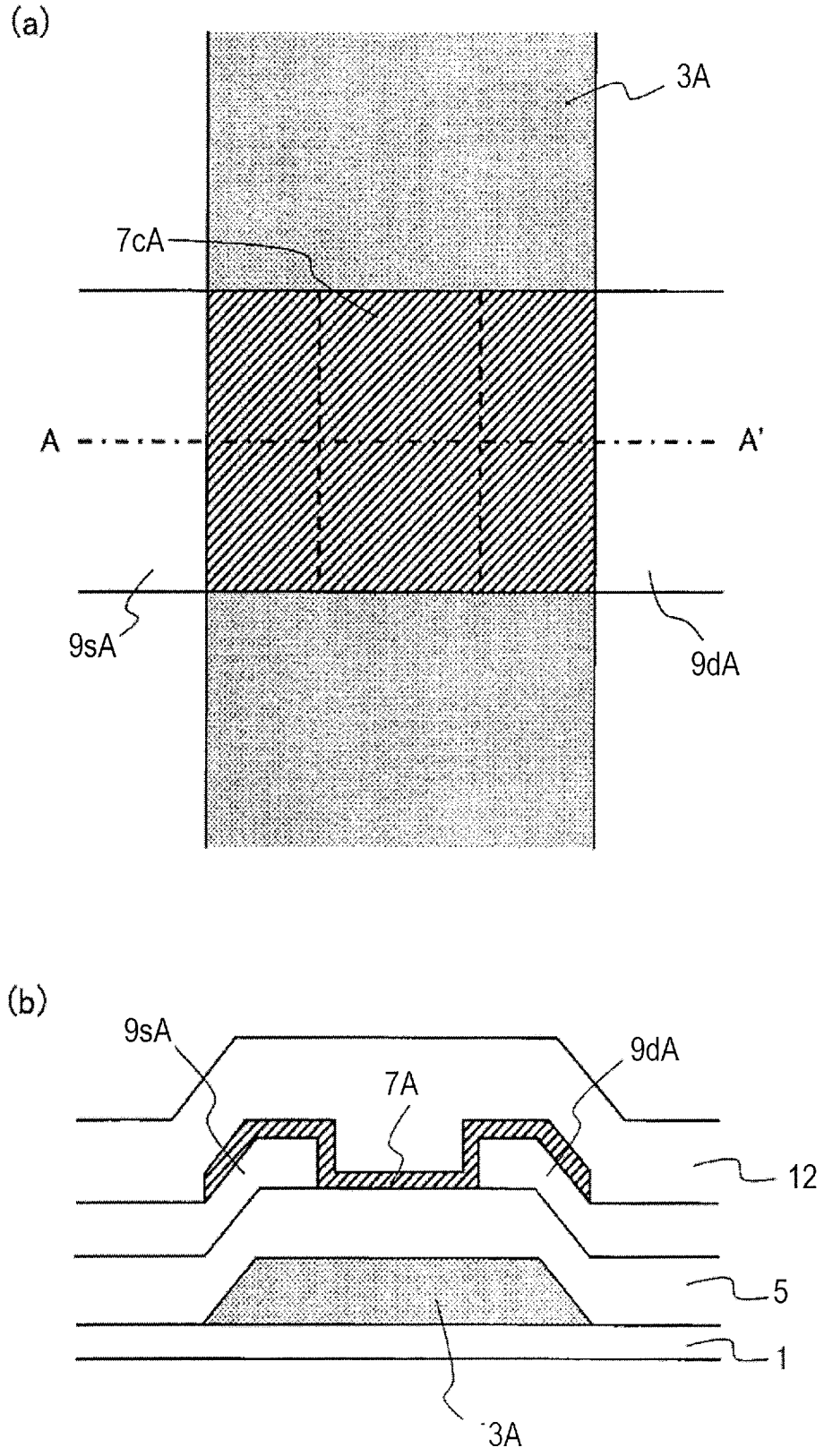
[図22]


(a)
R(30)
R(40)
R(10A)
30
40
9sA
10A
9dA
9sg
S
31
7A
5
3sg
3A
(b)
R(20)
R(10B)
9cS
9sB
10B
20
9dB
7cs
7B
5
3B
(c)
R(30)
R(40)
R(10A,10B)
R(20)
40
10A,10B
20
9cs
31
S
9sg
9sA, 9sB
9dA, 9dB
7A,7B

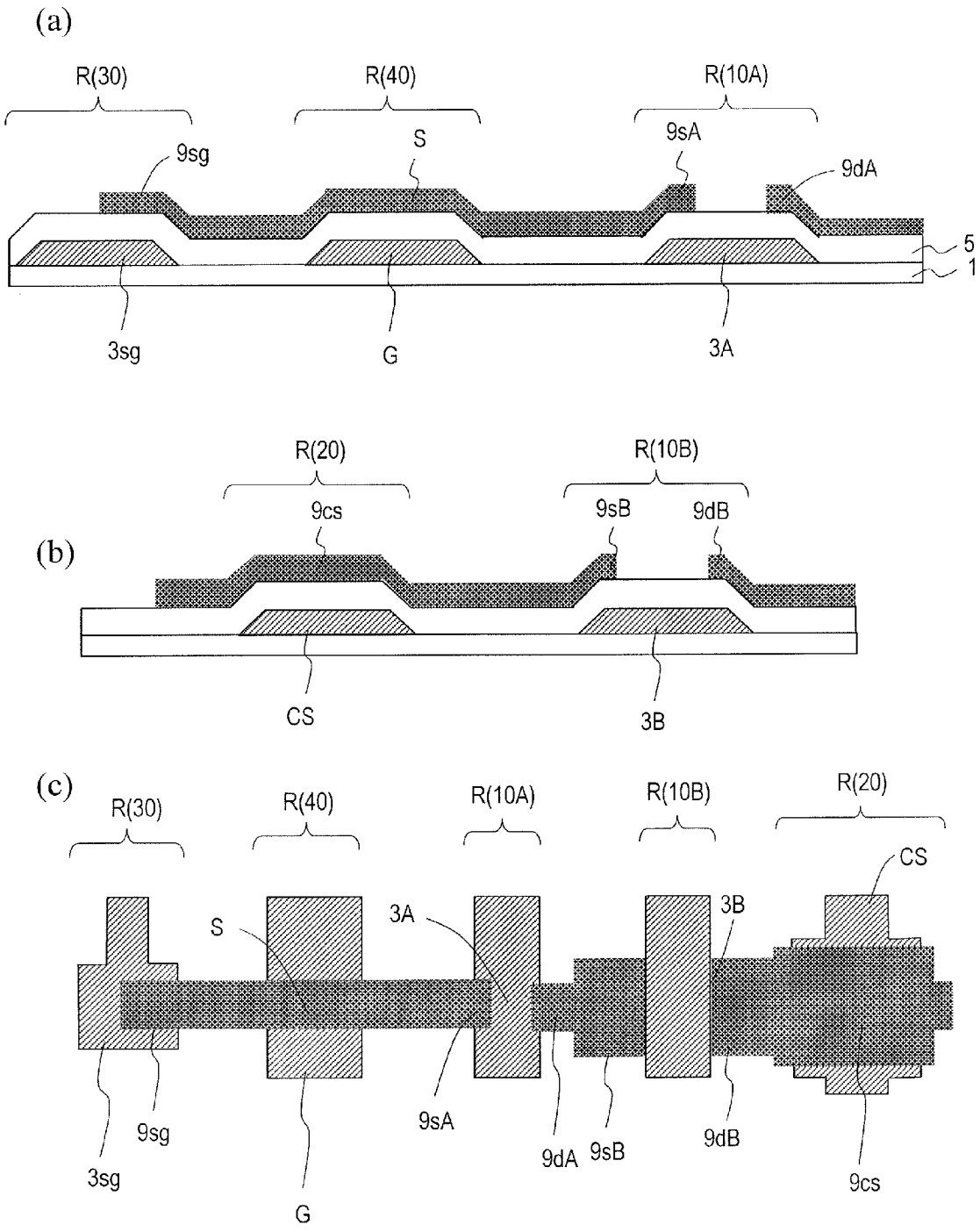
[図23]


(a)
R(30)
R(40)
R(10A)
17
13
15
11
3sg
9sg
(b)
R(20)
R(10B)
13
11
(c)
R(30)
R(40)
R(10A,10B)
R(20)
1003
30
15
17

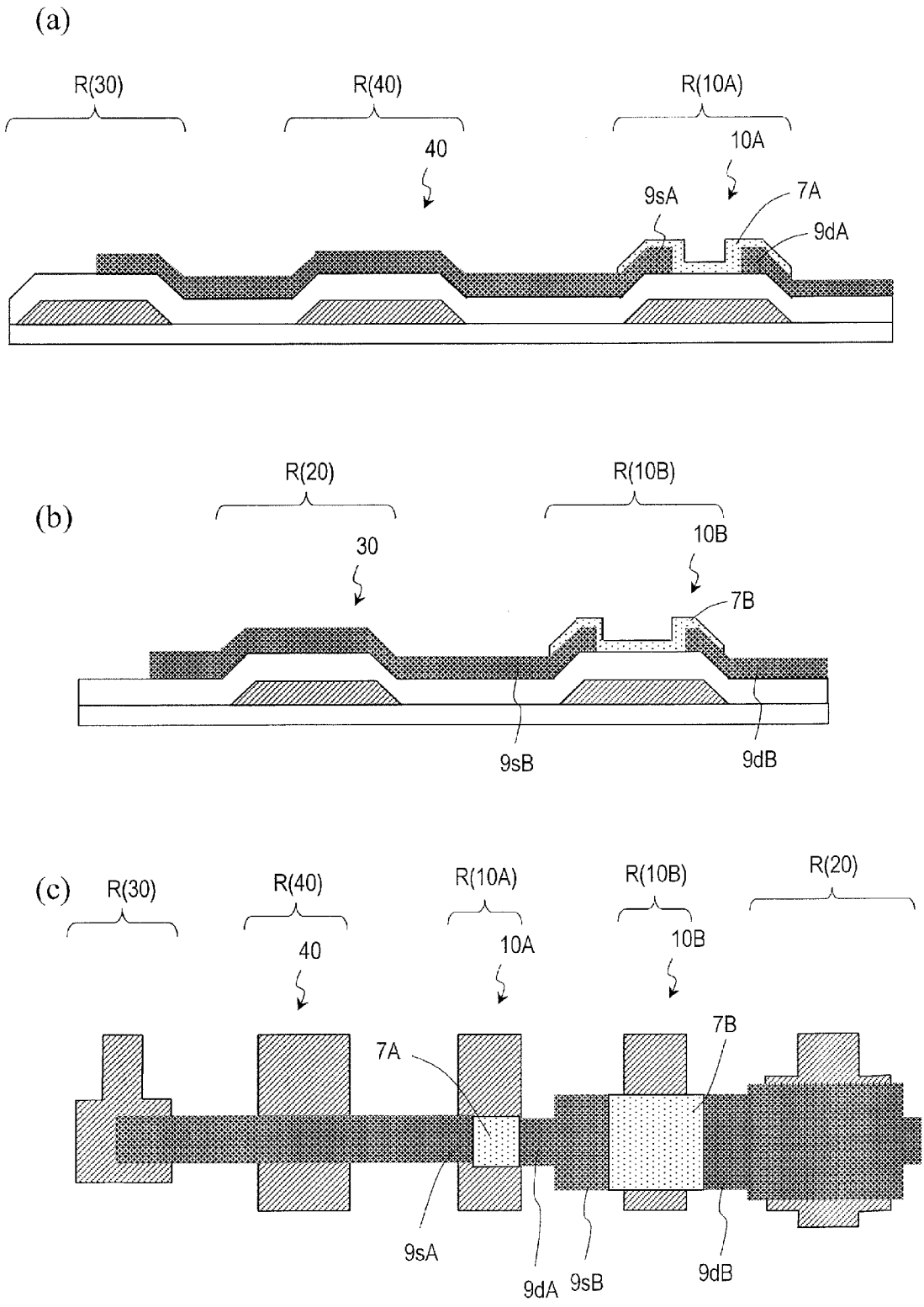
[図24]



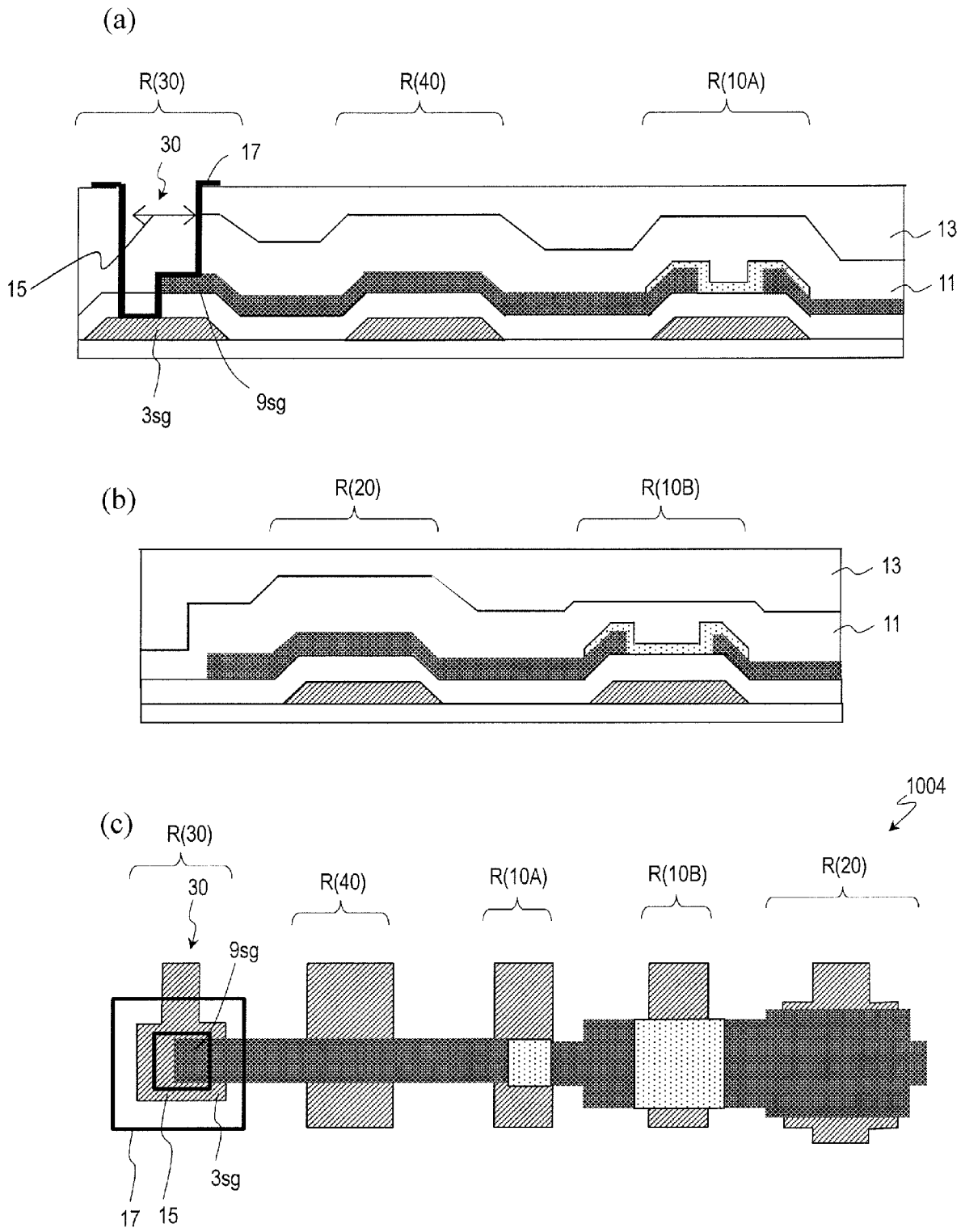
[図25]


(a)
R(30)
R(40)
R(10A)
9sg
S
9sA
9dA
5
1
3sg
G
3A
(b)
R(20)
R(10B)
9cs
9sB
9dB
CS
3B
(c)
R(30)
R(40)
R(10A)
R(10B)
R(20)
CS
S
3A
3B
9sg
9sA
9dA
9sB
9dB
3sg
G
9cs

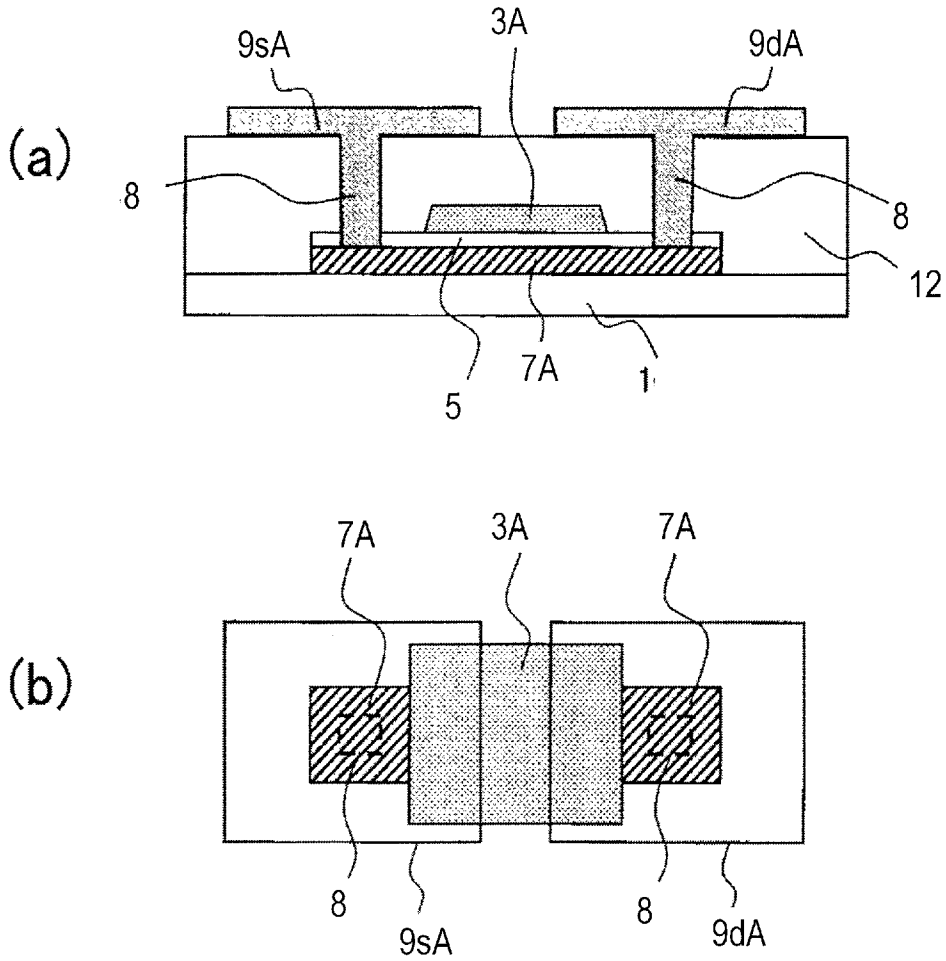
[図26]


(a)
R(30)
R(40)
R(10A)
40
10A
9sA
7A
9dA
(b)
R(20)
R(10B)
30
10B
7B
9sB
9dB
(c)
R(30)
R(40)
R(10A)
R(10B)
R(20)
40
10A
10B
7B
7A
9sA
9dA
9sB
9dB

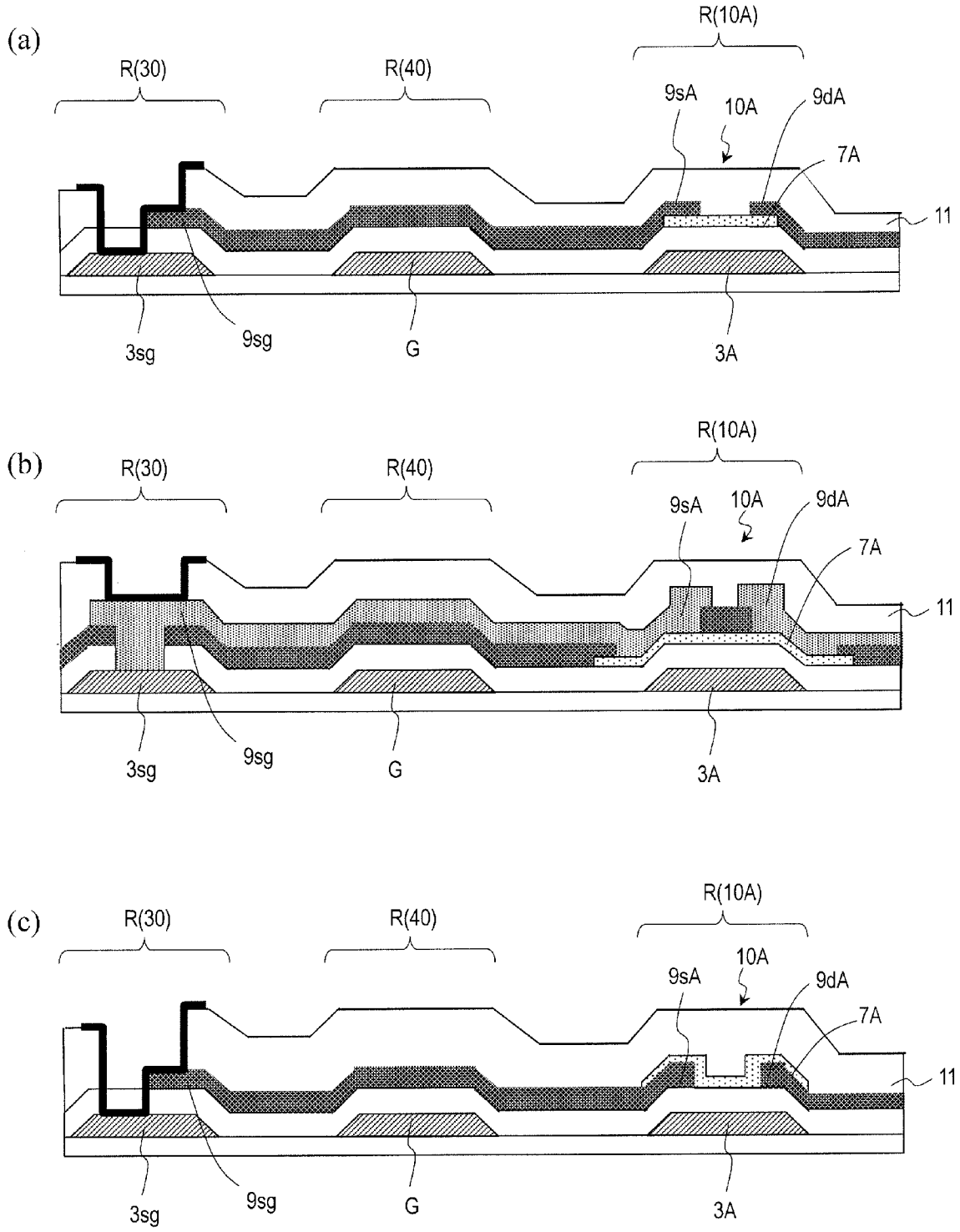
[図27]


(a)
R(30)
R(40)
R(10A)
30
17
13
15
11
3sg
9sg
(b)
R(20)
R(10B)
13
11
1004
(c)
R(30)
30
R(40)
R(10A)
R(10B)
R(20)
9sg
3sg
17
15

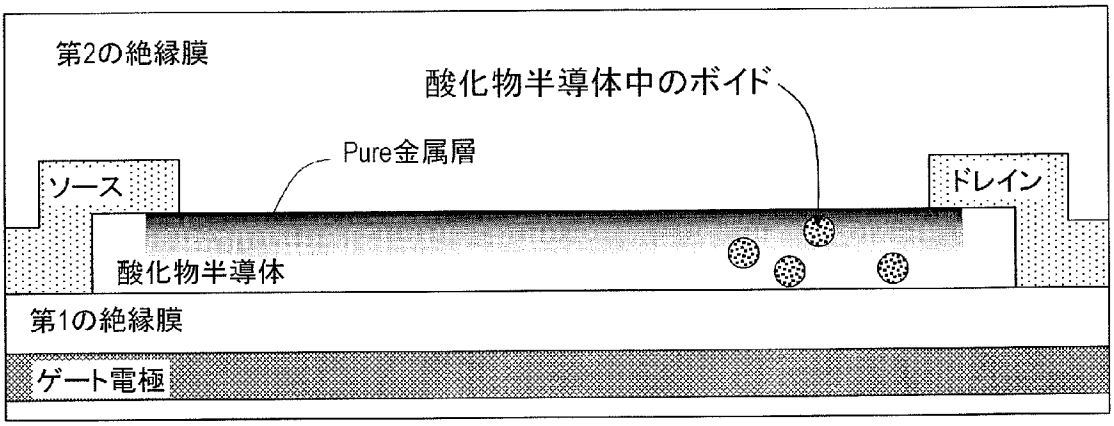
[図28]



[図29]


(a)
R(30)
R(40)
R(10A)
9sA
10A
9dA
7A
11
3sg
9sg
G
3A
(b)
R(30)
R(40)
R(10A)
9sA
10A
9dA
7A
11
3sg
9sg
G
3A
(c)
R(30)
R(40)
R(10A)
10A
9sA
9dA
7A
11
3sg
9sg
G
3A

[図30]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/072293

A. CLASSIFICATION OF SUBJECT MATTER
*G11C13/00*(2006.01)i, *G11C17/12*(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C13/00, G11C17/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | WO 2013/080784 A1 (Sharp Corp.), 06 June 2013 (06.06.2013), paragraphs [0097] to [0101], [0110] to [0122]; fig. 1 to 5 (Family: none) | 1-16 |
| A | JP 2006-510203 A (Koninklijke Philips Electronics N.V.), 23 March 2006 (23.03.2006), paragraphs [0002], [0003], [0021] to [0027], [0032]; fig. 1, 2 & US 2006/0056222 A1 & WO 2004/053886 A1 & CN 1723508 A | 1-16 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>22 September, 2014 (22.09.14) | Date of mailing of the international search report<br>07 October, 2014 (07.10.14) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2014/072293

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2006-60209 A (Sharp Corp.), 02 March 2006 (02.03.2006), paragraphs [0073] to [0075]; fig. 3, 4 & US 2006/0038242 A1 | 1-16 |
| A | JP 2013-175716 A (Semiconductor Energy Laboratory Co., Ltd.), 05 September 2013 (05.09.2013), paragraphs [0050] to [0060], [0090] to [0110]; fig. 1 to 3 & US 2013/0193431 A1 | 1-16 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７２２９３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C13/00(2006.01)i, G11C17/12(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C13/00, G11C17/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１４年 |
| 日本国実用新案登録公報 | １９９６－２０１４年 |
| 日本国登録実用新案公報 | １９９４－２０１４年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | WO 2013/080784 A1（シャープ株式会社）2013.06.06, 段落［００９７］－［０１０１］,［０１１０］－［０１２２］、図１－５（ファミリーなし） | 1-16 |
| A | JP 2006-510203 A（コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ）2006.03.23, 段落【０００２】,【０００３】,【００２１】－【００２７】,【００３２】、図１，２ & US 2006/0056222 A1 & WO 2004/053886 A1 & CN 1723508 A | 1-16 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ２２．０９．２０１４ | ０７．１０．２０１４ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｕ　４２２６
後藤　彰
電話番号　０３－３５８１－１１０１　内線　３５６５

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2006-60209 A (シャープ株式会社) 2006.03.02,<br>段落【００７３】－【００７５】、図３，４ & US 2006/0038242 A1 | 1-16 |
| A | JP 2013-175716 A (株式会社半導体エネルギー研究所) 2013.09.05,<br>段落【００５０】－【００６０】,【００９０】－【０１１０】、<br>図１－３ & US 2013/0193431 A1 | 1-16 |