(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-207308
(P2014-207308A)
(43)公開日　平成26年10月30日(2014.10.30)

(51)Int.Cl.		F I			テーマコード（参考）
H05K 3/46	(2006.01)	H05K	3/46	G	5E346
		H05K	3/46	N	
		H05K	3/46	Q	

審査請求 未請求　請求項の数 10　ＯＬ　（全 16 頁）

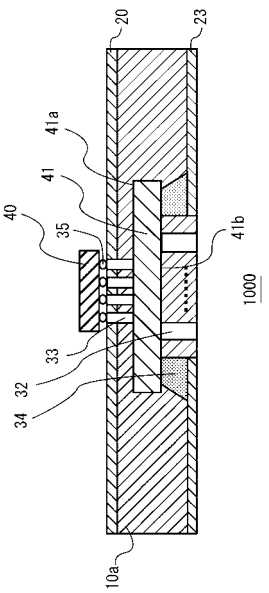
(21)出願番号　特願2013-83665(P2013-83665)
(22)出願日　平成25年4月12日(2013.4.12)

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(74)代理人　100103894
弁理士　家入　健
(72)発明者　松井　勲
東京都港区芝五丁目７番１号　日本電気株式会社内

Ｆターム(参考)　5E346 AA02 AA22 AA26 AA29 AA43 CC08 CC09 CC10 CC32 DD02 DD12 DD32 EE41 EE43 FF04 FF07 FF22 FF45 GG28 HH01 HH11

(54)【発明の名称】多層配線基板及びその製造方法

(57)【要約】
【課題】半導体素子の実装時において基板の反りの影響を受けずに接続可能とし、接続部の信号伝送の損失を低減することができる多層配線基板及びその製造方法を提供すること
【解決手段】本発明にかかる多層配線基板１０００は、一面側に半導体素子が備える接続部と電気的に接続する素子接続部４１ａと他面側に配線層と電気的に接続する基板接続部を備える中継基板４１と、素子接続部４１ａと電気的に接続するための第１の配線層２０と、基板接続部が備える電源接続部と半田接続で電気的に接続する第２の配線層２３と、第１の配線層と第２の配線層との間に中継基板４１を封入するよう形成した絶縁層１０ａと、絶縁層１０ａに設けられた孔に配置され、素子接続部４１ａと第１の配線層２０とを電気的に接続する素子用ビア３３と、絶縁層１０ａに設けられた孔に配置され、基板接続部が備える信号接続部と外部とを電気的に接続可能とする配線用ビア３２と、を備える。
【選択図】図１



【特許請求の範囲】
【請求項１】
一面側に半導体素子が備える接続部と電気的に接続する素子接続部と他面側に配線層と電気的に接続する基板接続部を備える中継基板と、
前記素子接続部と電気的に接続するための第１の配線層と、
前記基板接続部が備える電源接続部と半田接続で電気的に接続する第２の配線層と、
前記第１の配線層と前記第２の配線層との間に前記中継基板を封入するよう形成した絶縁層と、
前記絶縁層に設けられた孔に配置され、前記素子接続部と前記第１の配線層とを電気的に接続する素子用ビアと、
前記絶縁層に設けられた孔に配置され、前記基板接続部が備える信号接続部と外部とを電気的に接続可能とする配線用ビアと、
を備える多層配線基板。
【請求項２】
前記第１の配線層に前記接続部を介して接続する前記半導体素子が前記素子用ビアを介して前記素子接続部と電気的に接続する、
請求項１の多層配線基板。
【請求項３】
前記半田接続は前記電源接続部と第２の配線層との電源経路に接続する、
請求項１又は２に記載の多層配線基板。
【請求項４】
前記第２の配線層の前記中継基板と反対側に配線層をさらに設け、前記配線層と前記信号接続部とを前記配線用ビアを介して接続する、
請求項１～３いずれか１項に記載の多層配線基板。
【請求項５】
前記第２の配線層の前記中継基板と反対側にさらに形成した複数の層の基板が備える配線層のそれぞれと外部とを導電性の配線用ビアを介して電気的に接続する、
請求項１～４いずれか１項に記載の多層配線基板。
【請求項６】
第１の配線層と第２の配線層とを含む複数の配線層のうち、前記第２の配線層を形成する工程と、
前記第２の配線層と中継基板が備える電源接続部とを半田接続で電気的に接続する工程と、
前記中継基板を内部に封入するよう前記第２の配線層の上部に絶縁層を形成する工程と、
前記絶縁層の上部に前記第１の配線層を形成する工程と、
孔を設けて、前記中継基板が備える素子接続部と前記第１の配線層とを電気的に接続する素子用ビアと、前記中継基板が備える信号接続部と外部とを電気的に接続する配線用ビアとを、前記絶縁層に形成する工程と、
を備える、多層配線基板の製造方法。
【請求項７】
前記第１の配線層に半導体素子が有する接続部を介し、更に前記素子用ビアを介して前記素子接続部と電気的に接続するよう、半導体素子を実装する工程を更に備える、
請求項６の多層配線基板の製造方法。
【請求項８】
前記半田接続は前記電源接続部と第２の配線層との電源経路に接続する、
請求項６又は７に記載の多層配線基板の製造方法。
【請求項９】
前記第２の配線層の前記中継基板と反対側に配線層をさらに設け、前記配線層と前記信号接続部とを前記配線用ビアを介して接続する、

請求項６～８いずれか１項に記載の多層配線基板の製造方法。
【請求項１０】
前記第２の配線層の前記中継基板と反対側にさらに形成した複数の層の基板が備える配線層のそれぞれと外部とを導電性の配線用ビアを介して電気的に接続する、
請求項６～９いずれか１項に記載の多層配線基板の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は多層配線基板及びその製造方法に関し、特に多層構造を備える多層配線基板及びその製造方法に関する。
【背景技術】
【０００２】
配線基板は、半導体素子の高集積化や高機能化に伴って配線が微細化、高密度化している。半導体素子を高集積化する技術として、配線基板を多層構造とするものがある。そして、多層構造の配線基板を製造する場合、ＬＳＩ（Large Scale Integration）チップ等の半導体素子をパッケージ化し、その半導体素子パッケージを配線基板に実装する方法がある。
【０００３】
高集積化した半導体素子は、端子ピッチが非常に小さい。半導体素子を小型化すると、その接続部のピッチ間隔も狭くなり、基板側の配線に接続することが困難となる。そこで、半導体素子と基板との間の配線を担うための中継基板（インターポーザ）を使用する。中継基板は、端子ピッチが異なる半導体素子チップとメイン基板との間を中継するものである。即ち、微細化可能な中継基板が半導体素子と基板との間に介在することで高集積化した半導体素子を基板に実装することができる。
【０００４】
しかし、中継基板と半導体素子との接続工程で、接続点をハンダ接続するためにリフロー炉などで加熱すると、中継基板に反りが発生する場合がある。また、より高集積化した半導体素子は多ピン化構造を備える。そのため、半導体素子のパッケージの大型化に伴って、中継基板の反りの影響を受け、半導体素子と基板との接続部が不良となる場合がある。その対策として、中継基板や半導体素子を多層基板の内部に実装する方法がある。
【０００５】
特許文献１は、半導体素子と中継基板を多層基板内部に実装する方法を開示している。特許文献２は中継基板を多層基板内部に実装する方法を開示している。特許文献３は、中継基板を多層基板の最上層に形成した空間に実装する方法を開示している。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２００９－１４７０６６号公報
【特許文献２】特開２０１０－２３９１２６号公報
【特許文献３】特開２０１２－１９５４４７号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
一方、半導体素子を備えた装置をより高速化するために半導体素子が使用する周波数を上げると、半導体素子パッケージ部と基板とのハンダ接続の接続点において、半導体素子に流れる信号の波形が歪む場合がある。特許文献１、２、３は、はんだ接続部における信号波形の劣化については開示していない。
【０００８】
本発明は、半導体素子の実装時において基板の反りの影響を受けずに接続可能とし、接続部の信号伝送の損失を低減することができる多層配線基板及びその製造方法を提供する

ことを目的とする。
【課題を解決するための手段】
【０００９】
一態様にかかる多層配線基板は、一面側に半導体素子が備える接続部と電気的に接続する素子接続部と他面側に配線層と電気的に接続する基板接続部を備える中継基板と、前記素子接続部と電気的に接続するための第１の配線層と、前記基板接続部が備える電源接続部と半田接続で電気的に接続する第２の配線層と、前記第１の配線層と前記第２の配線層との間に前記中継基板を封入するよう形成した絶縁層と、前記絶縁層に設けられた孔に配置され、前記素子接続部と前記第１の配線層とを電気的に接続する素子用ビアと、前記絶縁層に設けられた孔に配置され、前記基板接続部が備える信号接続部と外部とを電気的に接続可能とする配線用ビアと、を備える。
【００１０】
一態様にかかる多層配線基板の製造方法は、第１の配線層と第２の配線層とを含む複数の配線層のうち、前記第２の配線層を形成する工程と、前記第２の配線層と中継基板が備える電源接続部とを半田接続で電気的に接続する工程と、前記中継基板を内部に封入するよう前記第２の配線層の上部に絶縁層を形成する工程と、前記絶縁層の上部に前記第１の配線層を形成する工程と、孔を設けて、前記中継基板が備える素子接続部と前記第１の配線層とを電気的に接続する素子用ビアと、前記中継基板が備える信号接続部と外部とを電気的に接続する配線用ビアとを、前記絶縁層に形成する工程と、を備える。
【発明の効果】
【００１１】
本発明によると、半導体素子の実装時において基板の反りの影響を受けずに接続可能とし、接続部の信号伝送の損失を低減することができる多層配線基板及びその製造方法を提供することができる。
【図面の簡単な説明】
【００１２】
【図１】本発明の実施の形態１にかかる多層配線基板１０００を模式的に示す断面図である。
【図２】本発明の実施の形態１にかかる多層配線基板１０００の製造過程における工程１を模式的に示す断面図である。
【図３】本発明の実施の形態１にかかる多層配線基板１０００を製造過程における工程２を模式的に示す断面図である。
【図４】本発明の実施の形態１にかかる多層配線基板１０００の製造過程における工程３を模式的に示す断面図である。
【図５】本発明の実施の形態１にかかる多層配線基板１０００の製造過程における工程４を模式的に示す断面図である。
【図６】本発明の実施の形態１にかかる多層配線基板１０００の製造過程における工程５を模式的に示す断面図である。
【図７】本発明の実施の形態２にかかる多層配線基板１００を模式的に示す断面図である。
【図８】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程１を模式的に示す断面図である。
【図９】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程２を模式的に示す断面図である。
【図１０】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程３を模式的に示す断面図である。
【図１１】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程４を模式的に示す断面図である。
【図１２】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程５を模式的に示す断面図である。

【図１３】本発明の実施の形態２にかかる多層配線基板１００の製造過程における工程６を模式的に示す断面図である。
【図１４】本発明を想到するまでの関連する技術の多層配線基板２００を模式的に示す断面図である。
【図１５】関連する技術の半導体素子１４０と中継基板１４０との接続部１３５を模式的に示す断面図である。
【発明を実施するための形態】
【００１３】
まず、本発明を想到するまでに検討した事項について説明する。
図１４は、本発明を想到するまでの関連する技術の多層配線基板２００の図である。多層配線基板２００は、配線層１１０～１１３と、絶縁層１２０～１２３とを備える多層構造の基板である。半導体素子１４０と中継基板（インターポーザ）１４１とを多層配線基板２００に接続する場合にリフロー炉などで加熱する。そして、図１５に示すように、中継基板１４１が加熱を受けて反りなどの変形が生ずる。そうすると、図１５に示すように半導体素子１４０と中継基板１４１との接続において、接続部１３５が不良となる場合がある。
【００１４】
また、この方法によると、中継基板と配線層１１０とのはんだ接続部１３６は、半田接続するため半導体素子１４０を高周波化すると該接続点１３６のうちの信号伝送経路の影響により、半導体素子１４０に流れる信号の波形が歪む場合がある。そのため、信号が流れる部分の接続はなるべく半田接続を減らすことが望ましい。一方、電源回路には信号回路に比して電流値が高い電流が流れるため、はんだ接続部１３６の電源経路は確実に半田接続することが望ましい。
【００１５】
実施の形態１
図１は、本発明の多層配線基板１０００の構成を模式的に示す断面図である。多層配線基板１０００は、半導体素子４０と接続する中継基板４１と、第１の配線層２０と、第２の配線層２３と、絶縁層１０ａと、素子用ビア３３と、配線用ビア３２と、を備える。
【００１６】
半導体素子４０は、接続部３５が接続端子を多数備える集積回路である。接続部３５は、接続端子を半導体素子４０の端子数分、複数個備える。接続部３５は、例えば半導体素子４０の裏面に接続端子を多数配置したＢＧＡ(Ball grid array)構造を採用することができる。ＢＧＡ構造の電子部品は、樹脂製の平面形状を有する本体の裏面の接続端子に小さいボール状の電極を多数配列した形状を備える。ＢＧＡ構造はこれらのボール状の電極を、半田の表面張力で接続端子上に半球状に形成している。このＢＧＡ構造の電子部品を用いると、リフロー炉等で加熱してこれらの多数の電極の半田を溶かし、基板上に形成した回路に一度にはんだ付けができる。
【００１７】
中継基板４１は、端子ピッチが異なる半導体素子チップとメイン基板の間を中継する基板である。中継基板４１は、一面側に半導体素子４０の接続部３５のピッチ間隔に適合し微細化した素子接続部４１ａを備える。また、中継基板４１は、他面側に基板側の配線のピッチ間隔に適合した基板接続部４１ｂを備える。基板接続部４１ｂは、電源供給回路に接続する電源接続部と信号伝送回路に接続する信号接続部とを備える。電源接続部は電源供給のための接続端子である。信号接続部は信号伝送のための接続端子である。
【００１８】
そして、中継基板４１が半導体素子４０と基板との間に介在することで高集積化した半導体素子４０を基板に実装することができる。また、中継基板４１の基板接続部４１ｂが備える信号接続部は、絶縁層１０ａの外部から信号接続部まで形成した配線用ビア３２と接触している。そのため、信号接続部は、配線用ビア３２を介して外部と電気的に接続可能である。

【００１９】
第１の配線層２０は、半導体素子４０の接続部３５を接続する回路パターンを備える。そして、第１の配線層２０と素子用ビア３３とは接触している。そして、素子用ビア３３と中継基板４１の素子接続部４１ａとは、接触している。そのため、第１の配線層２０と中継基板４１の素子接続部４１ａとは、素子用ビア３３を介して電気的に接続している。第２の配線層２３は、電源供給のための回路パターンを備える。そして、第２の配線層２３は、中継基板４１の基板接続部４１ｂが備える電源接続部と電気的に半田接続で接続する。絶縁層１０ａは、中継基板４１を内蔵し、配線層２０と配線層２３との間に形成された絶縁体の層である。
【００２０】
即ち、多層配線基板１０００は、中継基板４１を絶縁層１０ａの内部に封入し、該絶縁層１０ａを第１の配線層２０と第２の配線層２３とで挟み、中継基板４１を多層配線基板１０００の内部に備える構造を有する。
【００２１】
素子用ビア３３、配線用ビア３２は、例えば、レーザビアを用いることができる。素子用ビア３３は、第１の配線層２０から絶縁層１０ａを通り素子接続部４１ａまでレーザで孔を形成し、該孔の内壁を導体でめっき処理をして形成する。素子用ビア３３は、第１の配線層２０と接触している。そして、素子用ビア３３は、素子接続部４１ａと接触している。そのため、半導体素子４０が接続部３５を介して第１の配線層２０と電気的に接続し、素子用ビア３３を介して中継基板４１の素子接続部４１ａと電気的に接続することができる。
【００２２】
配線用ビア３２は、絶縁層１０ａの外部から絶縁層１０ａを通り信号接続部までレーザで孔を形成し、素子用ビア３３と同様にしてビアを形成する。配線用ビア３２は、信号接続部と接触している。そのため、配線用ビア３２は、信号接続部と電気的に接続している。そして、配線用ビア３２は、信号接続部と外部とを電気的に接続することを可能としている。この様にして、配線用ビア３２は、中継基板４１と半導体素子４０との電気的な接続をする。配線用ビア３２は、主に外部と中継基板４１とを接続し、外部との間で例えば電気信号を伝送する。
【００２３】
はんだ接続部３４は、中継基板４１と配線層２３とを半田接続した接続部である。はんだ接続部３４は、中継基板４１の基板接続部４１ｂが備える電源接続部と配線層２３とを電気的に接続する。即ち、半田接続部３４は、電気信号に比して電流値が高い回路の接続部を接続する。
【００２４】
このような構成により多層配線基板１０００は、中継基板４１と半導体素子４０とは、第１の配線層２０及び素子用ビア３３とを介して電気的に接続する構造を備える。そして、中継基板４１は、電源接続部とはんだ接続部３４とを介して第２の配線層２３と電気的に接続する。また、中継基板４１は、信号接続部と配線用ビア３２とを介して外部と電気的に接続する。即ち、半導体素子４０は、接続部３５と第１の配線層２０と素子用ビア３３と中継基板４１とはんだ接続部３４とを介して第２の配線層と電気的に接続する。また、半導体素子４０は、接続部３５と第１の配線層２０と素子用ビア３３と中継基板４１と配線用ビア３２とを介して外部と電気的に接続する。
【００２５】
製造方法の説明
図２～６は、本発明の実施の形態１にかかる多層配線基板１０００の製造方法を示している。図２～６は、それぞれ図１に示した多層配線基板１００の製造過程を模式的に断面図で示す工程図である。
【００２６】
工程１：図２に示すように、中継基板４１の電源接続部と接続する第２の配線層２３を

形成する。第２の配線層２３は、図示していないが絶縁体をベースにして該絶縁体の表面に金属箔等の導体で形成する。次に、第２の配線層２３に回路パターンを形成する。第２の配線層２３は、配線用ビア３２のための開口部２３ａがある。絶縁体は例えば、板状のエポキシ系樹脂を用いることができる。そして、該絶縁体に金属箔を蒸着、プリント等を用いて生成する。次に、該金属箔に例えば、フォトリソグラフィ、エッチング処理等で回路パターンを生成する。

【００２７】

工程２：次に、図３に示すように第２の配線層２３の回路パターンと中継基板４１の他面側の基板接続部４１ｂが備える電源接続部とをはんだ接続部３４で半田接続し、中継基板４１を実装する。この様にしてはんだ接続部３４は、中継基板４１と第２の配線層２３とを電気的に接続する。半田接続は、電源供給に必要な部分に用いることができる。

【００２８】

工程３：次に、図４に示すように、中継基板４１を実装した第２の配線層２３に絶縁層１０ａを形成する。該絶縁層１０ａは、中継基板４１を多層配線基板１０００の内部に実装するよう隙間が無く中継基板４１の厚さより厚く材料を充填して形成する。また、絶縁層１０ａは、はんだ接続部３４を包囲するよう材料を充填し隙間が無いよう形成する。絶縁層１０ａの材料は、例えば、ビルドアップ樹脂のエポキシ系樹脂、ポリイミド系樹脂、フェノール樹脂等の有機樹脂を用いてもよい。この様にして絶縁層１０ａを設置する。絶縁層１０ａは、中継基板４１と絶縁層１３との間の空隙を埋め、中継基板４１を隙間なく設置するよう形成する。

【００２９】

工程４：次に、図５に示すように、絶縁層１０ａの上部に第１の配線層２０を形成する。また、第１の配線層２０に回路パターンを工程１と同様にして生成する。

【００３０】

工程５：次に、図６に示すように、これまで作成した回路基板に素子用ビア３３、配線用ビア３２を形成するためにレーザで孔を形成する。素子用ビア３３は、まず、第１の配線層２０から絶縁層１０ａを通り、中継基板４１の一面側に形成された素子接続部４１ａまで到達するようレーザで孔を形成する。そして、該孔の内壁に導体のめっき処理をしてビアを形成する。素子用ビア３３は、このめっき処理により配線層２０と素子接続部４１ａとを電気的に接続する。素子用ビア３３は、少なくとも素子接続部４１ａの端子の数の分、複数個生成する。

【００３１】

次に、配線用ビア３２を形成する。配線用ビア３２は、まず、絶縁層１０ａの外部から絶縁層１０ａを通り、中継基板４１の他面側に形成された基板接続部４１ｂまで到達するようレーザで孔を形成する。該孔は、基板接続部４１ｂが備える信号接続部に接続するよう形成する。そして、該孔の内壁に導体のめっき処理をしてビアを形成する。このめっき処理により信号接続部と外部とを電気的に接続する。配線用ビア３２は、少なくとも信号接続部の端子の数の分、複数個生成する。

【００３２】

さらに、工程５の後に、ＢＧＡにより半導体素子４０を実装する。例えば、リフロー炉で加熱してＢＧＡと第１の配線層２０とを接続して半導体素子４０を実装する。

【００３３】

上記工程は説明上の１例であり、製造工程の都合によっては、各工程又は各工程の構成要素が前後してもよい。例えば、配線用ビア３２を形成してから素子用ビア３３を形成してもよい。以上の工程により本発明の実施の形態２にかかる多層配線基板１００を得る。

【００３４】

効果の説明

本発明の実施の形態１にかかる多層配線基板１０００は、基板内部に中継基板４１を埋め込む構成となっている。そのため、半導体素子４０を加熱して接続部３５を接続する場合に、中継基板４１が直接熱の影響を受けにくい。そして、中継基板４１が反るなどの変

形がしにくくなっている。中継基板を基板の中に組み込むことで中継基板の反りの影響を受けずＬＳＩの多ピン化対応を可能とする。その結果、多層配線基板１００は、多数の接続端子を備える半導体素子４０の実装時に接続不良となる確率を低減し、接続部３５の接続の信頼性を向上することができる。

【００３５】

また、本発明の実施の形態１にかかる多層配線基板１０００は、中継基板４１と外部との接続に信号の伝送については配線用ビア３２と素子用ビア３３とを用いている。また、多層配線基板１０００は、中継基板４１と外部との接続に電源の供給についてははんだ接続部３４を用いている。さらに、中継基板４１と外部とをビアで電気的に接続し、外部から中継基板４１に電気的に接続することができる。このような構成により多層配線基板１０００は、配線用ビア３２と素子用ビア３３とを用いることで回路を流れる信号の劣化を低減し、高速な信号伝送に対応可能となる。一方、多層配線基板１０００は、電源供給などの中継基板の必要な部分は半田接続することで、電圧降下を抑制することができる。

【００３６】

実施の形態２

図７は、本発明の実施の形態２に係る多層配線基板１００の構成を詳細に示す断面図である。図７に示すように、多層配線基板１００は、絶縁層１０～１５と、配線層２０～２６と、ビア３０～３３と、はんだ接続部３４と、接続部３５と、集積回路（半導体素子）４０と、インターポーザ（中継基板）４１とを備える。実施の形態２は、実施の形態１に比べて絶縁層１１～１５、配線層２１、２２、２４～２６が追加されている。即ち、絶縁層と配線層の数が増えている。そして、配線層２０～２６と絶縁層１０～１５が交互に配置されている。

【００３７】

半導体素子４０は、接続部を多数備える集積回路である。接続部３５は、半導体素子４０の端子数分、複数個ある。接続部３５は、例えば半導体素子４０の裏面に多数の接続部を多数配置したＢＧＡ(Ball grid array)構造を採用することができる。

【００３８】

中継基板４１は、端子ピッチが異なる半導体素子チップとメイン基板の間を中継する基板である。中継基板４１は、一面側に半導体素子４０の接続部３５のピッチ間隔に適合し微細化した素子接続部４１ａと、他面側に基板側の配線のピッチ間隔に適合した基板接続部４１ｂとを備える。基板接続部４１ｂは、電源供給回路に接続する電源接続部と信号伝送回路に接続する信号接続部とを備える。電源接続部は電源供給のための接続端子である。信号接続部は信号伝送のための接続端子である。そして、中継基板４１が半導体素子４０と基板との間に介在することで高集積化した半導体素子を基板に実装することができる。

【００３９】

絶縁層１０～１５は、絶縁体できた層である。絶縁層１０～１５の材料は、例えば、ビルドアップ樹脂のエポキシ系樹脂、ポリイミド系樹脂、フェノール樹脂等の有機樹脂を用いてもよい。絶縁層１１は、中継基板４１に相当する位置部分に開口部を備える。絶縁層１１は、該開口部により中継基板４１を内蔵するための空間を生成する。

【００４０】

絶縁層１２は、はんだ接続部３４により形成された中継基板４１と配線層２３との間の空間を隙間ができないよう充填している。絶縁層１５は、図示していないが更に多層構造の基板を備えていてもよい。配線層２０～２６は、導体、例えば銅等の金属箔でできた回路パターンである。このうち、配線層２３は電源回路やグランド回路などの電源経路を備える。配線層２３は、後に説明するビアのための開口部がある。

【００４１】

配線層の回路パターンの製造方法は、フォトリソグラフィ、エッチング、プリント、蒸着を用いてもよい。配線層２３への電源供給は配線層２３に電源を直接接続してもよい。配線層２４は、信号伝送のための回路パターンを備える。配線層２４は、後に説明する配

線用ビア３２を介して中継基板４１の信号接続部と電気的に接続する。

【００４２】

はんだ接続部３４は、中継基板４１と配線層２３とを半田接続した接続部である。はんだ接続部３４は、中継基板４１の基板接続部４１ｂが備える電源接続部と配線層２３とを電気的に接続する。即ち、半田接続部３４は、電気信号に比して電流値が高い回路の接続部を接続する。

【００４３】

ビア３０～３３は、各配線層２０～２６と外部とを電気的に接続するレーザビアである。ビア３０～３３は、絶縁層１０～１５や配線層２０～２６を積層した後、レーザ等で孔を形成する。そして、該孔の内壁を導体でめっき処理をしてビアを形成する。各ビアが各配線層２０～２６に接触することで異なる層間の配線層と配線層とを電気的に接続したり、外部と電気的に接続したりすることを可能としている。ビア３０～３３は、主に異なる層間の配線層と配線層とを接続したり、外部との間で電気的に接続したりして、例えば電気信号を伝送する。

【００４４】

本実施の形態でビア３０は、全ての絶縁層と配線層とを貫通している。ビア３０は、各配線層２０～２６と接触している。そのため、ビア３０は、各配線層２０～２６と電気的に接続している。ビア３１は、配線層２５と配線層２６とに接触している。そのため、ビア３１は、配線層２５と配線層２６とを電気的に接続する。ビア３１は、絶縁層１５に多数の基板の層がある場合はそれらの層に存在する各配線層にそれぞれ接触している。そのため、ビア３１は、該各配線層をそれぞれ電気的に接続する。

【００４５】

配線用ビア３２は、配線層２３の開口部を通りかつ絶縁層１２、１３を通り、中継基板４１の基板接続部４１ｂが備える信号接続部と配線層２４とに接触している。そのため、配線用ビア３２は、信号接続部と配線層２４とを電気的に接続する。素子用ビア３３は、中継基板４１の素子接続部４１ａと配線層２０とに接触している。そのため、素子用ビア３３は、中継基板４１の素子接続部４１ａと配線層２０とを電気的に接続する。素子用ビア３３は、少なくとも半導体素子４０の接続部３５の端子数分、複数個ある。

【００４６】

その他図示していないが、絶縁層１５に多数の基板の層がある場合はそれらの層に存在する各配線層まで電気的に接続したビアがそれぞれ存在する。各配線層は、ビアと電気的に接続したくない場合は、回路の設計時にビアに電気的に接続しないよう回路パターンを生成する。このようにビアを形成することで、多層構造を備える多層配線基板１００の任意に選択した各配線層２０～２６に、外部に通じる信号経路を生成することができる。

【００４７】

上述したように、本発明の実施の形態２にかかる多層配線基板１００は、図７に示すような多層構造を備える。多層配線基板１００は、基板内部に中継基板４１を埋め込む構成となっている。多層配線基板１００は、中継基板の外側との基板の電気的接続については、電源やグランドについては半田接続により接続し、信号についてはビアにより接続をおこなっている構造となる。

【００４８】

製造方法の説明

図８～１３は、本発明の実施の形態２にかかる多層配線基板１００の製造方法を示している。図８～１３は、それぞれ図７に示した多層配線基板１００の製造過程を模式的に断面図で示す工程図である。

【００４９】

工程１：図８に示すように、中継基板を実装するためのベースとなるベース基板を作成する。ベース基板は、配線層２３と、絶縁層１３と、配線層２４とを備える。配線層２３は、ビアのための開口部２３ａがある。ベース基板は例えば、板状のエポキシ系樹脂でできた絶縁層１３に配線層２３、２４となる金属箔を生成する。そして、該金属箔に例えば

、フォトリソグラフィ等で回路パターンを生成する。

【００５０】

工程２：次に、図９に示すようにベース基板上の配線層２３と中継基板４１の他面側にある基板接続部４１ｂが備える電源接続部とを半田付けを用いて接続し、中継基板４１を実装する。この様にしてはんだ接続部３４は、中継基板４１と配線層２３とを電気的に接続する。この半田接続は、電源供給に必要な部分に用いることができる。

【００５１】

工程３：次に、図１０に示すように、中継基板４１を実装したベース基板に他の層を組み上げ積層する。ベース基板に積層する中間層をまず生成する。中間層は、絶縁層１１と、配線層２１と、配線層２２とを備える。該中間層は、中継基板４１を多層配線基板１００の内部に実装するために、絶縁層１１と、配線層２１と、配線層２２とに中継基板４１が収まる様開口部が設けられている。中間層は絶縁層１１に配線層２１と２２とを工程１と同様にして生成する。また、配線層２１と配線層２２とに回路パターンを工程１と同様にして生成する。

【００５２】

次に、中間層を設置するため中間層を配線層２３の上部に設置する。この設置のためにスペーサー等を用いてもよい。該スペーサーは絶縁体を用いてもよい。該絶縁体は絶縁層と同じ材料を用いてもよい。そして、配線層２３と配線層２２との間に絶縁層１２を、材料を充填して形成する。絶縁層１２はアンダーフィル樹脂を用いてもよい。絶縁層１２は、はんだ接続部３４を包囲するよう充填するよう形成する。また、絶縁層１２は開口部２３ａを隙間がなく充填するよう形成する。また、絶縁層１２は、中間層の開口部を隙間がなく充填するよう形成する。

【００５３】

この様にして絶縁層１２の上部に中間層を設置する。更に配線層２０を形成するために、絶縁層１０を形成する。絶縁層１０はアンダーフィル樹脂を充填する。アンダーフィル樹脂はエポキシ樹脂を用いても良い。絶縁層１０のアンダーフィル樹脂の充填により、絶縁層１２と絶縁層１０とが一体となる。また、アンダーフィル樹脂は上記の中間層の開口部を埋め、また中継基板４１と絶縁層１３との間の空隙を埋め、中継基板４１を隙間なく設置するよう充填する。そして、絶縁層１０の上部に配線層２０を工程１と同様にして形成する。また、配線層２０に工程１と同様にして回路パターンを生成する。

【００５４】

工程４：次に、図１１に示すように、工程３で作成した回路基板に素子用ビア３３を形成するためにレーザで孔を形成する。該孔は配線層２０から絶縁層１０を通り、中継基板４０の素子接続部４１ａまで到達する。そして、素子用ビア３３は、孔の内壁に導体のめっき処理をして形成する。素子用ビア３３は、配線層２０と素子接続部４１ａとに接触している。そのため、素子用ビア３３は、配線層２０と素子接続部４１ａとを電気的に接続する。素子用ビア３３は、少なくとも素子接続部４１ａの端子の数の分、複数個生成する。

【００５５】

次に、配線用ビア３２を形成する。配線用ビア３２を形成するためにレーザで孔を形成する。該孔は配線層２４から絶縁層１３、１２を通り、中継基板４０の基板接続部４１ｂまで到達する。該孔は基板接続部４１ｂが備える信号接続部に接続するよう形成する。そして、配線用ビア３２は、孔の内壁に導体のめっき処理をして形成する。配線用ビア３２は、配線層２４と信号接続部とに接触している。そのため、配線用ビア３２は、配線層２４と信号接続部とを電気的に接続する。配線用ビア３２は、少なくとも信号接続部の端子の数の分、複数個生成する。

【００５６】

工程５：次に、図１２に示すように、工程４で作成した回路基板に他の基板の層を実装する。他の基板の層は、例えば、配線層２４の下にアンダーフィル樹脂で絶縁層１４を形成する。次に、絶縁層１４の下に配線層２５を形成する。また、配線層２５に工程１と同

様にして回路パターンを生成する。同様にして絶縁層１５、回路パターンを備える配線層２６を形成し、多層構造の多層配線基板を得る。次に、配線層２５と配線層２６とを電気的に接続するビア３１を工程４と同様の手法を用いて生成する。この様にして他の基板の各配線層は、外部と電気的に接続する。

【００５７】

工程６：次に、図１３に示すように、工程５で作成した回路基板に全層を電気的に接続するためのスルーホールとなるビア３０を形成する。ビア３０の形成方法は工程４と同様である。この様にして多層配線基板１００の各配線層に、外部と電気的に接続するビア３０を形成する。各配線層のいずれかでビア３０と接続させたくない配線層は、回路パターンの設計でビア３０を回避してもよい。

【００５８】

さらに、工程６の後に、ＢＧＡにより半導体素子４０を実装する。例えば、リフロー炉で加熱してＢＧＡと第１の配線層２０とを接続して半導体素子４０を実装する。

【００５９】

上記各工程は説明上の１例であり、製造工程の都合によっては、各工程又は各工程の構成要素が前後してもよい。例えば、配線用ビア３２を形成してから素子用ビア３３を形成してもよい。

以上の工程により本発明の実施の形態２にかかる多層配線基板１００を得る。

【００６０】

効果の説明

本発明の実施の形態２にかかる多層配線基板１００は、基板内部に中継基板４１を埋め込む構成となっている。そのため、半導体素子４０等の半導体素子を加熱して接続部３５を接続する場合に、中継基板４１が直接熱の影響を受けにくい。そして、中継基板４１が反るなどの変形がしにくくなっている。中継基板を基板の中に組み込むことで中継基板の反りの影響を受けずＬＳＩ多ピン化対応を可能とする。その結果、多層配線基板１００は、多数の接続端子を備える半導体素子４０の実装時に接続不良となる確率を低減し、接続部３５の接続の信頼性を向上することができる。

【００６１】

また、本発明の実施の形態２にかかる多層配線基板１００は、中継基板４１と外部との接続に信号の伝送についてはビア３０～３３を用いている。また、多層配線基板１００は、中継基板４１と外部との接続に電源の供給についてははんだ接続部３４を用いている。さらに、各層の配線層と外部とをレーザビアで電気的に接続し、外部から各配線層に電気的に接続することができる。

【００６２】

このような構成により多層配線基板１００は、ビア３２、３３を用いることで回路を流れる信号の劣化を低減し、高速な信号伝送に対応可能となる。一方、多層配線基板１００は、電源供給などの中継基板の必要な部分は半田接続することで、電圧降下を低減することができる。また、多層配線基板１００は、各配線層と外部との電気的な接続にレーザビアを用いることにより、各層を積層した後でも電気的な伝送路を構築可能となる。

【００６３】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。さらに、上述した実施の形態は本件発明者により得られた技術思想の適用に関する例に過ぎない。すなわち、当該技術思想は、上述した実施の形態のみに限定されるものではなく、当業者が用いることができる種々の変更が可能であることは勿論である。

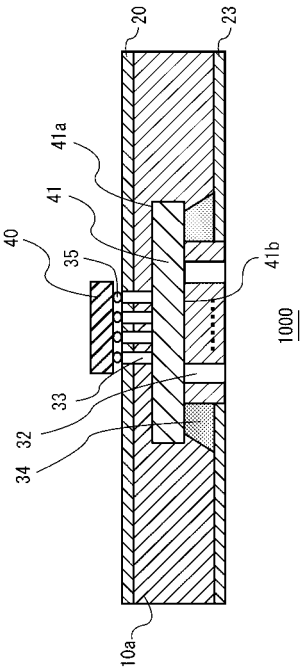
【符号の説明】

【００６４】

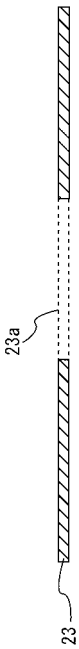
１０　絶縁層
１０ａ　絶縁層
１１　絶縁層

１２　絶縁層
１３　絶縁層
１４　絶縁層
１５　絶縁層
２０　配線層（第１の配線層）
２１　配線層
２２　配線層
２３　配線層（第２の配線層）
２３ａ　開口部
２４　配線層
２５　配線層
２６　配線層
３０　ビア
３１　ビア
３２　配線用ビア
３３　素子用ビア
３４　はんだ接続部
３５　接続部
４０　集積回路
４１　中継基板
４１ａ　素子接続部
４１ｂ　基板接続部
１００　多層配線基板
１１０　配線層
１１１　配線層
１１２　配線層
１１３　配線層
１２０　絶縁層
１２１　絶縁層
１２２　絶縁層
１３０　ビア
１３５　接続部
１３６　はんだ接続部
１４０　半導体素子
１４１　中継基板
２００　多層配線基板
１０００　多層配線基板

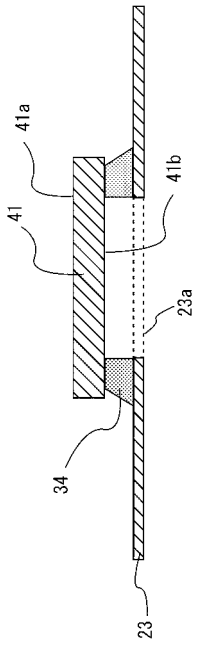
【図１】


20
23
41a
41
40
35
41b
1000
33
32
34
10a

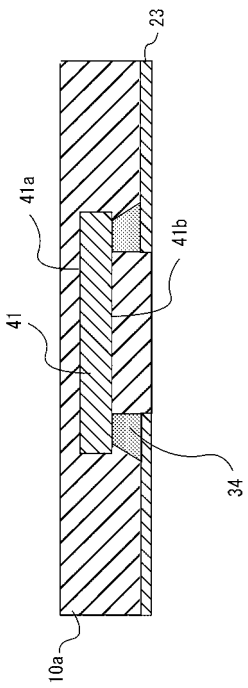
【図２】


23a
23

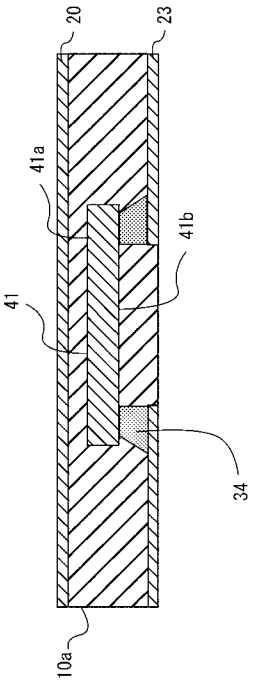
【図３】


41a
41b
41
23a
34
23

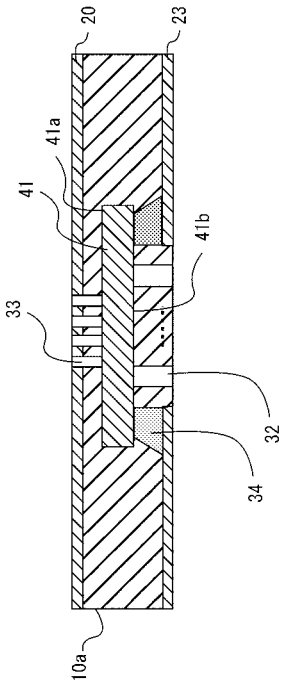
【図４】


23
41a
41b
41
34
10a

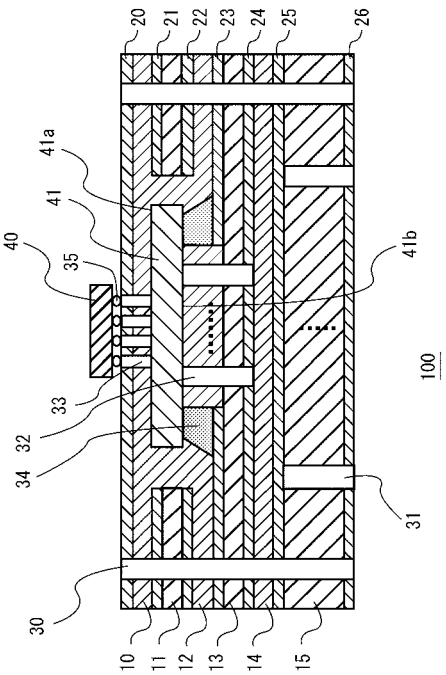
【図５】


20
23
41a
41b
41
34
10a

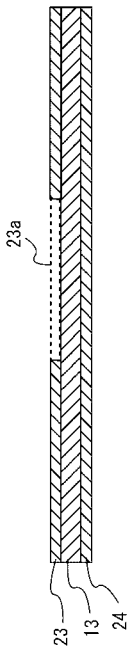
【図６】


20
23
41a
41
41b
33
32
34
10a

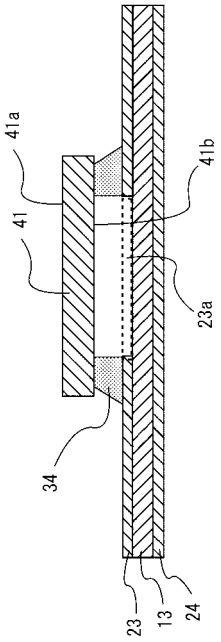
【図７】


20
21
22
23
24
25
26
41a
41
40
35
41b
100
33
32
34
31
30
10
11
12
13
14
15

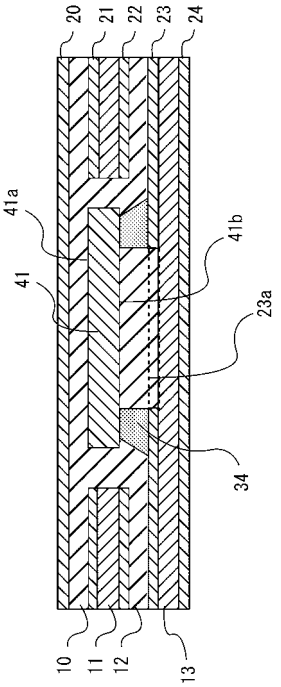
【図８】


23a
23
13
24

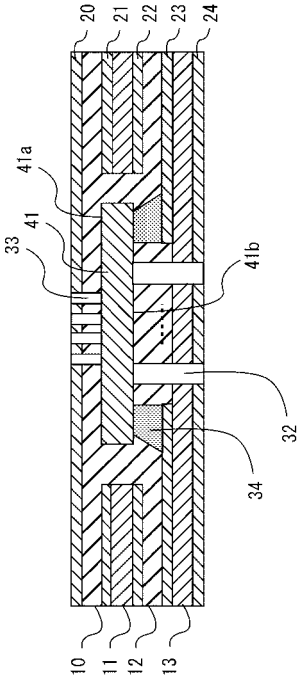
【図９】



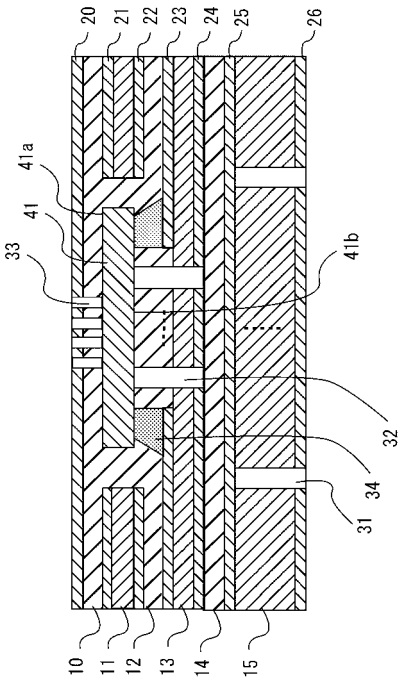
【図１０】



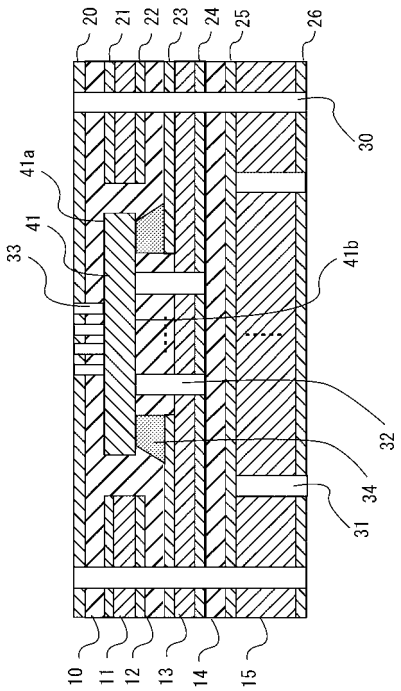
【図１１】



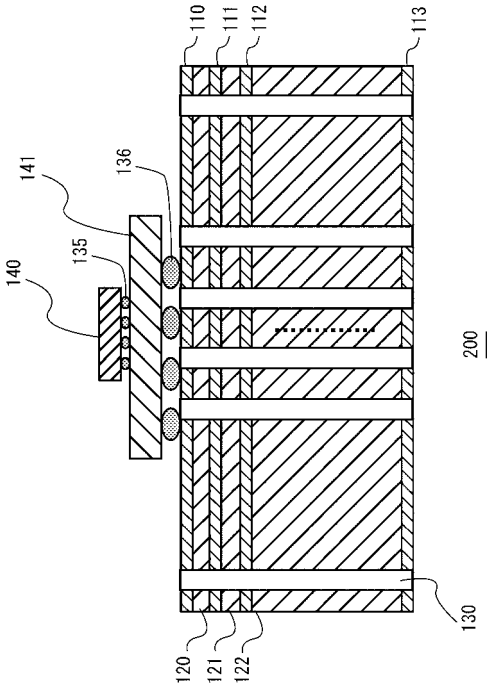
【図１２】



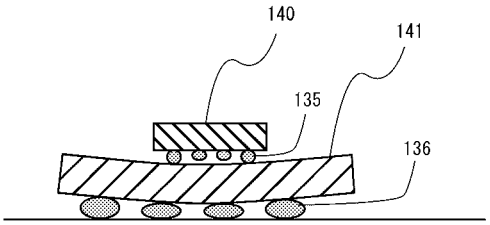
【図１３】


20
21
22
23
24
25
26
30
41a
41
33
41b
32
34
31
10
11
12
13
14
15

【図１４】


110
111
112
113
141
136
135
140
200
130
120
121
122

【図１５】


140
141
135
136