

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/328 (2006.01)

H01L 21/8222 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410018261.2

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367477C

[22] 申请日 2004.5.12

[21] 申请号 200410018261.2

[73] 专利权人 上海先进半导体制造有限公司

地址 200233 上海市虹漕路 385 号

[72] 发明人 詹佳文 陈惠明

[56] 参考文献

US6440812B2 2002.8.27

US2002/0105054A1 2002.8.8

CN1381881A 2002.11.27

CN1349661A 2002.5.15

审查员 陶应磊

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

权利要求书 1 页 说明书 6 页 附图 8 页

[54] 发明名称

双层布线双极型器件制造工艺

[57] 摘要

本发明公开了一种双层布线双极型器件制造工艺，其中进行基区推进时温度为 $950^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ ，基区推进的时间为 100 分钟；进行发射区推进时温度为 $950^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ ，发射区推进的时间为 30 ~ 60 分钟；采用大剂量注入的砷(As)离子作为发射区，注入的剂量不低于 $1\text{E}15$ ，注入离子的能量为 20 ~ 80KeV。本发明的制造工艺能制造的器件的最小开孔尺寸为 $1.5 \times 1.5 \mu\text{m}$ ，这样大大缩小了芯片尺寸。且其基区结深为 $0.7 \mu\text{m}$ ，发射区结深为 $0.4 \mu\text{m}$ ，这样可制成的高频器件，用于高频场合。

在衬底上制作 N 阱→在衬底上制作 P 阱→生长 N 型外延的步骤→
生长零层结构→隔离注入 DP 阱→注入磷离子并进行深磷推进→
基区推进→注入硼离子并进行推进→发射区推进→
第一层布线，包括开孔和铝布线→平坦化步骤→
第二层布线，包括开孔和铝布线→形成保护层

1. 一种双层布线双极型器件制造工艺，其特征在于：
进行基区推进时温度为 $950^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，基区推进的时间为 100 分钟；
进行发射区推进时温度为 $950^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，发射区推进的时间为 30~60 分钟；
采用大剂量注入的砷离子作为发射区，注入的剂量不低于 $1\text{E}15$ ，注入离子的能量为 20~80KeV。
2. 如权利要求 1 所述的制造工艺，其特征在于，具体包括以下工艺步骤：
在衬底上制作 N 阱→在衬底上制作 P 阱→生长 N 型外延的步骤→生长零层结构→隔离注入 DP 阱→注入磷离子并进行深磷推进→基区推进→注入硼离子并进行推进→发射区推进→第一层布线，包括开孔和铝布线→平坦化步骤→第二层布线，包括开孔和铝布线→形成保护层。
3. 如权利要求 2 所述的制造工艺，其特征在于，在开孔的工艺步骤中，采用干法刻蚀和湿法刻蚀相结合的工艺。
4. 如权利要求 3 所述的制造工艺，其特征在于，所述零层结构生长在所述外延上，专门用于曝光。

双层布线双极型器件制造工艺

技术领域

本发明涉及双极型器件的制造工艺，尤其涉及一种双层布线双极型器件的制造工艺。

背景技术

现有的双极型 Bipolar 制造工艺，无论是双层布线的还是单层布线的，其最小孔尺寸一般为 $3 \times 4 \mu\text{m}$ ，结深在 $2 \mu\text{m}$ 左右。用它制成的集成电路不仅芯片面积大，且只能应用在低频场合。随着集成电路的发展，客户经常需要一种低压、超高频且芯片面积很小的高性能集成电路。于是就需要一种具有较小直径的孔，并且结深较浅的双极型器件的制造工艺，是其能适用于高频、低压的场合。

传统的的双极型器件的制造工艺包括（以制造双层布线为例）：制造衬底→在衬底上制造 N 阱→在衬底上制造 P 阱→形成外延→隔离注入→深磷注入并推进→基区推进→浓硼注入并推进→发射区推进→第一层布线（开孔→铝布线）→第二层布线（开孔→铝布线）→形成保护层。

由于基区和发射区的深度直接决定了该器件的频率和电压，因此如果希望得到低压、高频的双极型器件，如何控制基区推进和发射区推进这两个工艺步骤是很关键的，另外，开孔步骤中采用何种工艺直接决定了开孔的大小。因此，针对上述工艺步骤的改进是获得高性能器件的关键。

发明内容

本发明的目的是提供一种双层布线双极型器件制造工艺，其能够制造基区、发射区深度较浅的器件，以满足低压、高频的需要。

本发明提供的该种制造工艺的另一目的是能够具有尺寸更小的开孔，能缩小芯片的面积。

为了达到上述目的，本发明采用如下的技术方案：

一种双层布线双极型器件制造工艺，其中：

进行基区推进时温度为 $950^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，基区推进的时间为 100 分钟；

进行发射区推进时温度为 $950^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，发射区推进的时间为 30~60 分钟；

采用大剂量注入的砷（As）离子作为发射区，注入的剂量不低于 $1\text{E}15$ ，注入离子的能量为 20~80KeV。

在开孔的工艺步骤中，采用干法刻蚀和湿法刻蚀相结合的工艺。

在外延生长的工艺步骤之后还包括零层结构生长的工艺步骤，所述零层结构生长在所述外延上，专门用于曝光。

在第一层布线完成之后，第二层布线开始之前，还具有平坦化工艺步骤。

根据本发明的一个较佳实施例，其具体包括以下工艺步骤：在衬底上制作 N 阱→在衬底上制作 P 阱→生长 N 型外延的步骤→生长零层结构→隔离注入 DP 阱→注入磷离子并进行深磷推进→基区推进→注入硼离子并进行推进→发射区推进→第一层布线，包括开孔和铝布线→平坦化步骤→第二层布线，包括开孔和铝布线→形成保护层。

由于采用了上述的技术方案，本发明的制造工艺能制造的最小孔尺寸为 $1.5\times 1.5\mu\text{m}$ ，这样大大缩小了芯片尺寸。且其基区结深为 $0.7\mu\text{m}$ ，发射区结深为 $0.4\mu\text{m}$ ，这样可制成的高频器件，用于高频场合。

附图说明

图 1 是按照本发明的一个实施例的制造工艺流程图；

图 2 是上述实施例中进行 N 阱推进的截面图；

图 3 是上述实施例中进行 P 阱推进的截面图；

图 4 是上述实施例中外延生长的截面图；

图 5 是上述实施例中间隔注入的截面图；

图 6 是上述实施例中间磷注入及推进的截面图；

图 7 是上述实施例中间基区推进的截面图；

图 8 是上述实施例中间浓硼注入及推进的截面图；

图 9 是上述实施例中间发射区推进的截面图；

图 10 是上述实施例中开孔的截面图；

图 11 是上述实施例中铝布线的截面图；

图 12 是根据本发明的制造工艺制造的 **NPN** 管的截面结构图；

图 13 是根据本发明的制造工艺制造的横向 **PNP** 管的截面结构图；

图 14 是根据本发明的制造工艺制造的纵向 **PNP** 管的截面结构图；

图 15 是根据本发明的制造工艺制造的 **SP** 和 **IR** 电阻的截面结构图；

图 16 是根据本发明的制造工艺制造的 **MOS** 电容的截面结构图。

具体实施方式

本发明的特征、本质和优势将在下面结合实施例和附图的描述之后变得更加明显。

前面已经说过，本发明主要的改进点在于基区推进、发射区推进和开孔这三个步骤上。本发明通过控制基区推进和发射区推进的温度以及推进的时间而控制基区以及发射区的结深，同时采用干法刻蚀和湿法刻蚀相结合的工艺来实现较小直径的开孔。图 1 所示时按照本发明的一个实施例的具体工艺步骤，该实施例是双层布线的工艺流程，需要说明的是，图 1 所示的实施例只是一个示例性地说明，并不是说本发明的制造工艺必须精确地符合图 1 所示流程图中的每一个步骤，只要在本发明的思想的范围之内，对于图 1 所示的步骤进行适当的修改都是本领域内的技术人员容易想到的。

如图 1 所示，该实施例中的工艺步骤具体包括：

在衬底上制作 N 阱→在衬底上制作 P 阱→生长 N 型外延的步骤→生长零层结构→隔离注入 DP 阱→注入磷离子并进行深磷推进→基区推进→注入硼离子并进行推进→发射区推进→第一层布线，包括开孔和铝布线→平坦化步骤→第二层布线，包括开孔和铝布线→形成保护层。

将上述的流程与传统的工艺流程相比较，可以发现，从步骤上，该实施例增加了两个步骤。其一是在生长 N 型外延的步骤之后，隔离注入 DP 阱之前增加了生长零层结构的步骤。这是由于本发明的技术方案中采用全注入的工艺，对于外延以后的层次的曝光会产生问题，因此增加一个零层结构，该层专门用于曝光。其二是在两次布线之间增加了平坦化的步骤，所谓平坦化就是再铺设

一层诸如 BPSG (B+P+ silicon Glass, 即含有 B⁺与 P⁺离子的硅玻璃) 的物质, 由于其具有流动性, 覆盖该层后可使表面光滑。上面是给两个步骤实在流程中新增加的步骤, 下面结合各个步骤中处于不同阶段的器件的截面图来说明一下本发明对于现有的步骤的一些改进。

下面的描述是以制造 NPN 管的过程为例进行说明的, 熟悉本领域的技术人员应该理解, 下述过程在制造不同器件是会有有一定的改变, 但这种改变是可以预见的, 不应该被视为脱离了本发明的范围。

图 2 是上述实施例中在衬底上制作 N 阱的截面图。该步骤具体包括以下部分: 首先是氧化→然后是刻蚀 BN 的窗口→注入铈离子→BN 推进形成 N 阱→去除氧化层。之后就形成如图 2 所示的形态, 在衬底 P-Substrate 上形成 N 阱 BN。

图 3 是上述实施例中进行 P 阱推进的截面图。该步骤具体包括以下部分: 首先是氧化→然后是刻蚀 BP 的窗口→注入硼离子→BP 推进形成 P 阱→去除氧化层。之后就形成如图 3 所示的形态, 在衬底 P-Substrate 上形成 P 阱 BP。

图 4 是上述实施例中外延生长的截面图。在该实施例中, 生长的外延是 N 型的外延 N-EPI。

在该步骤之后, 本发明还增加了一个步骤, 就是生长零层结构的步骤, 上面已经进行了描述。零层结构专门用于曝光, 因此就不再专门画图表示了。

图 5 是上述实施例中隔离注入 DP 阱的截面图。该步骤具体包括以下部分: 首先是形成氧化层 501→在氧化层上涂上光刻胶 502→刻蚀光刻胶 502 形成 DP 窗口→注入硼离子形成 DP 阱→DP 阱推进→去除氧化层。之后就形成如图 5 所示的形态, 在 N 型外延 N-EPI 中形成 DP 阱 DP, 位于 P 阱 BP 的上方。

图 6 是上述实施例中深磷注入及推进的截面图。该步骤具体包括以下部分: 首先形成氧化层 601→在氧化层上涂上光刻胶 (图中没有画出)→刻蚀光刻胶形成窗口 (DN 对应的位置, 图中没有示出)→注入磷离子并推进→去除光刻胶→去除氧化层 601 (图 6 所示是还没有去除氧化层的情形)。之后就形成如图 6 所示的形态, 在 N 型外延 N-EPI 中形成 N 型的深磷扩散区 DN, 其深度达到 BN 区域并部分深入到 BN 区域内。

图 7 是上述实施例中基区推进的截面图。该步骤具体包括以下部分: 首先形成氧化层 701→在氧化层上涂上光刻胶 702→刻蚀光刻胶形成窗口 (SP 对应的

位置)→注入硼离子并推进→去除光刻胶 702→去除氧化层 701(图 7 所示是还没有去除氧化层及光刻胶的情形)。之后就形成如图 7 所示的形态,在 N 型外延 N-EPI 中形成基区 SP,其位于 BN 区域的上方。

图 8 是上述实施例中浓硼注入及推进的截面图。该步骤具体包括以下部分:首先形成氧化层 801→在氧化层上涂上光刻胶(图中未示出)→刻蚀光刻胶形成窗口(DB 对应的位置),如图 8 所示,浓硼注入区域共有三处,一处为基区,另两处分别位于两个 DP 阱中,窗口的位置与这些位置相对应→注入硼离子并推进,其中位于基区的 BD 区其深度超过基区的深度,但是未达到 N 阱;位于两个 DP 阱中的 DB 区其深度不超过 DP 阱的深度→去除光刻胶→去除氧化层 801(图 8 所示是还没有去除氧化层及光刻胶的情形)。之后就形成如图 8 所示的形态,在基区 SP 中形成浓硼扩散区 DB,在两个 DP 阱中也形成浓硼扩散区 DB。在基区推进的过程中,其温度和持续的时间是本发明的重要的改进步骤之一,在该实施例中基区推进时温度为 950°C~1000°C,基区推进的时间为 100 分钟左右。使用上述参数得到的基区的结深在 0.7 μm。

图 9 是上述实施例中发射区推进的截面图。该步骤具体包括以下部分:首先形成氧化层 901→在氧化层上涂上光刻胶(图中未示出)→刻蚀光刻胶形成窗口(SN 对应的位置),如图 9 所示,浓硼注入区域共有两处,一处为基区(不与浓硼扩散区 DB 相接触),另一处位于深磷扩散区 DN 中,窗口的位置与这些位置相对应→注入砷(As)离子并推进,其中位于基区的 SN 区其深度不超过基区的深度;位于深磷扩散区 DN 中的 SN 区其深度不超过 DN 深度→去除光刻胶→去除氧化层 901(图 9 所示是还没有去除氧化层及光刻胶的情形)。之后就形成如图 9 所示的形态,在基区 SP 中形成发射区 SN,在深磷扩散区 DN 中也形成发射区 SN。在发射区推进的过程中,其温度和持续的时间也是本发明的重要的改进步骤之一,在该实施例中,发射区推进时温度为 950°C~1000°C,发射区推进的时间为 30~60 分钟。同时,本发明采用大剂量注入的砷(As)离子作为发射区,例如,在该实施例中,注入的 As 剂量不低于 1E15(10 的 15 次方,即 10^{15}),注入离子的能量为 20~80KeV。使用上述参数得到的发射区的结深在 0.4 μm。

图 10 是上述实施例中开孔的截面图。该步骤具体包括以下部分:首先形成氧

化层 1001→在氧化层上涂上光刻胶(图中未示出)→刻蚀光刻胶形成窗口(SN 和 DB 区域对应的位置)→刻蚀窗口位置对应的氧化层 1001,同时保留其他部分的氧化层 1001→去除光刻胶。之后就形成如图 10 所示的形态,在两个发射区 SN 和浓硼扩散区 DB 上形成开孔。在该实施例中,开孔时采用干法刻蚀和湿法刻蚀相结合的工艺,所谓干法刻蚀就是使用气体进行刻蚀,而湿法刻蚀时使用溶液进行刻蚀,单独使用干法刻蚀或者使湿法刻蚀无法达到期望的 $1.5 \times 1.5 \mu\text{m}$ 直径并且质量较好的开孔,因为如单独使用干法刻蚀,开出的小孔边界坡度较陡,不利于布线。单独使用湿法刻蚀的话,则不能满足小孔线宽的要求。所以本发明采用两者相结合的方法。

图 11 是上述实施例中铝布线的截面图。该步骤相对简单,在上述的开孔中分别注入铝,就形成了布线,单个开孔及其上的铝分别记为 C、B、E,代表三极管的三极。

由于该工艺是双层布线,因此上述的开孔步骤和铝布线步骤都进行两次,以完成两次的布线工作,再两次布线之间,本发明还加入了一个平坦化的工艺步骤,上面已经描述过了。就是再铺设一层诸如 BPSG(B+P+ silicon Glass,即含有 B+与 P+离子的硅玻璃)的物质,由于其具有流动性,覆盖该层后可使表面光滑。

最后,再生长好保护层即可完成工艺。

图 12—16 是采用本发明的制造工艺制造的各种不同器件的截面图。其中图 12 是 NPN 管的截面结构图,图 13 是横向 PNP 管的截面结构图,图 14 是纵向 PNP 管的截面结构图,图 15 是 SP 和 IR 电阻的截面结构图,而图 16 是 MOS 电容的截面结构图。

采用上述技术方案及参数的制造工艺,其制造的器件最小孔尺寸为 $1.5 \times 1.5 \mu\text{m}$,这样大大缩小了芯片尺寸。且其基区结深为 $0.7 \mu\text{m}$,发射区结深为 $0.4 \mu\text{m}$,这样可制成的高频器件,用于高频场合。

上述实施例是提供给熟悉本领域内的人员来实现或使用本发明的,熟悉本领域的人员可在不脱离本发明的发明思想的情况下,对上述实施例做出种种修改或变化,因而本发明的保护范围并不被上述实施例所限,而应该是符合权利要求书提到的创新性特征的最大范围。

在衬底上制作 N 阱 → 在衬底上制作 P 阱 → 生长 N 型外延的步骤 →
生长零层结构 → 隔离注入 DP 阱 → 注入磷离子并进行深磷推进 →
基区推进 → 注入硼离子并进行推进 → 发射区推进 →
第一层布线，包括开孔和铝布线 → 平坦化步骤 →
第二层布线，包括开孔和铝布线 → 形成保护层

图 1

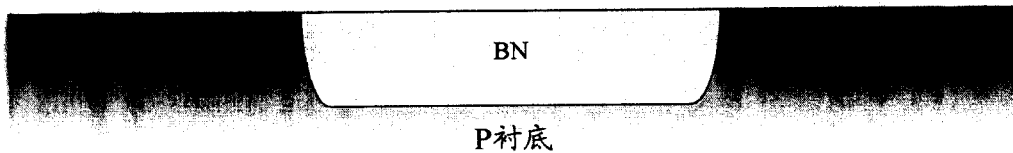


图 2

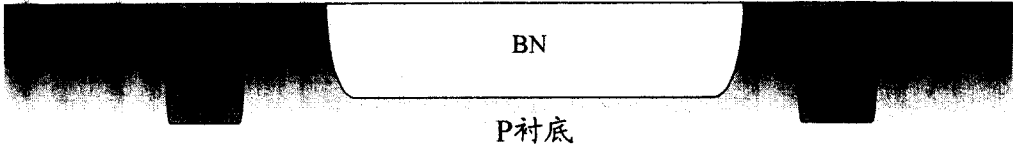


图 3

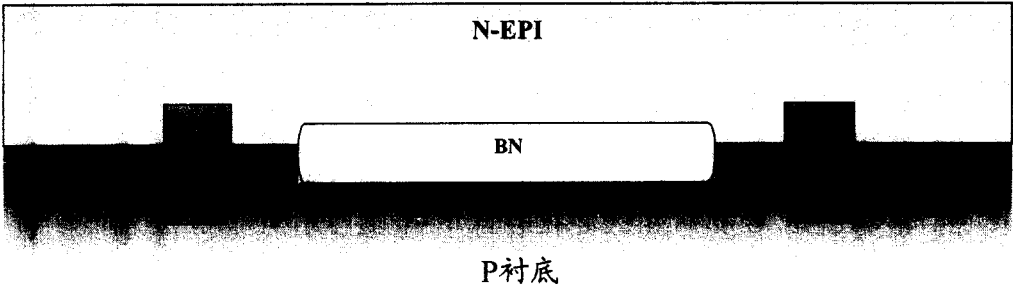


图 4

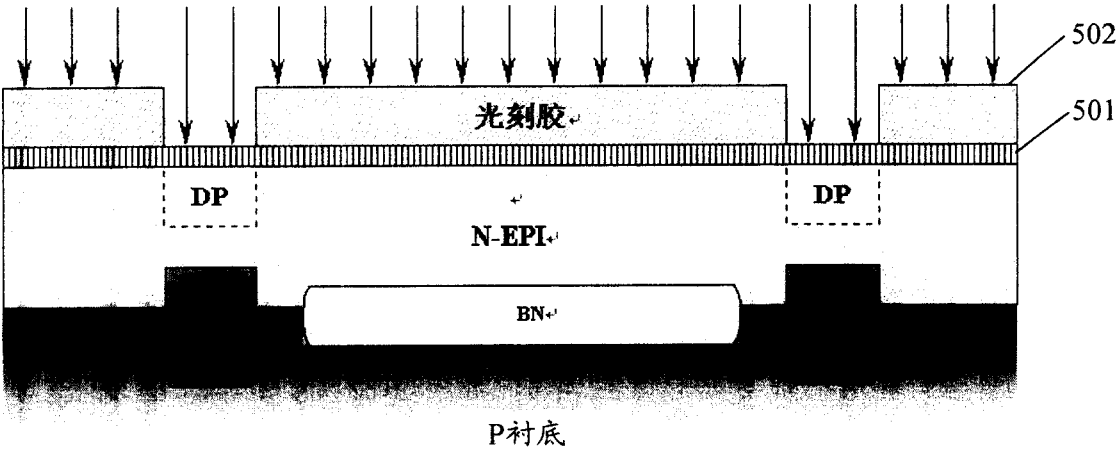


图 5

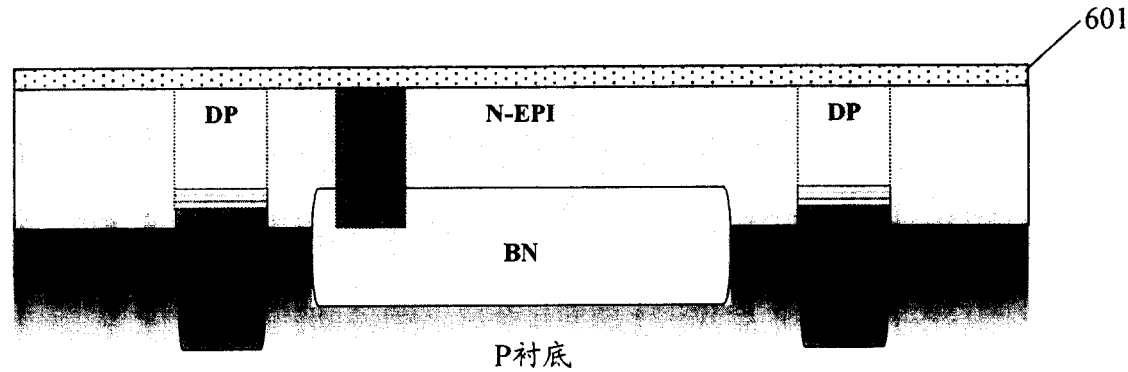


图 6

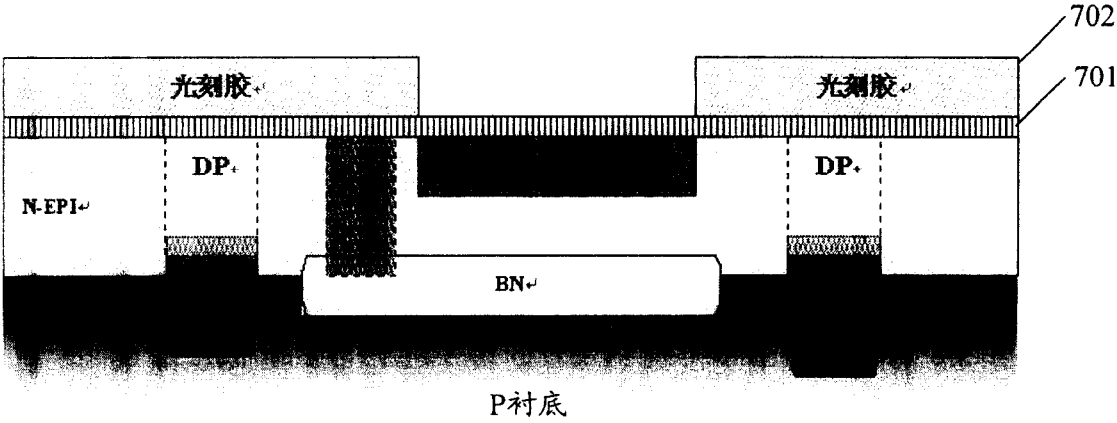


图 7

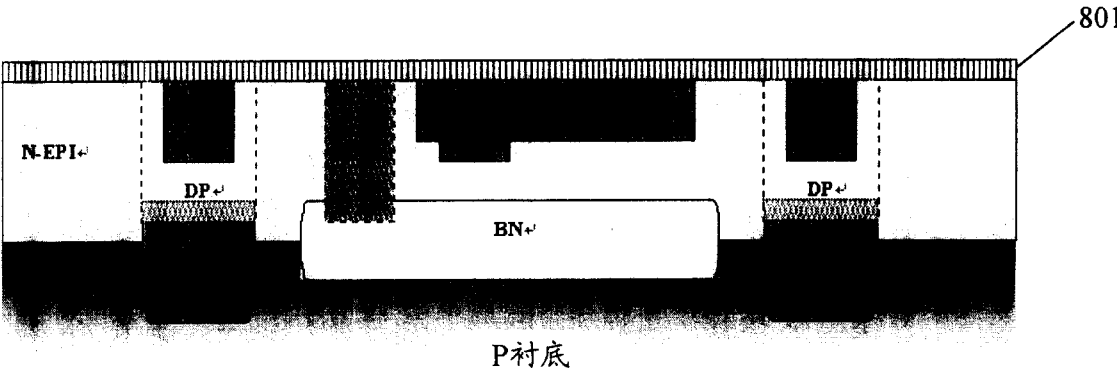


图 8

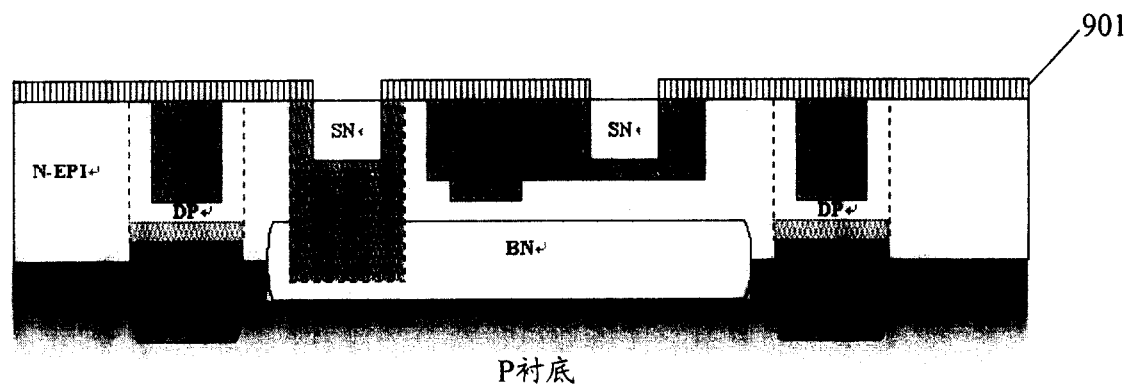


图 9

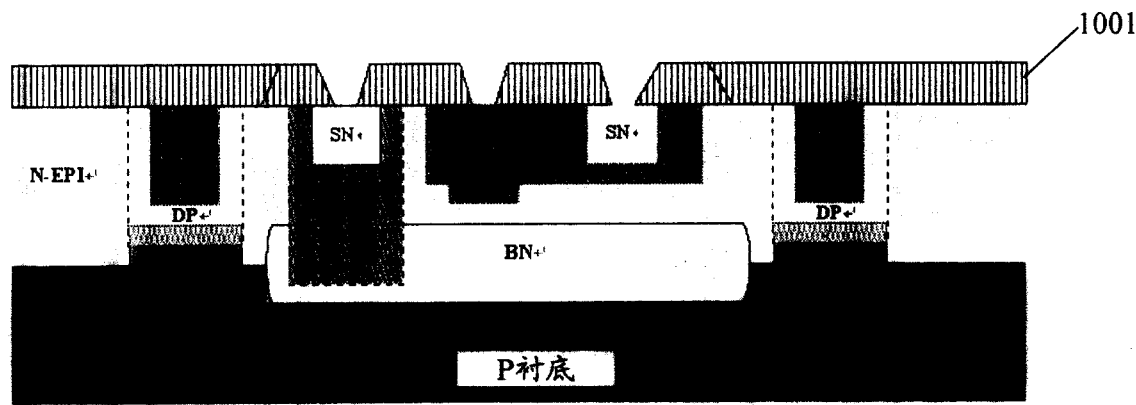


图 10

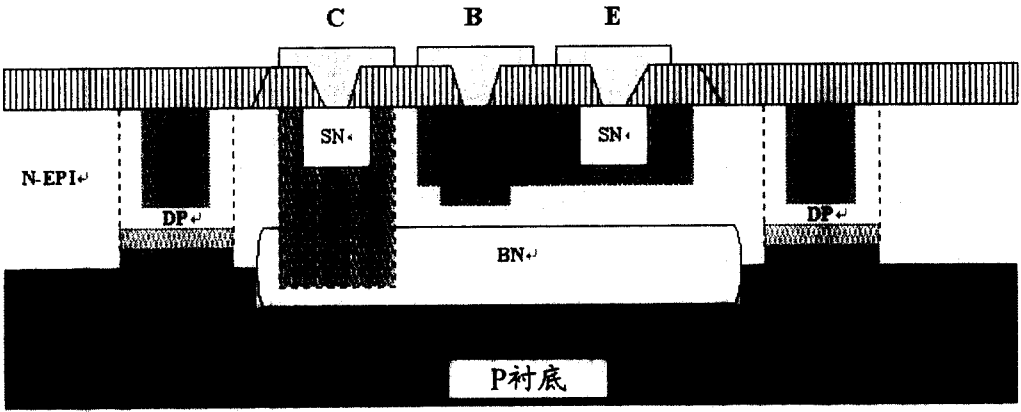


图 11

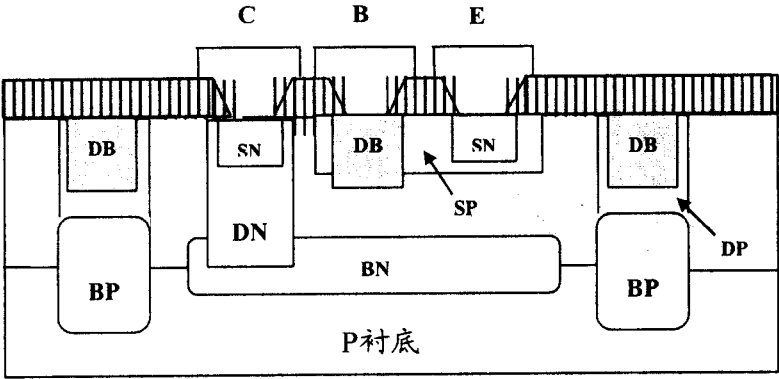


图 12

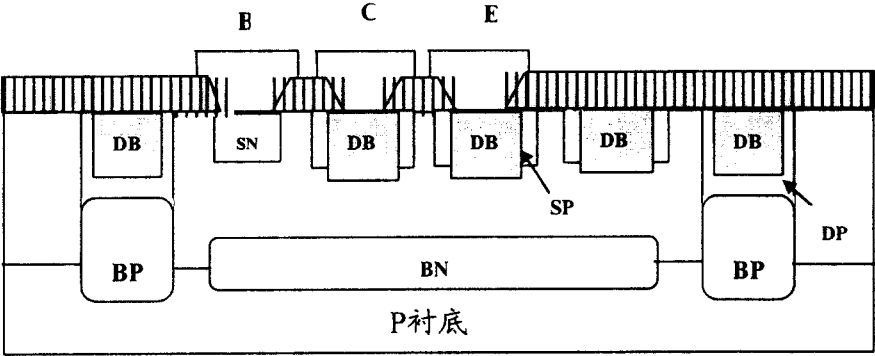


图 13

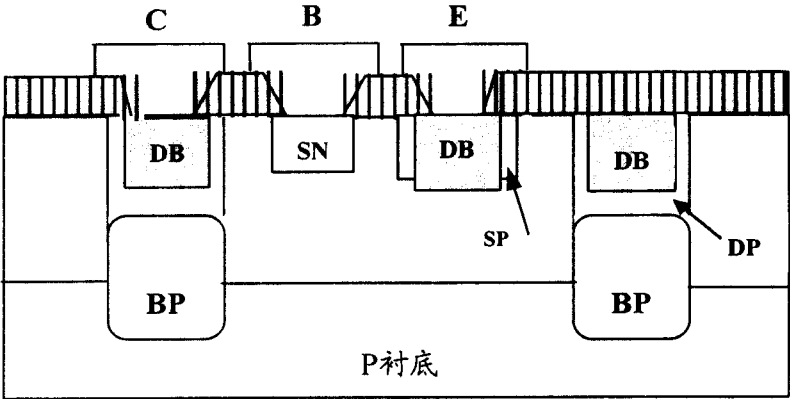


图 14

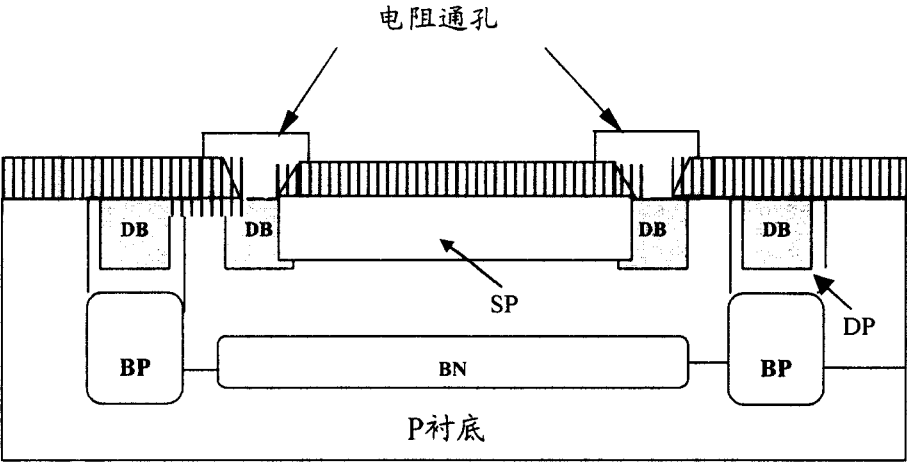


图 15

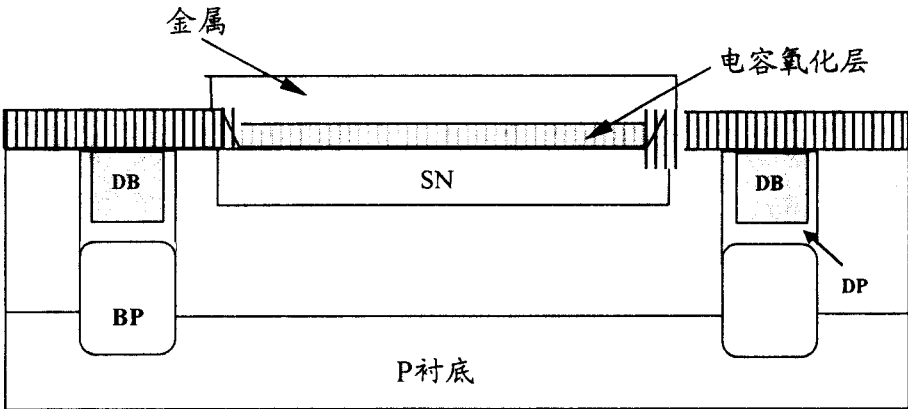


图 16