

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(21) PV 3120-88.P
(22) Přihlášeno 06 05 88

(40) Zveřejněno 12 09 89
(45) Vydáno 15 03 91

269 194

(11)

(13) B1

(51) Int. CL⁴
G 06 K 11/02

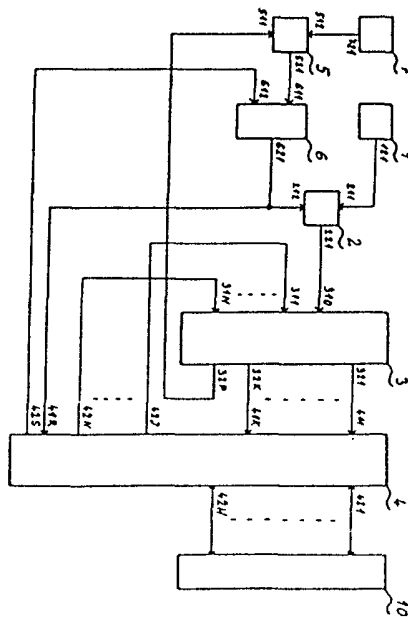
(75)
Autor vynálezu

HENDRYCH JAN ing.,
HŘEBAČKA IVAN ing., PRAHA

(54)

Zapojení vyhodnocovacích obvodů digitalizátoru

(57) Řešení se týká zjednodušeného zapojení vyhodnocovacích obvodů digitalizátoru. Podstata jeho funkce spočívá v tom, že mikroprocesor nastaví počáteční hodnotu bloku čítačů souřadnice aktivováním prvního nastavovacího vstupu až n-tého nastavovacího vstupu bloku čítačů souřadnice. Potom vyšle povel "Start" pro odečtení souřadnice aktivováním startovacího výstupu bloku vstupních a výstupních obvodů. Dále mikroprocesor například v programové smyčce čte stav digitalizátoru a testuje připravenost souřadnice konkrétně nastavení vstupu připravenosti souřadnice bloku vstupních a výstupních obvodů. V záporném případě přijme nový stav a provádí nový test, kdežto v kladném případě provede příjem dat. Podle velikosti souřadnice zjistí chybový stav, kdy je čidlo mimo snímací plochu. V tomto případě vydá chybové hlášení. Je-li čidlo na ploše vypočte skutečnou souřadnici odečtením počáteční hodnoty od načítané souřadnice. Skutečnou souřadnici obvykle vloží do paměti. U plošného digitalizátoru následuje odečtení druhé souřadnice stejným způsobem. Teprve po odečtení obou souřadnic se provádí jejich další zpracování. Zapojení vyhodnocovacích obvodů lze využít v digitalizátoru k přesnému určování polohy čidla v jedno nebo dvourozměrné souřadné soustavě.



Vynález se týká zapojení vyhodnocovacích obvodů digitalizátoru.

Dosavadní zapojení vyhodnocovacích obvodů digitalizátoru používala řadu dekadických čítačů pro čítání souřadnice, která byly ovládnány řídicími obvody. Další logické obvody zajišťovaly chybný stav digitalizátoru při snímání čidla mimo plochu.

Vyhodnocovací obvody jako celek byly poměrně složité a obsahovaly značné množství součástek - integrovaných obvodů.

Uvedené nevýhody odstraňuje zjednodušené zapojení vyhodnocovacích obvodů digitalizátoru podle vynálezu, jehož podstata spočívá v tom, že výstup generátoru hodin je připojen k prvnímu vstupu prvního hradla, jehož výstup je připojen k hodinovému vstupu bloku čítačů souřadnice, jehož první výstup až k-tý výstup jsou připojeny k prvnímu vstupu až k-tému vstupu bloku vstupních a výstupních obvodů, přičemž výstup přetečení bloku čítačů souřadnice je připojen k prvnímu vstupu druhého hradla, jehož druhý vstup je připojen k výstupu bloku tvarovacích obvodů čidla, přičemž výstup druhého hradla je připojen k prvnímu vstupu klopného obvodu, jehož druhý vstup je připojen ke startovacímu výstupu bloku vstupních a výstupních obvodů, přičemž výstup klopného obvodu je připojen k druhému vstupu prvního hradla a ke vstupu připravenosti souřadnice bloku vstupních a výstupních obvodů, jehož první nastavovací výstup až n-tý nastavovací výstup jsou připojeny k prvnímu nastavovacímu vstupu až n-tému nastavovacímu vstupu bloku čítačů souřadnice, přičemž první datový výstup až h-tý datový výstup bloku vstupních a výstupních obvodů jsou připojeny k datové sběrnici mikroprocesoru.

Blok čítačů souřadnice je možno realizovat tak, že blok čítačů souřadnice je složen z binárního čítače a z programovatelného čítače, přičemž výstup prvního hradla je připojen k hodinovému vstupu binárního čítače, jehož první souřadnicový výstup až čtvrtý souřadnicový výstup jsou připojeny k prvnímu souřadnicovému vstupu až čtvrtému souřadnicovému vstupu bloku vstupních a výstupních obvodů, přičemž čtvrtý souřadnicový výstup je paralelně připojen k hodinovému vstupu programovatelného čítače, jehož první datový výstup až h-tý datový výstup jsou připojeny k prvnímu datovému vstupu až h-tému datovému vstupu bloku vstupních a výstupních obvodů a paralelně k datové sběrnici mikroprocesoru, přičemž výstup přetečení programovatelného čítače je připojen k prvnímu vstupu druhého hradla.

Zapojení podle vynálezu má hlavní výhodu v jednoduchosti zapojení s malým počtem součástek. To vede k vyšší spolehlivosti obvodů a celého digitalizátoru.

Na výkresech je na obr. 1 znázorněno blokové schéma zapojení, na obr. 2 je zapojení bloku čítačů souřadnice.

Výstup 121 generátoru 1 hodin je připojen k prvnímu vstupu 211 prvního hradla 2, jehož výstup 221 je připojen k hodinovému vstupu 310 bloku 3 čítačů souřadnice, jehož první výstup 321 až k-tý výstup 32K jsou připojeny k prvnímu vstupu 411 až k-tému vstupu 41K bloku 4 vstupních a výstupních obvodů, přičemž výstup 32P přetečení bloku 3 čítačů souřadnice je připojen k prvnímu vstupu 511 druhého hradla 5, jehož druhý vstup 512 je připojen k výstupu 721 bloku 7 tvarovacích obvodů čidla, přičemž výstup 521 druhého hradla 5 je připojen k prvnímu vstupu 611 klopného obvodu 6, jehož druhý vstup 612 je připojen ke startovacímu výstupu 423 bloku 4 vstupních a výstupních obvodů, přičemž výstup 621 klopného obvodu 6 je připojen k druhému vstupu 212 prvního hradla 2 a ke vstupu 41R připravenosti souřadnice bloku 4 vstupních a výstupních obvodů, jehož první nastavovací výstup 42J až n-tý nastavovací výstup 42N jsou připojeny k prvnímu nastavovacímu vstupu 311 až n-tému nastavovacímu vstupu 31N bloku 3 čítačů souřadnice, přičemž první datový výstup 421 až h-tý datový výstup 42H bloku 4 vstupních a výstupních obvodů jsou připojeny k datové sběrnici 10 mikroprocesoru.

Blok 3 čítačů souřadnice je složen z binárního čítače 8 a z programovatelného čítače 9, přičemž výstup 221 prvního hradla 2 je připojen k hodinovému vstupu 811 bi-

binárního čítače 8, jehož první souřadnicový výstup 821 až čtvrtý souřadnicový výstup 824 jsou připojeny k prvnímu souřadnicovému vstupu 411 až čtvrtému souřadnicovému vstupu 414 bloku 4 vstupních a výstupních obvodů, přičemž čtvrtý souřadnicový výstup 824 je paralelně připojen k hodinovacímu vstupu 210 programovatelného čítače 2, jehož první datový výstup 221 až h-tý datový výstup 22H jsou připojeny k prvnímu datovému výstupu 421 až h-tému datovému výstupu 42H bloku 4 vstupních a výstupních obvodů a paralelně k datové sběrnici 10 mikroprocesoru, přičemž výstup 92P přetečení programovatelného čítače 2 je připojen k prvnímu vstupu 511 druhého hradla 5.

Funkce zapojení podle vynálezu je následující:

Odečítání jedné souřadnice se provádí tak, že mikroprocesor nastaví počáteční hodnotu bloku čítačů souřadnice aktivováním prvního nastavovacího vstupu 311 až n-tého nastavovacího vstupu 31N bloku 3 čítačů souřadnice. Potom vyšle povel "Start" pro odečtení souřadnice aktivováním startovacího výstupu 42S bloku 4 vstupních a výstupních obvodů. Dále mikroprocesor například v programové smyčce čte stav digitalizátoru a testuje připravenost souřadnice konkrétně nastavení vstupu 41R připravenosti souřadnice bloku 4 vstupních a výstupních obvodů. V záporném případě přijme nový stav a provádí nový test, kdežto v kladném případě provede příjem dat. Podle velikosti souřadnice zjistí chybný stav, kdy je čidlo mimo snímací plochu. V tomto případě vydá chybové hlášení. Pokud je čidlo na ploše, vypočte skutečnou souřadnicí odečtením počáteční hodnoty od načítané souřadnice. Skutečnou souřadnicí obvykle vloží do paměti. U plošného digitalizátoru následuje odečtení druhé souřadnice stejným způsobem. Teprve po odečtení obou souřadnic se provádí jejich další zpracování.

Konkrétní zapojení bloku 3 čítačů souřadnice podle obr. 2 vede k zjednodušení bloku 4 vstupních a výstupních obvodů. Nastavení počáteční hodnoty programovatelného čítače se provádí po datových vodičích přímo ze sběrnice. Stav a nižší významové bity souřadnice čte mikroprocesor z bloku 4 vstupních a výstupních obvodů, zatímco vyšší významové bity souřadnice čte přímo z programovatelného čítače.

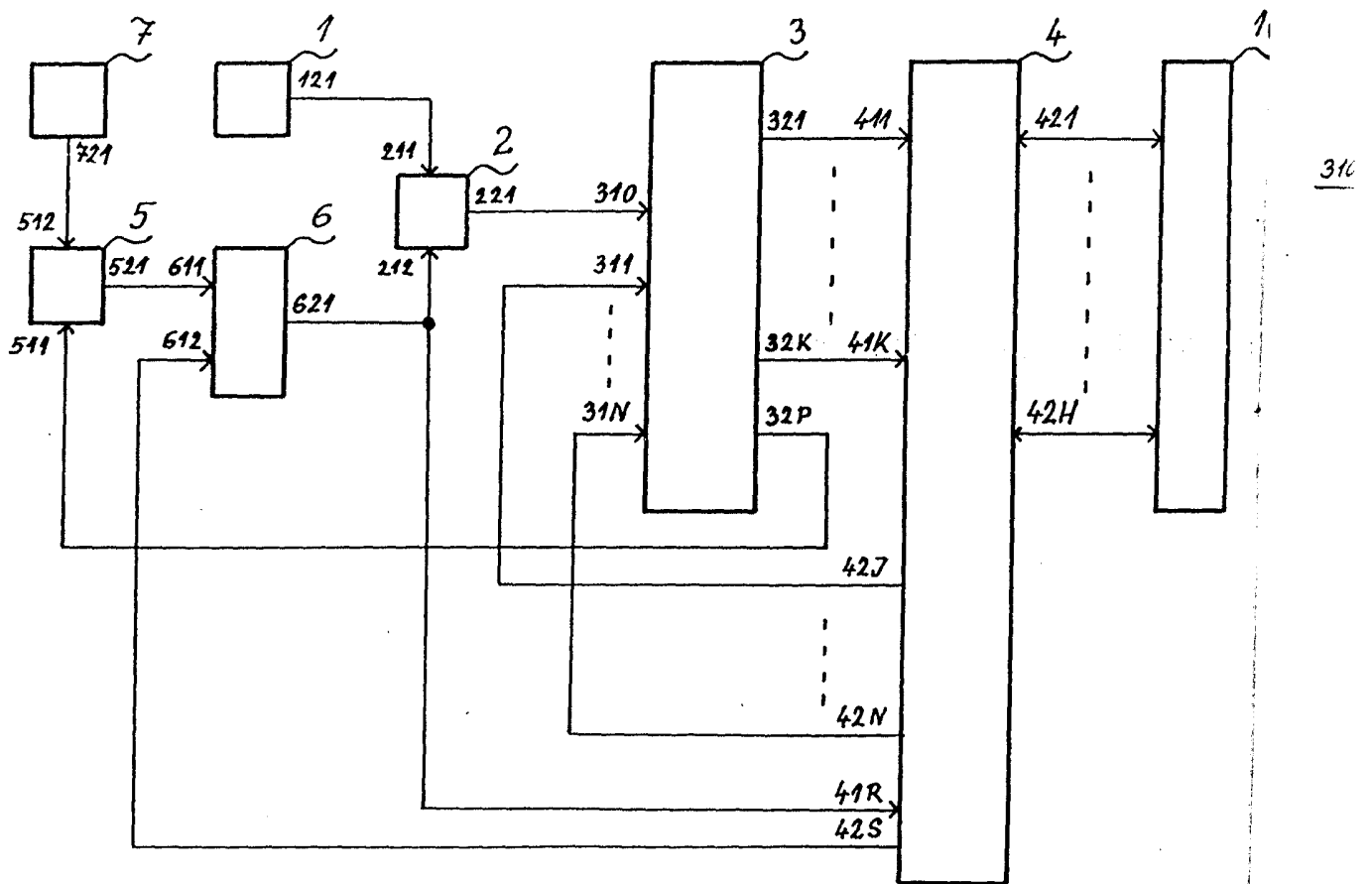
Zapojení vyhodnocovacích obvodů lze využít v digitalizátoru k přesnému určování polohy čidla v jedno nebo dvourozměrné souřadné soustavě.

P R E D M Ě T V Y N Á L E Z U

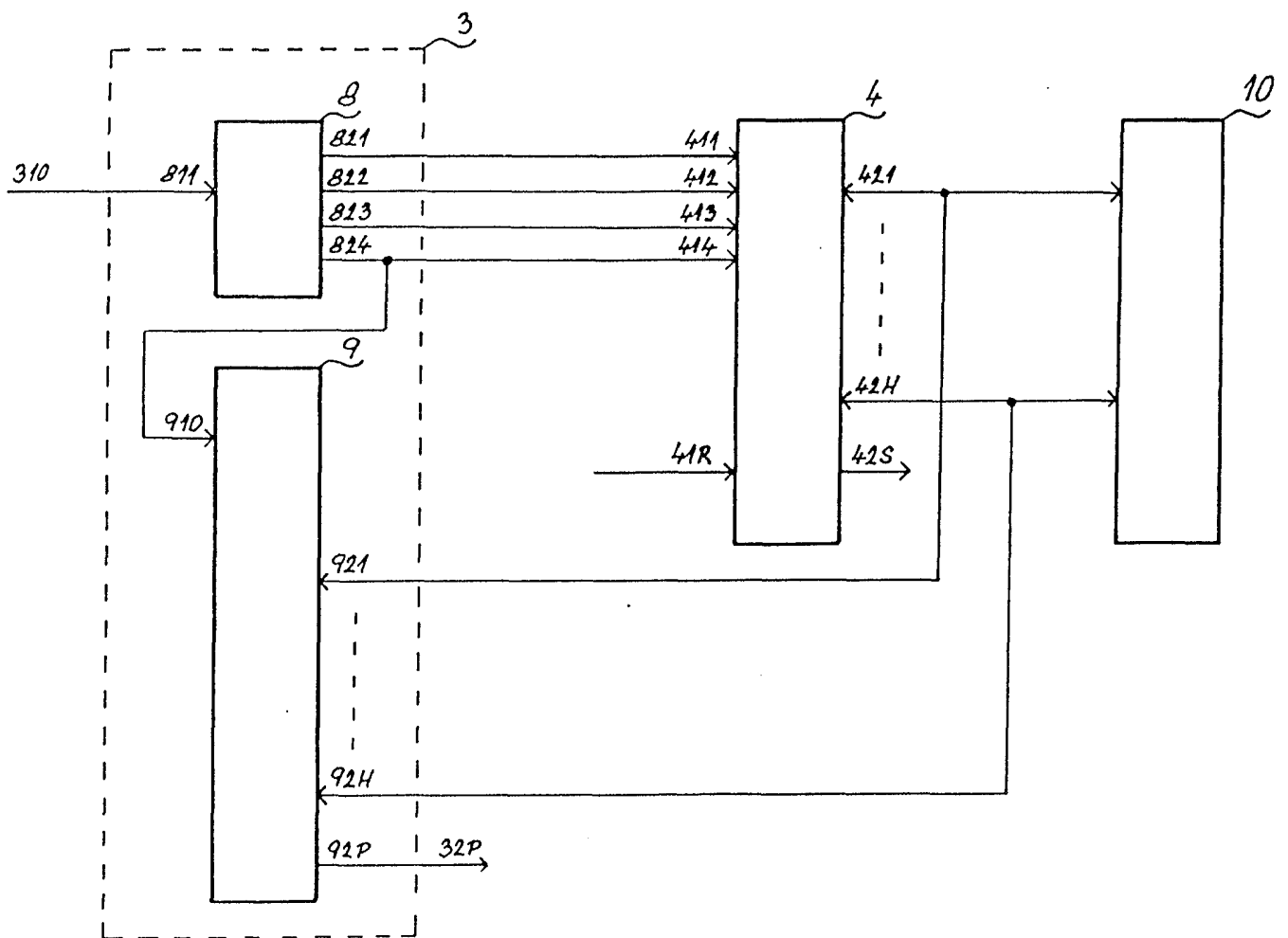
1. Zapojení vyhodnocovacích obvodů digitalizátoru, vyznačující se tím, že výstup (121) generátoru (1) hodin je připojen k prvnímu vstupu (211) prvního hradla (2), jehož výstup (221) je připojen k hodinovacímu vstupu (310) bloku (3) čítačů souřadnice, jehož první výstup (321) až k-tý výstup (32K) jsou připojeny k prvnímu vstupu (411) až k-tému vstupu (41K) bloku (4) vstupních a výstupních obvodů, přičemž výstup (32P) bloku (3) čítačů souřadnice je připojen k prvnímu vstupu (511) druhého hradla (5), jehož druhý vstup (512) je připojen k výstupu (521) druhého hradla (5) je připojen k prvnímu vstupu (611) klopného obvodu (6), jehož druhý vstup (612) je připojen ke startovacímu výstupu (42S) bloku (4) vstupních a výstupních obvodů, přičemž výstup (621) klopného obvodu (6) je připojen k druhému vstupu (212) prvního hradla (2) a ke vstupu (41R) připravenosti souřadnice bloku (4) vstupních a výstupních obvodů, jehož první nastavovací výstup (42J) až n-tý nastavovací výstup (42N) jsou připojeny k prvnímu nastavovacímu vstupu (311) až k n-tému nastavovacímu vstupu (31N) bloku (3) čítačů souřadnice, přičemž první datový výstup (421) až h-tý datový výstup (42H) bloku (4) vstupních a výstupních obvodů jsou připojeny k datové sběrnici (10) mikroprocesoru.
2. Zapojení vyhodnocovacích obvodů digitalizátoru podle bodu 1, vyznačující se tím, že blok (3) čítačů souřadnice je složen z binárního čítače (8) a z programovatelného

čítače (9), přičemž výstup (221) prvního hradla (2) je připojen k hodinovacímu vstupu (811) binárního čítače (8), jehož první souřadnicový výstup (821) až čtvrtý souřadnicový výstup (824) jsou připojeny k prvnímu souřadnicovému vstupu (411) až čtvrtému souřadnicovému vstupu (414) bloku (4) vstupních a výstupních obvodů, přičemž čtvrtý souřadnicový výstup (824) je paralelně připojen k hodinovacímu vstupu (910) programovatelného čítače (9), jehož první datový výstup (921) až h-tý datový výstup (92H) jsou připojeny k prvnímu datovému vstupu (421) až h-tému datovému vstupu (42H) bloku (4) vstupních a výstupních obvodů a paralelně k datové sběrnici (10) mikroprocesoru, přičemž výstup (92P) programovatelného čítače (9) je připojen k prvnímu vstupu (511) druhého hradla (5).

2 výkresy



Obr. 1



Obr. 2