

389902

公告

 修正
 86年6月6日
 補充

申請日期	86.2.27
案 號	86102295
類 別	G11C 11/34

A4
C4

389902

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有控制感知與門鎖作業之位址轉變檢測電路 之半導體記憶元件
	英 文	SEMICONDUCTOR MEMORY DEVICE HAVING ADDRESS TRANSITION DETECTION CIRCUIT FOR CONTROLLING SENSE AND LATCH OPERATIONS
二、發明人 創作	姓 名	鈴木宏一
	國 籍	日本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

凡請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

389902

公告

 修正
 86年6月6日
 補充

申請日期	86.2.27
案 號	86102295
類 別	G11C 11/34

A4
C4

389902

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有控制感知與門鎖作業之位址轉變檢測電路 之半導體記憶元件
	英 文	SEMICONDUCTOR MEMORY DEVICE HAVING ADDRESS TRANSITION DETECTION CIRCUIT FOR CONTROLLING SENSE AND LATCH OPERATIONS
二、發明人 創作	姓 名	鈴木宏一
	國 籍	日本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

凡請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1996年2月28日特顯平8-41144(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明詳細說明

背景說明

本發明係有關於一種如動態隨機存取記憶體(DRAM)之半導體記憶體元件，此元件具有用以產生位址轉移偵測信號(address transition detection signal)之位址轉移偵測電路，以控制感知放大器電路(sense amplifier circuit)及一資料門鎖電路。

習知技藝說明

在習知之半導體記憶體元件中，有加上一位址轉移偵測電路，以偵知一位址信號(至少有一位元)之轉移，及具有感知放大器及資料門鎖電路，其可由依據位址轉移偵測電路之位址轉移偵測信號而產生之感知啓動及門鎖啓動信號控制。

一計時電路可產生感知啓動及門鎖啓動信號，其具有由延遲電路及AND電路串接成，此AND電路接至位址轉移偵測電路及延遲電路之輸出。此時，AND電路產生感知啓動信號，而延遲電路之一則產生門鎖啓動信號。此將於後詳述。

一般而言，為增進存取速度，記憶體單元陣列會被分成多數之區塊(block)，但區塊增加後，一些周邊電路如解碼器也會增加尺寸，使生產良率(yield)下降。及晶片大小上升。因此，近年來，雖然記憶體容量變大，但記憶體單元列中區塊數目未增加。結果存取時間會由電源電壓決定，例如，在高電壓時，記憶體單元延遲時

五、發明說明(2)

間(delay time)由字元線(word lines)決定，在低電壓時，則由位元線(bit line)決定。

因此，要有穩定之電源電壓，才有穩定之存取操作。

再者，如要使元件在寬廣電壓下操作，則會犧牲操作速度，且難以維持電壓之操作範圍(coperational margin)。

發明總論

本發明之一目的在確保有位址轉移偵測電路之半導體記憶元件之操作。

本發明之另一目的在於提供對特定電源電壓，有寬廣之操作裕隙之半導體元件。

依據本發明，所提供之半導體元件包含：(1)一位址緩衝器，可產生一位址信號；(2)一記憶體單元列，可回應位址信號產生第一資料信號；(3)一感知放大器，可回應感應啓動信號，感應第一資料信號而產生第二資料信號；(4)一資料門鎖，可回應資料門鎖信號而門鎖第二資料信號而產生第三資料信號；(5)一位址轉移偵測電路，可偵測位址信號而發出位址轉移偵測信號；(6)一計數電路，可產生感知啓動信號及門鎖啓動信號，此計時電路有多數之計數產生電路，可將位址轉移偵測信號作不同之延長以產生特定寬度之脈波。延遲時間長短係由電源電壓決定。再者，一邏輯電路可將脈波彼此邏輯相加，產生邏輯信號。一脈波延長電路可將此邏輯信號延長特定時間，以產生感知啓動信號，而一脈波產生電路可依據

五、發明說明(3)

此邏輯信號終結而產生邏輯信號。

圖示簡說

本發明可參考附圖加以說明而更為人所了解。

第1圖是說明習知半導體記憶體元件之電路方塊圖；

第2圖是在第1圖中位址轉移電路及計時電路之詳細電路圖；

第3A-3H圖是第2圖計時電路之時序圖；
~~電壓源延遲時間之~~

第4圖是第1圖元件中電壓源延遲電路特性圖；

第5A-5H圖、第6A-6H圖、第7A-7H圖是顯示第1圖元
件之操作圖；

第8圖是第2圖計時電路之修正電路圖；

第9圖是說明半導體記憶體元件之第一實施例方塊圖；

第10圖是第9圖計時電路之詳細電路；

第11A、11B、11C是第10圖計時電路之詳細電路；

第12圖是說明第9圖元件中電源電壓對延遲時間之特
性圖；

第13A-13L圖，第14A-14L圖及第15A-15L圖是說明第
9圖元件之時序圖；

第16圖是說明半導體記憶體元件第二實施例之電路方塊圖；

第17圖是第16圖計時電路之詳細電路圖；

第18A、18B是第17圖計時電路之詳細電路圖。

較佳實施例之詳細說明

在說明較佳實施例前，先配合第1、2、3A-3H、4、5A-
5H、6A-6H、7A-7H及第8圖說明習知DARH元件。

五、發明說明 (4)

在第 1 圖中，參考數字 1 代表包含在字元線及位元線（未圖示）間記憶體單元之記憶體單元列。再者，一位址緩衝器 2 可接收一外部位址信號 ADD，以產生一內部位址信號 IADD。內部位址信號 IADD 之一 X 位址成份供應至一個 X 解碼器 3 以選定字元線之一，而 IADD 之 Y 位址成份送至 Y 解碼器 4，使得一個 Y 選擇器 5 可選定一個（或一對）或預定數字之位元線。因此可選擇預定數目之記憶體單元之一。

在位元線被預充電 (precharge) 後，在被選定記憶體單元列中之資料 D2 會由一感知放大器 6 感知，使其產生資料 D2。此資料 D2 門鎖在資料門鎖電路 7 中，使其產生一輸出信號 OUT。

感知放大器 6 由一感知啓動信號 ϕ_s 致能 (pnable)，而資料門鎖電路 7 由一門鎖啓動信號 ϕ_L 致能，因此二信號分別由一個位址轉移偵測電路 9 及計時電路 10 產生。

在第 2 圖中，其為上述兩電路 9 及 10 之詳細電路圖，而位址轉移偵測電路 9 具有各對應內部位址信號 IADD 之一個位之多數延遲電路 901-1、901-2、...，及各對於 IADD 之一個位元之多數互斥 OR 電路 902-1、902-2、...，及一個 NOR 電路 903。如在內部位址信號 IADD 中至少一位元變化，則正反 OR 電路 902-1、902-2、... 中之一會產生由延遲電路 901-1、901-2、... 決定寬度 τ 之一脈波信號，使 NOR 電路 903 可產生有周期 τ 之位址轉移偵測信號

五、發明說明 (5)

 ϕ_{AND} 。

再者，計時電路 10 包含有一串延遲元件 101-1, 101-2, 101-n 組成之延遲電路 101, 及連接至電路 9 及元件 101-1...、101-n 輸出之 AND 電路 102。此時，AND 電路 102 產生感知啓動信號 ϕ_s ，而延遲元件 101-(n-1) 產生門鎖啓動信號 ϕ_L 。需知每一延遲元件 101-1、101-2...、101-n 包含串接之兩個反相器，而每一延遲元件 101-1、101-2、... 101-n 之延遲時間 τ' 小於 τ 。

因此，如果位址轉移偵測信號 ϕ_{AND} 如第 3A 圖所示變化，則延遲元件 101-1、...、101-(n-1)、101(n) 會如第 3B、3C、3D、3E 及 3F 所示般變化。因此，由 AND 電路 102 產生之感知啓動信號 ϕ_s 會如第 3G 圖所示般變化。再者，如第 3E-3H 所示，門鎖啓動信號 ϕ_L 和延遲元件 101-(n-1) 之輸出相同。

為了增加存取速度，記憶體單元陣列 1 分成多個區塊。但隨著區塊增加，如解碼器之類的周邊會佔用大晶片面積，降低良率。因此，即使近年來元件容量加大，但在記憶體單元列中區塊數目未增加。因此，存取時間會受電源電壓影響。如第 4 圖所示，延遲時間 τ_w 受字元線影響並由時間常數 RC 決定，其中 R 、 C 分別為字元線之電阻及電容，因此，較不受電源電壓 V_{CC} 影響。另一方面，延遲時間 τ_B 由位元線決定並會受預充電電晶體之影響，因此較受電壓 V_{CC} 之影響，如第 4 圖所示。因此，如第 4 圖之點線所示，在電壓 V_{CC} 大時，資料 D2 延遲時

五、發明說明 (6)

間由 τ_w 決定，在 V_{cc} 小時，則由 τ_B 決定。

回到第 2 圖之計時電路 10，由於門鎖啓動信號 ϕ_L 由延遲元件 101-1、101-2、... 101-(n-1) 所產生，因此門鎖啓動信號 ϕ_L 之延遲時間 τ_{ϕ_L} 是由開電容之電容值、及形成延遲元件 101-1、101-2、...、101-(n-1) 反相器之 MOS 電晶體之雜質擴散區域之曲線。由於資料 D2 (感知放大器 6 之輸出) 之延遲時間 $\tau(D2)$ 與電壓 V_{cc} 有連續曲線關係，如第 4 圖所示，這兩條曲線總會在 A、B 點相交。

因此如第 5A-5H 所示，只有在 $V_{ccA} < V_{cc} < V_{ccB}$ 之時，亦即 τ_{ϕ_L} 大於 $\tau(D2)$ 之時，才會有穩定之存取，在第 4 圖之中， t_{Acc} 顯示一個存取時間。

另一方面，在 $V_{cc} \leq V_{ccA}$ 之時，如第 6A-6H 圖所示， τ_{ϕ_L} 會小於 $\tau(D2)$ ，由於資料門鎖電路 7 在資料 D2 決定之前進行造成錯誤，因此不會有穩定之存取操作。同樣地，在 $V_{cc} \geq V_{ccB}$ 之時，如第 7A-7H 圖所示， τ_{ϕ_L} 也會小於 $\tau(D2)$ ，因此門鎖電路 7 亦會在資料 D2 決定前進行，造成錯誤。

再者，為了在寬廣之電壓 V_{cc} 範圍內使元件正常操作，要使速度降低，但在製程時，交叉點 A 及 B 會變動，使得電源電壓 V_{cc} 之操作餘裕難以確保。

在第 8 圖之中，顯示第 2 圖中計時電路 10 之一個修正，在 AND 電路 102 之中加入一 RS 正反器 103，在此元件中再加上一個單擊電路 104。其中 RS 正反器 103 由位址轉移

五、發明說明(7)

偵測信號 ϕ_{ATD} 之上升或下降緣所重置，並且由延遲電路 101-n 之輸出之上升或下降緣所設定，因此可產生感知啓動信號 ϕ_s ，而單擊電路 104 可產生門鎖啓動信號 ϕ 。

第 9 圖說明本發明之一個第一實施例，和第 1 圖不同者為用一計時電路 10'（在第 10 圖中將詳細說明）取代計時電路 10。

在第 10 圖中，設有計時電路 10-1、10-2 及 10-3，並連至一 AND 電路 11，AND 電路 11 之輸出信號 ϕ_s 會送至一延遲電路 12 及 AND 電路 13，因此可產生感知啓動信號 ϕ_s ，且 AND 電路 11 之輸出 ϕ_s 會送至單擊電路 14，因此可產生門鎖啓動信號 ϕ_L 。

如第 11A 圖所示，計時電路 10-1 由一延遲電路 10-1 由一延遲電路 10-1A 及 AND 電路 10-1B 形成。此延遲電路 10-1A 包含多數之反相器 1101、多數之電阻 1102 及多數之電容器 1103。其中電阻 1102 之阻值及電容 1103 之電容值經調整後會使延遲電路 10-1A 之延遲時間 τ_1 對電源電壓 V_{CC} 有大的斜率。因此，如第 12 圖所示在 V_{CC} 小時 ($V_{CC} \leq V_{CCA}$)，延遲時間 $\tau_1 + \tau'$ 會快速隨電源電壓 V_{CC} 變化（相較於由位元線決定之延遲時間 τ_B ）。

再者，如第 11B 圖所示，計時電路 10-2 由一延遲電路 10-2A 及一 AND 電路 10-2B 形成。延遲電路 10-2A 包含與第 2 圖之延遲電路 101 相同串接方式之多數反相器 1104。此時，延遲電路 10-2A 之延遲時間 τ_2 對於電源電壓 V_{CC} 有小的斜率特性。如第 12 圖所示，延遲時間 $\tau_2 + \tau'$ 會隨電源電壓

五、發明說明(8)

V_{CC} 而緩慢變化。

再者，如第11C圖所示，計時電路10-3由一延遲電路10-3A及AND電路10-3B所形成，其中延遲電路10-3A包含多數作為波形成形設置之反相器1105，及在其間之電阻1106及電容1107。此時，可調整電阻1106之阻值，與電容1107之電容值，使得延遲電路10-3A之延遲時間 τ_{ϕ} 對於電源電壓 V_{CC} 幾乎有平滑之特性，換言之，如第12圖所示，延遲時間 $\tau_{\phi} + \tau'$ ，其對應在 V_{CC} 較高時($V_{CC} \geq V_{CCB}$)之由字元線決定之延遲時間 τ_w ，和 V_{CC} 幾乎成常數關係。

因此，如第13A-13C圖所示，在 $V_{CCA} < V_{CC} < V_{CCB}$ 時，延遲時間 $\tau_{\phi L}$ 由計時電路10-2之延遲電路10-2A決定，且大於資料D2之延遲時間 $\tau(D2)$ ，因此可使存取操作穩定。

如第14A-14L圖所示，在 $V_{CC} \leq V_{CCA}$ 時，延遲時間 $\tau_{\phi L}$ 由計時電路10-1之延遲電路10-1A決定，並且會大於 $\tau(D2)$ ，因此可使存取操作穩定。

再者，如第15A-15L圖所示，在 $V_{CC} \geq V_{CCB}$ 時，延遲時間 $\tau_{\phi L}$ 由計時電路10-3之延遲電路10-3A決定，並且會大於 $\tau(D2)$ ，因此可使存取操作穩定。

在第16圖之中，顯示本發明之第二異體實例，在第9圖之元件中加入一假字元線(pseudo word line)WL及一假位元線BL，其與字元線與位元線類似，且第9圖之計時電路10'修正成計時電路10''。

五、發明說明(9)

換言之，位址轉換偵測電信號 ϕ_{AND} 會由假位元線 BL 延遲，並送至計時電路 10"。此時，偵測信號 τ_{AND} 之延遲時時對應於由位元線決定之延遲時間 τ_B ；再者， ϕ_{AND} 亦由假字元線 WL 延遲，再送至計時電路 10"，此時， ϕ_{AND} 之延遲時間 τ_2 對應於由字元線決定之延遲時間 τ_w 。

第 17 圖，為第 16 圖之計時電路 10" 之詳細電路圖，而其計時電路 10'-1 及 10'-3 與第 10 圖之 10-1 與 10-3 不同，如第 18A 圖及 18B 所示，由於假位元線 BL 及假字元線 WL 已提供延遲，因此計時電路 10'-1 及 10'-3 不具延遲功能。

在第 18A 圖之中，一個 RS 正反器 1801 由位址轉移偵測信號之上升或下降緣重設，並由假位元線 BL 信號之上升或下降緣，因此可產生和第 11A 圖中相同之信號 ϕ_1 ；同樣地，在第 18B 圖中，一 RS 正反器 1802 由位址轉移偵測信號 ϕ_{ATD} 之上升或下降緣重置，並由假字元線 WL 信號之上升或下降緣設定，因此可以產生與第 11C 圖相同之信號 ϕ_2 。

如第 13A-13L 圖、第 14A-14L 圖、第 15A-15L 圖所示，第 16 圖中之元件操作與第 9 圖中元件相同。

如上所述，依據本發明，由於對於電源電壓而言，已對資料門鎖電路之門鎖定時作最佳設計，因此可會平穩之存取操作而不犧牲存取速度，並且有寬度之電源電壓裕隙。

四、中文發明摘要(發明之名稱： 具有控制感知與門鎖作業之位址轉
變檢測電路之半導體記憶元件)

一種半導體記憶元件，包含：一位址緩衝器(2)，用來產生一位址信號(IADD)；一記憶體單元列(1)，可回應位址信號而產生一第一資料信號(D1)；一感知放大器(6)，可回應一感知啟動信號(ϕ_s)並感知第一資料信號以產生第二資料信號；一資料門鎖電路(7)，可回應門鎖啟動信號(ϕ_L)並門鎖第二資料信號以產生一第三資料信號；一位址轉移偵測電路(8)，可偵測位址信號之轉移，產生一位址轉移偵測信號(ϕ_{ATD})；及一計時電路(10'，10")，用來產生感知啟動及門鎖啟動信號且由多數之可將位址轉移偵測信號延長不同時間(τ_1 ， τ_2 ， τ_3)之計時電路(10-1，10-1'，10-2，10-3，10-3')以產生脈波寬度信號(ϕ_1 ， ϕ_2 ， ϕ_3)；這些延遲時間特性與電源電壓(V_{CC})相關；再者，一邏輯電路(11)將這些脈波寬度信號彼此相加以產生一邏輯信號($\phi_{s'}$)；一脈波延長電路(12,13)將邏輯信號延長一定時間以產生感知啟動信號，而一脈波產生電路(14)可回應邏輯信號之終結而產生邏輯信號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱: SEMICONDUCTOR MEMORY DEVICE HAVING ADDRESS TRANSITION
DETECTION CIRCUIT FOR CONTROLLING SENSE AND LATCH
OPERATIONS

In a semiconductor memory device including: an address buffer (2) for generating an address signal (IADD), a memory cell array (1) for generating a first data signal (D1) in response to the address signal, a sense amplifier circuit (6) for sensing the first data signal to generate a second data signal (D2) in response to a sense activation signal (ϕ_s), a data latch circuit (7) for latching the second data signal to generate a third data signal in response to a latch activation signal (ϕ_L), an address transition detection circuit (8) for detecting a transition of the address signal to generate an address transition detection signal (ϕ_{ATD}), and a timing generating unit (10', 10'') for generating the sense activation signal and the latch activation signal, the timing generating unit is formed by a plurality of timing generating circuits (10-1, 10-1', 10-2, 10-3, 10-3') for prolonging the address transition detection signal by different delay times (τ_1, τ_2, τ_3) to generate pulse width signals (ϕ_1, ϕ_2, ϕ_3). The delay times have different characteristics depending upon a power supply voltage (V_{cc}). Also, a logic circuit (11) logically adds the pulse width signals to each other to generate a logic signal ($\phi_{s'}$). A pulse prolonging circuit (12, 13) prolongs the logic signal by a definite time to generate the sense activation signal, and a pulse generating circuit (14) generates the logic signal in response to a termination of the logic signal.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶元件，包含：

一個位址緩衝器(2)，可產生一個位址信號(IADD)；

一記憶體單元列(1)，連至該位址緩衝器，可回應該位址信號而產生一第一資料信號(D1)；

一感知放大器(6)，連至該記憶體單元列，可回應一感知啓動信號(ϕ_s)而產生一第二資料信號(D2)；

一資料門鎖電路(7)，連至該感知放大器，可回應一門鎖啓動信號(ϕ_L)，門鎖該第二資料信號，以產生一個第三資料信號(D3)；

一位址轉移偵測電路(8)，連至該位址緩衝器，可偵出設位址信號之轉移，以產生一個位址轉移偵測信號(ϕ_{ATD})；及

一計時設置(10'，10")，連至該位址轉移偵測電路、該感知放大器電路及該資料門鎖電路，以產生該感知啓動信號及該門鎖啓動信號，

該計時設置包含：

①多數之計時電路(10-1，10-1'，10-2，10-3，10-3')，可將該位址轉移偵測信號延長不同延遲時間(τ_1 ， τ_2 ， τ_3)，且此時間之特性視電源電壓(V_{CC})而定；

②一第一邏輯電路(11)，連至設計時電路，以將該脈波寬度信號，各個邏輯相加，產生一邏輯信號($\phi_{s'}$)；

③一脈波延長電路(12，13)，連至該第一邏輯電路

六、申請專利範圍

，以將該邏輯信號延長一固定時間，產生該啓動信號；及

④一脈波產生電路(14)，連至該第一邏輯電路，可回應該第一邏輯信號之終結而產生該邏輯信號。

2.如申請專利範圍第1項之元件，其中在該電源電壓小於一第一電壓(V_{CCA})時，該延遲時間中的第一個對應於該記憶體單元列電位元線之第一延遲時間(τ_1)；在電源電壓大於該第二電壓(V_{CCB})（其大於該第一電壓 V_{CCA} ），該延遲時間之第二個對應於該記憶體單元列中字元線之第二延遲時間(τ_3)，而該延遲時間中之第三個(τ_2)為在該第一及第二延遲時間之中間值延遲時間(τ_2)。

3.如申請專利範圍第2項之元件，其中對應該第一延遲時間之該計時電路之第一個(10-1)包含：

多數串接之多數反相器(1101)；

在該反相器間連接之多數RC電路(1102, 1103)；及

連至數個該反相器之第二邏輯電路(10-1B)。

4.如申請專利範圍第2項之元件，其中對應該第二延遲時間之該計時電路之第二個(10-1)包含：

兩個串接之波形整形電路(1105)；

在該反相器間連接之一RC電路(1106、1107)；

連至該波形整形電路輸入及輸出之一第三邏輯電路(10-3B)。

5.如申請專利範圍第2項之元件，其中對應該第二延遲

六、申請專利範圍

時間之該計時電路之第三個(10-2)包含：

多數串接之反相器(1104)；及

一第五邏輯電路(10-2B)，連至數個該反相器。

6.如申請專利範圍第2項之元件，再包含：

和該位元線之一相似之假位元線(BL)，在該位址轉移偵測電路及該計時電路之第一個(10'-1)間連接；及

和該字元線之一相似之假字元線(WL)，在該位址轉移偵測電路及該計時電路之第二個(10'-3)間連接。

7.如申請專利範圍第6項之元件，其中該計時電路之該第一個包含：

一波形成形電路，連至該假位元線；及

一正反器(1801)，其由該位址轉移偵測信號之一所重置，並由該波形成形電路之輸出設定。

8.如申請專利範圍第6項之元件，其中該計時電路之該第二個包含：

一波形成形電路，連至假位元線；及

一正反器(1802)，由該位址轉移偵測信號之一所重置，並由該波形成形電路之輸出所設定。

9.如申請專利範圍第6項之元件，其中該計時電路之該第三個(10-2)包含：

多數串接之反相器(1104)；及

二個第六邏輯電路(10-2B)，連至數個該反相器。

(請先閱讀背面之注意事項再填寫本頁)

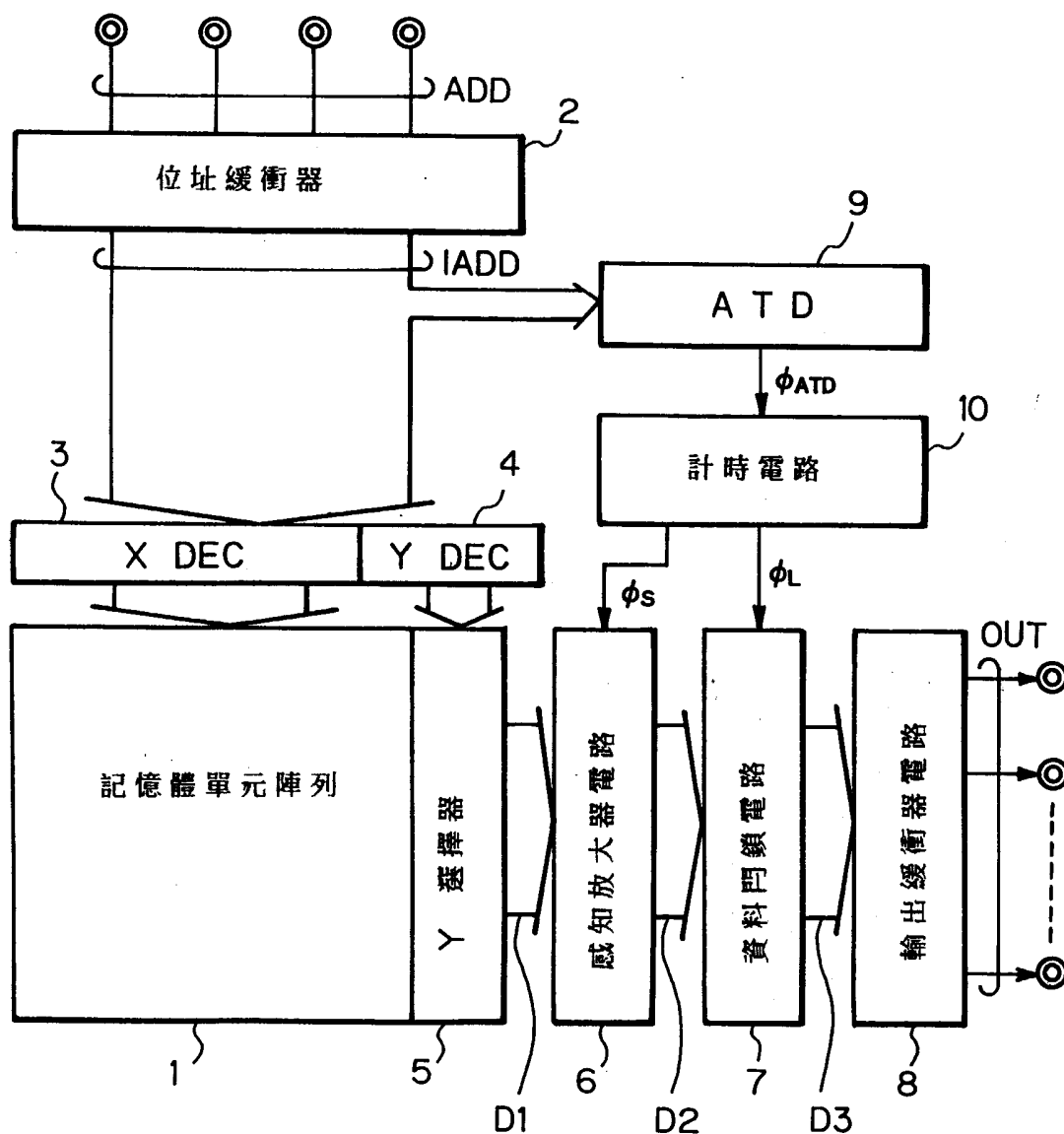
裝

訂

線

修正
82年6月6日
補充

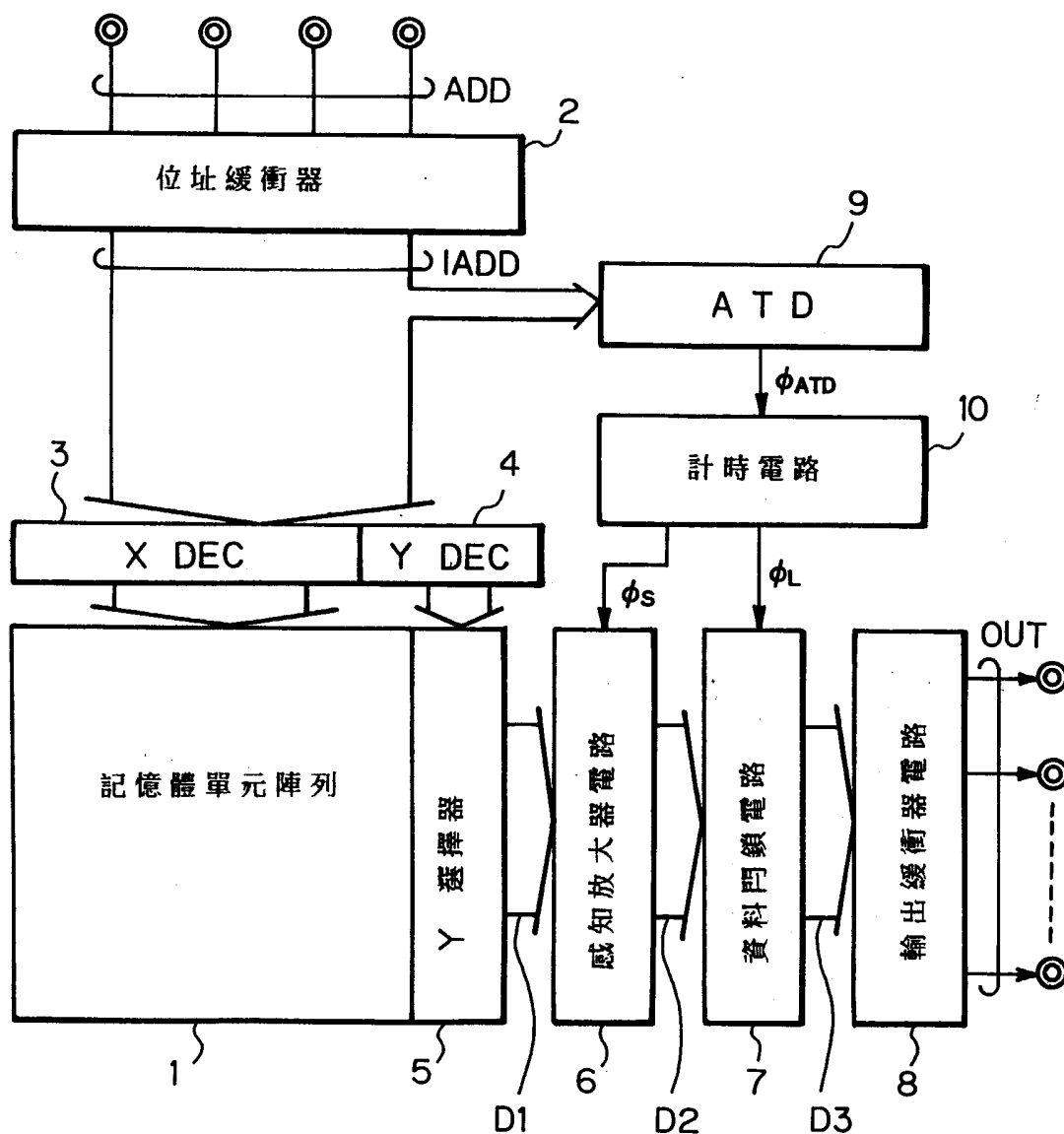
第1圖



煩請委員明示，本圖修正後是否變更原實質內容

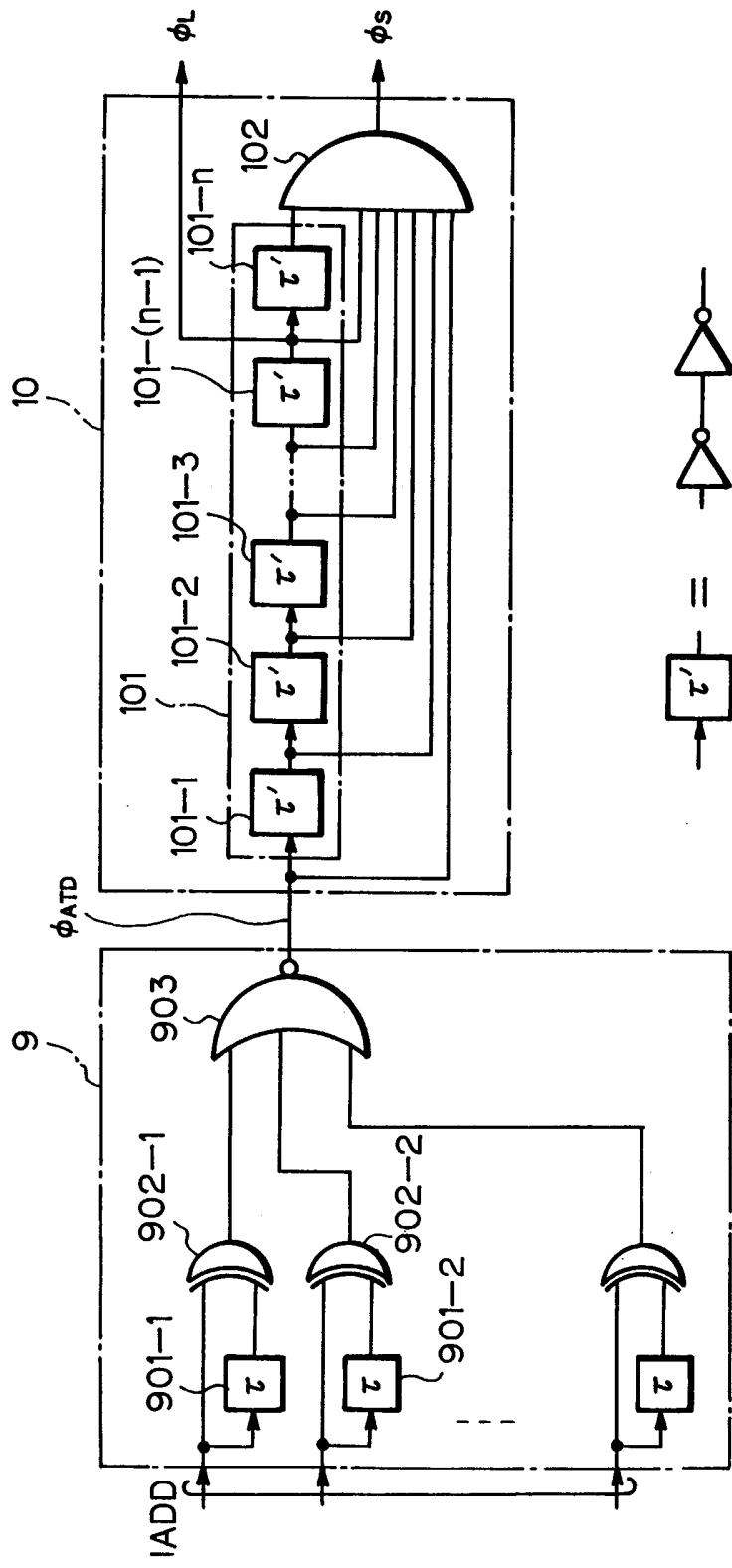
修正
82年6月6日
補充

第1圖

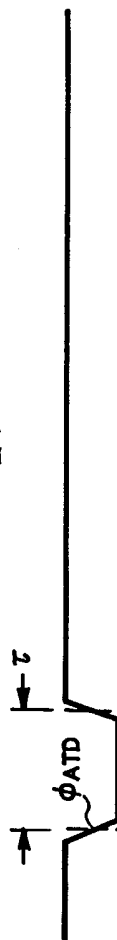


煩請委員明示，本圖修正後是否變更原實質內容

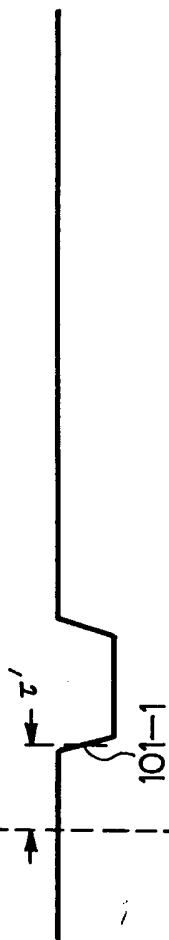
第2圖



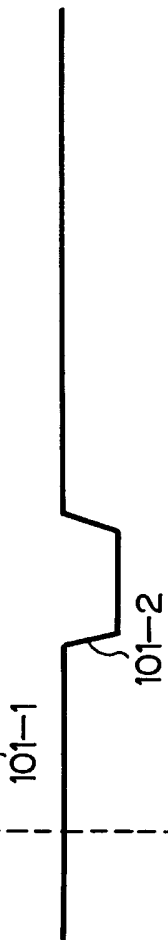
第3圖A



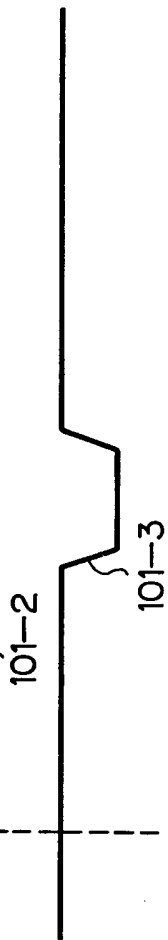
第3圖B



第3圖C



第3圖D



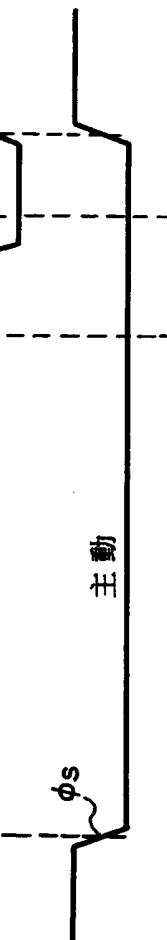
第3圖E



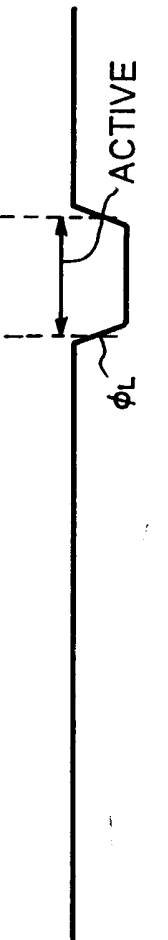
第3圖F



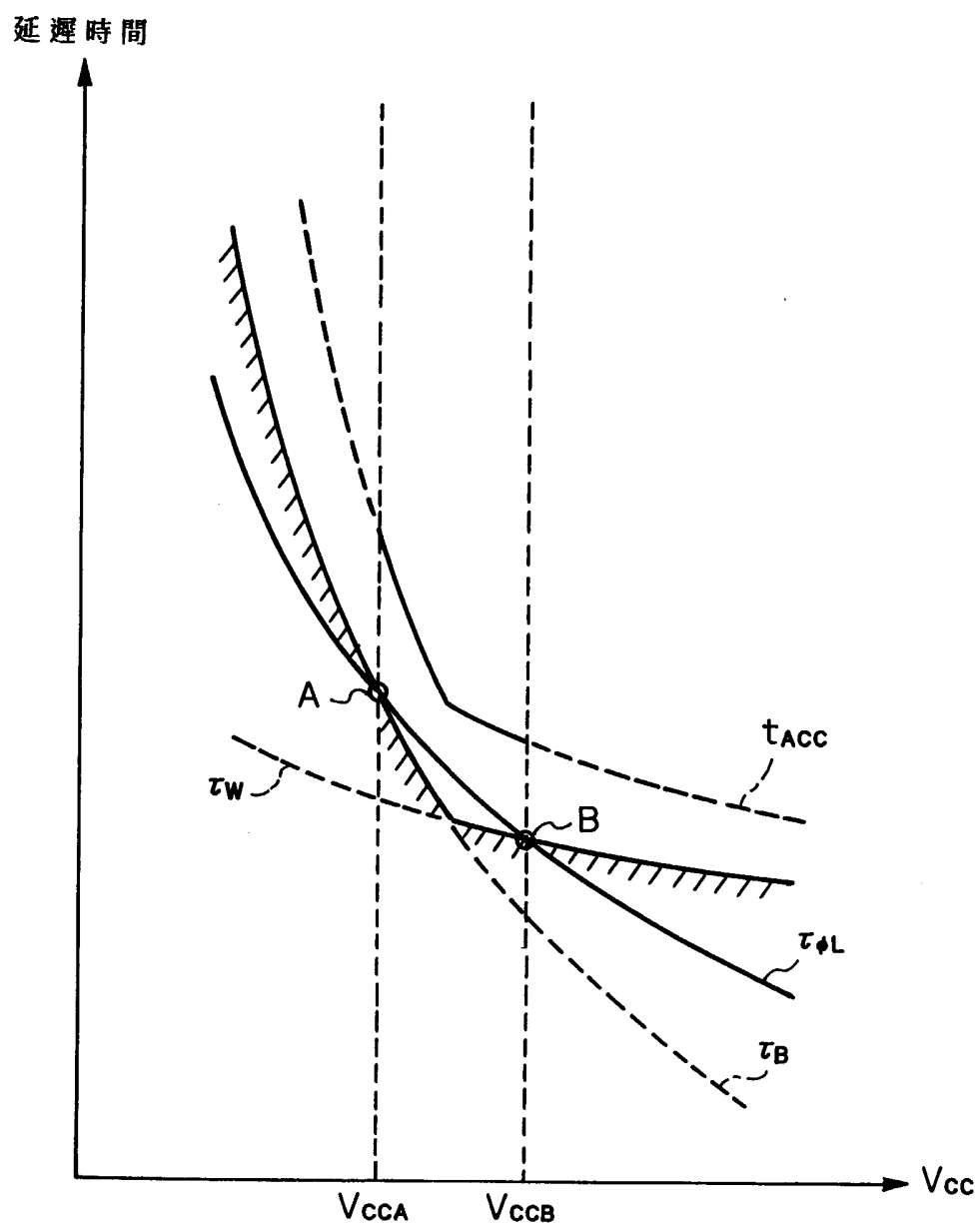
第3圖G



第3圖H



第4圖



第5圖A

第5圖B

第5圖C

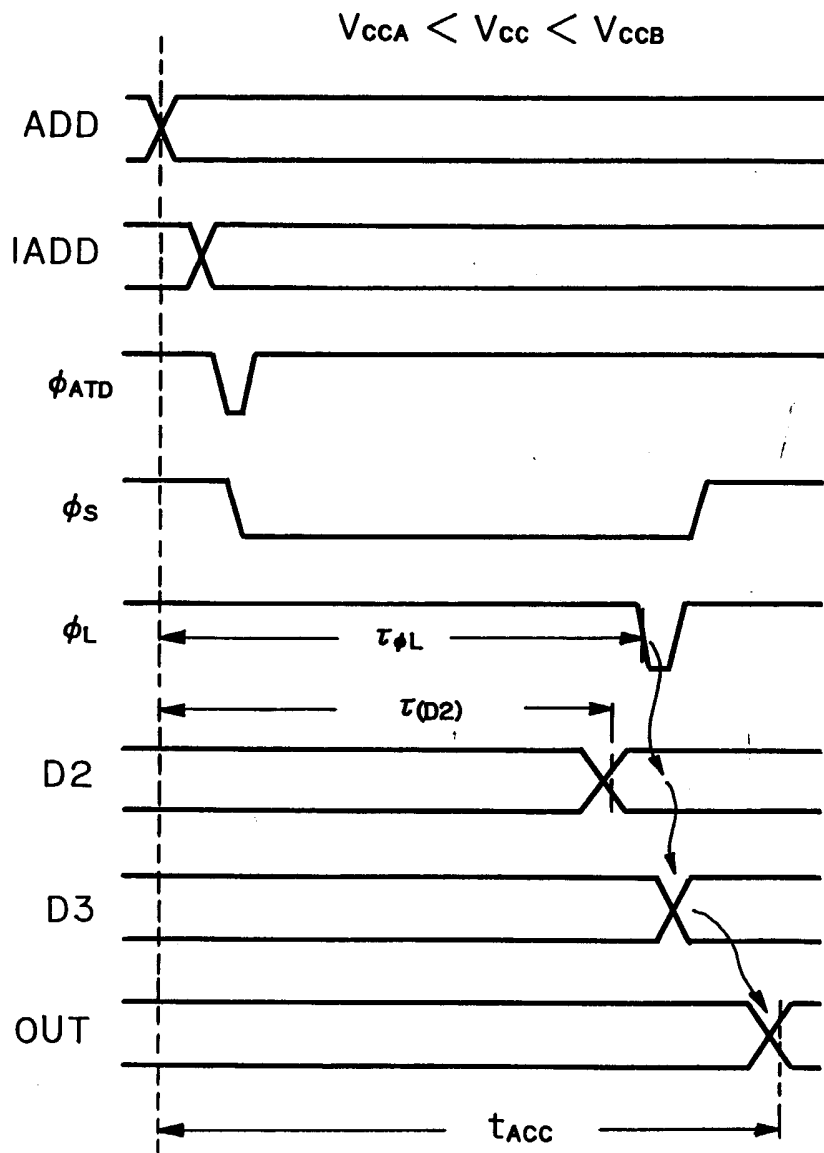
第5圖D

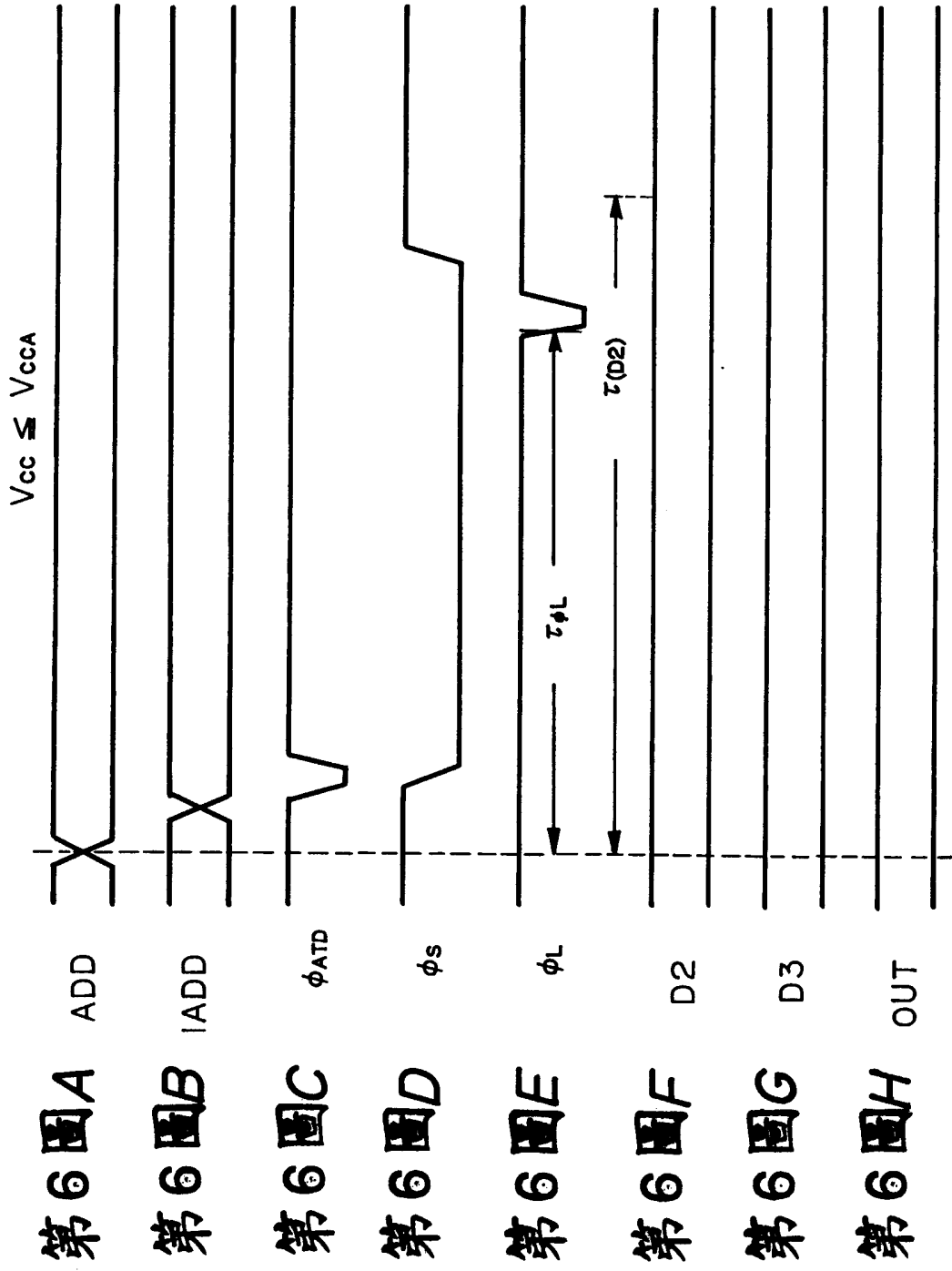
第5圖E

第5圖F

第5圖G

第5圖H





$V_{CC} \geq V_{CCB}$

第7圖A

ADD

第7圖B

IADD

第7圖C

ϕ_{ATD}

第7圖D

ϕ_S

第7圖E

ϕ_L

第7圖F

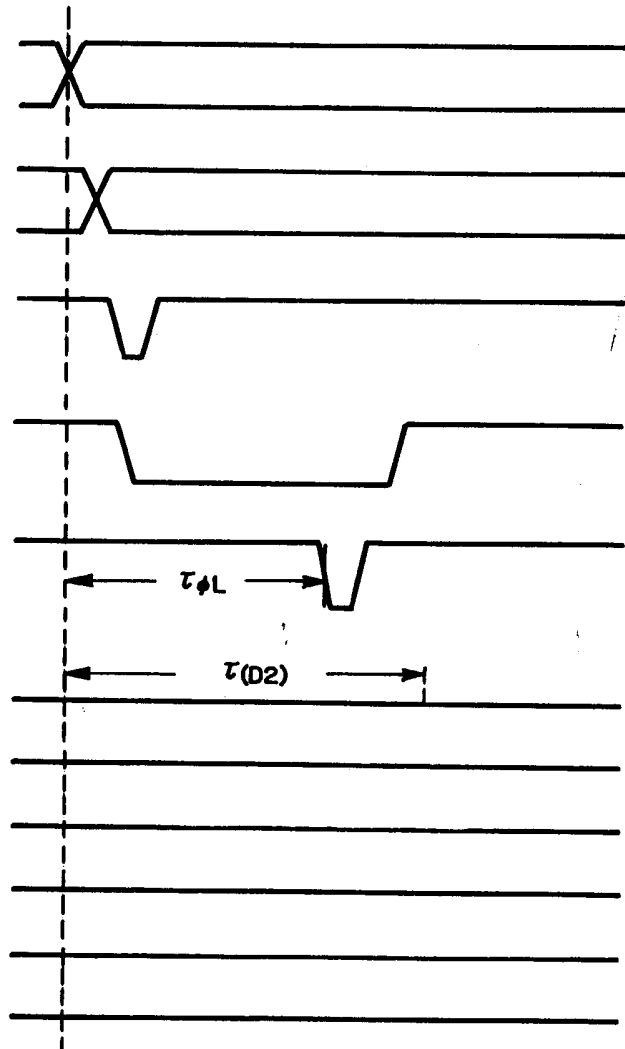
D2

第7圖G

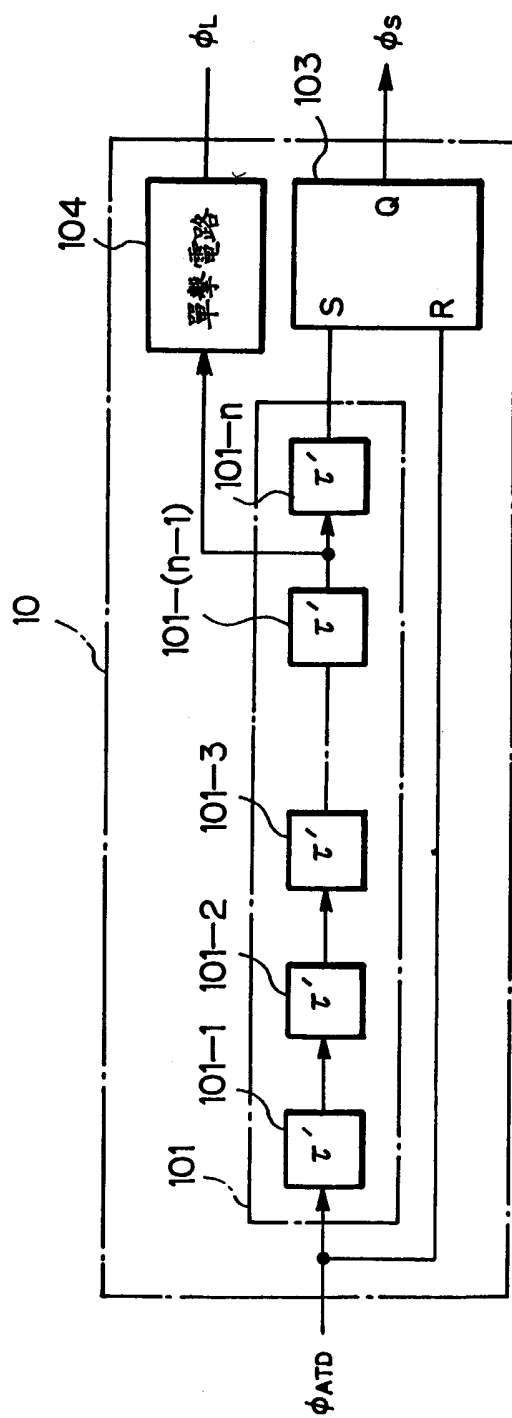
D3

第7圖H

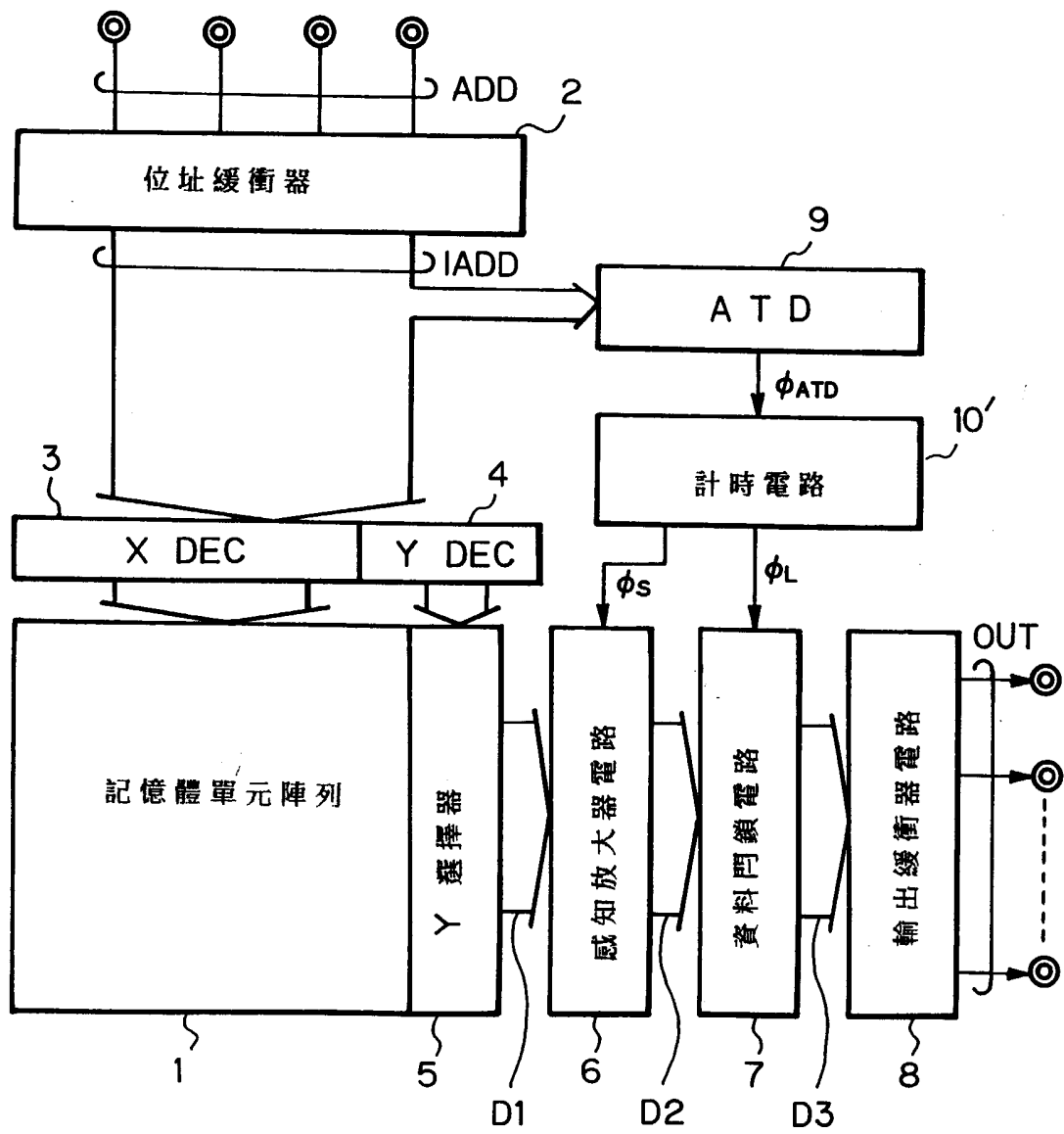
OUT



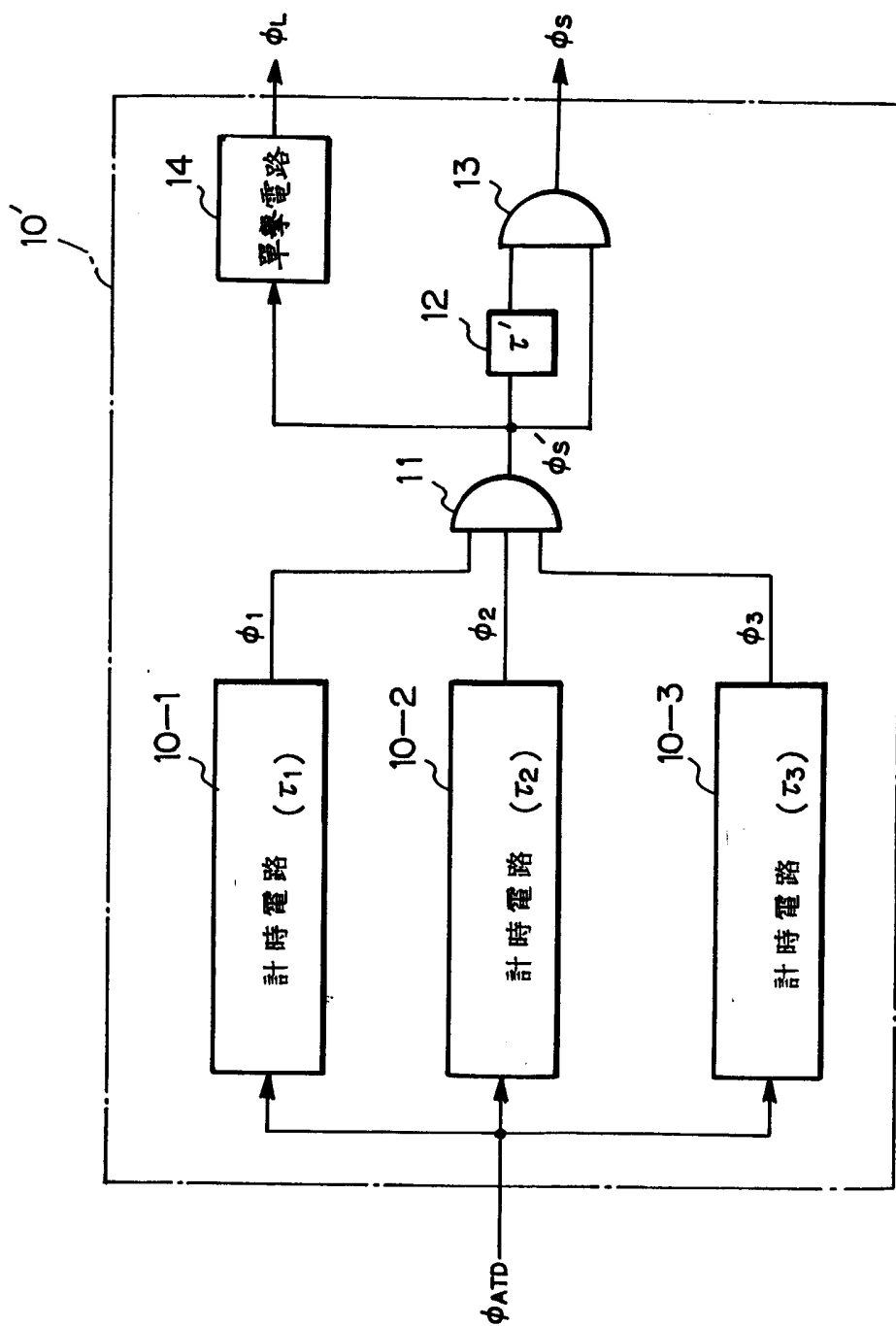
第8圖



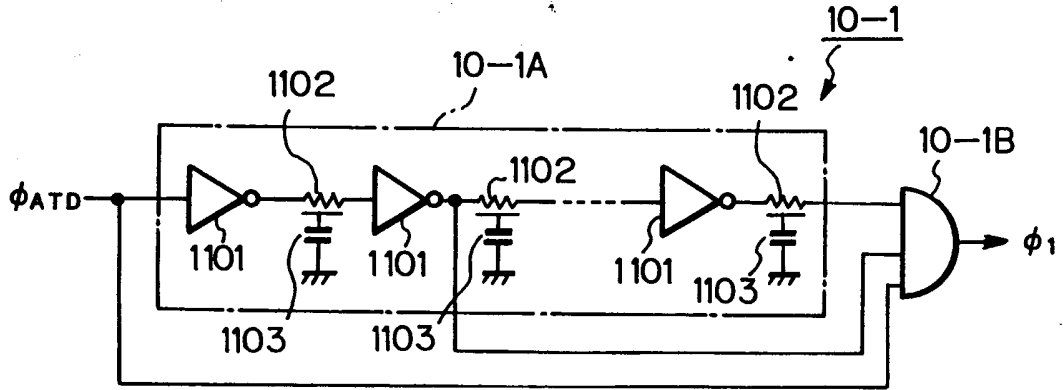
第9圖



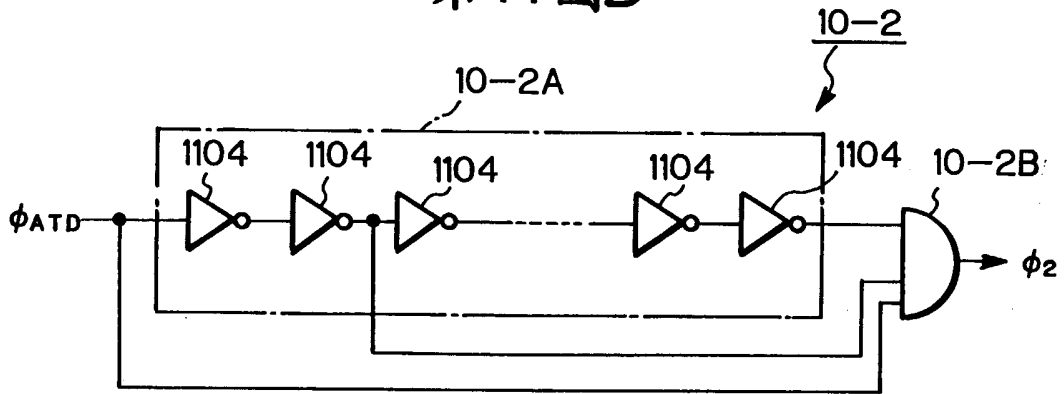
第10圖



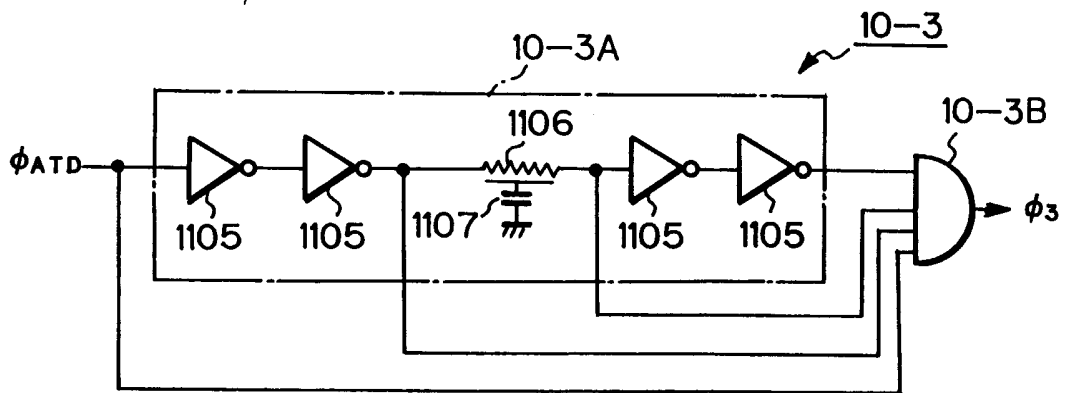
第11圖A



第11圖B

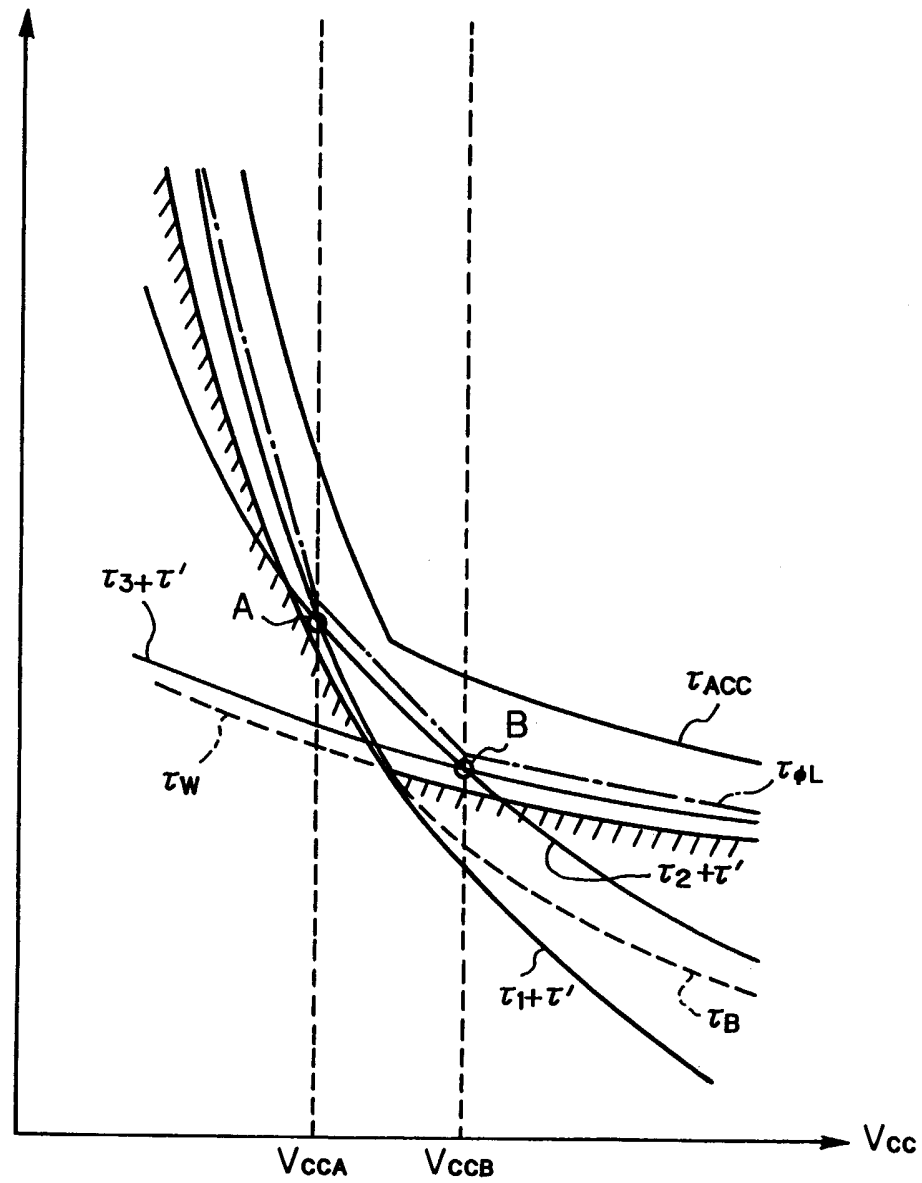


第11圖C

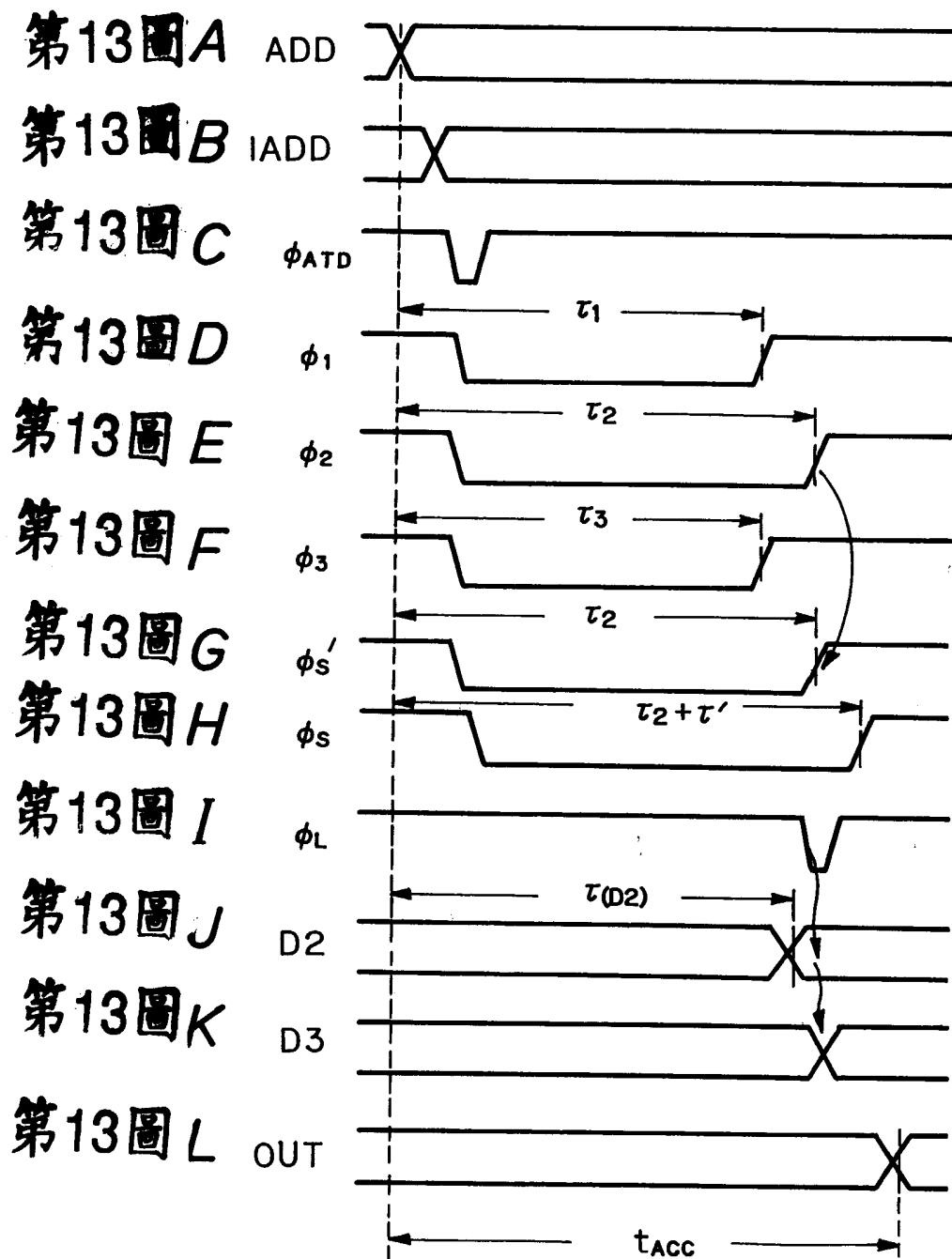


第12圖

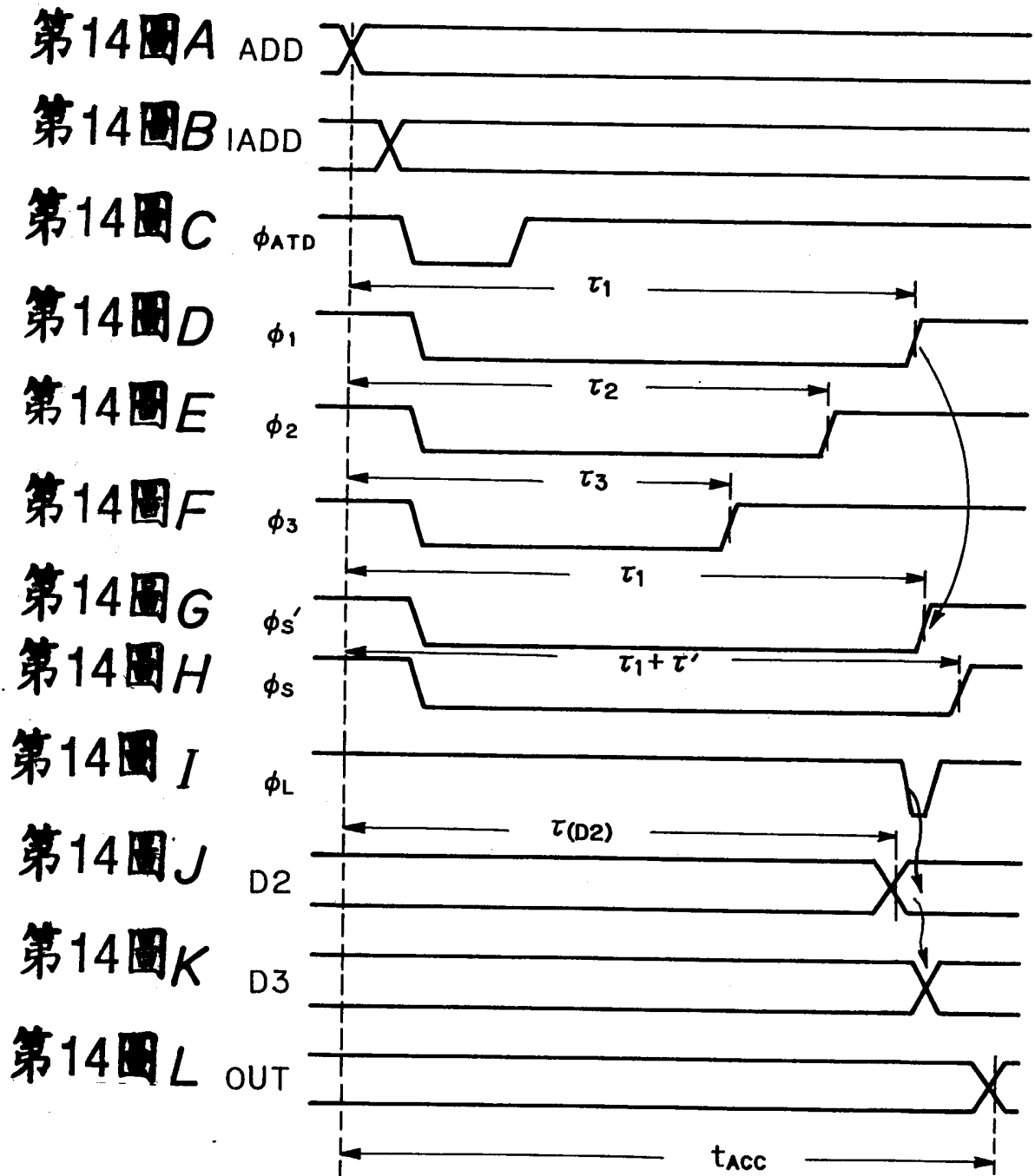
延遲時間



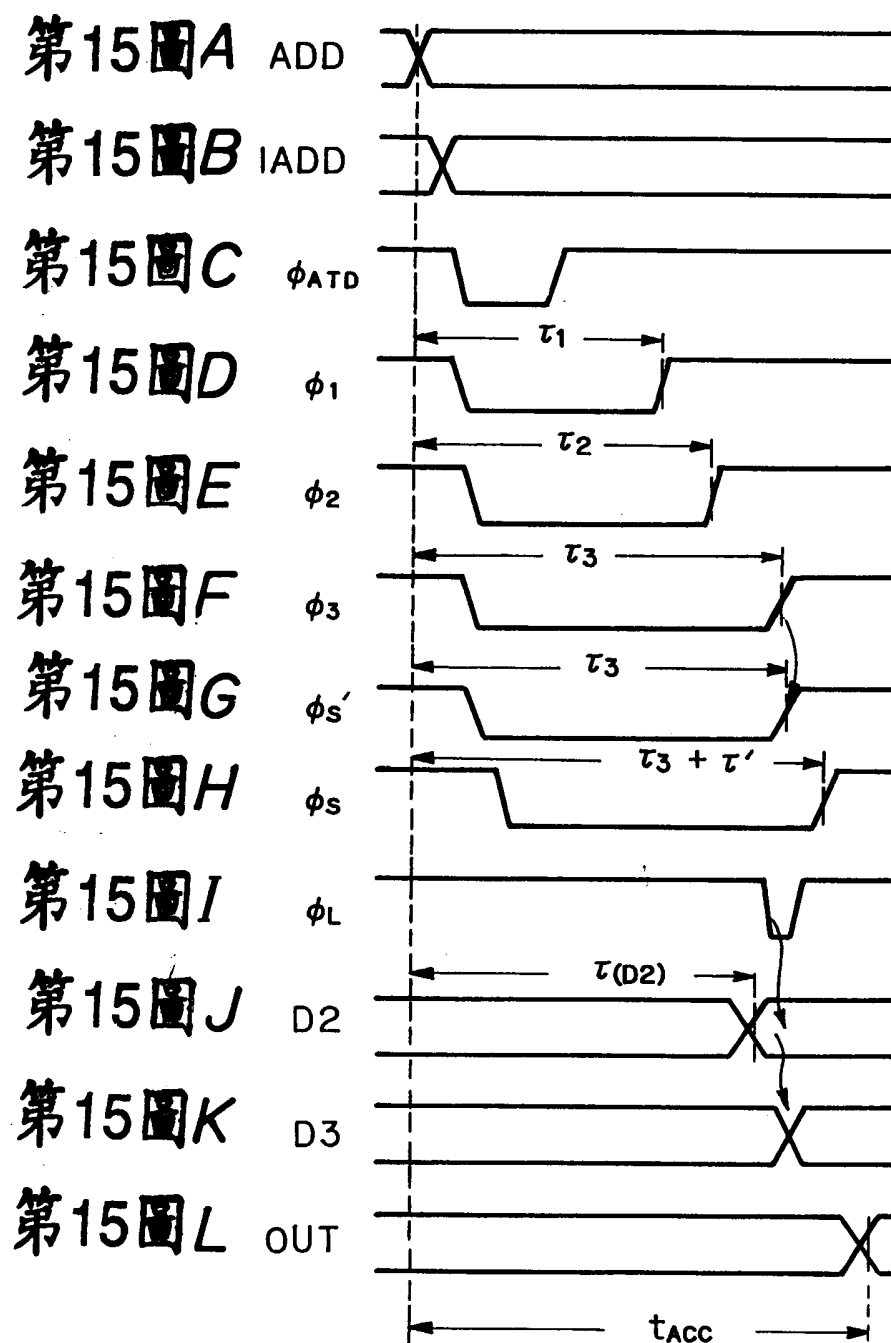
$$V_{CCA} < V_{CC} < V_{CCB}$$



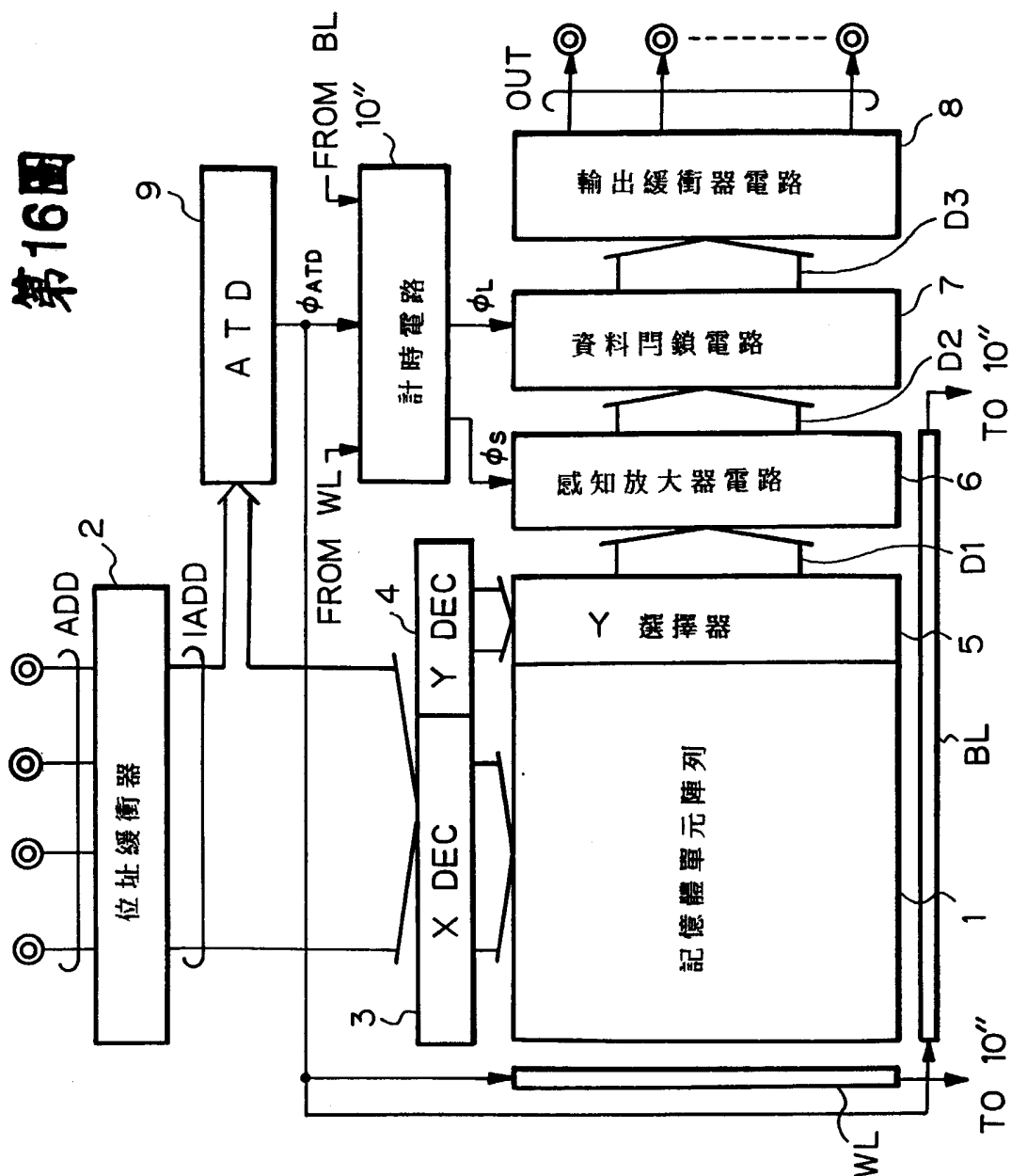
$$V_{CC} \leq V_{CCA}$$



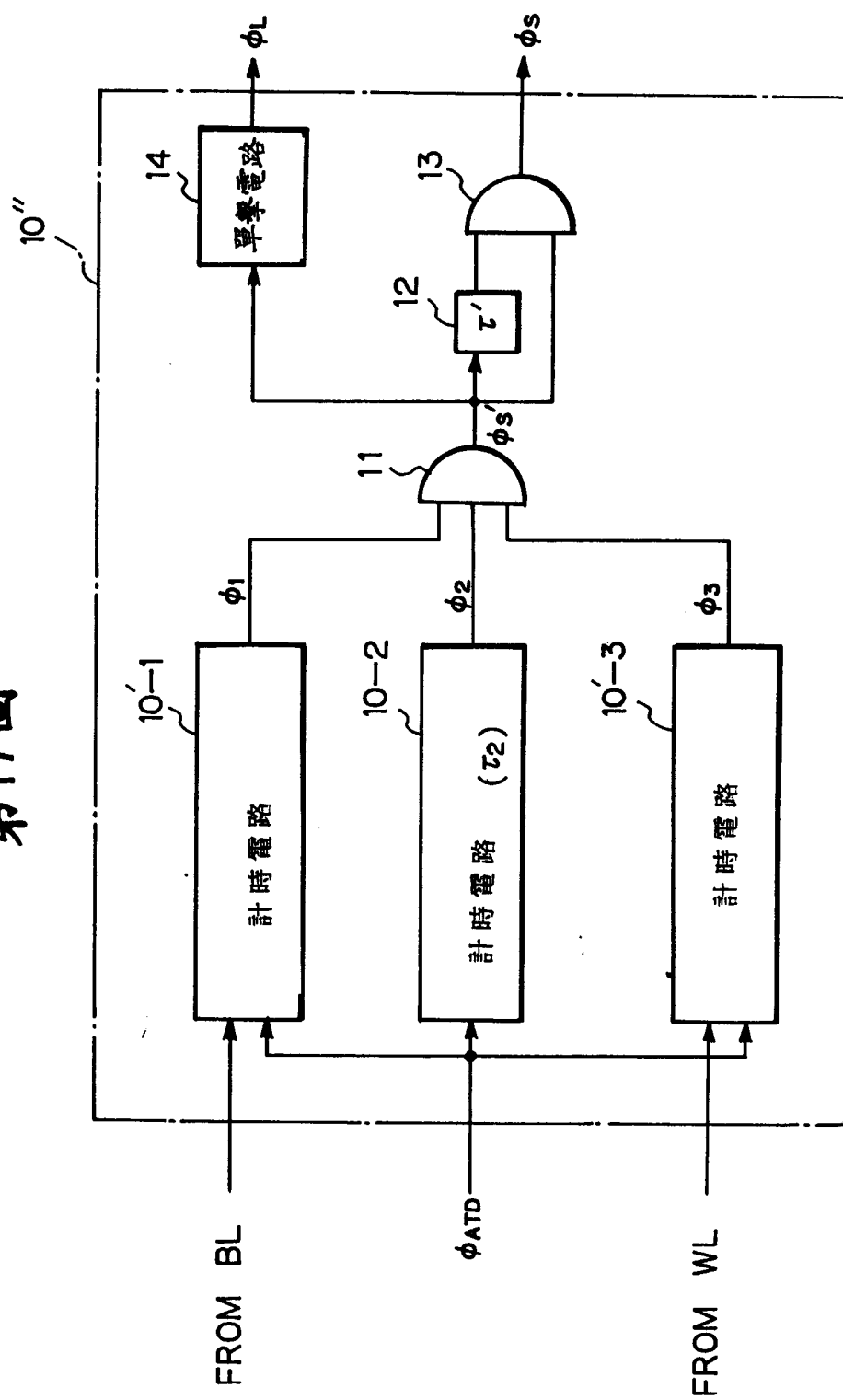
$$V_{CC} \geq V_{CCB}$$



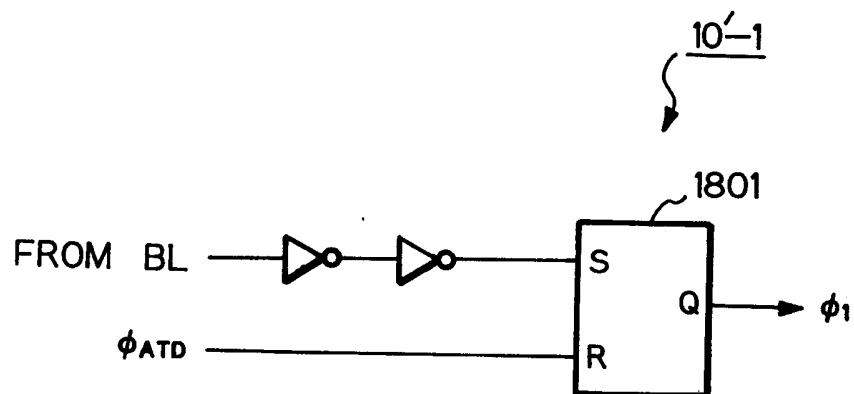
第16圖



第17圖



第18圖A



第18圖B ✓

