(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月6日(06.09.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/167102 A1

(51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 23/50* (2006.01)

(21) 国際出願番号： PCT/JP2018/007089

(22) 国際出願日： 2018年2月27日(27.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 新電元工業株式会社 (**SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.**) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目２番１号 Tokyo (JP).

(72) 発明者: 中川 政雄 (**NAKAGAWA, Masao**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 桑野 亮司(**KUWANO, Ryoji**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 篠竹 洋平(**SHINOTAKE, Yohei**); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP).

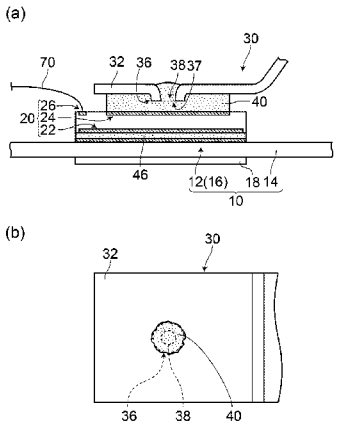
(74) 代理人: 松尾 誠剛 (**MATSUO, Nobutaka**); 〒4080044 山梨県北杜市小淵沢町１０３７番地５ めぶき国際特許業務法人 Yamanashi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置及び半導体装置の製造方法



(57) **Abstract:** This semiconductor device 1 is equipped with: a substrate 10 having a semiconductor chip-positioning surface 12; a semiconductor chip 20 which is positioned on the semiconductor chip-positioning surface 12, and has an electrode 24 formed on the surface thereof opposite the substrate-side surface; and a lead 30 which has an electrode-connecting part 32 which is joined to the electrode 24 by solder 40. The semiconductor device 1 is characterized in that the electrode-connecting part 32 has: a projection 36 which projects toward the semiconductor chip 20 side in the region where said part is joined by the solder 40; and a through-hole 38 which is formed in the peak 37 of the projection 36, and passes from the surface thereof on the semiconductor chip 20 side to the surface opposite the semiconductor chip 20 side. As a result, the present invention is capable of providing a semiconductor device which is unlikely to exhibit a decline in reliability.

WO 2019/167102 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：本発明の半導体装置１は、半導体チップ配置面１２を有する基板１０と、半導体チップ配置面１２上に配置され、基板１０側の面とは反対側の面に形成された電極２４を有する半導体チップ２０と、電極２４とはんだ４０を介して接合された電極接続片３２を有するリード３０とを備え、電極接続片３２は、はんだ４０と接合する領域において、半導体チップ２０側に突出した凸部３６と、凸部３６の頂上部３７に形成され、半導体チップ２０側の面から半導体チップ２０側とは反対側の面まで貫通された貫通孔３８とを有することを特徴とする。 本発明の半導体装置によれば、信頼性が低下し難い半導体装置を提供することができる。

明　細　書

発明の名称 ： 半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 従来、半導体チップとリードとがはんだを介して接合された半導体装置を製造する半導体装置の製造方法が知られている（例えば、特許文献１参照。）。

[0003] 特許文献１に記載の従来の半導体装置９００は、図１２に示すように、半導体チップ配置面９１２を有する基板９１０と、半導体チップ配置面９１２上に配置され、基板９１０側の面（半導体チップ配置面１２と対向する面）に形成されたコレクタ電極９２２、並びに、基板９１０側の面とは反対側の面（半導体チップ配置面１２と対向する面とは反対側の面）に形成されたエミッタ電極９２４（電極）及びエミッタ電極９２４とは離間した位置に形成されたゲート電極９２６を有する半導体チップ９２０と、電極接続片９３２を有し、電極接続片９３２がエミッタ電極９２４とはんだ９４０を介して接合されたリード９３０とを備える

[0004] 従来の半導体装置９００によれば、電極接続片９３２がエミッタ電極９２４とはんだ９４０を介して接合されている、すなわち、半導体チップ９２０とリード９３０とがはんだ９４０のみを介して（ワイヤ等の介在部材を介さずに）直接接続されているため、半導体装置９００は、電流容量が大きく、大電流を使用する電子機器（例えば、電源）に適した半導体装置となる。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１０－１２３６８６号公報

特許文献2：特開２０１７－１９９８０９号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、一般に、半導体チップとリードとの間のはんだに作用する応力（例えば熱応力）を緩和するためには、はんだの厚みをある一定以上の厚さに保つことが有効であることが知られている（例えば、特許文献２参照。）。

[0007] しかしながら、従来の半導体装置の製造過程において、ペースト状のはんだ材９４１をある一定以上の厚さとすると、はんだ材９４１の上にリード９３０を配置したときにはんだ材９４１が潰れて余剰なはんだ材が所望しない場所にはみ出してしまうおそれがあり、半導体装置の信頼性が低下するおそれがある、という問題がある（図１３参照。）。

[0008] そこで、本発明は、上記した問題を解決するためになされたものであり、信頼性が低下し難い半導体装置を提供することを目的とする。また、そのような半導体装置を製造するための半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] ［１］本発明の半導体装置は、半導体チップ配置面を有する基板と、前記半導体チップ配置面上に配置され、前記半導体チップ配置面と対向する面とは反対側の面に形成された電極を有する半導体チップと、前記電極とはんだを介して接合された電極接続片を有するリードとを備え、前記電極接続片は、前記はんだと接合する領域において、前記半導体チップ側に突出した凸部と、前記凸部の頂上部に形成され、前記半導体チップ側の面から前記半導体チップ側とは反対側の面まで貫通された貫通孔とを有することを特徴とする。

[0010] ［２］本発明の半導体装置において、前記リードは、断面で見たときに、前記凸部の部分で半導体チップ側に折り曲げられた形状を有することが好ましい。

[0011] ［３］本発明の半導体装置においては、前記凸部の側面形状は、前記半導体チップ側が狭いテーパ形状であることが好ましい。

[0012] ［４］本発明の半導体装置においては、前記凸部の側面形状は、丸みを帯び

た形状になっていることが好ましい。

[0013] ［５］本発明の半導体装置においては、前記はんだの厚さは、３００μｍ以上であることが好ましい。

[0014] ［６］本発明の第１の半導体装置の製造方法は、上記［１］～［５］のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、基板上に半導体チップを配置する半導体チップ配置工程と、一方の面側に突出した凸部と、前記凸部の頂上部に形成され、前記一方の面から前記一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有するリードを、前記半導体チップの電極と前記電極接続片とがはんだ材を挟んで対向した状態、かつ、前記凸部が前記電極側に向かって突出した状態となるように配置して組立体を形成する組立体形成工程と、前記はんだ材を溶融した後で固化することにより、前記電極と前記電極接続片とをはんだを介して接合する接合工程とを含むことを特徴とする。

[0015] ［７］本発明の第２の半導体装置の製造方法は、上記［１］～［５］のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、基板上に半導体チップを配置する半導体チップ配置工程と、一方の面側に突出した凸部と、前記凸部の頂上部に形成され、前記一方の面から前記一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有し、前記他方の面における、前記貫通孔を含む所定の領域にはんだ材が配置されたリードを、前記半導体チップの電極と前記電極接続片とが所定の間隔で対向した状態、かつ、前記凸部が前記電極側に向かって突出した状態となるように配置して組立体を形成する組立体形成工程と、前記はんだ材を溶融して前記貫通孔を通して前記電極と前記電極接続片との間に前記はんだ材を流し込んだ後で前記はんだ材を固化することにより、前記電極と前記電極接続片とをはんだを介して接合する接合工程とを含むことを特徴とする。

[0016] ［８］本発明の半導体装置の製造方法において、前記組立体形成工程においては、前記電極と前記電極接続片の間のうちの一部にもはんだ材が配置されていることが好ましい。

[0017] ［９］本発明の半導体装置の製造方法において、前記組立体形成工程においては、断面で見たときに、前記凸部の部分で半導体チップ側に折り曲げられた形状を有する前記リードを配置することが好ましい。

[0018] ［１０］本発明の半導体装置の製造方法において、前記組立体形成工程においては、前記凸部の側面形状が、前記半導体チップ側が狭いテーパ形状である前記リードを配置することが好ましい。

[0019] ［１１］本発明の半導体装置の製造方法において、前記組立体形成工程においては、前記凸部の側面形状が、丸みを帯びた形状になっている前記リードを配置することが好ましい。

[0020] ［１２］本発明の半導体装置の製造方法において、前記はんだ材は、溶剤を含有するペースト状のはんだ材からなることが好ましい。

発明の効果

[0021] 本発明の半導体装置によれば、電極接続片は、はんだと接合する領域において、半導体チップ側に突出した凸部と、凸部の頂上部に形成され、半導体チップ側の面から半導体チップ側とは反対側の面まで貫通された貫通孔とを有するため、製造過程において、はんだ材上にリードを配置したときに、余剰なはんだ材を貫通孔を通してリードにおける半導体チップとは反対側の面に流れさせることができる。従って、はんだの厚みをある一定以上の厚さに保つ場合において、（接合工程前の）はんだ材上にリードを配置したときでも、余剰なはんだ材が所望しない場所にはみ出すことを防ぐことができ、半導体装置の信頼性が低下し難くなる。

[0022] また、本発明の半導体装置によれば、電極接続片は、はんだと接合する領域において、半導体チップ側に突出した凸部を有するため、従来の半導体装置と比較して、リードとはんだとの接触面積が大きくなる。

また、本発明の半導体装置によれば、電極接続片は、凸部の頂上部に形成され、半導体チップ側の面から半導体チップ側とは反対側の面まで貫通された貫通孔とを有するため、はんだ材上にリードを配置したときに、余剰なはんだ材を貫通孔を通してリードにおける半導体チップとは反対側の面に流れ

させることができる。従って、貫通孔内及びリードにおける半導体チップ側とは反対側の面にもはんだが存在することになるため、リードとはんだとの接触面積がより大きくなる。

従って、リードとはんだとの接合強度が高くなり、半導体装置の信頼性が高くなる。

[0023] 本発明の第１の半導体装置の製造方法によれば、組立体形成工程において、一方の面側に突出した凸部と、凸部の頂上部に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有するリードを、電極と電極接続片とがはんだ材を挟んで対向した状態、かつ、凸部が電極側に向かって突出した状態となるように配置して組立体を形成し、接合工程において、はんだ材を溶融した後で固化することにより、電極と電極接続片とをはんだを介して接合するため、はんだ材上にリードを配置したときに、余剰なはんだ材を貫通孔を通してリードにおける半導体チップとは反対側の面に向かって流れさせることができる。従って、はんだの厚みをある一定以上の厚さに保つ場合において、はんだ材上にリードを配置したときでも、余剰なはんだ材が所望しない場所にはみ出すことを防ぐことができ、信頼性が低下し難い半導体装置を製造することができる。

[0024] 本発明の第２の半導体装置の製造方法によれば、組立体形成工程において、一方の面側に突出した凸部と、凸部の頂上部に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有し、他方の面における、貫通孔を含む所定の領域にはんだ材が配置されたリードを、電極と電極接続片とが所定の間隔で対向した状態、かつ、凸部が電極側に向かって突出した状態となるように配置して組立体を形成し、接合工程において、はんだ材を溶融して貫通孔を通して電極と電極接続片との間にはんだ材を流し込んだ後ではんだ材を固化することにより、電極と電極接続片とをはんだを介して接合するため、接合工程前のはんだ材を厚くしすぎることがなく、ある一定以上の厚さのはんだ材上にリードを配置する、ということもない。従って、余剰なはんだ材が所望しない場所にはみ出すことを

防ぐことができる。その結果、信頼性が低下し難い半導体装置を製造することができる。

図面の簡単な説明

[0025] [図1]実施形態１に係る半導体装置１を示す図である。図１（ａ）は半導体装置１の平面図であり、図１（ｂ）は半導体装置１の断面図である。

[図2]実施形態１に係る半導体装置１の要部拡大図である。図２(ａ)は半導体装置１の要部拡大断面図であり、図２(ｂ)は半導体装置１の要部拡大平面図である。

[図3]実施形態１に係る半導体装置の製造方法のフローチャートである。

[図4]実施形態１に係る半導体装置の製造方法の工程図である。図４（ａ）は基板準備工程を示す図であり、図４（ｂ）は半導体チップ配置工程を示す図であり、図４（ｃ）ははんだ材配置工程を示す図である。

[図5]実施形態１に係る半導体装置の製造方法の工程図である。図５（ａ）はリードフレーム配置工程を示す図であり、図５（ｂ）は接合工程（リフロー工程）を示す図であり、図５（ｃ）はワイヤボンディング工程を示す図である。

[図6]実施形態１に係る半導体装置の製造方法の効果を説明するために示す図である。図６（ａ）ははんだ材上にリード（リードフレーム）を配置する前の組立体５０の断面図であり、図６（ｂ）ははんだ材上にリードを配置する前の組立体５０の平面図であり、図６（ｃ）ははんだ材上にリードを配置した後の組立体５０の断面図であり、図６（ｄ）ははんだ材上にリードを配置した後の組立体５０の平面図であり、図６（ｅ）は接合工程後の組立体５０の断面図であり、図６（ｆ）は接合工程後の組立体５０の平面図である。

[図7]実施形態２に係る半導体装置の製造方法の効果を説明するために示す図である。図７（ａ）は接合工程（リフロー工程）実施前の組立体５１の断面図であり、図７（ｂ）は接合工程（リフロー工程）実施前の組立体５１の平面図であり、図７（ｃ）は接合工程（リフロー工程）実施中の組立体５１の断面図であり、図７（ｄ）は接合工程（リフロー工程）実施中の組立体５１

の平面図である。

[図8]実施形態３に係る半導体装置の製造方法の効果を説明するために示す図である。図８（ａ）は接合工程（リフロー工程）実施前の組立体５２の断面図であり、図８（ｂ）は接合工程（リフロー工程）実施前の組立体５２の平面図であり、図８（ｃ）は接合工程（リフロー工程）実施中の組立体５２の断面図であり、図８（ｄ）は接合工程（リフロー工程）実施中の組立体５２の平面図である。

[図9]変形例１～４に係る半導体装置におけるリードの凸部及び貫通孔を示す要部拡大断面図である。図９（ａ）～図９（ｄ）は変形例１～４に係る半導体装置におけるリードの凸部及び貫通孔を示す要部拡大断面図である。

[図10]変形例５に係る半導体装置における要部拡大図である。図１０（ａ）は変形例５に係る半導体装置における要部拡大断面図であり、図１０（ｂ）は変形例５に係る半導体装置における要部拡大平面図である。

[図11]変形例６に係る半導体装置２を示す図である。図１１（ａ）は半導体装置２の斜視図であり、図１１（ｂ）は半導体装置２の断面図である。

[図12]従来の半導体装置９００を示す断面図である。なお、図１２中、符号９４６ははんだを示し、符号９６０、符号９６２は端子を示し、符号９７０はワイヤを示し、符号９８０は樹脂を示す。

[図13]従来の半導体装置の製造方法の問題点を示す図である。図１３（ａ）はリード配置前の組立体の様子を示す図であり、図１３（ｂ）はリード配置後の組立体の様子を示す図である。なお、符号９４１，９４５はペースト状のはんだ材を示す。

発明を実施するための形態

[0026] 以下、本発明の半導体装置の製造方法について、図に示す実施形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実際の寸法を厳密に反映したものではない。

[0027] ［実施形態１］

<u>１．実施形態１における半導体装置１の構成</u>

実施形態１に係る半導体装置１は、図１及び図２に示すように、基板１０と、半導体チップ２０と、リード３０，６２，６４と、はんだ４０，４６と、ワイヤ７０とを備え、リード３０，６２，６４の外部接続端子及び放熱性の金属板１８の一部を除いて樹脂８０で樹脂封止されている。

[0028] 基板１０は、半導体チップ配置面１２を有する基板である。基板１０としては適宜の基板（例えば、プリント基板）を用いることができるが、実施形態１においては、絶縁性基板１４と、絶縁性基板１４の一方の面に形成され、半導体チップ配置面１２を有する回路１６と、絶縁性基板１４の他方の面に形成された放熱用の金属板１８とを有するＤＣＢ（Ｄｉｒｅｃｔ　Ｃｏｐｐｅｒ　Ｂｏｎｄｉｎｇ）基板を用いる。なお、放熱用の金属板１８は樹脂８０から露出している。

[0029] 半導体チップ２０は、半導体チップ配置面１２上に配置されており、一方の面（半導体チップ配置面１２と対向する面。あるいは、基板１０側の面）に形成されたコレクタ電極２２、並びに、他方の面（半導体チップ配置面１２と対向する面とは反対側の面。あるいは、基板１０側の面とは反対側の面）に形成されたエミッタ電極２４（電極）及びエミッタ電極２４とは離間した位置に形成されたゲート電極２６を有するＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）である。

[0030] コレクタ電極２２は、基板１０の半導体チップ配置面１２とはんだ４６を介して接合されており、はんだ４６、基板１０（回路１６）及びリード６４を介して外部と接続される。

エミッタ電極２４は、リード３０の電極接続片３２とはんだ４０を介して接合されており、はんだ４０及びリード３０（外部接続端子３４）を介して外部と接続される。

[0031] リード３０，６２，６４は、平板状の金属部材であり、リードフレームを切り離して形成されたものである。リード３０，６２，６４はワイヤよりも断面積が大きく、大電流を流すことができる。

[0032] リード３０は、一方の端部にエミッタ電極２４と接続するための電極接続

片３２を有し、他方の端部に外部と接続するための外部接続端子３４を有する。

[0033] 電極接続片３２は、はんだ４０と接合する領域において、半導体チップ２０側に突出した凸部３６と、凸部３６の頂上部３７に形成され、半導体チップ２０側の面から半導体チップ２０側とは反対側の面まで貫通された貫通孔３８とを有する。

[0034] リード３０は、断面で見たときに、凸部３６の部分で半導体チップ２０側に折り曲げられた形状を有する。凸部３６は、半導体チップ２０側に向かって打ち出し加工されたような形状を有する。凸部３６の側面形状は、半導体チップ２０側が狭いテーパ形状であり、凸部の側面形状（側面の断面形状）は、丸みを帯びた形状をしている。言い換えると、凸部３６の側面形状は、半導体チップ２０側が頂上部となり、かつ、裾野が広い富士山型の形状、あるいは、半導体チップ２０とは反対側が広いラッパ型の形状をしている。

[0035] 電極接続片３２を半導体チップ２０側とは反対側の面からみると、凸部３６の形状に対応した形状の凹部があるように見える。言い換えると、半導体チップ２０側とは反対側の面から半導体チップ２０側に向かうに従って狭くなっている凹部があるように見える。凹部の最底部には貫通孔３８がある。凹部内にはエミッタ電極２４と電極接続片３２との間のはんだ４０から流れ出たはんだが入り込んでおり、当該はんだは、貫通孔３８近傍のリード３０における半導体チップ２０側とは反対側からリード３０に接している。

[0036] 貫通孔３８は、凸部３６の頂上部３７に形成され、半導体チップ２０側の面から半導体チップ２０側とは反対側の面まで貫通されている。貫通孔３８は、接合工程前にリード３０をはんだ材の上に配置したときに、はんだ材が貫通孔３８を介して行き来できる程度の大きさである（すなわち、はんだ材が貫通孔３８を介して十分行き来できず、意図しない領域にはんだ材が飛び出してしまうことを防ぐことができる程度の大きさである）。

[0037] リード６２は、一方の端部がワイヤ７０を介してゲート電極２６と接続されており、他方の端部が外部接続用の端子となっている。リード６４は、一

方の端部がコレクタ電極２２と接続された回路１６と接続されており、他方の端部が外部接続用の端子となっている。

[0038] はんだ４０，４６は、導電性及び接着性を有する合金又は金属である。はんだ４０、４６ははんだ材を加熱することにより溶融して固化したものである。

はんだ４０は、エミッタ電極２４と電極接続片３２とを接合している。はんだ４０の厚さ（はんだ厚）は、はんだ４６（基板１０と半導体チップ２０との間のはんだ）の厚さよりも厚く、例えば３００μｍ以上である。

はんだ４６は、コレクタ電極２２と半導体チップ配置面１２を接合している。はんだ４６は、溶剤（具体的にはフラックス）を含有するペースト状のはんだ材（いわゆるクリームはんだ）から形成されたものであり、印刷により基板１０の半導体チップ配置面１２上に配置され、リフローして加熱することにより基板１０と半導体チップ２０とを接合する。なお、はんだ４６は、はんだ４０の場合と異なり、はんだに作用する応力（例えば熱応力）を緩和するという事情がなく、厚くなると導通損失が大きくなるため、比較的薄い方が好ましい。

[0039] 樹脂８０は、適宜の樹脂を用いることができる。

[0040] ２．実施形態１に係る半導体装置の製造方法

実施形態１に係る半導体装置の製造方法は、図３に示すように、基板準備工程Ｓ１００と、半導体チップ配置工程Ｓ２００と、組立体形成工程Ｓ３００と、接合工程Ｓ４００と、ワイヤボンディング工程Ｓ５００と、樹脂封止工程Ｓ６００と、リード加工工程Ｓ７００とを含む。

[0041] （１）基板準備工程Ｓ１００

基板準備工程Ｓ１００においては、基板１０を準備する（図４（ａ）参照。）。具体的には、所定の治具上に基板１０を位置決めして配置する。

[0042] （２）半導体チップ配置工程Ｓ２００

半導体チップ配置工程Ｓ２００においては、基板１０の半導体チップ配置面１２上にはんだ材４５を介して半導体チップ２０を配置する（図４（ｂ）

参照。）。具体的には、まず、基板１０の半導体チップ配置面１２上にペースト状のはんだ材４５（例えば、いわゆるクリームはんだ）を印刷する。次に、半導体チップ配置面１２と半導体チップ２０のコレクタ電極２２とがはんだ材４５を挟んで対向した状態となるように半導体チップ配置面１２上に半導体チップ２０を配置する。

なお、実施形態１においては、はんだ材４５を印刷することによりはんだ材を供給しているが、ディスペンサによってはんだ材を供給する、はんだフィーダ等で送り出した糸はんだによってはんだ材を供給する、溶融したはんだ材を流し込むことによってはんだ材を供給する等、適宜の方法ではんだ材を供給してもよい。

[0043] なお、クリームはんだは、はんだ粉末にフラックスを添加して、適当な粘度のペースト状にしたものである。フラックスは、高温（例えば、はんだの溶融温度）で揮発する成分である。フラックスとしては、ロジン、変性ロジン、合成樹脂などを主成分として用いた樹脂系フラックスが用いられ、さらに、チクソトロピック剤や、活性剤および活性剤用の溶剤、分散安定剤などが添加される場合もある。

[0044] （３）組立体形成工程Ｓ３００

組立体形成工程Ｓ３００は、はんだ材配置工程Ｓ３１０とリードフレーム配置工程Ｓ３２０を含む。

[0045] （３－１）はんだ材配置工程Ｓ３１０

はんだ材配置工程Ｓ３１０においては、半導体チップ２０のエミッタ電極２４上にはんだ材４１を配置する（図４（ｃ）参照。）。はんだ材４１としては、溶剤を含有するペースト状のはんだ材を用いる。実施形態１においては、溶剤として、高温（例えば、はんだの溶融温度）で揮発する成分を含有する溶剤（例えば、フラックス）を含有するペースト状のはんだ材（具体的には、いわゆるクリームはんだ）を用いる。なお、溶剤として、高温で揮発する成分を含有する溶剤以外の溶剤を含有するペースト状のはんだ材を用いてもよいし、後のリードフレーム配置工程において、貫通孔３８を通しては

んだ材４１が移動できる程度の粘度があるはんだ材であれば、他の適宜のはんだ材を用いてもよい。

[0046] （３－２）リードフレーム配置工程Ｓ３２０

リードフレーム配置工程においては、一方の面側に突出した凸部３６と、凸部３６の頂上部３７に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔３８とを有する電極接続片３２を有するリード３０（リード３０が連結されているリードフレーム）を、エミッタ電極２４と電極接続片３２とがはんだ材４１を挟んで対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置する（図５（ａ）参照。）。このとき、リードフレーム２００内のリード６２，６４も所定の位置に配置される。

[0047] 具体的には、はんだ材４１上に、凸部３６がエミッタ電極２４側に向くように配置する（図６（ａ）及び（ｂ）参照。）。このとき、余剰なはんだ材４１が貫通孔を通って、リード３０の半導体チップ２０側とは反対側に向かって移動する（図６（ｃ）及び（ｄ）参照。）。従って、はんだ材４１が意図しない領域（例えば、平面的に見てエミッタ電極が形成されていない領域）にはんだ材４１が流れ出てしまうことがない。なお、リード３０の半導体チップ２０側とは反対側の面にはんだ材が流れ出ても周囲に異なる電位の電極がなく、不具合が起こり難い。

[0048] これにより、一方の面側に突出した凸部３６と、凸部３６の頂上部３７に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔３８とを有する電極接続片３２を有するリード３０を、エミッタ電極２４と電極接続片３２とがはんだ材４１を挟んで対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置して組立体５０を形成することができる（図５（ａ）参照。）。

[0049] （４）接合工程（リフロー工程）Ｓ４００

接合工程（リフロー工程）Ｓ４００においては、組立体５０をリフロー炉（図示せず。）に入れて加熱し、はんだ材４１、４５を溶融した後で、はん

だ材４１、４５を固化してはんだ４０、４６とする（図５（ｂ）参照。）。このとき、余剰なはんだ材が貫通孔３８を介してリード３０の半導体チップ２０側とは反対側の面に移動する（図６（ｅ）及び（ｆ）参照。）。また、このとき、フラックス等のガスが貫通孔３８を通って外部に放出される。これにより、基板１０の半導体チップ配置面１２と半導体チップ２０のエミッタ電極２４とをはんだ４６を介して接合するとともに、半導体チップ２０のコレクタ電極２２とリード３０の電極接続片３２とをはんだ４０を介して接合する。

[0050] （５）ワイヤボンディング工程Ｓ５００

次に、ゲート電極２６とリード６２（図１参照。）とをワイヤ７０を用いて接続する（図５（ｃ）参照。）。ワイヤ７０は適宜のものを用いることができる。

[0051] （６）樹脂封止工程Ｓ６００及びリード加工工程Ｓ７００

次に、リード３０，６２，６４の外部端子及び放熱用の金属板１８を除いて樹脂８０で樹脂封止する（樹脂封止工程Ｓ６００、図示せず。）、次に、リード３０，６２，６４をリードフレームから切り離すとともに、所定の箇所の折り曲げ等の加工を行う（リード加工工程Ｓ７００、図示せず。）。

このようにして実施形態１における半導体装置１を製造することができる。

[0052] ３．実施形態１に係る半導体装置の製造方法の効果

実施形態１に係る半導体装置１によれば、電極接続片３２は、はんだ４０と接合する領域において、半導体チップ２０側に突出した凸部３６と、凸部３６の頂上部３７に形成され、半導体チップ２０側の面から半導体チップ２０側とは反対側の面まで貫通された貫通孔３８とを有するため、製造過程において、はんだ材４１上にリード３０を配置したときに、余剰なはんだ材を貫通孔３８を通してリード３０における半導体チップ２０とは反対側の面に流れさせることができる。従って、はんだ４０の厚みをある一定以上の厚さに保つ場合において、（接合工程前の）はんだ材４１上にリードを３０配置

したときでも、余剰なはんだ材４１が所望しない場所にはみ出すことを防ぐことができ、半導体装置の信頼性が低下し難くなる。

[0053] また、実施形態１に係る半導体装置１によれば、電極接続片３２は、はんだ４０と接合する領域において、半導体チップ２０側に突出した凸部３６を有するため、従来の半導体装置と比較して、リード３０とはんだ４０との接触面積が大きくなる。

また、実施形態１に係る半導体装置１によれば、電極接続片３２は、凸部３６の頂上部３７に形成され、半導体チップ２０側の面から半導体チップ２０側とは反対側の面まで貫通された貫通孔３８とを有するため、はんだ材４１上にリード３０を配置したときに、余剰なはんだ材４１を貫通孔３８を通してリード３０における半導体チップ２０とは反対側の面に流れさせることができる。従って、貫通孔３８内及びリード３０における半導体チップ２０側とは反対側の面にもはんだ４０が存在することになるため、リード３０とはんだ４０との接触面積がより大きくなる。

従って、リード３０とはんだ４０との接合強度が高くなり、半導体装置の信頼性が高くなる。

[0054] 実施形態１に係る半導体装置１及び半導体装置の製造方法によれば、リード３０は、断面で見たときに、凸部３６の部分で半導体チップ２０側に折り曲げられた形状を有するため、接合工程において、貫通孔３８を通った余剰なはんだ材４１をリード３０の半導体チップ側の面の裏側に回りこませることができる。従って、リード３０における貫通孔３８の開口近傍の部分は、半導体チップ２０側及び半導体チップ２０とは反対側の両側ではんだ４０と接触することになる。従って、リード３０とはんだ４０との接合強度がより一層高くなり、半導体装置の信頼性がより低下し難くなる。

[0055] また、実施形態１に係る半導体装置１及び半導体装置の製造方法によれば、凸部３６の側面形状は、半導体チップ２０側が狭いテーパ形状であるため、凸部３６の側面が半導体チップに対して垂直である場合と比較して、リード３０とはんだ４０との接触面積が大きくなる。従って、リード３０とはん

だ４０との接合強度がより一層高くなり、半導体装置の信頼性が高くなる。

[0056] なお、凸部３６が、断面で見たときに、リード３０が半導体チップ２０側に折り曲げられた形状を有し、かつ、凸部３６の側面形状が、半導体チップ２０側が狭いテーパ形状である場合には、リード３０を半導体チップ２０側とは反対側から見たときに側面がテーパ形状の凹部が形成されていることとなるため、接合工程において、貫通孔３８を通って半導体チップ２０とは反対側に流れたはんだ材４１が貫通孔３８近傍に滞りやすく、そのようなはんだ材４１が固化するとねじの頭のような形状（半導体チップ側が頂点の円錐形のような形状）のはんだとなる。従って、リード３０とはんだ４０とがより一層剥がれ難くなり、リード３０とはんだ４０との接合強度をより一層高くすることができる、という効果もある。

[0057] また、実施形態１に係る半導体装置１及び半導体装置の製造方法によれば、凸部３６の側面形状は、丸みを帯びた形状になっているため、はんだ材４１上にリード３０（リードフレーム）を配置したときに、余剰なはんだ材が移動し易く、かつ、はんだ材内に空気溜まりができ難い。従って、より信頼性が低下し難い半導体装置を製造することができる。

[0058] また、実施形態１に係る半導体装置１によれば、実施形態１に係る半導体装置の製造方法によれば、はんだ４０の厚さは、３００μｍ以上であるため、半導体チップ２０とリード３０との間のはんだ４０に作用する応力（例えば熱応力）を緩和することができ、はんだ４０にクラックが入る等の不具合が生じ難くなる。その結果、信頼性が低下し難い半導体装置を製造することができる。この観点で言えば、上記した不具合をより生じ難くするためには、はんだ４０の厚さが４００μｍ以上であることが好ましく、はんだ４０の厚さが５００μｍ以上であることがより一層好ましい。

[0059] 実施形態１に係る半導体装置の製造方法によれば、組立体形成工程において、一方の面側に突出した凸部３６と、凸部３６の頂上部３７に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔３８とを有する電極接続片３２を有するリード３０を、エミッタ電極２４と電極接続

片３２とがはんだ材４１を挟んで対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置して組立体５０を形成し、接合工程において、はんだ材４１を溶融した後で固化することにより、エミッタ電極２４と電極接続片３２とをはんだ４０を介して接合するため、はんだ材４１上にリード３０を配置したときに、余剰なはんだ材４１を貫通孔３８を通してリード３０における半導体チップ２０とは反対側の面に向かって流れさせることができる。従って、はんだ４０の厚みをある一定以上の厚さに保つ場合において、接合工程前にはんだ材４１上にリード３０を配置したときでも、余剰なはんだ材４１が所望しない場所にはみ出すことを防ぐことができ、信頼性が低下し難い半導体装置を製造することができる。

[0060] 実施形態１に係る半導体装置の製造方法によれば、はんだ材４１は、溶剤を含有するペースト状のはんだ材からなり、このようなはんだ材は流動性があるため、はんだ材４１上にリード３０を配置したときに、余剰なはんだ材４１を貫通孔３８を通してリード３０における半導体チップ２０とは反対側の面に向かって流れさせることができる。

[0061] ［実施形態２］

実施形態２に係る半導体装置の製造方法は、基本的には実施形態１に係る半導体装置の製造方法と同様の工程を有するが、はんだ材を配置する位置が実施形態１に係る半導体装置の製造方法の場合とは異なる。実施形態２に係る半導体装置の製造方法においては、組立体形成工程（リードフレーム配置工程）において、エミッタ電極２４と電極接続片３２との間にはんだ材４１を配置せず、電極接続片３２のエミッタ電極２４側の面とは反対側の面（凸部が形成されている面とは反対側の面）における、貫通孔３８を含む所定の領域にはんだ材４２を配置する（図７（ａ）参照。）。すなわち、電極接続片３２のエミッタ電極２４側の面とは反対側の面における、貫通孔３８を含む所定の領域にはんだ材４２を配置されたリード３０を、エミッタ電極２４と電極接続片３２とが所定の間隔で対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置して組立体５１を形

成する。

[0062] 組立体形成工程（リードフレーム配置工程）においては、リード３０（リードフレーム）のうちの所定の部分（複数の部分が好ましい）を上下から所定の治具で挟持して固定することにより、エミッタ電極２４と電極接続片３２とが所定の間隔で離間した状態とする。

[0063] 接合工程においては、電極接続片３２のエミッタ電極２４側の面とは反対側の面における、貫通孔３８を含む所定の領域に配置したはんだ材４２を溶融して貫通孔３８を通してエミッタ電極２４と電極接続片３２との間に流し込む（図７（ｂ）参照。）。そして、エミッタ電極２４と電極接続片３２との間にはんだ材４１が満たされた段階ではんだ材４２を固化する。これにより、エミッタ電極２４と電極接続片３２とをはんだ４０を介して接合することができる。

[0064] このように、実施形態２に係る半導体装置の製造方法は、はんだ材を配置する位置が実施形態１に係る半導体装置の製造方法の場合とは異なるが、組立体形成工程において、一方の面側に突出した凸部３６と、凸部３６の頂上部３７に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔３８とを有する電極接続片３２を有し、他方の面における、貫通孔３８を含む所定の領域にはんだ材４２が配置されたリード３０を、エミッタ電極２４と電極接続片３２とが所定の間隔で対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置して組立体５１を形成し、接合工程において、はんだ材４２を溶融して貫通孔３８を通してエミッタ電極２４と電極接続片３２との間にはんだ材４２を流し込んだ後ではんだ材４２を固化することにより、エミッタ電極２４と電極接続片３２とをはんだ４０を介して接合するため、ある一定以上の厚さの（接合工程前の）はんだ材上にリード３０を配置する、ということがなく、余剰なはんだ材が所望しない場所にはみ出すことを防ぐことができる。その結果、信頼性が低下し難い半導体装置を製造することができる。

[0065] また、実施形態２に係る半導体装置の製造方法によれば、はんだ材４２は

、ペースト状のはんだ材からなるため、接合工程において、はんだ材が溶融し易く、はんだ材４１を溶融したときに、はんだ材４２を貫通孔３８を通してエミッタ電極２４と電極接続片３２との間にはんだ材４１を流し込ませ易くなる。

[0066] また、実施形態２に係る半導体装置の製造方法によれば、組立体形成工程においては、凸部３６の側面形状が、半導体チップ２０側が狭いテーパ形状であるリード３０を配置するため、エミッタ電極２４と電極接続片３２との間に供給したはんだ材４１が貫通孔３８から逆流し難く、エミッタ電極２４と電極接続片３２との間にはんだ材４１を効率よく供給することができる。

[0067] また、実施形態２に係る半導体装置の製造方法によれば、凸部３６の側面形状は、丸みを帯びた形状になっているため、はんだ材４２が移動し易く、エミッタ電極２４と電極接続片３２との間にはんだ材４１を効率よく供給することができる。

[0068] なお、実施形態２に係る半導体装置の製造方法は、はんだ材を配置する位置以外の点においては実施形態１に係る半導体装置の製造方法と同様の構成を有するため、実施形態１に係る半導体装置の製造方法が有する効果のうち該当する効果を有する。

[0069] ［実施形態３］

実施形態３に係る半導体装置の製造方法は、基本的には実施形態２に係る半導体装置の製造方法と同様の工程を有するが、エミッタ電極２４と電極接続片３２との間にもはんだ材が配置されている点が実施形態２に係る半導体装置の製造方法の場合とは異なる。すなわち、実施形態３に係る半導体装置の製造方法においては、組立体形成工程において、電極接続片３２のエミッタ電極２４側の面とは反対側の面における、貫通孔３８を含む所定の領域だけでなく、エミッタ電極２４と電極接続片３２の間のうちの一部にもはんだ材４３が配置されている（図８（ａ）及び（ｂ）参照。）。接合工程においては、貫通孔３８を通ってエミッタ電極２４と電極接続片３２の間に供給されたはんだ材と、エミッタ電極２４と電極接続片３２との間にあらかじめ配

置されているはんだ材とが混ざり合ってエミッタ電極２４と電極接続片３２の間をはんだ材で満たし固化する（図８（ｃ）及び（ｄ）参照。）。

[0070] このように、実施形態３に係る半導体装置の製造方法は、エミッタ電極２４と電極接続片３２との間にもはんだ材が配置されている点が実施形態２に係る半導体装置の製造方法の場合とは異なるが、実施形態２に係る半導体装置の製造方法の場合と同様に、組立体形成工程において、一方の面側に突出した凸部３６と、凸部３６の頂上部３７に形成され、一方の面から一方の面とは反対側の他方の面まで貫通された貫通孔３８とを有する電極接続片３２を有し、他方の面における、貫通孔３８を含む所定の領域にはんだ材４２が配置されたリード３０を、エミッタ電極２４と電極接続片３２とが所定の間隔で対向した状態、かつ、凸部３６がエミッタ電極２４側に向かって突出した状態となるように配置して組立体５１を形成し、接合工程において、はんだ材４２を溶融して貫通孔３８を通してエミッタ電極２４と電極接続片３２との間にはんだ材４２を流し込んだ後ではんだ材４２を固化することにより、エミッタ電極２４と電極接続片３２とをはんだ４０を介して接合するため、ある一定以上の厚さの（接合工程前の）はんだ材上にリード３０を配置する、ということがなく、余剰なはんだ材が所望しない場所にはみ出すことを防ぐことができる。その結果、信頼性が低下し難い半導体装置を製造することができる。

[0071] また、実施形態３に係る半導体装置の製造方法によれば、組立体形成工程においては、エミッタ電極２４と電極接続片３２の間のうちの一部にもはんだ材４３が配置されているため、エミッタ電極２４と電極接続片３２の間の空間を短時間ではんだ材で満たすことができ、効率よく半導体装置を製造することができる。

[0072] なお、実施形態３に係る半導体装置の製造方法は、エミッタ電極２４と電極接続片３２との間にもはんだ材が配置されている点以外の点においては実施形態２に係る半導体装置の製造方法と同様の構成を有するため、実施形態２に係る半導体装置の製造方法が有する効果のうち該当する効果を有する。

[0073] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0074] （１）上記実施形態において記載した材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0075] （２）上記各実施形態においては、凸部３６を、側面が曲線的なテーパ形状を有することとしたが、本発明はこれに限定されるものではない。例えば、凸部を、側面が直線的なテーパ形状を有することとしてもよいし（図９（ａ）参照。）、凸部を、頂上部に平面部分があり、その一部に貫通孔が形成することとしてもよい（図９（ｂ）参照。）。また、凸部を、リード３０をより緩やかに半導体チップ側に曲げた形状としてもよい（図９（ｃ）参照。）。

[0076] （３）上記各実施形態においては、凸部を、断面で見たときに、リード３０が半導体チップ２０側に折り曲げられた形状を有する凸部としたが、本発明はこれに限定されるものではない。例えば、貫通孔近傍のリードの厚さを厚くして凸部を形成してもよい（図９（ｄ）参照。）。

[0077] （４）上記各実施形態においては、半導体チップとして、エミッタ電極が複数の電極に分割されている半導体チップを用いてもよい。この場合には、分割された各電極に対応した位置（はんだ材が配置される位置に対応した位置）に凸部及び貫通孔を形成したリードを用いてもよい（変形例５。図１０参照。）。

[0078] （５）上記各実施形態においては、半導体装置として、半導体チップを１つ備える半導体装置としたが、本発明はこれに限定されるものではない。例えば、半導体装置として、半導体チップを２つ備える半導体装置（図１１参照。）としてもよいし、半導体チップを３以上備える半導体装置としてもよい。

[0079] 半導体チップを２つ備える半導体装置としては、例えば、以下のような、

２つの半導体チップをカスコード接続した半導体装置（変形例６における半導体装置２、図１１参照。）が考えられる。変形例６における半導体装置２においては、半導体チップ２０ｆのエミッタ電極２４ｆはリード３０ｆと電気的に接続され、半導体チップ２０ｆのコレクタ電極２２ｆは、基板１０ｆの回路１６ｆを介してリード３０ｇと接続されるとともに、半導体チップ２０ｇのエミッタ電極２４ｇとリード３０ｇを介して電気的に接続され、図示されていないが半導体チップ２０ｇのコレクタ電極２２ｇは回路１６ｇを介してリード６６と接続されている。このような構成の半導体装置においても、リード３０ｆ，３０ｇに凸部及び貫通孔を形成してもよい。

[0080] （６）上記各実施形態においては、凸部及び貫通孔が１つのリードを用いたが、本発明はこれに限定されるものではない。凸部及び貫通孔が２つ以上のリードを用いてもよい。

[0081] （７）上記各実施形態においては、半導体チップ２０を３端子のＩＧＢＴとしたが、本発明はこれに限定されるものではない。半導体チップ２０を他の３端子の半導体素子（例えば、ＭＯＳＦＥＴ）としてよいし、半導体チップ２０を２端子の半導体素子（例えば、ダイオード）としてよいし、半導体チップ２０を４端子以上の半導体素子（４端子としては、例えばサイリスタ）としてもよい。

[0082] （８）上記各実施形態において、半導体装置を、半導体チップの一方の面にコレクタ電極を有し、他方の面にエミッタ電極及びゲート電極を有する、いわゆる縦型の半導体装置としたが、本発明はこれに限定されるものではない。例えば、半導体装置を、基板側とは反対側の面に全ての電極を有する、いわゆる横型半導体装置としてもよい。

符号の説明

[0083] １…半導体装置、１０，１０ａ，１０ｂ…基板、１２，１２ａ，１２ｂ…チップ配置面、１４，１４ａ，１４ｂ…絶縁性基板、１６，１６ａ，１６ｂ…回路、１８、１８ａ，１８ｂ…放熱用の金属板、２０，２０ａ，２０ｂ…チップ、２２，２２ａ，２２ｂ…コレクタ電極、２４，２４ａ，２４ｂ…エ

ミッタ電極(電極)、２６…ゲート電極、３０，３０ａ，３０ｂ，３０ｃ，３０ｄ，３０ｅ，３０ｆ，３０ｇ，６２，６４，６６…リード、３２，３２ａ，３２ｂ，３２ｃ，３２ｄ，３２ｅ，３２ｆ，３２ｇ，…電極接続片、３４…外部接続端子、３６，３６ａ，３６ｂ，３６ｃ，３６ｄ，３６ｆ，３６ｇ…凸部、３７，３７ａ，３７ｂ，３７ｃ，３７ｄ，３６ｆ，３６ｇ…凸部の頂上部、３８，３８ａ，３８ｂ，３８ｃ，３８ｄ，３８ｆ，３８ｇ…貫通孔、４０，４６…はんだ、４１，４２，４３，４５…はんだ材、５０，５１，５２…組立体、７０…ワイヤ、８０…樹脂

請求の範囲

[請求項1] 半導体チップ配置面を有する基板と、

前記半導体チップ配置面上に配置され、前記半導体チップ配置面と対向する面とは反対側の面に形成された電極を有する半導体チップと、

前記電極とはんだを介して接合された電極接続片を有するリードとを備え、

前記電極接続片は、前記はんだと接合する領域において、前記半導体チップ側に突出した凸部と、前記凸部の頂上部に形成され、前記半導体チップ側の面から前記半導体チップ側とは反対側の面まで貫通された貫通孔とを有することを特徴とする半導体装置。

[請求項2] 前記リードは、断面で見たときに、前記凸部の部分で半導体チップ側に折り曲げられた形状を有することを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記凸部の側面形状は、前記半導体チップ側が狭いテーパ形状であることを特徴とする請求項１又は２に記載の半導体装置。

[請求項4] 前記凸部の側面形状は、丸みを帯びた形状になっていることを特徴とする請求項１～３のいずれかに記載の半導体装置。

[請求項5] 前記はんだの厚さは、３００μｍ以上であることを特徴とする請求項１～４のいずれかに記載の半導体装置。

[請求項6] 請求項１～５のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、

基板上に半導体チップを配置する半導体チップ配置工程と、

一方の面側に突出した凸部と、前記凸部の頂上部に形成され、前記一方の面から前記一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有するリードを、前記半導体チップの電極と前記電極接続片とがはんだ材を挟んで対向した状態、かつ、前記凸部が前記電極側に向かって突出した状態となるように配置して組立体

を形成する組立体形成工程と、

前記はんだ材を溶融した後で固化することにより、前記電極と前記電極接続片とをはんだを介して接合する接合工程とを含むことを特徴とする半導体装置の製造方法。

[請求項7] 請求項１～５のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、

基板上に半導体チップを配置する半導体チップ配置工程と、

一方の面側に突出した凸部と、前記凸部の頂上部に形成され、前記一方の面から前記一方の面とは反対側の他方の面まで貫通された貫通孔とを有する電極接続片を有し、前記他方の面における、前記貫通孔を含む所定の領域にはんだ材が配置されたリードを、前記半導体チップの電極と前記電極接続片とが所定の間隔で対向した状態、かつ、前記凸部が前記電極側に向かって突出した状態となるように配置して組立体を形成する組立体形成工程と、

前記はんだ材を溶融して前記貫通孔を通して前記電極と前記電極接続片との間に前記はんだ材を流し込んだ後で前記はんだ材を固化することにより、前記電極と前記電極接続片とをはんだを介して接合する接合工程とを含むことを特徴とする半導体装置の製造方法。

[請求項8] 前記組立体形成工程においては、前記電極と前記電極接続片の間のうちの一部にもはんだ材が配置されていることを特徴とする請求項７に記載の半導体装置の製造方法。

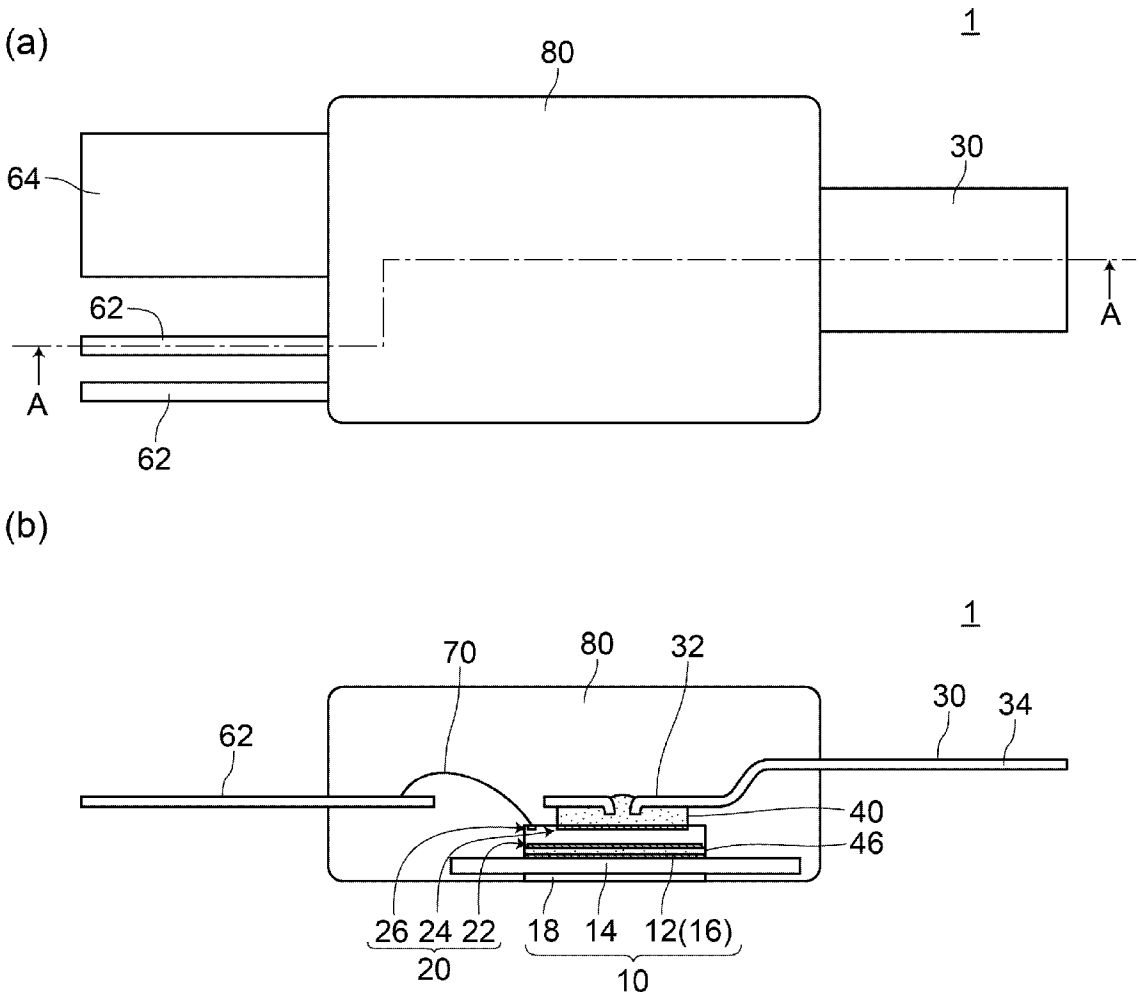
[請求項9] 前記組立体形成工程においては、断面で見たときに、前記凸部の部分で半導体チップ側に折り曲げられた形状を有する前記リードを配置することを特徴とする請求項６～８のいずれかに記載の半導体装置の製造方法。

[請求項10] 前記組立体形成工程においては、前記凸部の側面形状が、前記半導体チップ側が狭いテーパ形状の前記リードを配置することを特徴とする請求項６～９のいずれかに記載の半導体装置の製造方法。

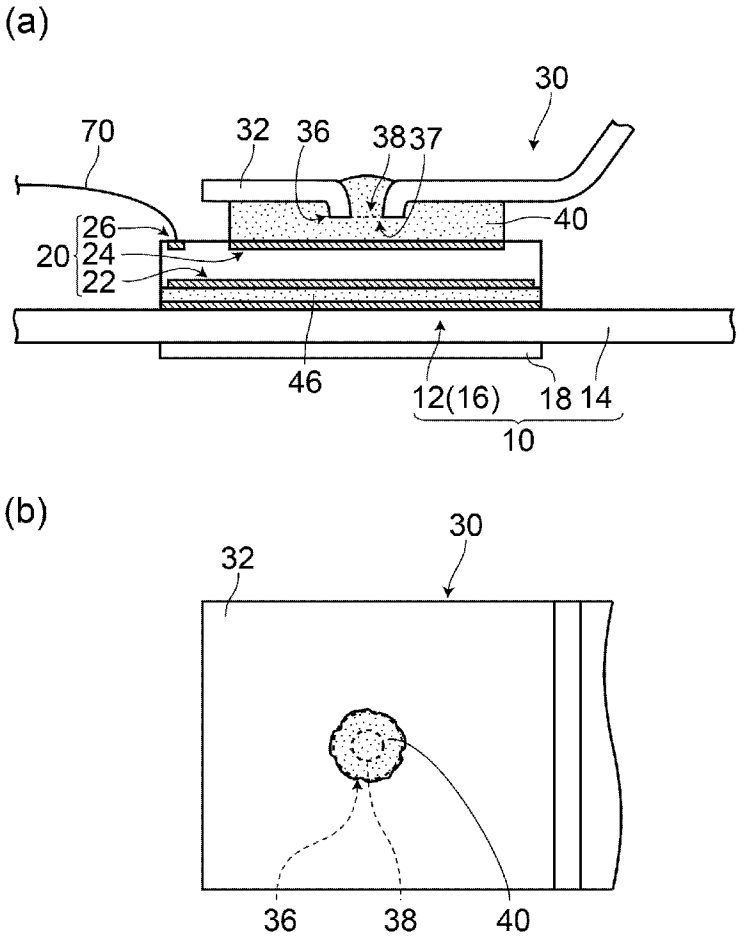
[請求項11] 前記組立体形成工程においては、前記凸部の側面形状が、丸みを帯びた形状になっている前記リードを配置することを特徴とする請求項６～１０のいずれかに記載の半導体装置の製造方法。

[請求項12] 前記はんだ材は、溶剤を含有するペースト状のはんだ材からなることを特徴とする請求項６～１１のいずれかに記載の半導体装置の製造方法。

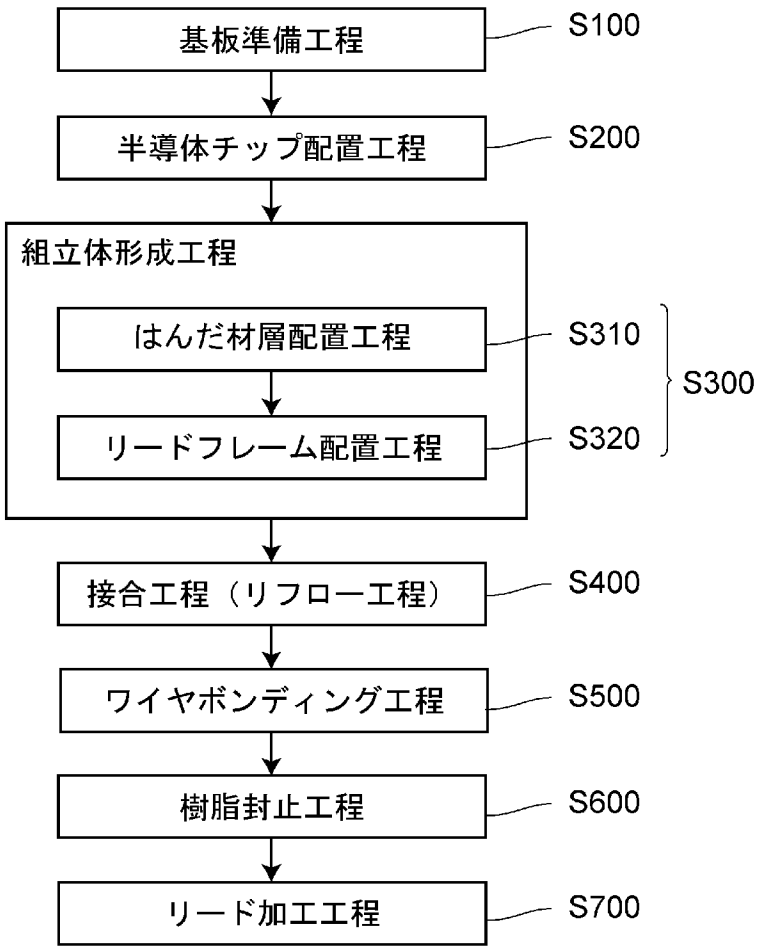
[図1]


(a)
1
80
64
30
62
A
A
62
(b)
1
70
80
32
30
34
62
40
46
26 24 22
18 14 12(16)
20
10

[図2]

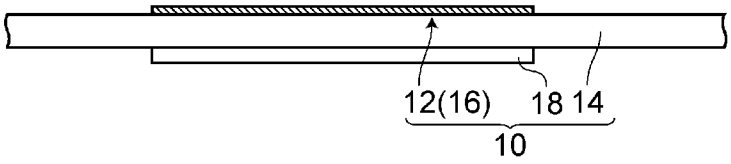


[図3]

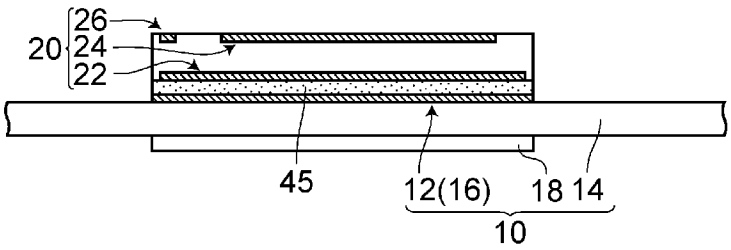

基板準備工程
S100
半導体チップ配置工程
S200
組立体形成工程
はんだ材層配置工程
S310
S300
リードフレーム配置工程
S320
接合工程（リフロー工程）
S400
ワイヤボンディング工程
S500
樹脂封止工程
S600
リード加工工程
S700

[図4]

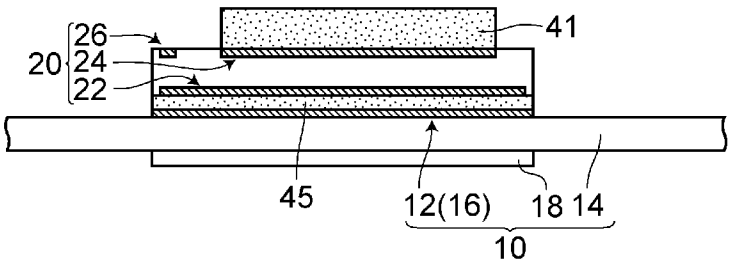
(a)


12(16)
18
14
10

(b)

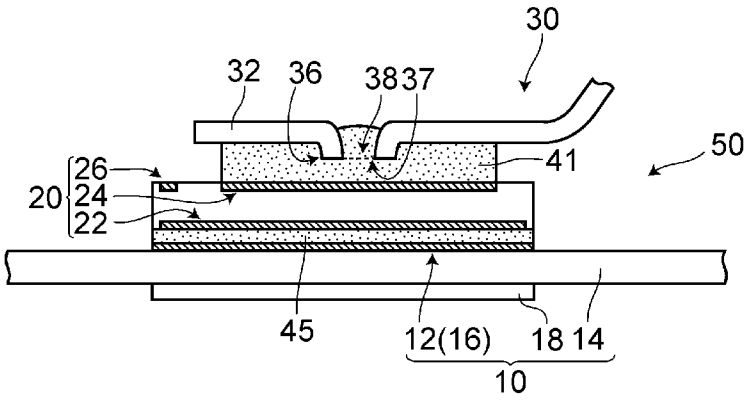

26
20
24
22
45
12(16)
18
14
10

(c)

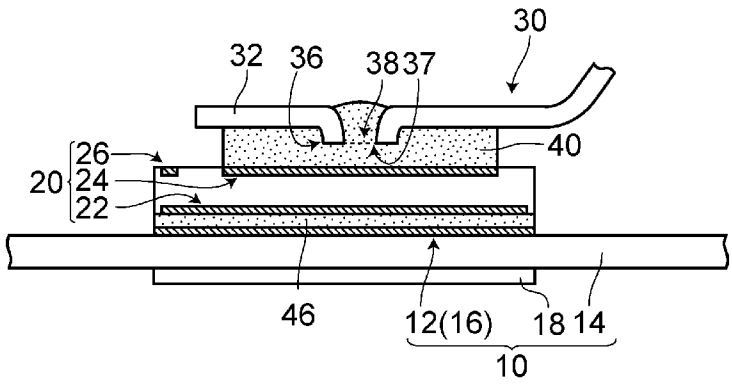

41
26
20
24
22
45
12(16)
18
14
10

[図5]

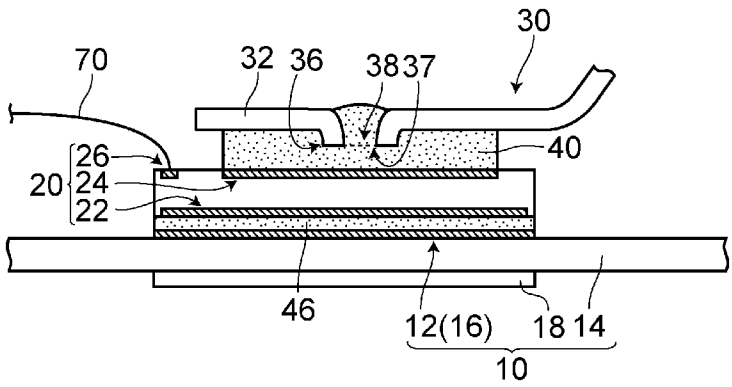
(a)


30
32
36
38
37
50
41
26
20
24
22
45
12(16)
18
14
10

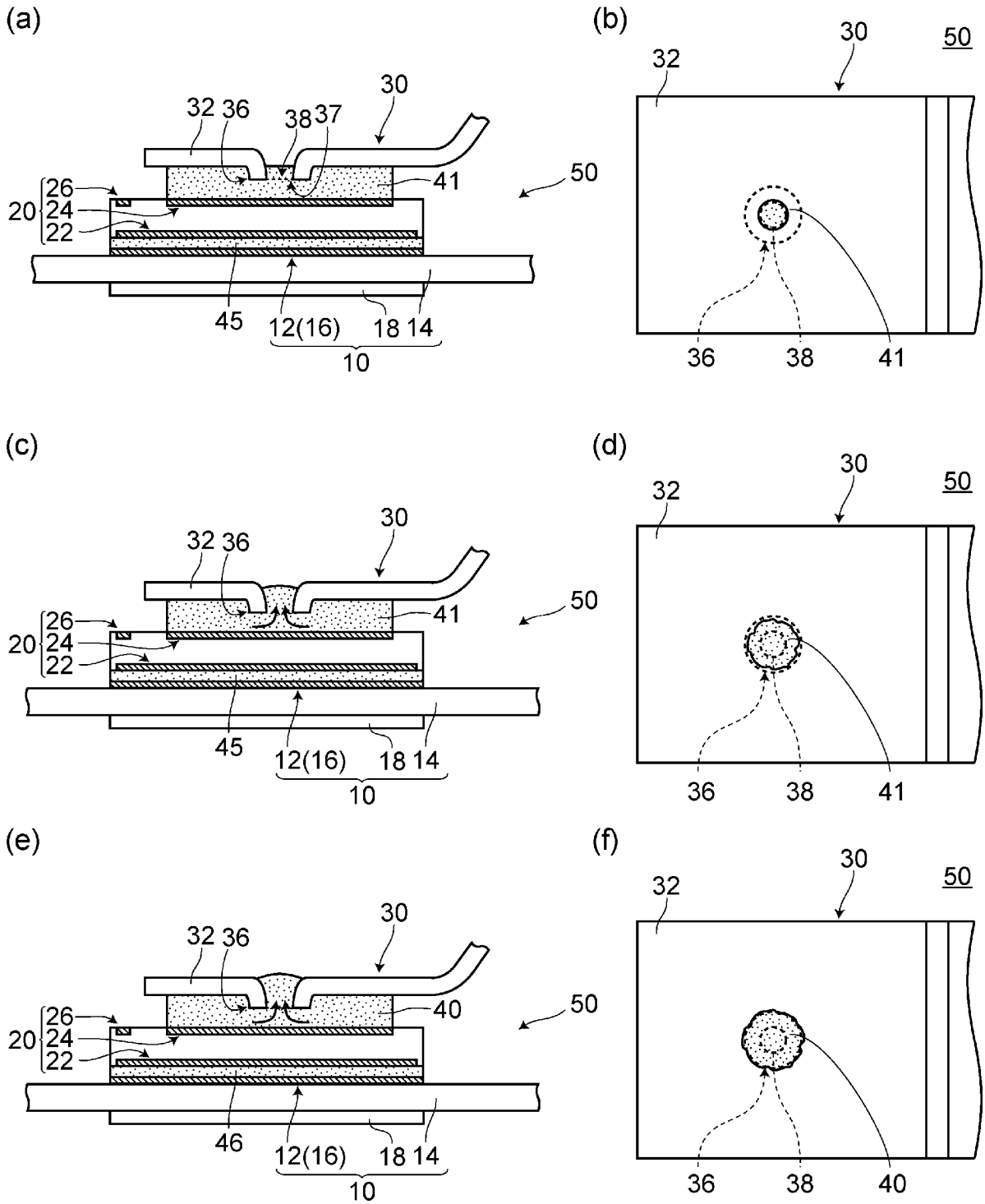
(b)


30
32
36
38
37
40
26
20
24
22
46
12(16)
18
14
10

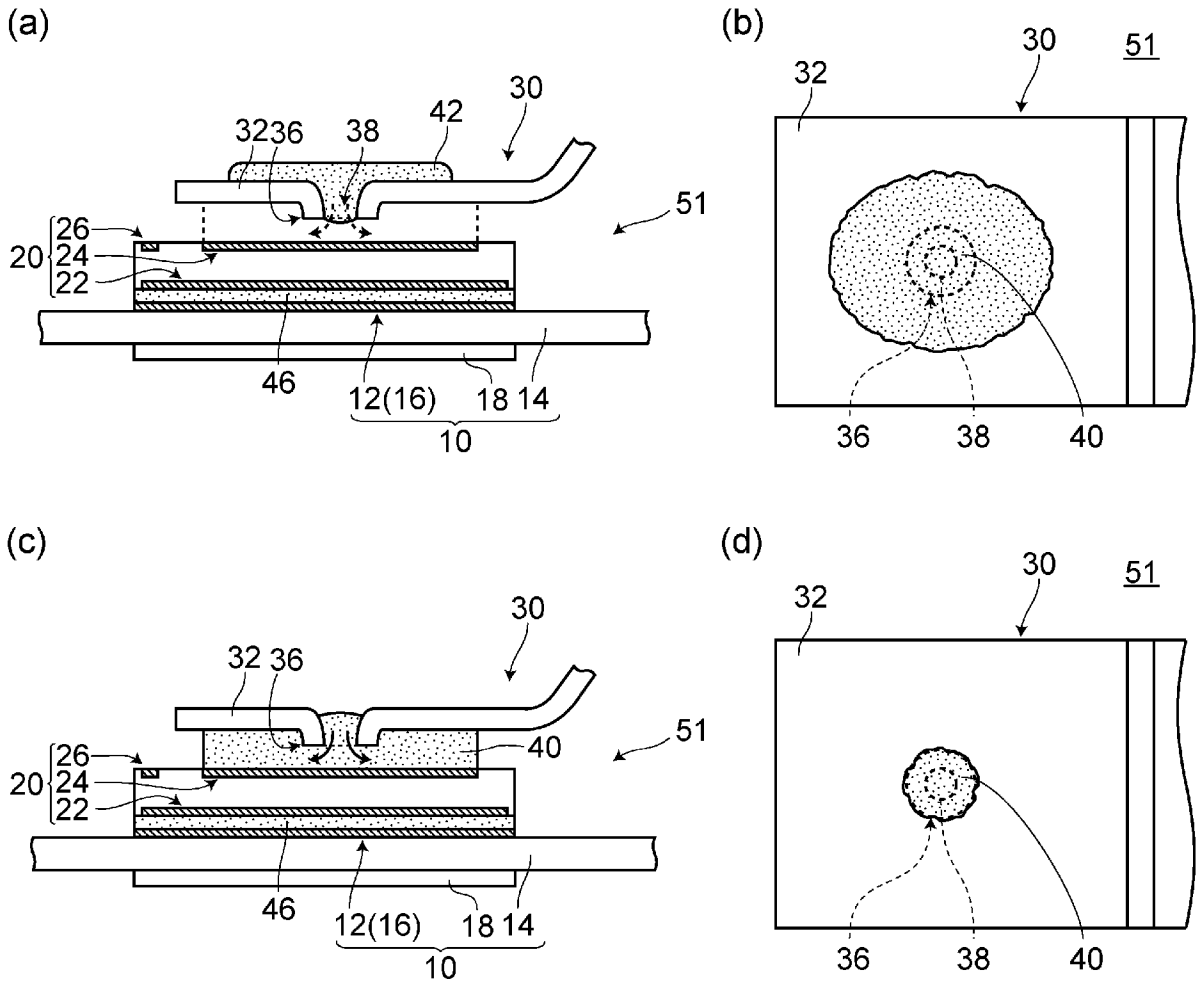
(c)


30
70
32
36
38
37
40
26
20
24
22
46
12(16)
18
14
10

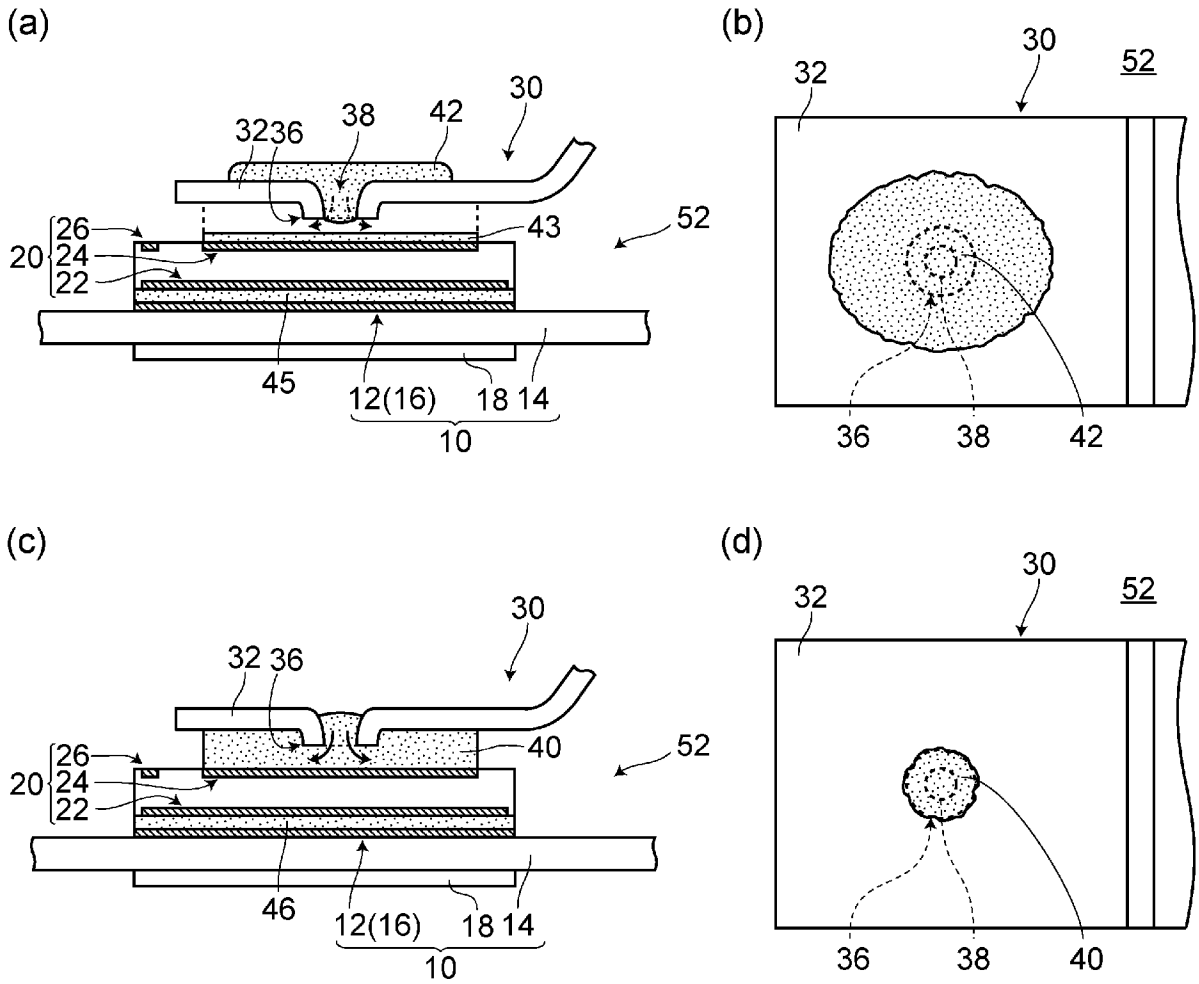
[図6]



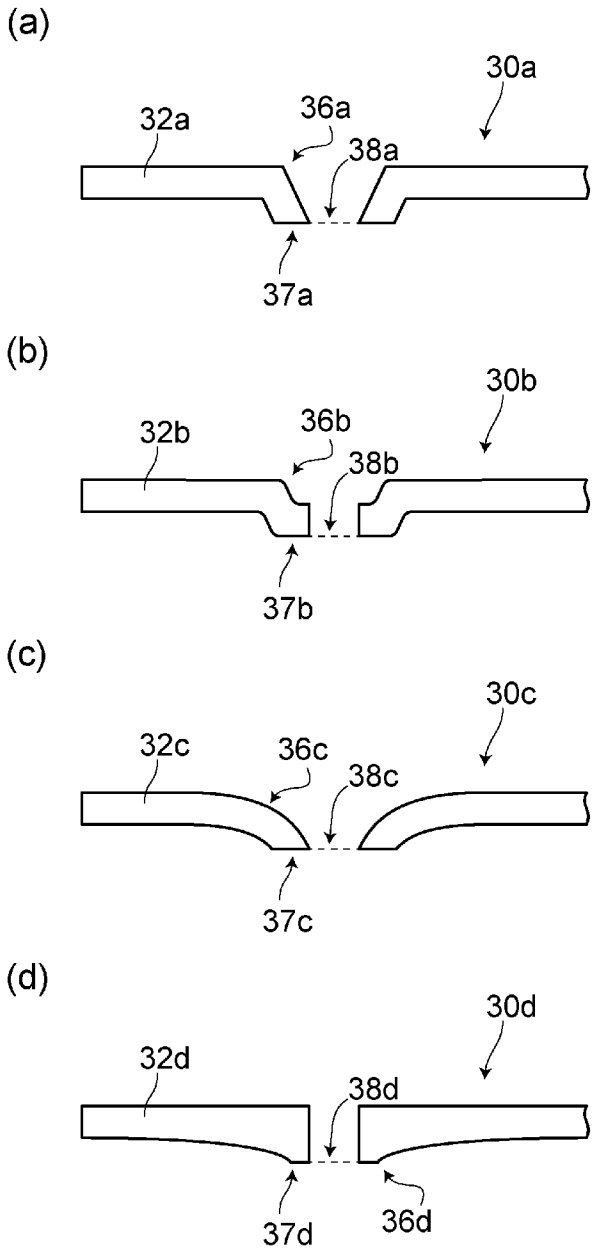
[図7]


(a)
30
42
32
36
38
51
26
20
24
22
46
12(16)
18
14
10
(b)
30
51
32
36
38
40
(c)
30
32
36
51
40
26
20
24
22
46
12(16)
18
14
10
(d)
30
51
32
36
38
40

[図8]

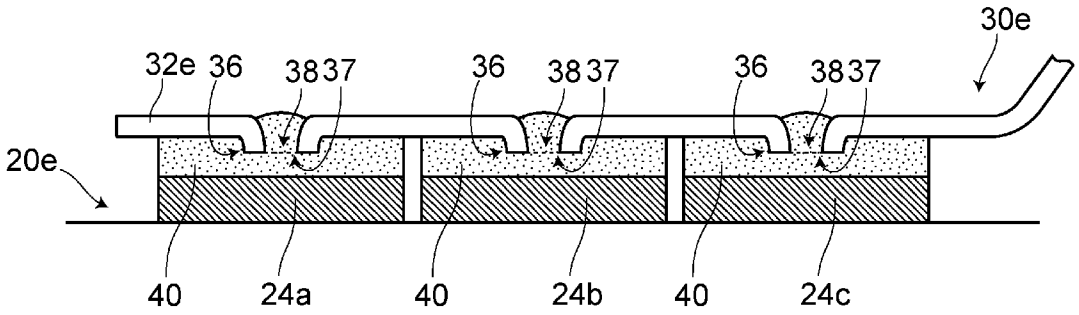

(a)
30
32
36
38
42
43
52
26
24
22
20
45
12(16)
18
14
10
(b)
30
52
32
36
38
42
(c)
30
32
36
40
52
26
24
22
20
46
12(16)
18
14
10
(d)
30
52
32
36
38
40

[図9]

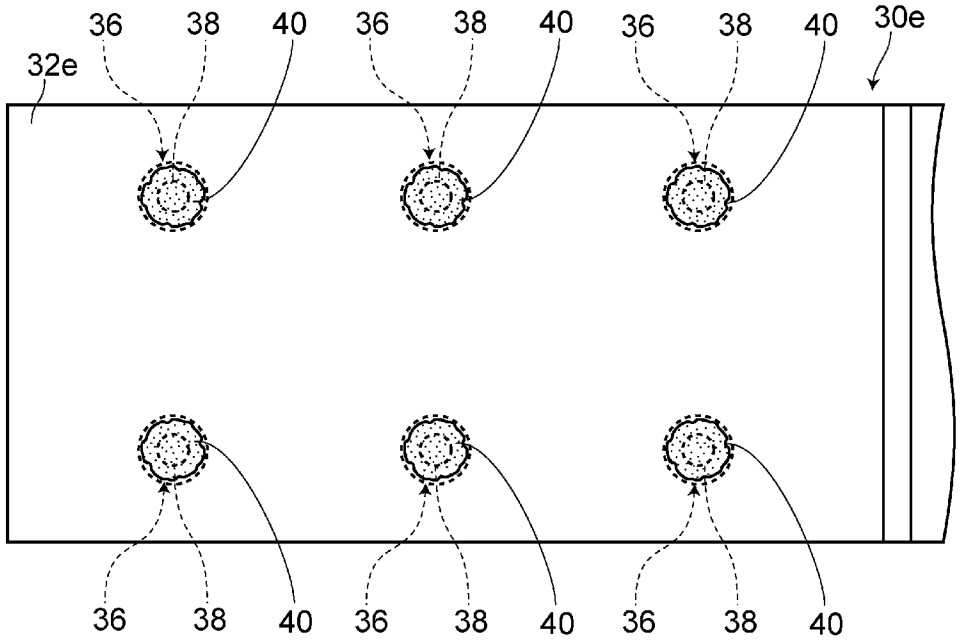

(a)
30a
32a
36a
38a
37a
(b)
30b
32b
36b
38b
37b
(c)
30c
32c
36c
38c
37c
(d)
30d
32d
38d
37d
36d

[図10]

(a)

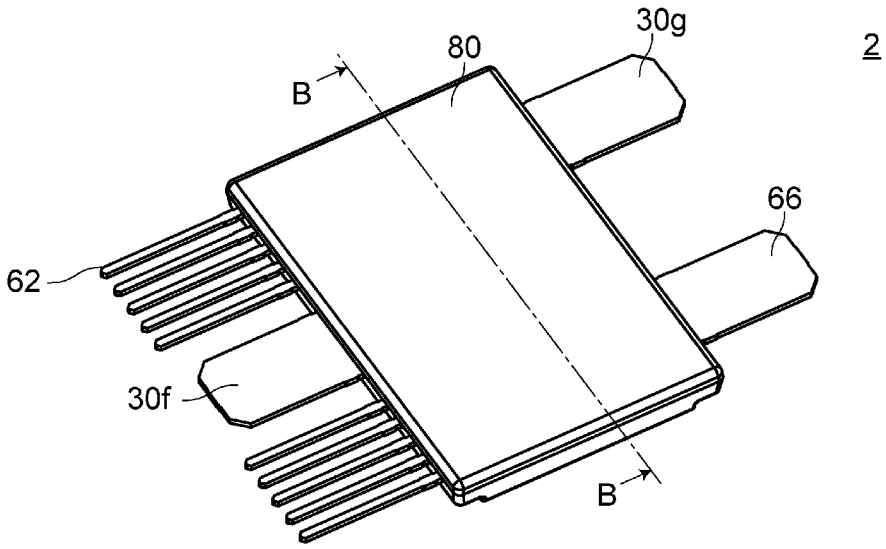

30e
32e
36
38
37
36
38
37
36
38
37
20e
40
24a
40
24b
40
24c

(b)

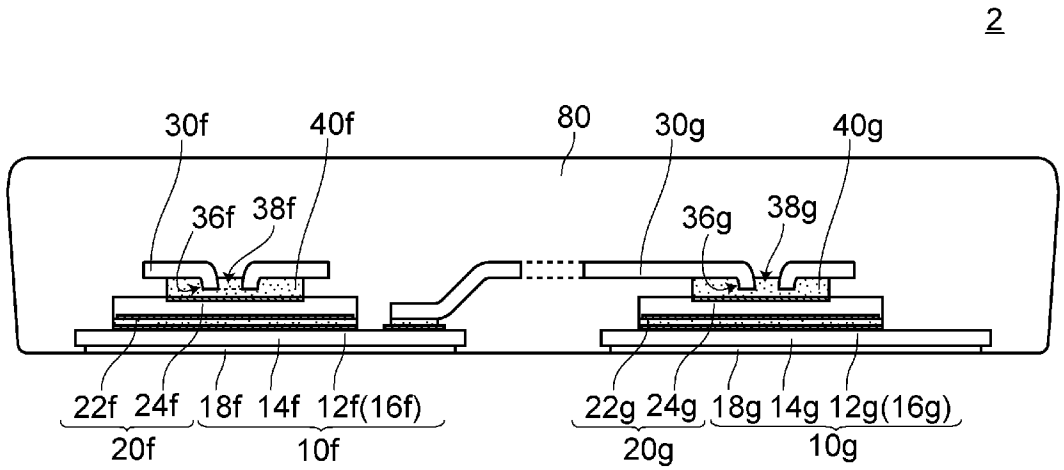

36
38
40
36
38
40
36
38
40
30e
32e
36
38
40
36
38
40
36
38
40

[図11]

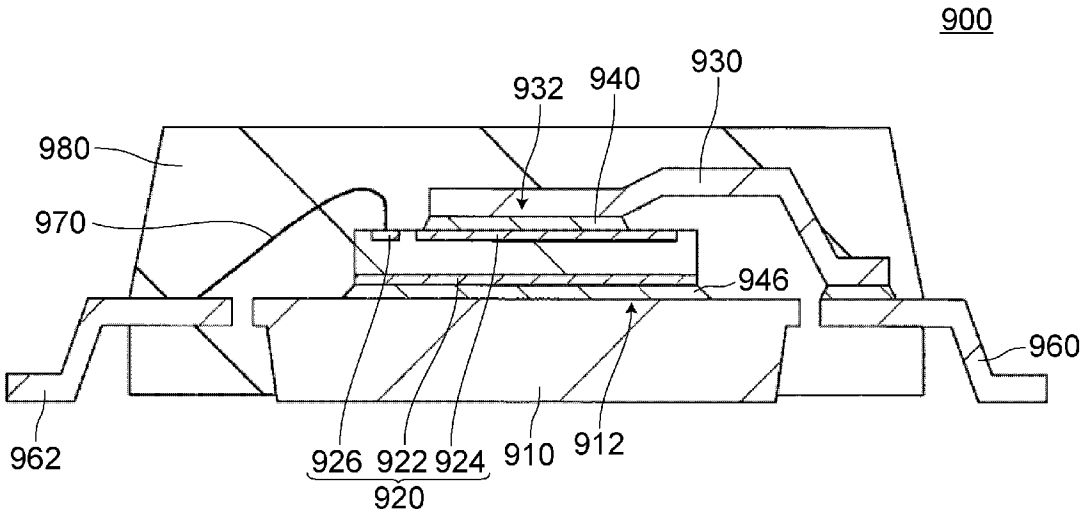
(a)


2
30g
80
B
66
62
30f
B

(b)

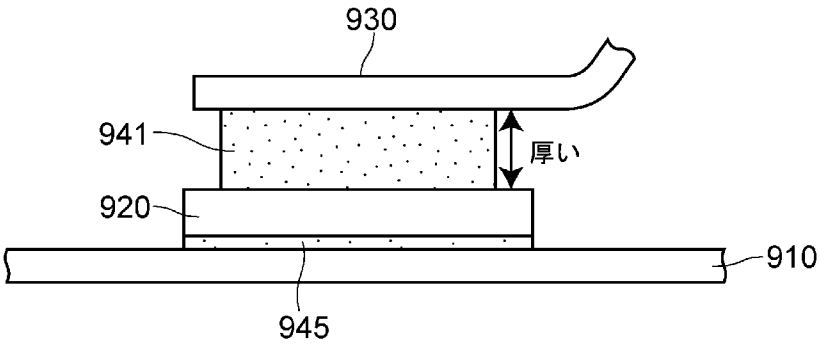

2
30f
40f
80
30g
40g
36f
38f
36g
38g
22f
24f
18f
14f
12f(16f)
22g
24g
18g
14g
12g(16g)
20f
10f
20g
10g

[図12]

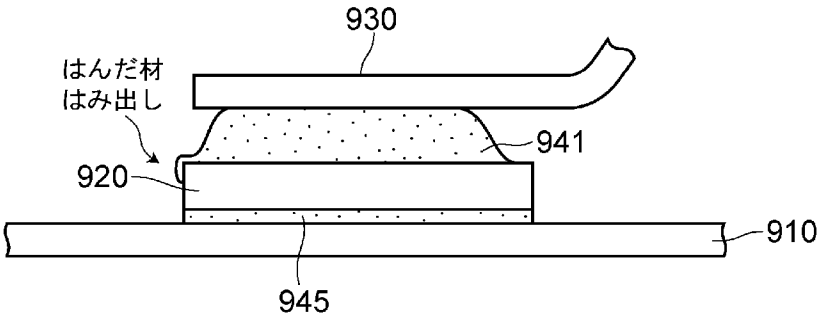


[図13]

(a) リード配置前



(b) リード配置後



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/007089

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L23/48(2006.01)i, H01L23/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L23/48, H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2016/067414 A1 (MITSUBISHI ELECTRIC CORP.) 06 May 2016, paragraphs [0017]-[0065], fig. 1, 2 (Family: none)	1-4 5, 6, 9-12 7, 8
Y A	JP 2013-197162 A (TOYOTA INDUSTRIES CORP.) 30 September 2013, paragraphs [0021]-[0026], fig. 2 (Family: none)	5, 6, 9-12 7, 8
A	JP 2-126659 A (MOTOROLA, INC.) 15 May 1990 & US 5001545 A1 & US 5110761 A1 & EP 358077 A2 & DE 68926645 C & KR 10-0139540 B & CN 1041067 A	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20.04.2018	01.05.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/007089

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-131735 A (MITSUBISHI ELECTRIC CORP.) 04 July 2013 & US 2013/0134210 A1 & US 2014/0217156 A1 & CN 103137506 A	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００７０８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/48(2006.01)i, H01L23/50(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/48, H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2016/067414 A1（三菱電機株式会社）	1-4
Y	2016.05.06, 段落[0017]-[0065],図1,2（ファミリーなし）	5,6,9-12
A		7,8
Y	JP 2013-197162 A（株式会社豊田自動織機）	5,6,9-12
A	2013.09.30, 段落[0021]-[0026],図2（ファミリーなし）	7,8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０４．２０１８	０１．０５．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　８３９３
黒田　久美子
電話番号　０３－３５８１－１１０１　内線　３５５１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2-126659 A (モトローラ・インコーポレーテッド) 1990.05.15, & US 5001545 A1 & US 5110761 A1 & EP 358077 A2 & DE 68926645 C & KR 10-0139540 B & CN 1041067 A	1-12
A	JP 2013-131735 A (三菱電機株式会社) 2013.07.04, & US 2013/0134210 A1 & US 2014/0217156 A1 & CN 103137506 A	1-12