

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 871 281**  
(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **04 03434**

⑤1 Int Cl<sup>7</sup> : G 11 C 16/30, G 11 C 5/14

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 01.04.04.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 09.12.05 Bulletin 05/49.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *ATMEL CORPORATION — US.*

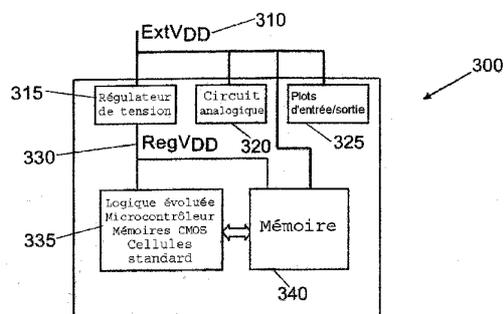
⑦2 Inventeur(s) : *DAGA JEAN MICHEL.*

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : *CABINET NETTER.*

⑤4 **PROCEDE ET DISPOSITIF D'ALIMENTATION DE PUISSANCE DUALE POUR UNE MEMOIRE NON-VOLATILE EMBARQUEE.**

⑤7 L'invention comprend une pompe de charge (407) configurée pour recevoir le niveau de tension externe et pour générer un niveau de tension élevé, le niveau de tension élevé étant plus élevé que le niveau de tension externe. Un circuit de commande de mémoire (420,500) est configuré pour recevoir le niveau de tension externe et le niveau de tension élevé et pour effectuer une sélection entre ceux-ci et les fournir. Un tableau de mémoire (430), avec une ligne de mot et une ligne de bit, est configuré pour recevoir les niveaux de tension externe et élevé au niveau de la ligne de mot et le niveau de tension élevé au niveau de la ligne de bit. Un pilote de ligne de mot (440,600) est configuré pour délivrer les niveaux de tension externe et élevé à la ligne de mot. Un sélecteur de ligne de bit (455, 700) est configuré pour sélectionner la ligne de bit et pour recevoir les niveaux de tension élevé, externe et régulé. Un pilote de ligne de bit (450,800) est configuré pour fournir le niveau de tension externe au sélecteur de ligne de bit (455,700).



FR 2 871 281 - A1



PROCÉDÉ ET DISPOSITIF D'ALIMENTATION DE PUISSANCE DUALE  
POUR UNE MÉMOIRE NON VOLATILE EMBARQUÉE

L'invention concerne généralement la gestion de diffé-  
5 rences de tension entre la technologie de réduction de  
transistors et des exigences de lecture/écriture de mémoire  
non volatile. Spécifiquement, l'invention concerne la  
gestion d'alimentation de puissance pour une mémoire non  
volatile embarquée telle qu'une mémoire à lecture seule  
10 programmable effaçable électriquement (EEPROM) et une  
mémoire FLASH.

Afin de maintenir une consommation de puissance et une  
fiabilité acceptables avec une technologie évoluée, la  
tension d'alimentation a été réduite de 5 V avec une tech-  
15 nologie à 1  $\mu\text{m}$  à 1,8 V avec une technologie à 0,18  $\mu\text{m}$ .  
Cependant, la tension d'alimentation n'a pas diminué au  
niveau système. La plupart des systèmes sur puces (SOC)  
utilisant une technologie à 0,18  $\mu\text{m}$  fonctionnent sous 3,3 V  
et fonctionnent ou tolèrent 5 V.

20 La figure 1 est un schéma illustrant un système de  
gestion d'alimentation de puissance de l'art antérieur pour  
une mémoire. Un SOC 5 illustre un exemple de la manière  
dont la puissance est distribuée. Un niveau de tension  
externe 10, par exemple de 3,3 V ou 5 V, est appliqué à un  
25 régulateur de tension 15, un circuit analogique 20 et des  
plots d'entrée/sortie 25. Le régulateur de tension 15  
génère un niveau de tension régulé 30, par exemple 1,8 V  
pour une logique à 0,18  $\mu\text{m}$ . Le niveau de tension régulé 30  
est appliqué à une mémoire 40, par exemple une mémoire  
30 EEPROM et une mémoire FLASH embarquées, et à une logique  
évoluée 35, par exemple le microcontrôleur, les mémoires  
CMOS, la logique de commande, etc.

Lorsque la mémoire 40 est alimentée avec le niveau de  
tension régulé 30, une logique CMOS évoluée peut être  
35 utilisée dans la mémoire 40, aboutissant à une amélioration  
de la densité et de la vitesse. Cependant, l'utilisation du  
niveau de tension régulé 30 pendant l'écriture et la lec-  
ture de mémoire pour la mémoire 40 aboutit à plusieurs

*ATe*

problèmes. L'écriture et la lecture de mémoire utilisent des tensions plus élevées que celles délivrées par le niveau de tension régulé 30, et les tensions plus élevées sont généralement obtenues par des pompes de charge plus grandes. Parce que le courant de cellule de mémoire pendant la lecture de mémoire dépend de la tension de ligne de mot, une amplification de la ligne de mot au-dessus du niveau de tension régulé 30 pendant la lecture est généralement utilisée pour fournir un meilleur fonctionnement. Cependant, l'amplification consomme du temps et du courant.

La figure 2 est un schéma illustrant un autre système de gestion d'alimentation de puissance de l'art antérieur pour une mémoire. Un SOC 200 illustre un exemple de la manière dont la puissance est distribuée. Un niveau de tension externe 210 est appliqué à un régulateur de tension 215, à un circuit analogique 220 et à des plots d'entrée/sortie 225. Le régulateur de tension 215 génère un niveau de tension régulé 230. Le niveau de tension régulé 230 est appliqué à une logique évoluée 235, par exemple le microcontrôleur, les mémoires CMOS, la logique de commande etc.

Lorsqu'une mémoire 240 est alimentée avec le niveau de tension externe 210, la taille de la pompe de charge peut être réduite et l'amplification pendant la lecture n'est généralement pas effectuée. Cependant, les parties logiques de la mémoire 240 utilisent généralement des dispositifs à oxyde épais, parce que des dispositifs à oxyde mince ne fonctionnent pas au niveau de tension externe 210. La logique de commande, le pré-décodage et le chemin de données de sortie sont plus longs et plus lents comparés au mode de réalisation à tension plus faible illustré sur la figure 1. En outre, un transposeur de niveau 245 réalise une interface avec les entrées et sorties de la mémoire 240, pour permettre la communication avec la logique évoluée 235, laquelle est alimentée avec le niveau de tension régulé 230.

Il existe un besoin pour un système de gestion de puissance pour une mémoire qui permette l'utilisation d'une logique CMOS évoluée dans une mémoire, aboutissant à une amélioration de la densité et de la vitesse, tout en rédui-

sant également la taille de pompe de charge et en réduisant le besoin d'amplification pendant la lecture. L'invention devrait réduire la surface nécessaire à la mémoire, améliorer la vitesse, réduire la consommation de puissance, 5 utiliser des ressources d'alimentation de puissance disponibles et être évolutive.

L'invention consiste en un système de gestion de mémoire à alimentation de puissance duale qui fournit un niveau de tension externe à la mémoire ainsi que le niveau 10 de tension généré en interne. Les parties logiques à faible tension de la mémoire peuvent utiliser des dispositifs à oxyde mince et sont alimentées par le niveau de tension régulé, tandis que le niveau de tension externe est fourni directement à la pompe de charge pour l'écriture de mémoire 15 et au décodage de ligne de mot et de ligne de bit pendant la lecture de mémoire. L'invention permet le décodage et la lecture pour des dispositifs à grande vitesse, tout en évitant des retards d'amplification internes pendant la lecture de mémoire et en évitant un surdimensionnement de 20 la pompe de charge d'écriture.

L'invention est une mémoire non volatile embarquée fonctionnant à un niveau de tension externe et à un niveau de tension régulé. Le niveau de tension externe est plus élevé que le niveau de tension régulé. L'invention comprend 25 ce qui suit. Une pompe de charge est configurée pour recevoir le niveau de tension externe et générer un niveau de tension élevé, dans laquelle le niveau de tension élevé est plus élevé que le niveau de tension externe. Un circuit de commande de mémoire est couplé à la pompe de charge et est 30 configuré pour recevoir le niveau de tension externe et le niveau de tension élevé. Le circuit de commande de mémoire est en outre configuré pour sélectionner l'un des niveaux de tension externe et élevé et pour le fournir. Un tableau de mémoire, qui comporte une ligne de mot et une ligne de 35 bit, est couplé au circuit de commande de mémoire. Le tableau de mémoire est configuré pour stocker des données, recevoir les niveaux de tension externe et élevé sur la ligne de mot et recevoir les niveaux de tension élevé au niveau de la ligne de bit. Un pilote de ligne de mot est

couplé au tableau de mémoire et est configuré pour fournir les niveaux de tension externe et élevé à la ligne de mot. Un sélecteur de ligne de bit est couplé au tableau de mémoire et est configuré pour sélectionner la ligne de bit  
5 et recevoir les niveaux de tension élevé, externe et régulé. Un pilote de ligne de bit est couplé au sélecteur de ligne de bit et est configuré pour délivrer les niveaux de tension externe et régulé au sélecteur de ligne de bit.

La figure 1 est un schéma illustrant un système de gestion d'alimentation de puissance de l'art antérieur pour  
10 une mémoire.

La figure 2 est un schéma illustrant un système de gestion d'alimentation de puissance de l'art antérieur pour une mémoire.

15 La figure 3 est un schéma illustrant un mode de réalisation d'un système de gestion d'alimentation de puissance pour une mémoire dans un système sur puce (SOC).

La figure 4 est un schéma illustrant un mode de réalisation de la mémoire de la figure 3.

20 La figure 5 est un schéma illustrant un mode de réalisation d'un circuit de commande de mémoire.

La figure 6 est un schéma illustrant un mode de réalisation d'un pilote de ligne de mot.

25 La figure 7 est un schéma illustrant un mode de réalisation d'un sélecteur de ligne de bit.

La figure 8 est un schéma illustrant un mode de réalisation d'un pilote de ligne de bit.

La figure 9 est un organigramme illustrant un procédé de pilotage d'une mémoire non volatile embarquée.

30 La figure 10 est un schéma illustrant un mode de réalisation d'un circuit de commande de mémoire.

35 La figure 3 est un schéma illustrant un mode de réalisation d'un système de gestion d'alimentation de puissance pour une mémoire dans un système sur puce (SOC). Le SOC 300 illustre un exemple de la manière dont la puissance est distribuée. Un niveau de tension externe 310, par exemple 3,3 V ou 5 V, est appliqué à un régulateur de tension 315, à un circuit analogique 320, et à des plots d'entrée/sortie 325. Le régulateur de tension 315 génère un niveau de

Ar

tension régulé 330, par exemple 1,8 V pour une logique à 0,18  $\mu\text{m}$ . Le niveau de tension régulé 330 est appliqué à une mémoire 340, par exemple une EEPROM et une mémoire FLASH embarquées, et à une logique évoluée 335, par exemple le microcontrôleur, les mémoires CMOS, la logique de liaison etc. Le niveau de tension externe 310 est également appliqué à la mémoire 340.

La figure 4 est un schéma illustrant un mode de réalisation de la mémoire 340 de la figure 3. Une mémoire 400 reçoit un niveau de tension externe 405 et un niveau de tension régulé 410 (du régulateur de tension 315 de la figure 3). Une pompe de charge 407 reçoit le niveau de tension externe 405 et génère un niveau de tension élevé 415 qui est utilisé pour programmer des cellules de mémoire pendant l'écriture de mémoire. Parce que la pompe de charge 407 est alimentée avec le niveau de tension externe 405 plus élevé, la pompe de charge 407 peut être plus petite qu'une pompe de charge de mémoire classique alimentée avec la tension d'alimentation régulée 410.

Un circuit de commande de mémoire 420 reçoit le niveau de tension élevé 415 de la pompe de charge 407 et le niveau de tension externe 420. Le circuit de commande de mémoire 420 fournit soit le niveau de tension élevé 415, soit le niveau de tension externe 420 à une ligne de tension variable 425. Pendant une lecture de mémoire, le circuit de commande de mémoire 420 délivre le niveau de tension externe 420 à la ligne de tension variable 425. Pendant une écriture de mémoire, le circuit de commande de mémoire 420 délivre le niveau de tension élevé 415 à la ligne de tension variable 425.

La mémoire 400 comprend un tableau de mémoire 430 avec des cellules de mémoire, des lignes de mot et des lignes de bit (non montrées). Un pré-décodeur X 435 reçoit et décode une adresse et est alimenté au niveau de tension régulé 410. Le pré-décodeur X 435 est connecté à un pilote de ligne de mot 440 avec une ligne d'entrée de sélection de mot (voir figure 6). Le pilote de ligne de mot 440 reçoit la puissance de la ligne de tension variable 425 et reçoit une sélection de mot qui indique une ligne de mot à alimenter

*Ab*

en puissance. Pendant la lecture de mémoire, le pilote de ligne de mot 440 alimente la ligne de mot avec le niveau de tension externe 405. Pendant l'écriture de mémoire, le pilote de ligne de mot 440 alimente la ligne de mot avec le niveau de tension élevé 415.

Un pré-décodeur Y 445 reçoit et décode une adresse et est alimenté à un niveau de tension régulé 410. Le pré-décodeur Y 445 est connecté à un pilote de sélection 450. Le pilote de sélection 450 reçoit le niveau de tension externe 405 et un signal de sélection de bit du pré-décodeur Y 445, qui est transposé au niveau de tension externe 405 du fait du transposeur de niveau.

Un sélecteur de ligne de bit 455 est connecté au pilote de sélection 450 et reçoit un signal d'alimentation double du pilote de sélection 450, au niveau de tension régulé 410 et au niveau de tension externe 405. Le sélecteur de ligne de bit 455 sélectionne des lignes de bit dans le tableau de mémoire 430 pour la lecture de mémoire.

Un amplificateur de lecture 460 avec une sortie de données est connecté à la sélection de ligne de bit 455. L'amplificateur de lecture 460 reçoit le niveau de tension régulé 410.

Une bascule de colonne 465 est connectée au tableau de mémoire 430 et stocke des données qui seront programmées en parallèle dans le tableau de mémoire 430 et pilote les cellules correspondant aux lignes de bit qui sont écrites.

Une logique de commande 470 fonctionne au niveau de tension régulé 410 et gère les modes fonctionnels, les modes de test et les retards d'écriture dans la mémoire 400.

La figure 5 est un schéma illustrant un mode de réalisation d'un circuit de commande de mémoire 500. Une ligne de tension variable 505 reçoit le niveau de tension élevé 415 de la pompe de charge 407 (voir figure 4). Un transistor 510 est, par exemple, un transistor PMOS avec un drain connecté à la ligne de tension variable 505 et une source connectée au niveau de tension externe 405. La grille du transistor 510 est connectée à la source d'un transistor 515 et au drain d'un transistor 520. Le drain du transistor 515 est connecté à la ligne de tension variable 505. La

source du transistor 520 est connectée à la masse. Les grilles des deux transistors 515 et 520 sont connectées ensemble et à un transposeur de niveau 525. Le transposeur de niveau 525 est connecté à la ligne de tension variable 505, à un inverseur 530 et à une ligne de signal de lecture 535.

Dans un mode de réalisation, le transposeur de niveau 525 reçoit un signal de lecture indiquant la lecture de mémoire de la ligne de signal de lecture 535. Le transposeur de niveau 525 envoie une sortie de niveau élevé à un nœud 540. Une sortie de niveau élevé sur la grille du transistor 520 le rend passant (l'active), tandis qu'une sortie de niveau élevé à la grille du transistor 515 le bloque (le désactive). Le transistor 520 tire le nœud 545 à la masse, rendant passant ou activant par conséquent le transistor 510. La ligne de tension variable 505, qui est maintenant connectée au niveau de tension externe 405 par l'intermédiaire du transistor 510 actif, est au niveau de tension externe 405.

Pendant l'écriture de mémoire, le transposeur de niveau 525 reçoit un signal de lecture indiquant l'écriture de mémoire sur la ligne de signal de lecture 535. Le transposeur de niveau 525 envoie une sortie de niveau bas au nœud 540. Une sortie de niveau bas sur la grille du transistor 520 le bloque (le désactive), tandis qu'une sortie de niveau bas sur la grille du transistor 515 le rend passant (l'active). Le transistor 515 tire le nœud 545 au niveau de tension élevé 415, bloquant par conséquent le transistor 510. La ligne de tension variable 505, qui est maintenant isolée du niveau de tension externe 405 par l'intermédiaire du transistor inactif 510, est au niveau de tension élevé 415.

Un mode de réalisation du transposeur de niveau 525 est illustré sur la figure 5. Un transistor 550 est, par exemple, un transistor PMOS avec un drain connecté à la ligne de tension variable 505. Un transistor 555 est, par exemple, un transistor PMOS avec un drain connecté à la ligne de tension variable 505 et une grille connectée à la source du transistor 550 et une source connectée à la

grille du transistor 550. Un transistor 560 est, par exemple, un transistor NMOS avec un drain connecté à la grille du transistor 555, à la source du transistor 550 et au nœud 540, une source connectée à la masse et une grille connectée à un inverseur 530. Un transistor 565 est, par exemple, un transistor NMOS avec un drain connecté à la source du transistor 555 et à la grille du transistor 550, une source connectée à la masse et une grille connectée à la ligne de signal de lecture 535.

10 Le transposeur de niveau 525 reçoit un signal de lecture indiquant la lecture de mémoire, dans ce cas le nœud 535 est mis au niveau de tension régulé 410. Le signal est inversé par l'inverseur 530, bloquant par conséquent le transistor 560 et rendant passant le transistor 565. La grille du transistor 550 est tirée au niveau bas, le rendant par conséquent passant. La grille du transistor 555 est tirée au niveau élevé, le bloquant par conséquent. Le nœud 540 est tirée au niveau élevé par le transistor 550, qui est passant.

20 Le transposeur de niveau 525 reçoit un signal de lecture indiquant l'écriture de mémoire, dans ce cas le nœud 535 est mis à la masse. Le signal est inversé par l'inverseur 530, rendant par conséquent passant le transistor 560 et bloquant le transistor 565. La grille du transistor 550 est tirée au niveau haut, le rendant par conséquent passant. La grille du transistor 555 est tirée au niveau bas, le bloquant par conséquent. Le nœud 540 est tiré au niveau bas par le transistor 560, qui est passant.

30 Au début de l'écriture de mémoire, s'il survient une sous-valeur (« undershoot ») du potentiel au niveau du nœud 505, alors le potentiel de substrat au niveau du transistor 510 peut commuter en dessous de son potentiel de source qui est directement connecté au niveau de tension externe 405. Cela peut aboutir à un courant parasite de substrat perturbant le fonctionnement correct de la pompe de charge.

35 Afin de résoudre le problème du courant de substrat, un transistor 511 a été ajouté, comme illustré sur la figure 10. La figure 10 est un diagramme schématique illustrant un mode de réalisation du circuit de commande de

*ab*

mémoire 500. Le transistor 511 est, par exemple, un transistor PMOS avec son drain connecté à la source du transistor 510, sa source et son substrat connectés au niveau de tension externe 405 et sa grille connectée à la sortie d'un transposeur de niveau 526. Pendant l'écriture de mémoire, le nœud 535 est mis à la masse, l'entrée du transposeur de niveau 526 est mise au niveau de tension régulé 410 et la sortie du transposeur de niveau 526 est au niveau de tension externe 405, ce qui bloque le transistor 511. La source du transistor 510, qui est connectée à un nœud 547, est maintenant flottante, évitant l'apparition d'un courant parasite de substrat même pendant une sous-valeur (« undershoot ») au niveau de son drain.

Pendant une lecture de mémoire, le nœud 535 est mis au niveau de tension régulé 410. L'entrée et la sortie du transposeur de niveau 526 sont à la masse, ce qui rend passant le transistor 511 et commande le nœud 547 au niveau de tension externe 405. Parce que le transistor 510 est également passant, la ligne de tension variable 505 est connectée au niveau de tension externe 405 par l'intermédiaire des transistors 510 et 511.

La figure 6 est un schéma illustrant un mode de réalisation du pilote de ligne de mot 440. Le pilote de ligne de mot 440 est connecté au pré-décodeur X 435 directement et par l'intermédiaire de l'inverseur 501. Le pré-décodeur X 435 reçoit le niveau de tension régulé 410 et des emplacements d'adresse de mémoire. L'inverseur 601 fournit une sortie inversée de son entrée. Le pilote de ligne de mot reçoit des signaux inversé et normal du pré-décodeur X 435 et un signal de commande indiquant une lecture de mémoire.

Le pilote de ligne de mot 600 est un mode de réalisation du pilote de ligne de mot 440. Un transistor 605 est, par exemple, un transistor PMOS avec un drain connecté à une ligne de tension variable 610, une source connectée à une ligne de mot 615. Un transistor 620 est, par exemple, un transistor NMOS avec un drain connecté à la sortie du pré-décodeur X 435, une source connectée à la ligne de mot 615 et une grille recevant un signal de commande. Un transposeur de niveau 625 est connecté à la ligne de tension

*Ab*

variable 610 et reçoit la sortie d'un inverseur 601 et la sortie du pré-décodeur X 435. Le transposeur de niveau 625 a une sortie connectée à la grille du transistor 605.

Si la ligne de mot 615 est sélectionnée par le pré-décodeur X 435, alors une entrée 630 est au niveau élevé et l'entrée 635 est au niveau bas. Dans cet exemple, le niveau élevé est au niveau de tension régulé 410, tandis que le niveau bas est au niveau de masse. Le transposeur de niveau 625 tire la grille du transistor 605 à la masse, le rendant par conséquent passant et connectant la ligne de tension variable 610 à la ligne de mot 615. Étant donné que la ligne de mot 615 est sélectionnée, soit la lecture soit l'écriture de mémoire se produit.

Pendant l'écriture de mémoire, le circuit de commande de mémoire 420 fournit le niveau de tension élevé 415 sur la ligne de tension variable 610. Le transistor 620 reçoit un signal de commande au niveau de sa grille et se bloque parce que l'écriture de mémoire se produit et la ligne de mot 615 est connectée au niveau de tension élevé 415. Pendant la lecture de mémoire, le circuit de commande de mémoire 420 fournit le niveau de tension externe 405 sur la ligne de tension variable 610. Le transistor 620 reçoit un signal de commande au niveau de sa grille et devient passant parce que la lecture de mémoire se produit. Le transistor 620 est un transistor à tension de seuil faible qui diminue le retard de montée de ligne de mot pendant la lecture de mémoire. Les transistors 620 et 605 chargent la ligne de mot au niveau de tension régulé 410 moins la tension de seuil du transistor 620. Une fois que la ligne de mot 615 a atteint le niveau de tension régulé 410 moins la tension de seuil du transistor 620, le transistor 620 se bloque et la charge restante pour mettre la ligne de mot au niveau de tension externe 405 est fournie par le transistor 605.

Un mode de réalisation du transposeur de niveau 625 est illustré sur la figure 6. Un transistor 650 est, par exemple, un transistor PMOS avec un drain connecté à la ligne de tension variable 610. Un transistor 655 est, par exemple, un transistor PMOS avec un drain connecté à la

ligne de tension variable 610 et une grille connectée à la source du transistor 650 et une source connectée à la grille du transistor 650. Un transistor 660 est, par exemple, un transistor NMOS avec un drain connecté à la grille du transistor 655, à la source du transistor 650 et au nœud 640, une source connectée à la masse et une grille connectée au pré-décodeur X 435. Un transistor 665 est, par exemple, un transistor NMOS avec un drain connecté à la source du transistor 655 et à la grille du transistor 650, une source connectée à la masse et une grille connectée à l'inverseur 601.

Le transposeur de niveau 625 reçoit un signal sélectionnant une ligne de mot 615, dans ce cas le niveau de tension régulé 410. Le signal est inversé par l'inverseur 601, bloquant par conséquent le transistor 665 et rendant passant le transistor 660. La grille du transistor 655 est tirée au niveau bas, le rendant par conséquent passant. La grille du transistor 650 est tirée au niveau élevé, le bloquant par conséquent. Le nœud 640 est tiré au niveau bas par le transistor 655, qui est passant, rendant par conséquent le transistor 605 passant.

Le transposeur de niveau 625 reçoit un signal de désélection de ligne de mot 615, dans ce cas la grille du transistor 660 est connectée à la masse et la grille du transistor 665 est connectée au niveau de tension régulé 410, rendant par conséquent le transistor 665 passant et bloquant le transistor 660. La grille du transistor 655 est tirée au niveau élevé, le rendant par conséquent passant. La grille du transistor 650 est tirée au niveau bas, le bloquant par conséquent. Le nœud 640 est tiré au niveau élevé par le transistor 560, qui est passant, bloquant par conséquent le transistor 605.

Dans un exemple de l'art antérieur, une mémoire EEPROM de 2 mégabits de la technologie à 0,18  $\mu\text{m}$ , avec un fonctionnement à alimentation unique de 1,8 V, met 11 ns pour charger la ligne de mot à 2 V et 20 ns pour charger la ligne de mot à 2,5 V. L'invention fournit un temps de charge pour la ligne de mot de respectivement 5 ns et 9 ns.

La figure 7 est un schéma illustrant un mode de réali-

sation du sélecteur de ligne de bit 455. Un sélecteur de ligne de bit 700 comprend des transistors 710, qui, dans un mode de réalisation, sont des dispositifs à faible gain, à grande longueur efficace, à oxyde épais, NMOS. Pendant l'écriture de mémoire, les transistors 710 sont connectés au niveau de tension élevé 415. Les transistors 710 ont un drain connecté à des cellules de mémoire (non montrées) dans le tableau de mémoire 430 (voir figure 4). Chacun des transistors 710 a une source connectée au drain d'un transistor 720. Dans un mode de réalisation, le transistor 720 est un dispositif à pilotage élevé, à oxyde mince avec une source connectée à l'amplificateur de lecture 460. Le transistor 720 n'est pas connecté au niveau de tension élevé 415.

Afin de charger la ligne de bit rapidement pendant la lecture, les transistors 710 devraient fonctionner rapidement. Un procédé pour accélérer le temps de fonctionnement des transistors 710 consiste à augmenter leur largeur. Une autre solution consiste à piloter les grilles des transistors 710 au niveau de tension externe 405. Lorsqu'une ligne de bit est sélectionnée, la grille d'un des transistors 710 sera pilotée au niveau de tension externe 405 afin de diminuer le temps de charge de ligne de bit. La grille du transistor 720 sera pilotée au niveau de tension régulé 410. Le pilote de ligne de bit 450 pilote les transistors 710 et 720.

La figure 8 est un schéma illustrant un mode de réalisation du pilote de ligne de bit 450. Un pilote de ligne de bit 800 reçoit un signal d'un pré-décodeur Y 810 au niveau de tension régulé 410 indiquant lequel des transistors 710 devrait être sélectionné. Dans un mode de réalisation, le pilote de ligne de bit 800 est un transposeur de niveau qui reçoit le niveau de tension externe 405 et applique le niveau de tension externe 405 à la grille du transistor 710 sélectionné.

Le pré-décodeur Y 810 reçoit et décode une adresse indiquant lequel des transistors 710 sélectionner et sélectionnant le transistor 720 en appliquant le niveau de tension régulé 410 à la grille du transistor 720.

Dans un exemple de l'art antérieur, une mémoire EEPROM de 2 mégabits de la technologie à 0,18  $\mu\text{m}$ , avec un fonctionnement à alimentation unique de 1,8 V, a un temps d'accès à la mémoire de 40 ns. L'invention fournit un temps  
5 d'accès de 25 ns.

La figure 9 est un organigramme illustrant un procédé de pilotage d'une mémoire non volatile embarquée, ayant une ligne de mot et une ligne de bit, à un niveau de tension externe et à un niveau de tension régulé, le niveau de  
10 tension externe étant plus élevé que le niveau de tension régulé inférieur. Au bloc 900, une amplification du niveau de tension externe à un niveau de tension élevé est effectuée, le niveau de tension élevé étant plus élevé que le niveau de tension externe. Au bloc 910, le niveau de ten-  
15 sion élevé est fourni à une ligne de tension variable pendant l'écriture de mémoire. Au bloc 920, le niveau de tension externe est fourni à la ligne de tension variable pendant la lecture de mémoire. Au bloc 930, le niveau de tension élevé est commuté de la ligne de tension variable à  
20 la ligne de mot pendant l'écriture de mémoire. Au bloc 940, la ligne de mot est préchargée avec le niveau de tension régulé pendant la lecture de mémoire. Au bloc 950, le niveau de tension externe est commuté de la ligne de tension variable à la ligne de mot pendant la lecture de  
25 mémoire. Au bloc 960, un transistor de la sélection de ligne de bit devient passant avec le niveau de tension externe. Au bloc 970, un transistor de la sélection de ligne de bit devient passant avec le niveau de tension régulé.

30 Les avantages de l'invention comprennent une surface de puce réduite obtenue en réduisant la taille de la pompe de charge et de la sélection de ligne de bit, une vitesse améliorée, une consommation de puissance réduite (une pompe d'amplification pendant la lecture n'est pas nécessaire) et  
35 l'utilisation des ressources d'alimentation disponibles. L'invention peut être appliquée à une mémoire FLASH embarquée et est évolutive. L'invention peut être appliquée à des applications embarquées où des dispositifs à faible tension à oxyde mince nécessitant une faible tension régu-

*AW*

lée dédiée sont nécessaires pour une logique numérique évoluée, tandis que des dispositifs à oxyde épais peuvent être utilisés pour diverses mémoires. Avec des technologies profondes, du sous-micron, ce concept s'applique à des  
5 mémoires SRAM et DRAM, où des dispositifs à tension de seuil élevée, à oxyde épais peuvent être utilisés dans le tableau afin d'éviter un courant de fuite, par exemple. L'invention peut être également appliquée à une mémoire autonome, afin d'optimiser la vitesse et de diminuer la  
10 surface de la logique de commande.

Un homme du métier ordinaire reconnaîtra que des configurations de différents composants de circuit peuvent être utilisées sans s'écarter de l'invention. Les modes de réalisation illustrés de l'invention comprennent, par  
15 exemple, des transistors P et N et des inverseurs, mais l'homme du métier reconnaîtra que ceux-ci peuvent être interchangés et/ou remplacés par des composants avec une fonctionnalité similaire, en appliquant un reroutage de circuit approprié. Tout homme du métier reconnaîtra à  
20 partir de la description qui précède et à partir des figures et des revendications que des modifications et des changements peuvent être apportés à l'invention sans s'écarter de l'étendue de l'invention définie dans les revendications suivantes.

ave

REVENDICATIONS

1. Mémoire non volatile embarquée pilotée à un niveau de tension externe et à un niveau de tension régulé, le niveau de tension externe étant plus élevé que le niveau de tension régulé, comprenant :

5           une pompe de charge (407) configurée pour recevoir le niveau de tension externe et pour générer un niveau de tension élevé, le niveau de tension élevé étant plus élevé que niveau de tension externe ;

10           un circuit de commande de mémoire (420,500) couplé à la pompe de charge (407) et configuré pour recevoir le niveau de tension externe et le niveau de tension élevé, et configuré en outre pour sélectionner l'un des niveaux de tension externe et élevé et le fournir ;

15           un tableau de mémoire (430), comportant une ligne de mot et une ligne de bit, couplé au circuit de commande de mémoire (420,500) et configuré pour stocker des données et recevoir les niveaux de tension externe et élevé sur la ligne de mot, et recevoir les niveaux de tension élevés sur la ligne de bit ;

20           un pilote de ligne de mot (440,600) couplé au tableau de mémoire (430) et configuré pour fournir les niveaux de tension externe et élevé à la ligne de mot ;

25           un sélecteur de ligne de bit (455,700) couplé au tableau de mémoire (430) et configuré pour sélectionner la ligne de bit et recevoir les niveaux de tension élevé, externe et régulé ; et

30           un pilote de ligne de bit (450,800) couplé au sélecteur de ligne de bit (455,700) et configuré pour fournir les niveaux de tension externe et régulé au sélecteur de ligne de bit (455,700).

2. Mémoire selon la revendication 1, dans laquelle le circuit de commande de mémoire (420,500) comprend en outre :

          une ligne de tension variable configurée pour fournir les niveaux de tension élevé et externe ;

35           un premier transistor couplé à la ligne de tension variable et configuré pour recevoir le niveau de tension externe et pour transmettre le niveau de tension externe à

ave

la ligne de tension variable ; et

un transposeur de niveau couplé au premier transistor et configuré pour recevoir un signal et activer le premier transistor lorsque le signal de lecture indique une lecture  
5 de mémoire et désactiver le premier transistor lorsque le signal de lecture n'indique pas de lecture de mémoire, dans laquelle le premier transistor transmet le niveau de tension externe à la ligne de tension variable pendant une lecture de mémoire, autrement la ligne de tension variable  
10 transmet le niveau de tension élevé.

3. Mémoire selon la revendication 2 comprenant en outre :

un deuxième transistor ayant un drain couplé à la ligne de tension variable, une grille couplée au transposeur  
15 de niveau et une source couplée à une grille du premier transistor ; et

un troisième transistor ayant un drain couplé à la source du deuxième transistor et à la grille du premier transistor, une source couplée à la masse et une grille  
20 couplée au transposeur de niveau, dans laquelle les premier et deuxième transistors sont configurés pour activer le premier transistor lorsque le signal de lecture indique une lecture de mémoire et désactiver le premier transistor  
25 lorsque le signal de lecture n'indique pas de lecture de mémoire.

4. Mémoire selon la revendication 3 comprenant en outre :

un inverseur ayant une entrée configurée pour recevoir le signal de lecture et une sortie couplée au transposeur  
30 de niveau.

5. Mémoire selon la revendication 1, dans laquelle le pilote de ligne de mot (440, 600) comprend en outre :

une ligne de tension variable configurée pour fournir les niveaux de tension élevé et externe ;

35 un premier transistor couplé à la ligne de tension variable et à la ligne de mot et configuré pour recevoir les niveaux de tension externe et élevé et transmettre les niveaux de tension externe et élevé à la ligne de mot ; et

un deuxième transistor couplé à la ligne de mot et

configuré pour recevoir un signal de commande et aider à mettre la ligne de mot au niveau de tension régulé lorsque le signal de commande indique une lecture de mémoire, dans laquelle le premier transistor transmet le niveau de tension externe à la ligne de mot pendant une lecture de mémoire, et le premier transistor transmet le niveau de tension élevé à la ligne de mot pendant une écriture de mémoire.

5  
10 6. Mémoire selon la revendication 5 comprenant en outre :

une entrée de sélection de mot couplée au deuxième transistor et configurée pour transmettre un signal de sélection de ligne de mot ;

15 un transposeur de niveau couplé à l'entrée de sélection de mot, à la ligne de tension variable et à une grille du premier transistor, le transposeur de niveau étant configuré pour activer le premier transistor si le transposeur de niveau a reçu le signal de sélection de ligne de mot et sinon désactiver le premier transistor.

20 7. Mémoire selon la revendication 6, dans laquelle le premier transistor comprend en outre un drain couplé à la ligne de tension variable et une source couplée à la ligne de mot, et le deuxième transistor comprend en outre un drain couplé à l'entrée de sélection de mot et une source  
25 couplée à la ligne de mot et une grille configurée pour recevoir le signal de commande.

8. Mémoire selon la revendication 7, dans laquelle le signal de sélection de ligne de mot est au niveau de tension régulé.

30 9. Mémoire selon la revendication 8, dans laquelle le deuxième transistor, pendant la lecture de mémoire, est en outre configuré pour fournir du courant à la ligne de mot jusqu'à ce que la ligne de mot atteigne le niveau de tension régulé moins la tension de seuil du deuxième transistor, et cesse ensuite de fournir du courant alors que la  
35 tension sur la ligne de mot s'élève jusqu'au niveau de tension externe.

10. Mémoire selon la revendication 1, dans laquelle le sélecteur de ligne de bit (455,700) comprend en outre :

un premier transistor couplé à la ligne de bit et configuré pour recevoir le niveau de tension élevé pendant une écriture de mémoire et pour recevoir le niveau de tension externe pendant une lecture de mémoire ; et

5 un deuxième transistor couplé au premier transistor et à une ligne de lecture, et configuré pour recevoir le niveau de tension régulé pendant une lecture de mémoire.

11. Mémoire selon la revendication 10, dans laquelle le premier transistor comprend en outre un drain couplé à  
10 la ligne de bit et configuré pour recevoir le niveau de tension élevé pendant l'écriture de mémoire, une grille configurée pour recevoir le niveau de tension externe et une source.

12. Mémoire selon la revendication 11, dans laquelle  
15 le deuxième transistor comprend en outre un drain couplé à la source du premier transistor, une grille configurée pour recevoir le niveau de tension régulé et un drain couplé à la ligne de lecture.

13. Mémoire selon la revendication 12, comprenant en  
20 outre un pré-décodeur configuré pour recevoir une adresse et délivrer le niveau de tension régulé à la grille du deuxième transistor.

14. Mémoire selon la revendication 13, dans laquelle  
25 le pilote de ligne de bit (450,800) comprend en outre un transposeur de niveau couplé au pré-décodeur et configuré pour recevoir le niveau de tension régulé du pré-décodeur et délivrer le niveau de tension externe à la grille du premier transistor.

15. Mémoire selon la revendication 1, comprenant en  
30 outre :

un pré-décodeur configuré pour recevoir une adresse et délivrer le niveau de tension régulé ; et

dans laquelle le pilote de ligne de bit (450,800) comprend en outre un transposeur de niveau couplé au pré-  
35 décodeur et configuré pour recevoir le niveau de tension régulé du pré-décodeur et délivrer le niveau de tension externe.

16. Procédé de pilotage d'une mémoire non volatile embarquée, comportant une ligne de mot et une ligne de bit, à

un niveau de tension externe et à un niveau de tension réglé, le niveau de tension externe étant plus élevé que le niveau de tension réglé inférieur, comprenant :

5 l'amplification du niveau de tension externe à un niveau de tension élevé, le niveau de tension élevé étant plus élevé que le niveau de tension externe ;

la fourniture du niveau de tension élevé à une ligne de tension variable pendant une écriture de mémoire ; et

10 la fourniture du niveau de tension externe à la ligne de tension variable pendant une lecture de mémoire.

17. Procédé selon la revendication 16, comprenant en outre :

15 la commutation du niveau de tension élevé de la ligne de tension variable à la ligne de mot pendant une écriture de mémoire ; et

la commutation du niveau de tension externe de la ligne de tension variable à la ligne de mot pendant une lecture de mémoire.

20 18. Procédé selon la revendication 17, comprenant en outre :

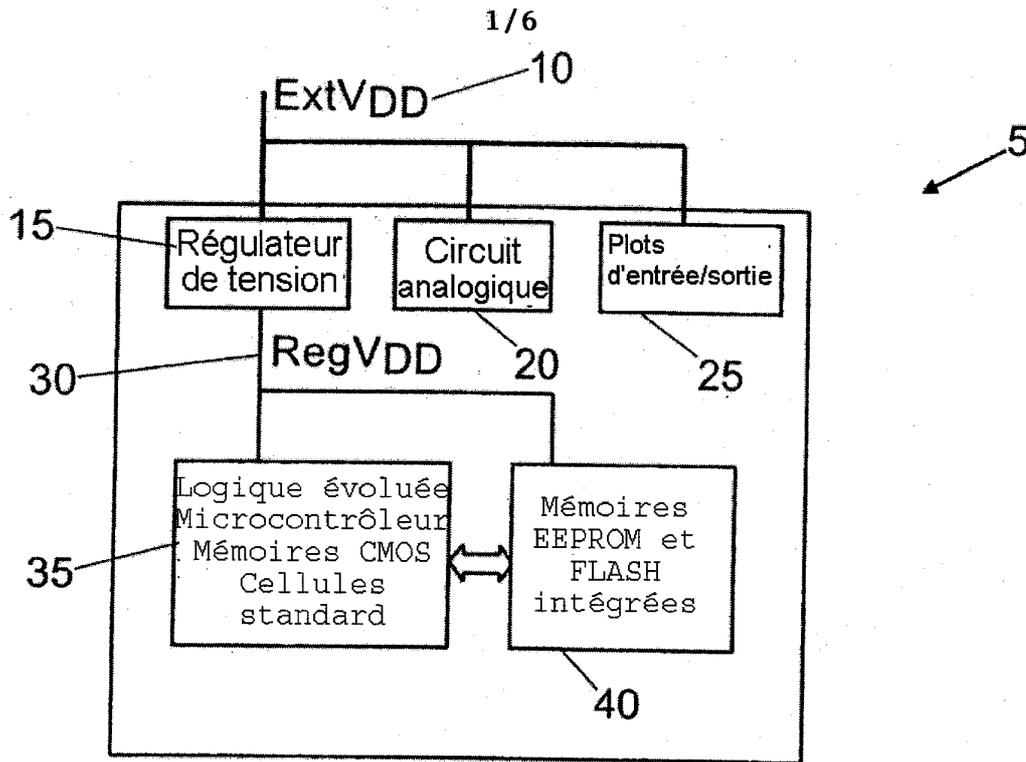
la précharge de la ligne de mot avec le niveau de tension réglé pendant la lecture de mémoire.

19. Procédé selon la revendication 18, comprenant en outre :

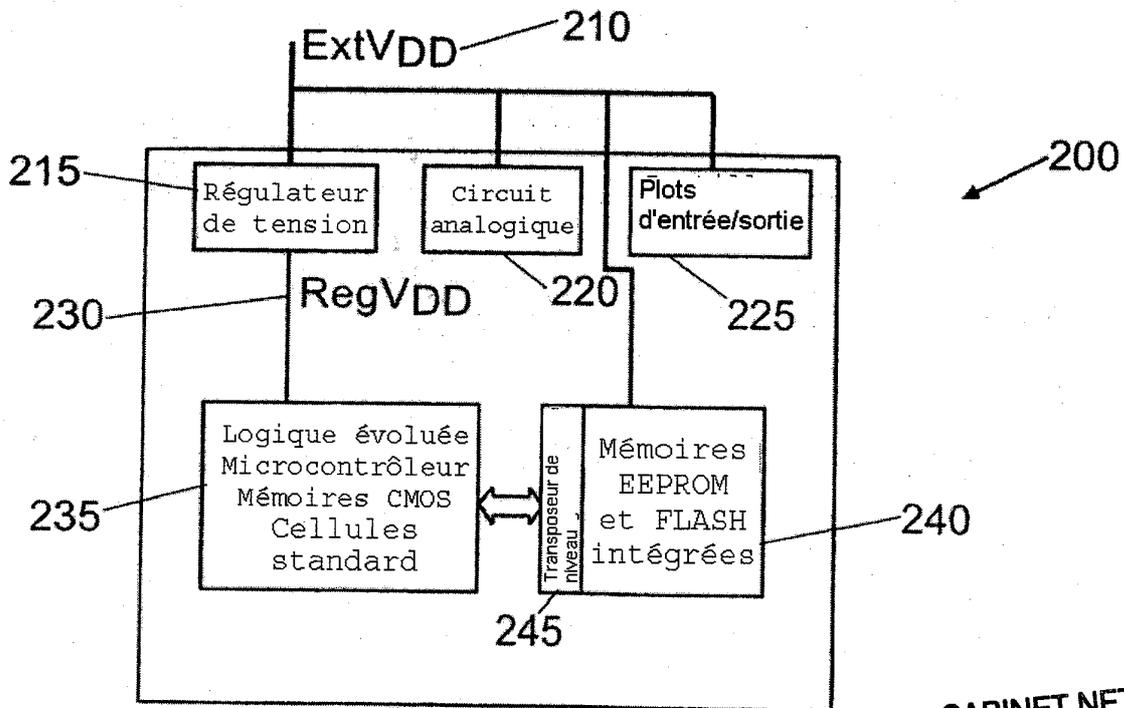
25 la mise à l'état passant d'un transistor de la sélection de ligne de bit avec le niveau de tension externe ; et

la mise à l'état passant d'un transistor de la sélection de ligne de bit avec le niveau de tension réglé.

CABINET NETTER



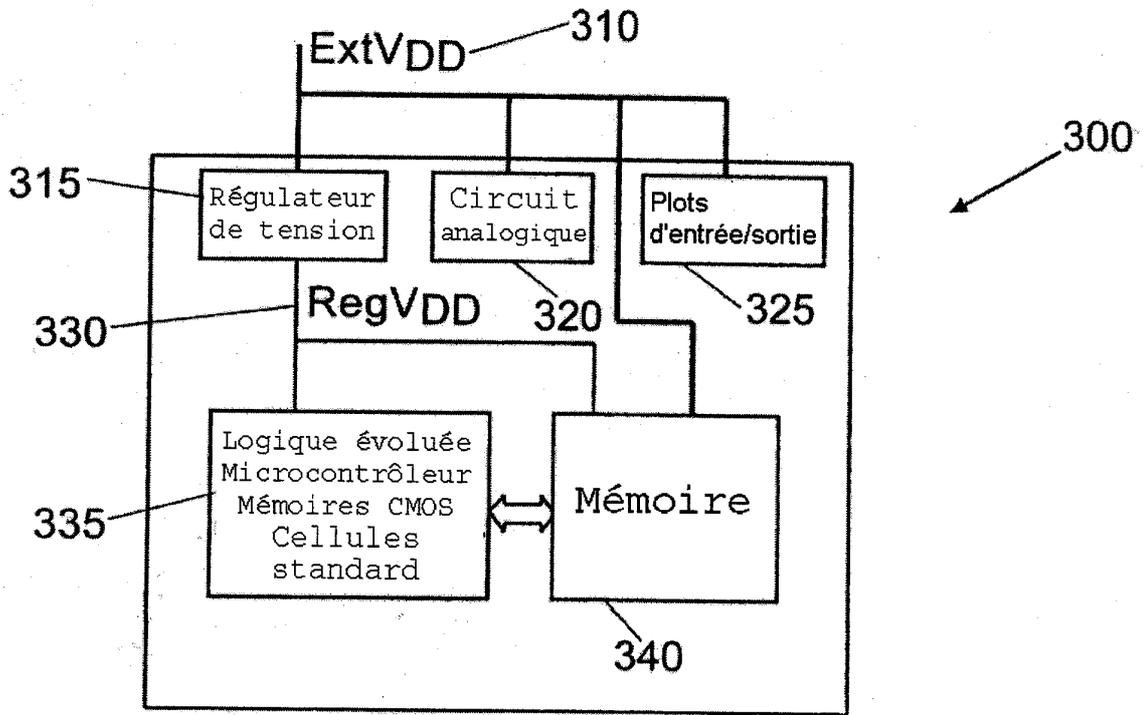
**FIG. 1**  
ART ANTERIEUR



**FIG. 2**  
ART ANTERIEUR

CABINET NETTER

*Wd*



**FIG. 3**

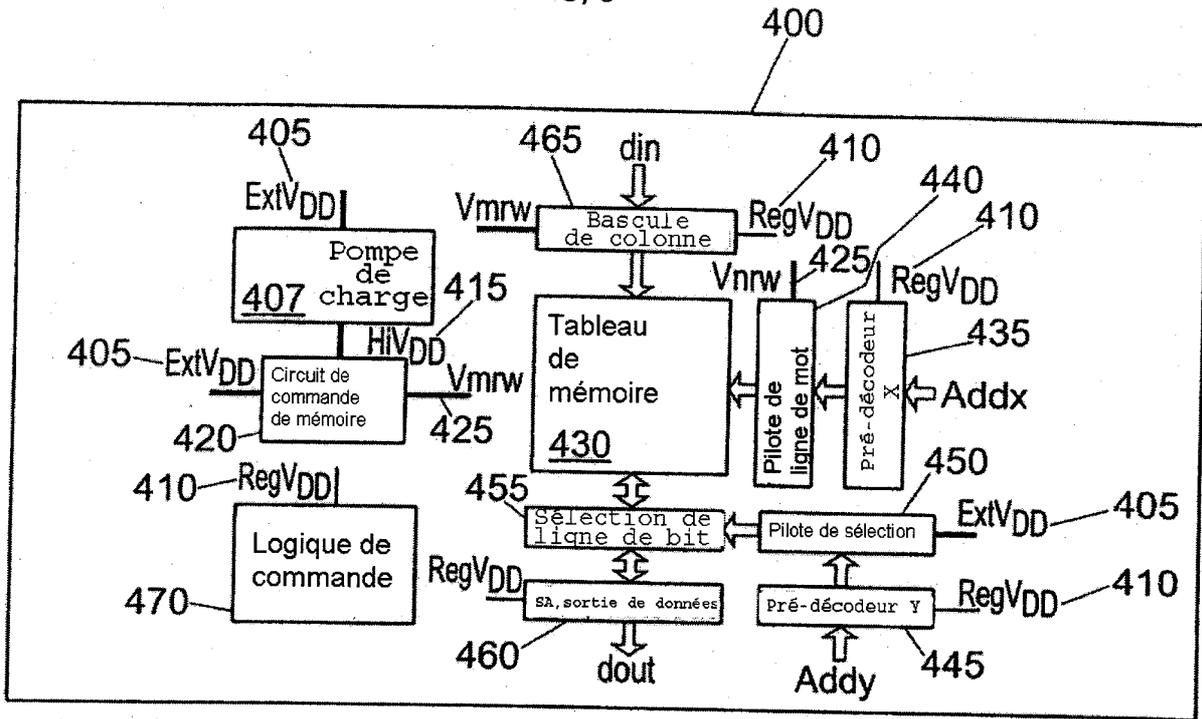


FIG. 4

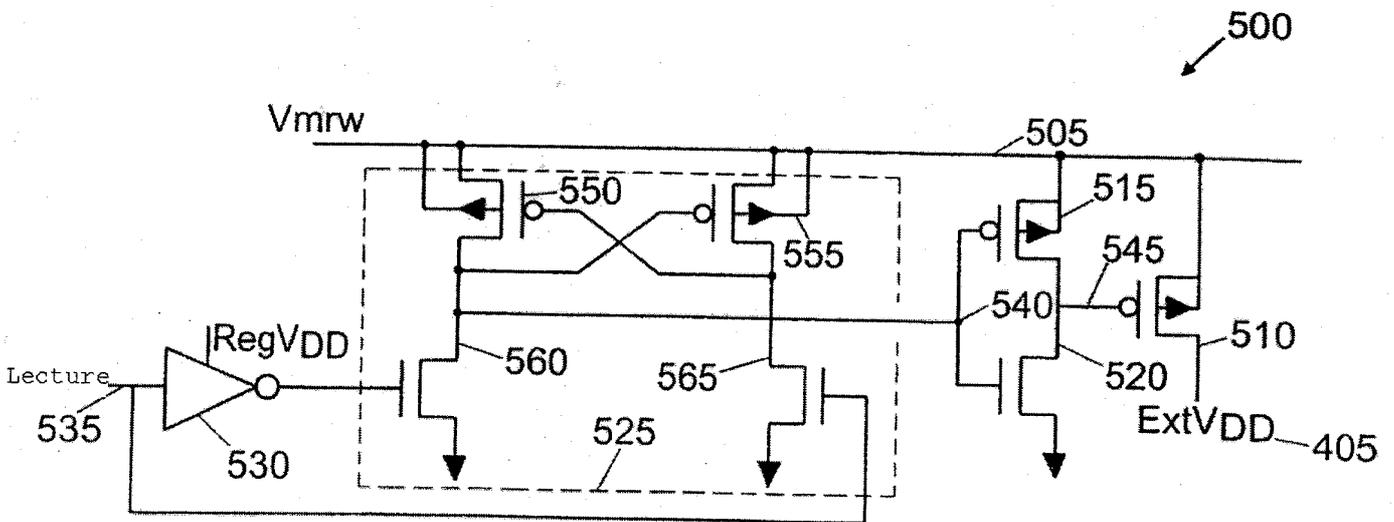


FIG. 5

*Handwritten signature*

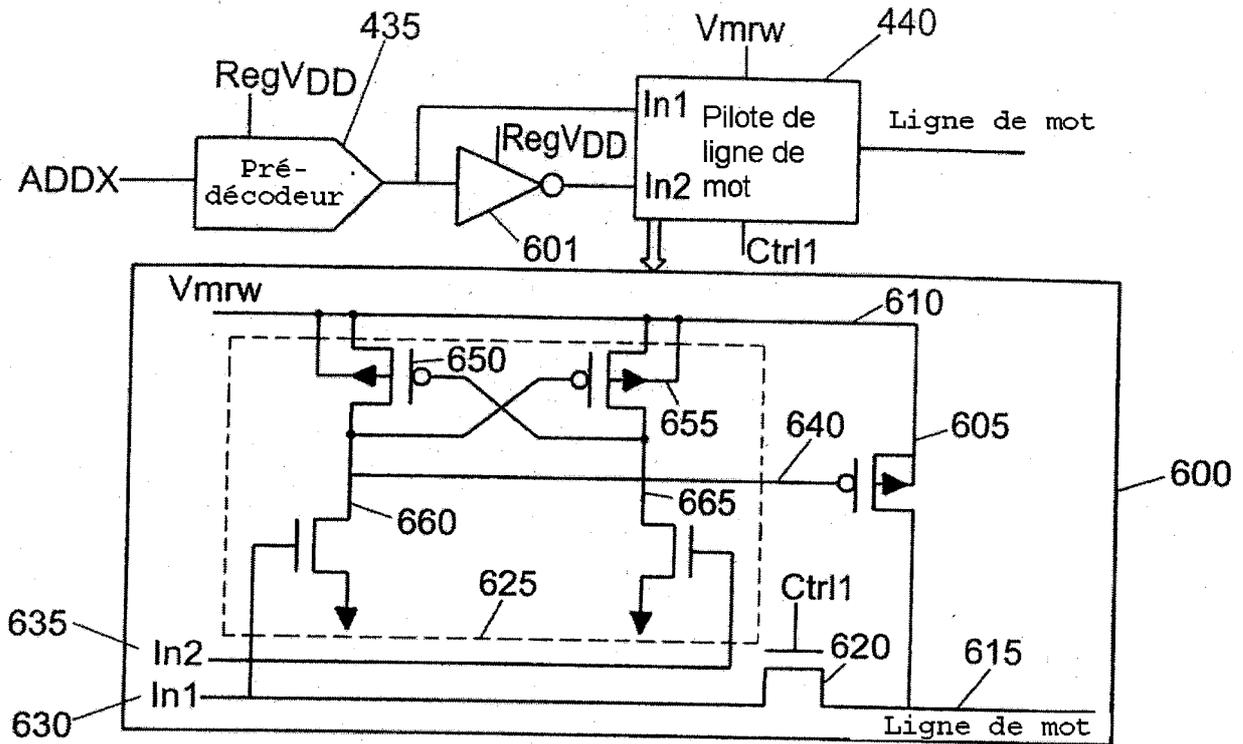


FIG. 6

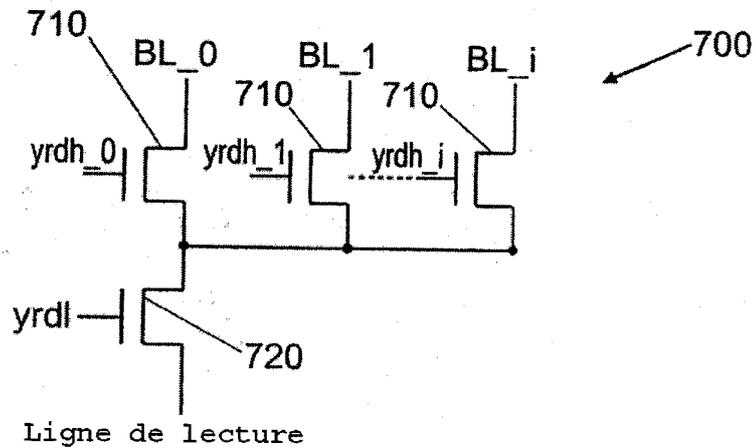


FIG. 7

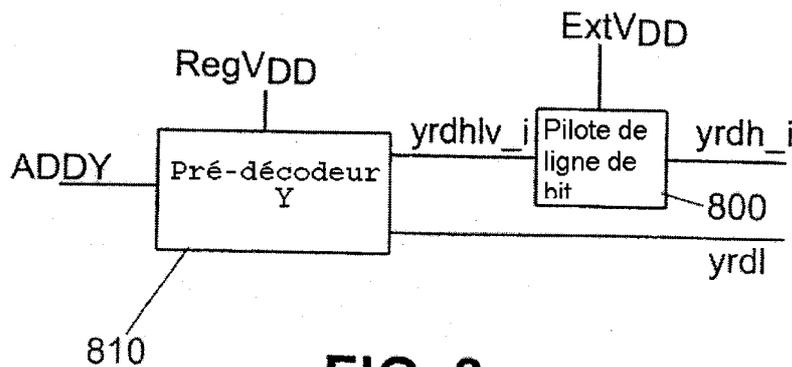


FIG. 8

*CW*

5/6

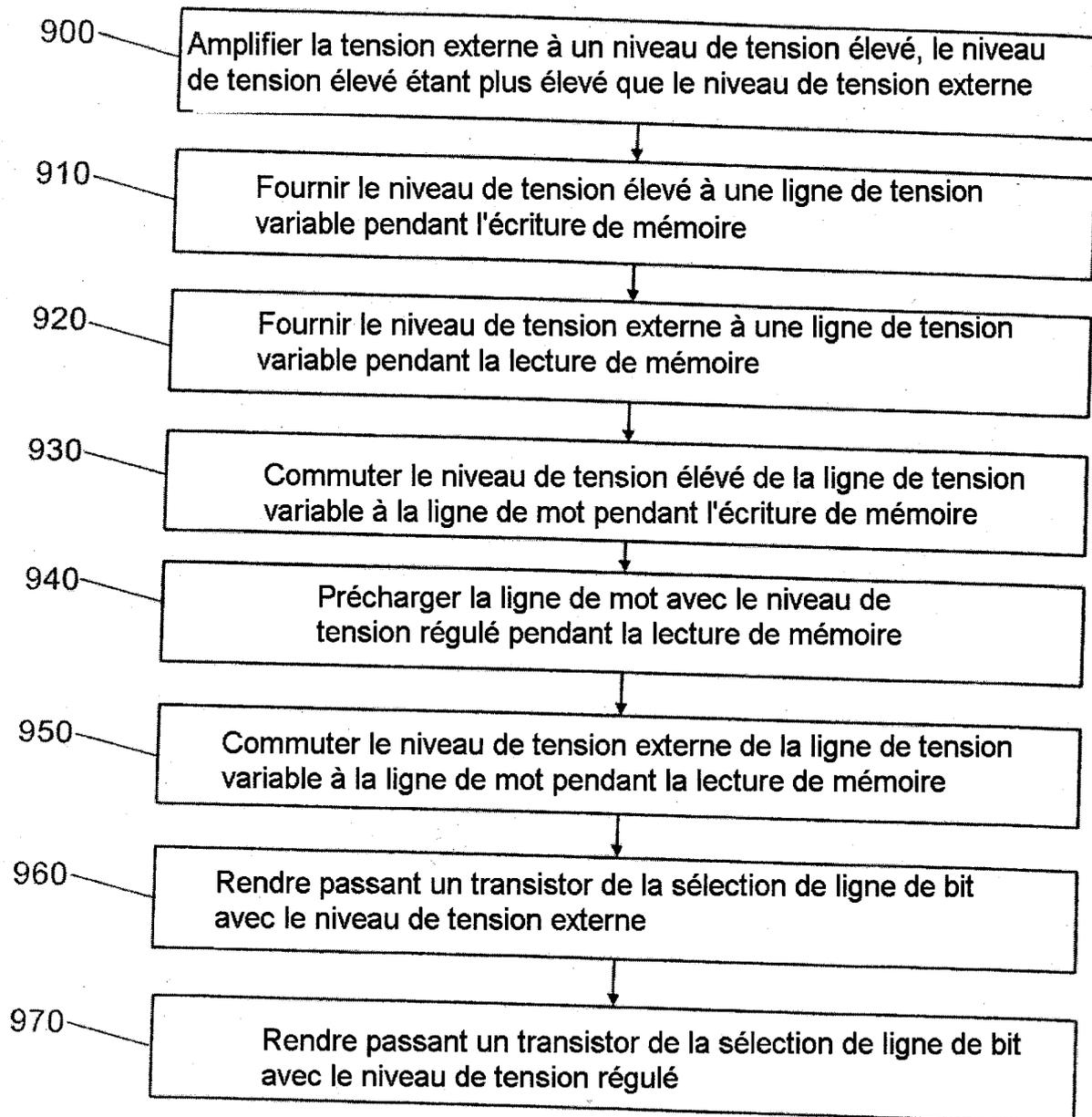


FIG. 9

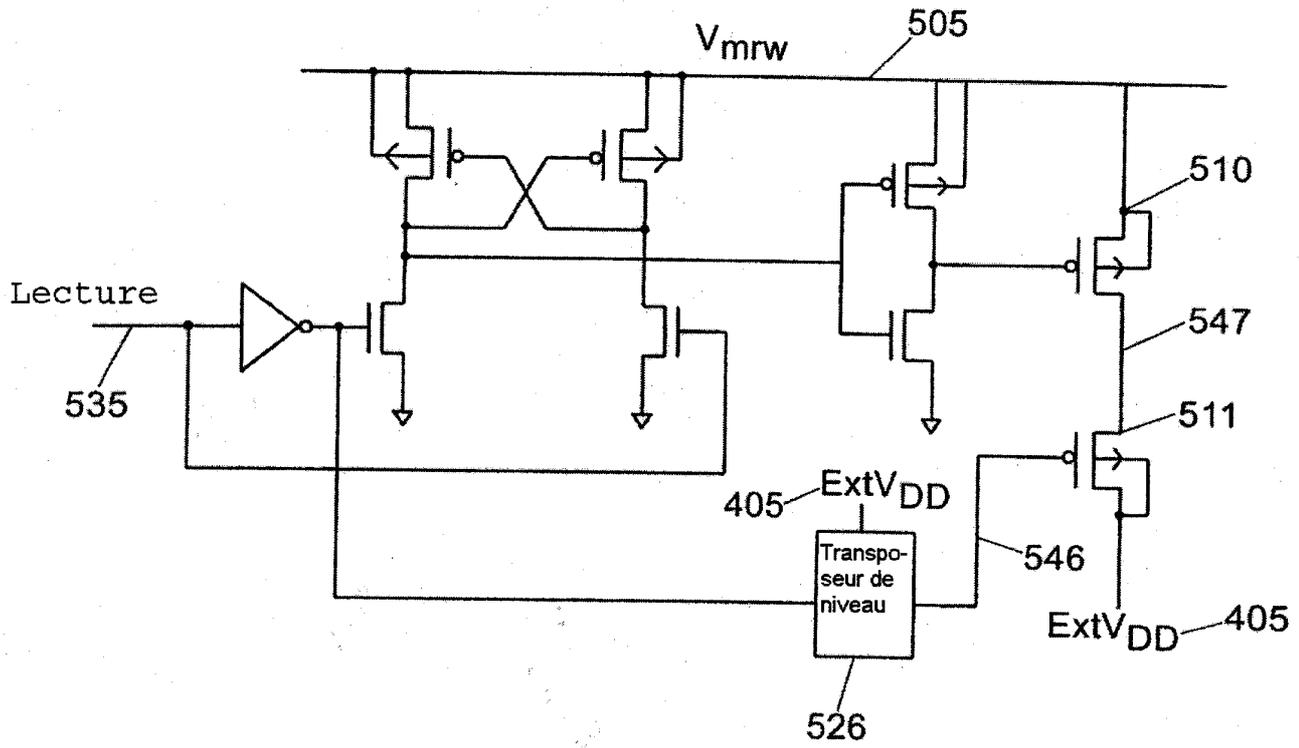


FIG. 10