

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-118045

(P2008-118045A)

(43) 公開日 平成20年5月22日(2008.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 C	5 F 0 3 8
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 P	

審査請求 未請求 請求項の数 20 O L (全 19 頁)

(21) 出願番号	特願2006-301891 (P2006-301891)	(71) 出願人	000005821
(22) 出願日	平成18年11月7日(2006.11.7)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100109210
			弁理士 新居 広守
		(72) 発明者	西尾 明彦
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	加藤 由明
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	按田 義治
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		Fターム(参考)	5F038 AC02 AC05 AC15 AR07 AR16
			CD18 EZ02 EZ14 EZ15 EZ20

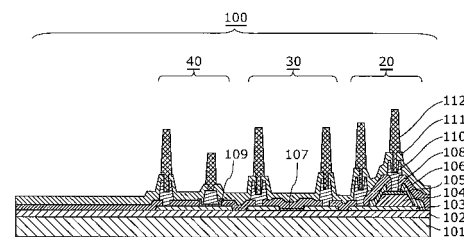
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】特に、ペロブスカイト構造の高誘電体酸化物による容量素子と窒化物による容量素子と高抵抗金属材料による抵抗素子とを同一化合物半導体基板上に集積化した半導体装置およびその製造方法に関し、素子の特性を損ねることなく、プロセスコストの低減を可能とする半導体装置およびその製造方法を提供する。

【解決手段】高誘電体酸化物による容量素子である高誘電体容量素子部20と窒化物による容量素子である窒化物容量素子部40との下部電極と、高抵抗金属材料による抵抗素子である金属抵抗素子30の下部電極とを同一材料の積層金属層103で同時に形成する。また、金属抵抗素子30の抵抗体である金属材料層107を、金属抵抗素子30の下部電極である積層金属層103と接するように形成することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 および第 2 の容量素子と抵抗素子とを備える半導体装置であって、
半導体基板上に形成される第 1 の絶縁層と、
前記第 1 の容量素子の一方の電極として、前記第 1 の絶縁層上に形成された複数の金属層からなる第 1 の積層金属層と、
前記第 1 の積層金属層上に形成された高誘電体層と、
前記第 1 の容量素子の他方の電極として、前記高誘電体層上に形成された複数の金属層からなる第 2 の積層金属層と、
前記第 2 の容量素子の一方の電極として、前記第 1 の絶縁層上に形成された複数の金属層からなる第 3 の積層金属層と、
前記第 1 の積層金属層上に形成された第 2 の絶縁層と、
前記第 2 の容量素子の他方の電極として、前記第 2 の絶縁層上に形成された複数の金属層からなる第 4 の積層金属層と、
前記第 1 の絶縁層上に形成された複数の金属層からなる第 5 および第 6 の積層金属層と、
前記第 1 の絶縁層上に、前記第 5 の積層金属層と前記第 6 の積層金属層との間に形成された第 1 の金属材料からなる抵抗体とを備え、
前記第 1、第 3、第 5 および第 6 の積層金属層は、同じ材料でかつ同じ層に島状に形成され、前記第 5 の積層金属層は前記抵抗体の一端に接し、前記第 6 の積層金属層は前記抵抗体の他端と接している
ことを特徴とする半導体装置。

【請求項 2】

前記第 1、第 3、第 5 および第 6 の積層金属層は、最上の金属層が Pt からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1、第 3、第 5 および第 6 の積層金属層は、最下の金属層が Ti からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1、第 3、第 5 および第 6 の積層金属層は、最上の金属層および最下の金属層の間に Al からなる中間の金属層を含む
ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記第 1、第 3、第 5 および第 6 の積層金属層は、さらに、前記中間の金属層と最上の金属層との間に Ti からなる金属層を含む
ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】

前記半導体装置は、さらに、トランジスタ素子を備え、
前記トランジスタ素子は、前記第 1 の絶縁層を除去された領域における前記半導体基板上に形成された第 3 の絶縁層と、
前記第 3 の絶縁層を貫通し、前記トランジスタ素子の電極として形成された複数の金属層からなる第 7 の積層金属層とを有し、
前記第 7 の積層金属層は、前記第 4 の積層金属層と同じ材料で形成される
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記第 3 の絶縁層は、前記第 7 の積層金属層の貫通する部分に形成された前記第 4 の絶縁層を有し、
前記第 4 の絶縁層は、前記第 2 の絶縁層と同じ材料でかつ同じ層で形成される
ことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記半導体素子は、閾値電圧の異なる２つの電界効果トランジスタを含むことを特徴とする請求項６に記載の半導体装置。

【請求項９】

前記半導体基板はGaAsまたはInPで構成されることを特徴とする請求項１に記載の半導体装置。

【請求項１０】

前記第１の絶縁層はSiO₂で構成されることを特徴とする請求項１に記載の半導体装置。

【請求項１１】

前記高誘電体層がSrTiO₃に代表されるペロブスカイト構造の高誘電体酸化物で構成されることを特徴とする請求項１に記載の半導体装置。

10

【請求項１２】

前記第２の絶縁層はSiNで構成されることを特徴とする請求項１に記載の半導体装置。

【請求項１３】

前記第３の絶縁層材料がSiN、SiO₂、またはSiNとSiO₂の積層により構成されることを特徴とする請求項６に記載の半導体装置。

【請求項１４】

前記第２の積層金属層は、Pt、WSi、またはWSiNを含み構成されることを特徴とする請求項１に記載の半導体装置。

20

【請求項１５】

前記第１の金属材料からなる抵抗体は、WSiN、WSi、またはWを含み構成されることを特徴とする請求項１に記載の半導体装置。

【請求項１６】

前記第４の積層金属層は、半導体基板側よりTi、Al、Ti、またはWSi、Al、Ti、またはWSiN、Ti、Al、Ti、またはW、Ti、Al、Tiに積層される金属層からなることを特徴とする請求項１に記載の半導体装置。

30

【請求項１７】

請求項１に記載の半導体装置の製造方法であって、
半導体基板上に第１の絶縁層を形成する第１の工程と、
前記第１、第３、第５および第６の積層金属層を形成する第２の工程と、
前記第１の積層金属層上に高誘電体層を形成する第３の工程と、
前記高誘電体層上に第２の積層金属層を形成する第４の工程と、
前記第１の絶縁層上で、かつ前記第５の積層金属層と前記第６の積層金属層との間に、
前記第５の積層金属層と前記第６の積層金属層と接するように第１の金属材料からなる抵抗体を形成する第５の工程と、

前記第３の積層金属層上に前記第２の絶縁層を形成する第６の工程と、
前記第２の絶縁層上に前記第４の積層金属層を形成する第７の工程と
を備える

40

ことを特徴とする半導体装置の製造方法。

【請求項１８】

前記半導体装置は、前記第５の工程と前記第６の工程の間に、さらに、前記第１、第２、第３、第５および第６の積層金属層上に第４の絶縁層を形成する絶縁層形成工程と、
前記第４の絶縁層に前記第１、第２、第３、第５および第６の積層金属層に達する開口それぞれを同時に形成する開口工程と
を含む

ことを特徴とする請求項１７に記載の半導体装置の製造方法。

50

【請求項 19】

前記半導体装置は、さらに、トランジスタ素子を備え、

前記トランジスタ素子は、前記第 1 の絶縁層を除去された領域における前記半導体基板上に形成された第 3 の絶縁層と、

前記第 3 の絶縁層を貫通し、前記トランジスタ素子の電極として形成された複数の金属層からなる第 7 の積層金属層とを有し、

前記第 7 の積層金属層は、前記第 4 の積層金属層と同じ材料でかつ同じ層で形成されることを特徴とする請求項 1 に記載の半導体装置であって、

前記半導体装置の製造方法は、前記第 5 の工程と前記第 6 の工程の間に、さらに、前記第 1 の絶縁層の一部を除去する工程と、

前記第 1 絶縁層が除去された半導体基板上に前記第 3 の絶縁層と、前記第 1、第 2、第 3、第 5 および第 6 の積層金属層上に前記第 4 の絶縁層とを同時に同材料で形成する絶縁層形成工程と、

前記第 3 の絶縁層を開口する工程を含む前記開口工程と、

前記第 3 の絶縁層の開口に前記第 4 の積層金属層を形成する工程を含む前記第 7 の工程と

を備えることを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 20】

前記第 6 の工程において、さらに、前記第 3 の絶縁層の開口の側壁にも前記第 2 の絶縁層を形成する

ことを特徴とする請求項 18 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特に、ペロブスカイト構造の高誘電体酸化物による容量素子と窒化物による容量素子と高抵抗金属材料による抵抗素子とを同一化合物半導体基板上に集積化した半導体装置およびその製造方法に関する。

【背景技術】

【0002】

GaAs よりなる半絶縁性の半導体基板上に形成される電界効果型トランジスタ（以下、GaAsFET と称する。）は、その優れた性能により、通信機器とりわけ携帯電話端末等のパワーアンプおよびスイッチ等に利用されている。この GaAsFET 等の能動素子と、抵抗素子及び容量素子等の受動素子とを集積化したモノリシックマイクロ波集積回路（以下、GaAsMMIC と記載。）は特に広く実用化されている。近年では、GaAs よりなる半絶縁性の半導体基板上にトランジスタ等の能動素子を形成せず、容量素子や抵抗素子等の受動素子のみを集積した集積受動素子（以下、GaAsIPD と記載。）に対する需要も高まってきている。

【0003】

GaAsMMIC において、直流成分のカットやグラウンドラインへのバイパスコンデンサ用に大容量の容量素子が必要とされている。しかしながら、大容量の容量素子を形成するには大きな面積が必要となり、チップ面積の 50% 近くを容量素子が占めてしまう場合がある。

【0004】

そこで、チップ面積低減のために SrTiO₃ に代表されるペロブスカイト構造の高誘電体酸化物による大容量の容量素子（以下、STO 容量と記載。）を搭載した GaAsMMIC が知られている。これらペロブスカイト構造の高誘電体酸化物は、従来用いられてきた SiO₂（酸化シリコン）や SiN（窒化シリコン）等と比べて比誘電率が 10 倍以上高く、容量素子の面積を 10 分の 1 以下に出来るメリットがある。そのため、ペロブスカイト構造の高誘電体酸化物は大容量の容量素子の材料として望ましい。

【0005】

また、GaAsMMICでは、直流成分のカットやバイパスコンデンサに用いる大容量の容量素子のほかに、整合回路に用いる高精度で小容量の容量素子が必要とされている。このような容量素子は容量が数pFで容量の精度が5%以内のものである。高誘電体材料を用いた容量素子は高誘電率を有するために、高精度で小容量の容量素子を形成することは困難である。このため、GaAsMMICには高誘電体材料を用いた大容量の容量素子と精度が高く小容量の容量素子とを共存させて形成されることが望ましい。GaAsIPDにおいても同様のことが言える。

【0006】

また、GaAs等の化合物半導体よりなる半導体装置の抵抗体には、抵抗としての必要な特性である線形性および高周波における安定性を実現するため、WSiNのようなW系からなる高抵抗金属膜が抵抗素子の抵抗体として使用されている。

10

【0007】

前述のGaAsMMICならびにGaAsIPDにおいては、近年、さらなる低コスト化が求められている。特にプロセス技術にはGaAsMMICやGaAsIPDとしての素子の性能を落とすことなくプロセス工程の簡素化を行い、プロセスコストの低減を実現することが強く要望されている。

【0008】

なお、このような要望に対応する技術としては、例えば、特許文献1、2に記載のものがある。特許文献1は、高誘電体材料を用いた大容量の容量素子と、SiO₂またはSiNを用いた小容量の容量素子があり、それぞれの下部電極はTi、Au、Ptを順に積層した積層金属（以下、Ti/Au/Ptと記載）からなる電極としている。そして、下部電極をイオンミリング法により形成することで、上述の2種類の容量の下部電極の共用化を図っている。

20

【0009】

また、特許文献2は、WSiNを用いた抵抗体に層間絶縁膜SiO₂とのエッチング選択性を確保するために、抵抗体上部のコンタクト穴を形成する領域にエッチング選択性のあるAuを堆積することで、エッチング停止膜として利用している。

【特許文献1】特開平8-340083号公報

【特許文献2】特開平5-82519号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献1に記載の半導体装置は、下部電極の上部に貴金属であるAuが堆積されている。Auは化学反応機構のドライエッチング（以下、化学反応性ドライエッチングと記載。）による加工が難しい。そのため、Auを堆積した下部電極を加工するのに、例えば、下部電極以外の領域をフォトレジストで保護しArによる物理的な機構のイオンミリング工程を実施した後に、フォトレジストを除去する工程を追加する必要があり、プロセス工数が増加してしまう。また、上記特許文献2に記載の半導体装置では、W系抵抗素子に直接コンタクトする。そのため、W系抵抗素子上部に堆積された絶縁膜にコンタクト穴をエッチングにより形成する必要があるが、W系抵抗素子がエッチングされてしまわないように、必ずAuによる保護領域を形成する必要があるため、プロセス工数が増加しプロセスコストが増加してしまう。W系抵抗素子にAuによる保護領域を設けない場合には、W系抵抗素子がエッチングにより削れてしまい、素子としての特性を損ねてしまう。

40

【0011】

そこで、本発明は、上記課題を解決するためになされたもので、素子の特性を損ねることなく、プロセスコストの低減を可能とする半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

50

第1および第2の容量素子と抵抗素子とを備える半導体装置であって、半導体基板上に形成される第1の絶縁層と、前記第1の容量素子の一方の電極として、前記第1の絶縁層上に形成された複数の金属層からなる第1の積層金属層と、前記第1の積層金属層上に形成された高誘電体層と、前記第1の容量素子の他方の電極として、前記高誘電体層上に形成された複数の金属層からなる第2の積層金属層と、前記第2の容量素子の一方の電極として、前記第1の絶縁層上に形成された複数の金属層からなる第3の積層金属層と、前記第1の積層金属層上に形成された第2の絶縁層と、前記第2の容量素子の他方の電極として、前記第2の絶縁層上に形成された複数の金属層からなる第4の積層金属層と、前記第1の絶縁層上に形成された複数の金属層からなる第5および第6の積層金属層と、前記第1の絶縁層上に、前記第5の積層金属層と前記第6の積層金属層との間に形成された第1の金属材料からなる抵抗体とを備え、前記第1、第3、第5および第6の積層金属層は、同じ材料でかつ同じ層に島状に形成され、前記第5の積層金属層は前記抵抗体の一端に接し、前記第6の積層金属層は前記抵抗体の他端と接していることを備える。

10

【0013】

この構成によれば、誘電率の異なる容量素子ならびに抵抗素子を集積化する際、容量素子の片方の電極である第1の積層金属層と第3の積層金属層と抵抗素子を容量素子の電極とを接続する金属である第5および第6の積層金属層を同一の材料で同時に形成できるので、プロセス工数の抑制ができる。また、抵抗素子が第5、第6の積層金属層と接続されていることにより、抵抗素子とのコンタクトを形成する場合には、抵抗素子が接続されている第5、第6の積層金属層とコンタクトを形成すればよく、素子の特性を損ねないばかりか、抵抗素子に保護膜を形成するなどの余計な工程が付加されない分だけ、プロセス工数が低減される。例えば、抵抗素子上に形成された絶縁膜があり、抵抗素子上部の絶縁膜にエッチングによりコンタクト穴を形成し、抵抗素子とコンタクトを形成する場合には、抵抗素子も一部エッチングされてしまい、抵抗素子の特性を損ねてしまうというようなこともなくなる。

20

【0014】

また、前記第1、第3、第5および第6の積層金属層は、最上の金属層がPtからなることを備えてもよい。

【0015】

この構成によれば、第1の積層金属層と第4の積層金属層と抵抗素子を接続する金属である第5および第6の積層金属層を化学反応性のドライエッチングにより選択的に加工することが可能となるので、物理的なエッチングしかできず、物理的なエッチング対象以外を保護するプロセスを増やす必要のあった従来技術と比べてプロセス工数の抑制ができる。また、Ptを厚くすることで、容量素子の電極の低抵抗化も図れる。また、例えば、第1の積層金属層と第4の積層金属層と抵抗素子を接続する金属である第5および第6の積層金属層上に絶縁層を形成し、これらの積層金属層上部の絶縁層の開口を形成する場合には、ドライエッチングに用いる反応ガスを選択することにより、Ptがエッチング停止膜としての役割を果たすこともできるので、エッチング停止膜としてAuを付加するのが不要となり、プロセス工数の抑制が可能となる。

30

【0016】

また、前記第1、第3、第5および第6の積層金属層は、最下の金属層がTiからなっても良い。

40

【0017】

この構成によれば、絶縁層と密着性のよい材料から積層金属層が形成できる。

また、前記第1、第3、第5および第6の積層金属層は、最上の金属層および最下の金属層の間にAlからなる中間の金属層を含んでもよい。

【0018】

この構成によれば、Alを用いることにより積層金属層の低抵抗化が可能になる。また、AlはCl₂で容易に化学反応性ドライエッチングが可能であるので、積層金属層のドライエッチングの高速化が可能となる。

50

【0019】

また、前記第1、第3、第5および第6の積層金属層は、さらに、前記中間の金属層と最上の金属層との間にTiからなる金属層を含んでもよい。

【0020】

この構成によれば、Tiを用いることにより中間の金属層と最上の金属層との密着性が向上する。

【0021】

また、前記半導体装置は、さらに、トランジスタ素子を備え、前記トランジスタ素子は、前記第1の絶縁層を除去された領域における前記半導体基板上に形成された第3の絶縁層と、前記第3の絶縁層を貫通し、前記トランジスタ素子の電極として形成された複数の金属層からなる第7の積層金属層とを有し、前記第7の積層金属層は、前記第4の積層金属層と同じ材料で形成されていてもよい。

10

【0022】

この構成によれば、半導体素子の電極と第4の積層金属層と同一の材料で同時に形成することができる。それにより、半導体素子と、第1の積層金属層と第3の積層金属層で挟まれる高誘電体からなる第1の容量素子と、第3の積層金属層と第4の積層金属層で挟まれる第2の絶縁体からなる第2の容量素子と、抵抗素子とを低コストで集積化することができる。

【0023】

また、前記第3の絶縁層は、前記第7の積層金属層の貫通する部分に形成された前記第4の絶縁層を有し、前記第4の絶縁層は、前記第2の絶縁層と同じ材料でかつ同じ層で形成されてもよい。このとき、前記半導体素子は、閾値電圧の異なる2つの電界効果トランジスタを含んでいてもよい。

20

【0024】

この構成によれば、前記第3の絶縁層の開口部に電界効果トランジスタのソース電極、ドレイン電極、ゲート電極が形成されている場合、第3の絶縁層の開口部の側壁に第4の絶縁層が形成されることで、ゲート電極と半導体基板との接触面積が縮小されて短ゲート長化が実現される。また、第3の絶縁層の開口部の側壁に第4の絶縁層が形成されることで、ゲート電極とソース電極ならびにドレイン電極との距離が拡大されて電界効果トランジスタの高耐圧化が実現される。

30

【0025】

また、本発明に関わる半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法であって、半導体基板上に第1の絶縁層を形成する第1の工程と、前記第1、第3、第5および第6の積層金属層を形成する第2の工程と、前記第1の積層金属層上に高誘電体層を形成する第3の工程と、前記高誘電体層上に第2の積層金属層を形成する第4の工程と、前記第1の絶縁層上で、かつ前記第5の積層金属層と前記第6の積層金属層との間に、前記第5の積層金属層と前記第6の積層金属層と接するように第1の金属材料からなる抵抗体を形成する第5の工程と、前記第3の積層金属層上に前記第2の絶縁層を形成する第6の工程と、前記第2の絶縁層上に前記第4の積層金属層を形成する第7の工程とを備えることを特徴とする。

40

【0026】

この構成によれば、第1の容量素子と、第2の容量素子との下部電極である第1および第3の積層金属層を同一材料で同時に形成でき、プロセスコストの抑制が可能になる。また、抵抗素子が第5、第6の積層金属層と接続されて形成されていることにより、抵抗素子とのコンタクトを形成する場合には、抵抗素子が接続されている第5、第6の積層金属層とコンタクトを形成すればよく、素子の特性を損ねないばかりか、抵抗素子に保護膜を形成するなどの余計な工程が付加されない分だけ、プロセス工数が低減される。例えば、抵抗素子上に形成された絶縁膜があり、抵抗素子上部の絶縁膜にエッチングによりコンタクト穴を形成し、抵抗素子とコンタクトを形成する場合には、抵抗素子も一部エッチングされてしまい、抵抗素子の特性を損ねてしまうというようなこともなくなる。

50

【0027】

また、前記半導体装置の製造方法は、さらに、前記半導体装置は、前記第5の工程と前記第6の工程の間に、さらに、前記第1、第2、第3、第5および第6の積層金属層上に第4の絶縁層を形成する絶縁層形成工程と、前記第4の絶縁層に前記第1、第2、第3、第5および第6の積層金属層に達する開口それぞれを同時に形成する開口工程とを含んでもよい。

【0028】

これによれば、第1、第2、第3、第5および第6の積層金属層に達する開口それぞれを同時にエッチングにより形成できるので、プロセスコストを低減することが出来る。

【0029】

また、前記半導体装置は、さらに、トランジスタ素子を備え、前記トランジスタ素子は、前記第1の絶縁層を除去された領域における前記半導体基板上に形成された第3の絶縁層と、前記第3の絶縁層を貫通し、前記トランジスタ素子の電極として形成された複数の金属層からなる第7の積層金属層とを有し、前記第7の積層金属層は、前記第4の積層金属層と同じ材料でかつ同じ層で形成されることを特徴とする請求項第1に記載の半導体装置であって、前記半導体装置の製造方法は、前記第5の工程と前記第6の工程の間に、さらに、前記第1の絶縁層の一部を除去する工程と、前記第1絶縁層が除去された半導体基板上に前記第3の絶縁層と、前記第1、第2、第3、第5および第6の積層金属層上に前記第4の絶縁層とを同時に同材料で形成する絶縁層形成工程と、前記第3の絶縁層を開口する工程を含む前記開口工程と、前記第3の絶縁層の開口に前記第4の積層金属層を形成する工程を含む前記第7の工程とを備えてもよい。

【0030】

これによれば、第1の容量素子と第2の容量素子と抵抗素子とに加えて、トランジスタ素子の同一半導体基板上で形成する際、第1の容量素子と第2の容量素子と抵抗素子との形成する途中の工程の一部とトランジスタ素子を形成する途中の工程の一部とを同一プロセスで形成できる。そのため、2種類の容量素子と抵抗素子と電界効果トランジスタの集積化のプロセスコストを低減し実現出来る。

【0031】

また、前記第6の工程において、さらに、前記第3の絶縁層の開口の側壁にも前記第2の絶縁層を形成してもよい。

【0032】

これによれば、前記第3の絶縁層の開口部に電界効果トランジスタのソース電極、ドレイン電極、ゲート電極が形成されている場合、第3の絶縁層の開口部の側壁に第4の絶縁層が形成されることで、ゲート電極と半導体基板との接触面積が縮小されて短ゲート長化が実現される。また、第3の絶縁層の開口部の側壁に第4の絶縁層が形成されることで、ゲート電極とソース電極ならびにドレイン電極との距離が拡大されてトランジスタ素子の高耐圧化が実現される。

【発明の効果】

【0033】

本発明によれば、素子の特性を損ねることなく、プロセスコストの低減を可能とする半導体装置およびその製造方法を実現することができる。よって、本発明により、携帯電話端末等のパワーアンプおよびスイッチ等の通信機器として低コスト化されたGaAsIPDやGaAsMMICを実現することができ、実用的価値は極めて高い。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施の形態における半導体装置について、図面を参照しながら説明する。

【0035】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体装置は、高誘電体容量素子と窒化物容量素子と

10

20

30

40

50

金属抵抗素子とを集積化した、例えばGaAsIPDであり、高誘電体容量素子の下部電極と窒化物容量素子の下部電極と金属抵抗素子の下部電極とをエッチング停止膜を兼ねる材料で同時形成する。これにより、各素子の特性を損ねることなく、プロセス工数を抑制でき、プロセスコストの低減が実現できる。

【0036】

図1は、本発明の第1の実施の形態に係る半導体装置の構成を示す断面図である。

図1に示す半導体装置100は、GaAsからなる半絶縁性の半導体基板101上に、SiO₂からなる絶縁層102が形成され、絶縁層102上には、高誘電体容量素子部20と、抵抗素子部30と、窒化物容量素子部40とが形成されている。

【0037】

高誘電体素子部20には、絶縁層102上に、下部電極となる積層金属層103と、容量層となるSrTiO₃からなる高誘電体層104と、上部電極となる金属材料層105とが順に形成されている。さらに、容量層となるSrTiO₃からなる高誘電体層104および上部電極となる金属材料層105を保護する絶縁層106が形成されている。抵抗素子部30には、SiO₂からなる絶縁層102上の積層金属層103の間に、すわなち、積層金属層103の形成されていない領域（以下、コンタクト形成領域と記載。）に抵抗体として金属材料層107が形成されている。このとき、抵抗体である金属材料層107は、積層金属層103と接するように形成されている。窒化物容量素子部40には、絶縁層102上に、下部電極となる積層金属層103と、容量層となるSiNからなる絶縁層109と、上部電極となる積層金属層110とが形成されている。半導体装置100は、さらに、高誘電体容量素子部20と抵抗素子部30と積層金属層103とを保護する絶縁層108と、高誘電体容量素子部20と抵抗素子部30と窒化物容量素子部40とを保護する絶縁層111と、上層配線となる金属材料層112とが順に形成されている。

【0038】

ここで、高誘電体素子部20と窒化物容量素子部40とで下部電極となる積層金属層103は、半導体装置100において下層配線となっており、窒化物容量素子部40で上部電極となる積層金属層110は半導体装置100において中層配線となっている。

【0039】

また、ここでは半導体基板101としてGaAsを用いているが、例えば、InPを用いても良い。また、ここでは絶縁層108は、SiN/SiO₂の積層により構成されているが、例えば、SiNのみもしくはSiO₂のみから構成されても良い。また、ここでは金属材料層107はWSiNから構成されているが、例えば、WSiからもしくはWから構成されていても良い。

【0040】

図2は、本発明の第1の実施の形態に係る半導体装置の下層配線の構造を示す模式的な断面図である。

【0041】

半導体装置100において下層配線である積層金属層103は図2(a)～図2(c)で示すように、2層～4層から構成される。絶縁層102と接触する積層金属層103の最下層1031は絶縁層102と密着性のよい材料からなり、ここではTiが使用されている。SrTiO₃からなる高誘電体層104と接触する積層金属層103の最上金属層1034は、酸化し難くSrTiO₃の結晶方位を揃えやすい材料からなり、ここではPtが使用されている。また、Ptはガスを選択することで化学反応性エッチングが可能になる。積層金属層103は、図2(a)で示すように、TiとPtと（以下、Ti/Ptと記載。）からなる最下金属層1031と最上金属層1034の2層のみで構成されても良い。Pt膜厚を厚くし、化学反応性ドライエッチングにより加工することにより低抵抗な下層配線として積層金属層103を形成することが可能である。このとき、TiとPtとの化学反応性ドライエッチングにはCl₂を反応性ガスとして用いる。また、図2(b)で示すように、Tiからなる最下金属層1031とPtからなる最上金属層1034の間に低抵抗金属からなる低抵抗金属層1032を形成しても良い。ここでは、Cl₂で

容易に化学反応性ドライエッチングが可能なAlが使用されており、Alを利用することによりドライエッチングの高速化と、材料コストの低減とが可能となっている。さらに、図2(c)に示すように、Alからなる低抵抗金属層1032とPtからなる最上金属層1034の間にTiからなる金属層1033を挿入しTi/Al/Ti/Pt層からなる積層金属層103を形成してもよい。それにより、Alからなる低抵抗金属層1032とPtからなる最上金属層1034との密着性を向上させることが可能となる。

【0042】

次に、以上のような構造を有する半導体装置の製造方法について詳細に説明する。なお、図1と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。

10

【0043】

図3は、上記構造を有する半導体装置の製造方法を説明するための断面図である。

【0044】

(1) まず、図3(a)に示すように、GaAsからなる半絶縁性の半導体基板101上にP-CVD法によりSiO₂からなる絶縁層102を、DCスパッタ法によりTi/Al/Ti/Pt層からなる積層金属層103を、O₂ガスを用いたRFスパッタ法によりSrTiO₃からなる高誘電体層104を、DCスパッタ法によりPtからなる金属材料層105を順次堆積させる。

【0045】

(2) 次に、図3(b)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、Cl₂/Arガスをを用いた化学反応性ドライエッチングによりPtからなる金属材料層105とSrTiO₃からなる高誘電体層104とをエッチングする。これにより、高誘電体容量素子部20の金属材料層105からなる上部電極と高誘電体層104からなる容量層が形成される。

20

【0046】

(3) 次に、図3(c)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、Cl₂/Arガスをを用いた化学反応性ドライエッチングによりTi/Al/Ti/Pt層からなる積層金属層103をエッチングする。これにより、高誘電体容量素子部20と窒化物容量素子部40との積層金属層103からなる下部電極と、抵抗素子部30の積層金属層103がない領域からなるコンタクト形成領域と、半導体装置100の積層金属層103からなる下層配線とが形成される。

30

【0047】

(4) 次に、図3(d)に示すように、P-CVD法によりSiO₂からなる絶縁層106を堆積させる。

【0048】

(5) 次に、図3(e)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、希ふっ酸を用いたウェットエッチングにより高誘電体容量素子部20の側壁以外のSiO₂からなる絶縁層106を除去することで、高誘電体容量素子部20と窒化物容量素子部40との積層金属層103からなる下部電極と、抵抗素子部30の積層金属層103がない領域からなるコンタクト形成領域とを露出させる。

40

【0049】

(6) 次に、図3(f)に示すように、DCスパッタ法によりWSiNからなる金属材料層107を堆積させる。

【0050】

(7) 次に、図3(g)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、Cl₂/O₂ガスをを用いた化学反応性ドライエッチングにより、積層金属層103がない領域からなるコンタクト領域をつなぐ抵抗体としてWSiNからなる金属材料層107を形成する。これにより、抵抗素子部30の抵抗体が形成される。

【0051】

(8) 次に、図3(h)に示すように、P-CVD法によりSiN/SiO₂からなる

50

絶縁体 108 を積層させる。

【0052】

(9) 次に、図 3 (i) に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングにより、高誘電体容量素子部 20 の上部電極および下部電極と、抵抗素子部 30 の積層金属層 103 と、窒化物容量素子部 40 の下部電極とのコンタクト用開口部を露出させる。

【0053】

ここで、積層金属層 103 は、絶縁層 108 をエッチングする際に、Pt からなる積層金属層 103 の最上層 1034 がエッチング停止層として機能する。

【0054】

(10) 次に、図 3 (j) に示すように、P-CVD 法により窒化物容量素子部 40 の容量層となる SiN からなる絶縁層 109 を堆積させる。

【0055】

(11) 次に、図 4 (k) に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングにより、窒化物容量素子部 40 の領域を残して SiN からなる絶縁層 109 を除去する。

【0056】

(12) 次に、図 4 (l) に示すように、蒸着法により Ti/Al/Ti 層からなる積層金属層 110 を蒸着する。

【0057】

なお、ここでは金属材料層 110 は Ti/Al/Ti から構成しているが、例えば、WSiN/Ti/Al/Ti からもしくは W/Ti/Al/Ti から構成しても良い。

【0058】

(13) 次に、図 4 (m) に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 Cl_2/BCl_3 ガスを用いた化学反応性ドライエッチングにより窒化物容量素子部 40 の上部電極ならびに半導体装置 100 の中層配線となる積層金属層 110 を形成する。

【0059】

(14) 次に、図 4 (n) に示すように、P-CVD 法により SiN からなる絶縁層 111 を堆積する。

【0060】

(15) 次に、図 4 (o) に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングに窒化物容量素子部 40 の上部電極ならびに半導体装置 100 の中層配線となる積層金属層 110 へのコンタクト用開口部を形成する。

【0061】

(16) 次に、図 4 (p) に示すように、コンタクト用開口部付近に選択的に Au メッキを形成することで半導体装置 100 の上層配線となる金属材料層 112 が形成される。

【0062】

以上のように、本発明の第 1 の実施の形態の半導体装置及びその製造方法によれば、抵抗素子部 30 の Pt からなる最上層 1034 を有する積層金属層 103 上の絶縁層 108 を CF_4 系のガスを用いて化学反応性ドライエッチングする。抵抗素子部 30 のコンタクト用開口部を形成する際、Pt からなる最上層 1034 を有する積層金属層 103 がエッチング停止層として機能する。そのため、WSiN 等の W 系で形成された抵抗体上に Au 系のエッチング停止膜を形成する必要がないため、プロセス工数を抑制することが可能となる。すなわち、プロセスコストの低減が可能となる。

【0063】

また、高誘電体容量素子部 20 と窒化物容量素子部 40 との下部電極と、エッチング停止膜を兼ねた金属抵抗素子の下部電極とが積層金属層 103 により同一材料で共用されるので、プロセス工数を抑制することが可能となる。すなわち、プロセスコストの低減が可

10

20

30

40

50

能となる。

【0064】

よって、本発明の第1の実施の形態の半導体装置及びその製造方法によれば、高誘電体容量素子と窒化物容量素子とを集積化することができるので、バイパスコンデンサ等に用いられる大容量の容量素子と整合回路等に用いられる高精度で小容量の容量素子とを集積化した半導体装置を実現することが出来る。

【0065】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体装置は、GaAsFETと、高誘電体容量素子と窒化物容量素子と金属抵抗素子とを集積化した、例えばGaAsMMICであり、高誘電体容量素子の下部電極と窒化物容量素子の下部電極と、金属抵抗素子の下部電極とが、エッチング停止膜を兼ねる同材料で同時形成され、GaAsFETのゲート電極およびソース電極、ドレイン電極と窒化物容量素子の上部電極とが同材料で同時形成される。これにより、各素子の特性を損ねることなく、プロセス工数を抑制でき、プロセスコストの低減が実現できる。

【0066】

以下、本発明の第2の実施の形態に関わる半導体装置の構成について図を用いて説明する。

【0067】

図5は、本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。ここでは、図1と同一の要素には同一の符号が付されている。

【0068】

図6に示す半導体装置100は、GaAsからなる半絶縁性の半導体基板101上に高誘電体容量素子20と抵抗素子部30と窒化物容量素子部40と電界効果トランジスタ部50とが形成されている。

【0069】

高誘電体素子部20には、GaAsからなる半絶縁性の半導体基板101上に、SiO₂からなる絶縁層102と、下部電極となる積層金属層103と、容量層となるSrTiO₃からなる高誘電体層104と、上部電極となる金属材料層105とが順に形成されている。さらに、SrTiO₃からなる高誘電体層104の容量層および金属材料層105の上部電極を保護する絶縁層106が形成されている。

【0070】

抵抗素子部30には、GaAsからなる半絶縁性の半導体基板101上に、例えば、SiO₂からなる絶縁層102が形成されており、高誘電素子部20および窒化物容量素子40で下部電極となる積層金属層103とその間、すなわち、下部電極をつなぐ抵抗体として、積層金属層103の上部と側壁に両端が接するように抵抗素子部30の領域の積層金属層103の形成されていない領域(以下、コンタクト形成領域と記載。)に抵抗体となる金属材料107が形成されている。窒化物容量素子部40には、GaAsからなる半絶縁性の半導体基板101上に、例えば、SiO₂からなる絶縁層102と、下部電極となる積層金属層103と、容量層となるSiNからなる絶縁層109と、上部電極となる積層金属層110とが形成されている。電界効果トランジスタ50は、半導体基板101上に、SiO₂からなる絶縁膜108が形成され、形成された絶縁膜108の開口部にゲート電極およびソース電極およびドレイン電極となる積層金属層110が形成されている。ゲート電極およびソース電極およびドレイン電極の側壁にはサイドウォールとなる絶縁層109が形成されている。また、基板101は、チャンネル層とチャンネル層上に形成された電子供給層と電子供給層に形成されたショットキー層を有している。さらに、電界効果トランジスタ50における基板101には、他の素子と電氣的に絶縁するための素子分離領域208が形成されている。

【0071】

半導体装置100は、さらに、高誘電体容量素子部20と抵抗素子部30と積層金属層

103とを保護する絶縁層108と、高誘電体容量層素子部20と抵抗素子部30と窒化物容量素子部40と電界効果トランジスタ部50とを保護する絶縁層111と、上層配線となる金属材料層112とが形成されている。

【0072】

ここで、高誘電体素子部20と窒化物容量素子部40とで下部電極となる積層金属層103は、半導体装置100において下層配線であり、窒化物容量素子部40で上部電極となる積層金属層110は半導体装置100において中層配線である。

【0073】

また、ここでは半導体基板101としてGaAsを用いているが、例えば、InPを用いても良い。また、ここでは絶縁層108は、SiN/SiO₂の積層により構成されているが、例えば、SiNのみもしくはSiO₂のみから構成されても良い。また、ここでは金属材料層107はWSiNから構成されているが、例えば、WSiからもしくはWから構成されていても良い。

【0074】

図6は、本発明の第2の実施の形態に係る半導体装置の下層配線の構造を示す模式的な断面図である。

【0075】

半導体装置100において下層配線である積層金属層103は図6(a)～図6(c)で示すように、2層～4層から構成される。絶縁層102と接触する積層金属層103の最下金属層1031は、絶縁層102と密着性のよい材料からなり、ここではTiが使用されている。SrTiO₃からなる高誘電体層104と接触する積層金属層103の最上金属層1034は、酸化し難く、SrTiO₃の結晶方位を揃えやすい材料からなり、ここではPtが使用されている。また、Ptはガスを選択することで化学反応性エッチングが可能になる。積層金属層103は図6(a)で示すように、Ti/Ptからなる最下金属層1031と最上金属層1034の2層のみで構成されても良い。Pt膜厚を厚くし、化学反応性ドライエッチングにより加工することで低抵抗な下層配線である積層金属層103を形成することが可能である。TiとPtとのドライエッチングにはCl₂を反応性ガスに用いた化学反応性ドライエッチングを用いる。また、図6(b)で示すように、Tiからなる最下金属層1031とPtからなる最上金属層1034の間に低抵抗金属からなる低抵抗の金属層1032を形成しても良い。ここでは、Cl₂で容易に化学反応性ドライエッチングが可能なAlが使用されており、Alを利用することによりドライエッチングの高速化と、材料コストの低減とが可能となっている。さらに、図6(c)に示すように、Alからなる低抵抗の金属層1032とPtからなる最上層1034の間にTiからなる金属層1033を挿入しTi/Al/Ti/Pt層からなる積層金属層103を形成してもよい。それにより、Alからなる低抵抗金属層1032とPtからなる最上層1034との密着性を向上させることが可能となる。

【0076】

次に、以上のような構造を有する半導体装置の製造方法について詳細に説明する。なお、図5と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。

【0077】

図7および図8は、上記構造を有する半導体装置の製造方法を説明するための断面図である。

【0078】

(1) まず、図7(a)に示すように、GaAsからなる半絶縁性の半導体基板101上にP-CVD法によりSiO₂からなる絶縁層102を、DCスパッタ法によりTi/Al/Ti/Pt層からなる積層金属層103を、O₂ガスを用いたRFスパッタ法によりSrTiO₃からなる高誘電体層104を、DCスパッタ法によりPtからなる金属材料層105を順次堆積させる。なお、ここで、図示していないが、GaAsからなる半絶縁性の半導体基板101はチャンネル層とチャンネル層上に形成された電子供給層と電子供給

10

20

30

40

50

層に形成されたショットキー層を有している。

【0079】

(2) 次に、図7(b)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 Cl_2/Ar ガスを用いた化学反応性ドライエッチングにより SrTiO_3 からなる高誘電体層104とPtからなる金属材料層105とをエッチングする。これにより、高誘電体容量素子部20の高誘電体層104からなる容量層と金属材料層105からなる上部電極とが形成される。

【0080】

(3) 次に、図7(c)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 Cl_2/Ar ガスを用いた化学反応性ドライエッチングによりTi/Al/Ti/Ptの4層からなる積層金属層103をエッチングする。これにより、高誘電体容量素子部20と窒化物容量素子部40との積層金属層103からなる下部電極と、抵抗素子部30の積層金属層103がない領域からなるコンタクト形成領域と、半導体装置100の積層金属層103からなる下層配線とが形成される。

【0081】

(4) 次に、図7(d)に示すように、P-CVD法により SiO_2 からなる絶縁層106を堆積させる。

【0082】

(5) 次に、図7(e)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、希ふっ酸を用いたウェットエッチングにより高誘電体容量素子部20の側壁以外の SiO_2 からなる絶縁層106を除去することで、高誘電体容量素子部20と窒化物容量素子部40の積層金属層103からなる下部電極と、抵抗素子部30の積層金属層103がない領域からなるコンタクト形成領域とを露出させる。

【0083】

(6) 次に、図7(f)に示すように、DCスパッタ法によりWSiNからなる金属材料層107を堆積させる。

【0084】

(7) 次に、図7(g)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 Cl_2/O_2 ガスを用いた化学反応性ドライエッチングにより、積層金属層103がない領域からなるコンタクト形成領域に抵抗体としてWSiNからなる金属材料層107を形成する。これにより、抵抗素子部30の抵抗体が形成される。

【0085】

(8) 次に、図7(h)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、希ふっ酸を用いたウェットエッチングにより電界効果トランジスタ部50を形成する領域の SiO_2 からなる絶縁層102を除去し、半導体基板101の上部の電子供給層を露出させる。

【0086】

(9) 次に、図7(i)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、半導体基板101の上部にある電子供給層を除去する。そして、図9(j)に示すように、電子供給層を除去した半導体基板101の領域にイオン注入することにより電界効果トランジスタ部50と他の素子とを電氣的に分離する素子分離領域208を形成する。

【0087】

(10) 次に、図7(k)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、半導体基板101の一部の領域の電子供給層を除去しショットキー層を露出させる。

【0088】

(11) 次に、図8(l)に示すように、P-CVD法によりSiN/SiO₂からなる絶縁層108を堆積させる。

【0089】

10

20

30

40

50

(12) 次に、図8(m)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングにより、高誘電体容量素子部20の上部電極および下部電極と、抵抗素子部30の積層金属層103と、窒化物容量素子部40の下部電極とのコンタクト用開口部を露出し電界効果トランジスタ部50のゲートとなる領域の半導体基板101のショットキー層と、ソースおよびドレインとなる領域の半導体基板101の電子供給層とを露出する。

【0090】

ここで、積層金属層103は、絶縁層108をエッチングする際に、Ptからなる積層金属層20の最上層1034がエッチング停止層として機能する。

【0091】

(13) 次に、図8(n)に示すように、P-CVD法により窒化物容量素子部40の容量層となるSiNからなる絶縁層109を堆積させる。

【0092】

(14) 次に、図8(o)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングにより、窒化物容量素子部40の領域を残してSiNからなる絶縁層109を除去する。このとき、同時に、電界効果トランジスタ部50のゲート電極およびソース電極およびドレイン電極の側壁にサイドウォールとしてSiNからなる絶縁層109を形成している。

【0093】

(15) 次に、図8(p)に示すように、蒸着法によりTi/Al/Ti層からなる積層金属層110を蒸着する。

【0094】

なお、ここでは金属材料層110はTi/Al/Tiから構成しているが、例えば、WSiN/Ti/Al/TiからもしくはW/Ti/Al/Tiから構成しても良い。

【0095】

(16) 次に、図8(q)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 Cl_2/BCl_3 ガスを用いた化学反応性ドライエッチングにより、窒化物容量素子部40の上部電極と、電界効果トランジスタ部50のゲート電極およびソース電極およびドレイン電極と、半導体装置100において中層配線となる積層金属層110を形成する。

【0096】

(17) 次に、図8(r)に示すように、P-CVD法によりSiNからなる絶縁層111を堆積する。

【0097】

(18) 次に、図8(s)に示すように、フォトリソグラフィーにより所定の領域をパターンニングし、 CHF_3/SF_6 ガスを用いた化学反応性ドライエッチングにより、窒化物容量素子部40の上部電極ならびに半導体装置100において中層配線となる積層金属層110へのコンタクト用開口部を形成する。

【0098】

(19) 次に、図8(t)に示すように、コンタクト用開口部付近に選択的にAuメッキを形成することで半導体装置100の上層配線となる金属材料層112が形成される。

【0099】

以上のように、本発明の第2の実施の形態の半導体装置及びその製造方法によれば、抵抗素子部30のPtからなる最上層1034を有する積層金属層103上の絶縁層108を CF_4 系のガスによるドライエッチングし、抵抗素子部30のコンタクト用開口部を形成する際、Ptからなる最上層1034を有する積層金属層103がエッチング停止層として機能する。そのため、WSiN等のW系で形成された抵抗体上にAu系のエッチング停止膜を形成する必要がないため、プロセス工数を抑制することが可能となる。すなわち、プロセスコストの低減が可能となる。

【0100】

10

20

30

40

50

また、高誘電体容量素子部 20 と窒化物容量素子部 30 との下部電極とエッチング停止膜を兼ねた金属抵抗素子の下部電極とが積層金属層 103 により同一材料で共用化することができるので、プロセス工数を抑制することが可能となる。すなわち、プロセスコストの低減が可能となる。

【0101】

また、電界効果トランジスタ部 50 のゲート電極およびソース電極およびドレイン電極と、窒化物容量素子部 40 の上部電極とが $Ti / Al / Ti$ からなる積層金属層 110 により同一材料で共用化され同時形成できるので、プロセス工数の抑制することが可能になる。すなわち、プロセスコストの低減が可能となる。

【0102】

さらに、電界効果トランジスタ部 50 のゲート電極およびソース電極およびドレイン電極にはサイドウォールとなる絶縁膜 109 が形成されている。これにより、電界効果トランジスタの短ゲート長化ならびに高耐圧化が可能になり、高性能化が実現される。このとき、電界効果トランジスタ部において形成されるサイドウォールとなる絶縁膜 109 は窒化物容量素子部 40 で形成される容量層となる絶縁膜 109 と同一材料でかつ同時形成されるので、プロセスコストを増加させることなく実現される。

【0103】

なお、集積される電界効果トランジスタとして、上述では MESFET 型について説明しているが、MOSFET 型でもよいのは言うまでもない。また、例えば、エンハンスメント型とディプレッション型とからなる閾値電圧の異なる電界効果トランジスタを集積しても良い。

【0104】

以上により、本発明の第 2 の実施の形態の半導体装置及びその製造方法によれば、電界効果トランジスタと高誘電体容量素子と窒化物容量素子とが集積化されているため、バイパスコンデンサ等に用いられる大容量の容量素子と整合回路等に用いられる高精度で小容量の容量素子とを含んだ GaAs MMIC を実現することが出来る。

【産業上の利用可能性】

【0105】

本発明は、半導体装置およびその製造方法に適用でき、特に、半絶縁性の GaAs よりなる半導体基板上に形成される大容量の容量素子と小容量の容量素子と抵抗素子とを集積化させた GaAs IPD や、半絶縁性の GaAs よりなる半導体基板上に形成される電界効果トランジスタと大容量の容量素子と小容量の容量素子と抵抗素子とを集積化させた GaAs MMIC に適用できる。また、本発明は GaAs IPD や GaAs MMIC を用いる通信機器に適用でき、特に、携帯電話端末等のパワーアンプおよびスイッチ等に適用することが出来る。

【図面の簡単な説明】

【0106】

【図 1】本発明の第 1 の実施の形態に係る半導体装置の構成を示す断面図である。

【図 2】本発明の第 1 の実施の形態に係る半導体装置の下層配線の構造を示す模式的な断面図である。

【図 3】本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4】本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 5】本発明の第 2 の実施の形態に関わる半導体装置の構成を示す断面図である。

【図 6】本発明の第 2 の実施の形態に係る半導体装置の下層配線の構造を示す模式的な断面図である。

【図 7】本発明の第 2 の実施の形態に関わる半導体装置の製造過程における構成を示す図である。

【図 8】本発明の第 2 の実施の形態に関わる半導体装置の製造過程における構成を示す図

10

20

30

40

50

である。

【符号の説明】

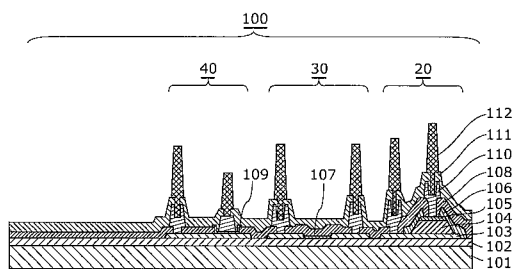
【0107】

- 20 高誘電体容量素子部
- 30 抵抗素子部
- 40 窒化物容量素子部
- 50 電界効果トランジスタ部
- 100 半導体装置
- 101 半導体基板
- 102 絶縁層
- 103 積層金属層
- 1031 最下金属層
- 1032 金属層
- 1033 金属層
- 1034 最上金属層
- 104 高誘電体層
- 105 金属材料層
- 106 絶縁層
- 107 金属材料層
- 108 絶縁層
- 109 絶縁層
- 110 積層金属層
- 111 絶縁層
- 112 金属材料層
- 208 素子分離領域

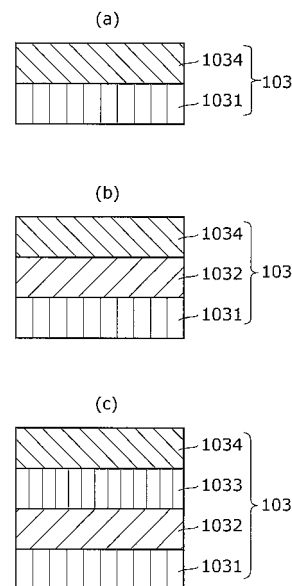
10

20

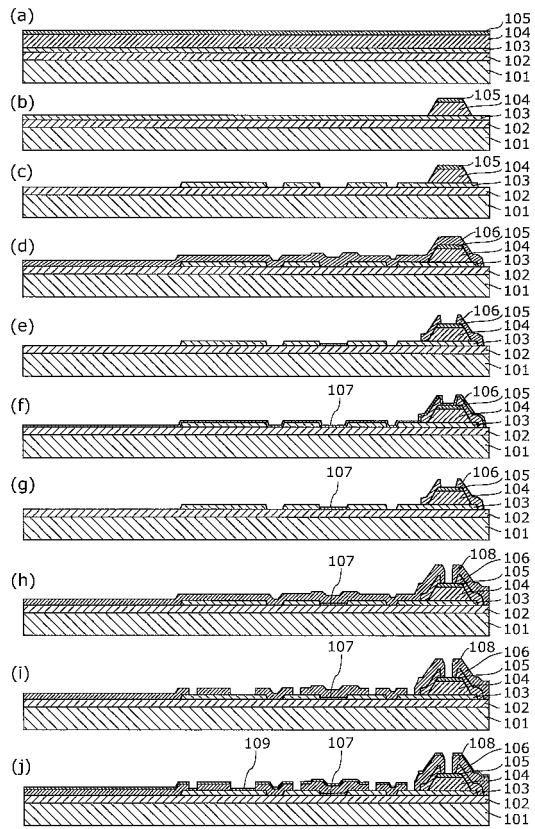
【図1】



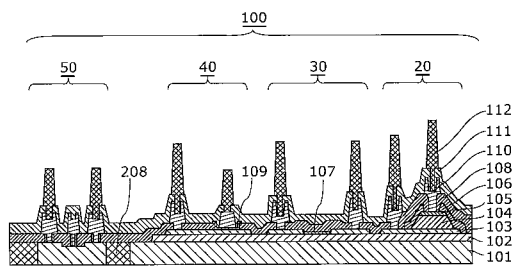
【図2】



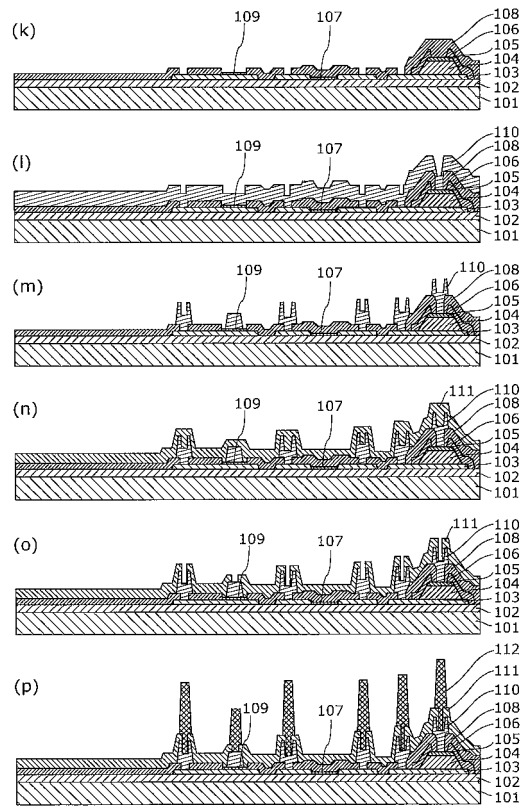
【図 3】



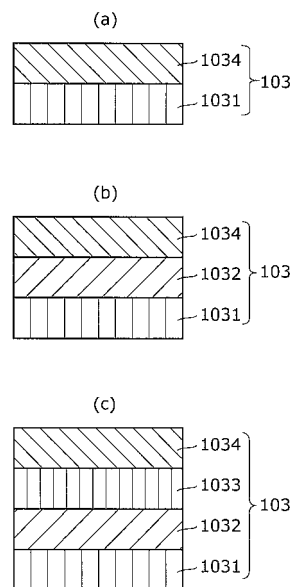
【図 5】



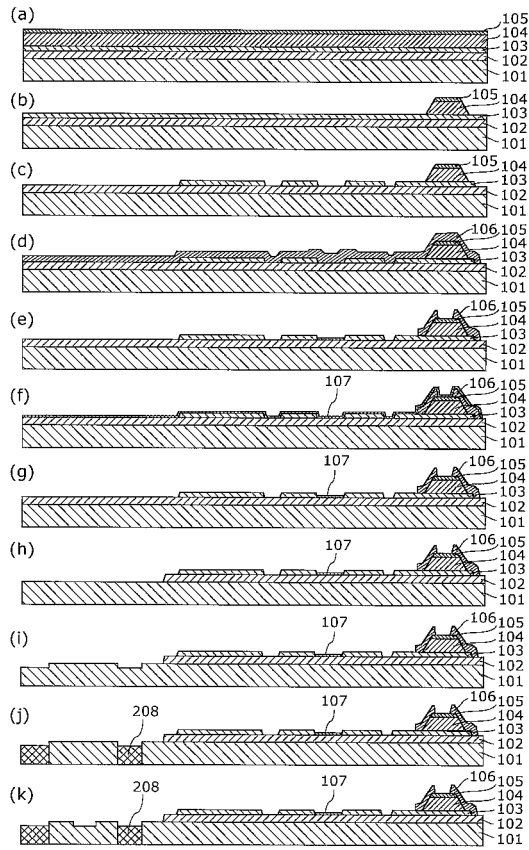
【図 4】



【図 6】



【図 7】



【図 8】

