

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 7 月 5 日 (2007.7.5)

【公開番号】特開 2005-328088 (P2005-328088A)
 【公開日】平成 17 年 11 月 24 日 (2005.11.24)
 【年通号数】公開・登録公報 2005-046
 【出願番号】特願 2005-221101 (P2005-221101)
 【国際特許分類】

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1368 (2006.01)

【F I】

H 0 1 L 29/78 6 1 2 B

G 0 2 F 1/1368

【手続補正書】

【提出日】平成 19 年 5 月 22 日 (2007.5.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素部に設けた画素 T F T と、該画素部の周辺に p チャネル型 T F T と n チャネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路の p チャネル型 T F T は、チャネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、

前記駆動回路の n チャネル型 T F T は、チャネル形成領域と、該チャネル形成領域に接して設けられ、ゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、

前記画素 T F T は、チャネル形成領域と、該チャネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、

前記画素 T F T のゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、

前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項 2】

画素部に設けた画素 T F T と、該画素部の周辺に p チャネル型 T F T と n チャネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路の p チャネル型 T F T は、チャネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、

前記駆動回路の n チャネル型 T F T は、チャネル形成領域と、該チャネル形成領域に接して設けられゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、

前記画素 T F T は、チャネル形成領域と、該チャネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設け

られソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、

前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、

前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項3】

一対の基板間に液晶を挟持した半導体装置であって、

画素部に設けた画素TFTと、駆動回路のpチャンネル型TFTとnチャンネル型TFTとを有する一方の基板において、

前記駆動回路のpチャンネル型TFTは、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、

前記駆動回路のnチャンネル型TFTは、チャンネル形成領域と、該チャンネル形成領域に接して設けられゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、

前記画素TFTは、チャンネル形成領域と、該チャンネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、

前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、

前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素TFTに接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴とする半導体装置。

【請求項4】

一対の基板間に液晶を挟持した半導体装置であって、

画素部に設けた画素TFTと、駆動回路のpチャンネル型TFTとnチャンネル型TFTとを有する一方の基板において、

前記駆動回路のpチャンネル型TFTは、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、

前記駆動回路のnチャンネル型TFTは、チャンネル形成領域と、該チャンネル形成領域に接して設けられゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、

前記画素TFTは、チャンネル形成領域と、該チャンネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、

前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、

前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素TFTに接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記駆動回路のpチャンネル型TFTは、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域との間に、オフセット領域が形成されていることを特徴とする半導体装置。

【請求項6】

請求項 5 において、前記駆動回路の p チャンネル型 T F T は、アナログスイッチとして使用されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項において、前記画素 T F T と、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とのゲート電極は耐熱性導電性材料から形成され、前記駆動回路から延在し、該ゲート電極に接続するゲート配線は低抵抗導電性材料から形成されることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、前記耐熱性導電性材料はタンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイドであることを特徴とする半導体装置。

【請求項 9】

請求項 3 または請求項 4 において、前記柱状スペーサが、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T 上に形成されていることを特徴とする半導体装置。

【請求項 10】

請求項 3 または請求項 4 において、前記柱状スペーサは、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T のソース配線またはドレイン配線を覆って形成されていることを特徴とする半導体装置。

【請求項 11】

請求項 3 または請求項 4 において、前記柱状スペーサは円錐状であり、高さ 1 . 2 ~ 5 μ m、平均半径 5 ~ 7 μ m、前記平均半径と底面半径との比は 1 対 1 . 5 であることを特徴とする半導体装置。

【請求項 12】

画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、
前記基板に密接して下地膜を形成する工程と、
前記下地膜上に複数の島状半導体層を形成する工程と、
前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、
前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、
前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、
前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、
前記駆動回路の n チャンネル型 T F T と p チャンネル型 T F T と、前記画素 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、
該無機絶縁物材料から成る絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、
前記画素 T F T に接続する光反射性表面を有する画素電極を、前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 13】

画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、
前記基板上に、下地膜を形成する工程と、
前記下地膜上に複数の島状半導体層を形成する工程と、
前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、

前記駆動回路の n チャンネル型 T F T と前記画素 T F T と p チャンネル型 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、

該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、

前記画素 T F T に接続する導電性金属配線を形成する工程と、

前記有機絶縁物材料からなる絶縁膜上に前記導電性金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 1 4】

一対の基板間に液晶を挟持した半導体装置の作製方法において、

画素部に設けた画素 T F T と、駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とを設けた一方の基板は、

前記基板上に、下地膜を形成する工程と、

前記下地膜上に複数の島状半導体層を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、

前記駆動回路の n チャンネル型 T F T と前記画素 T F T と p チャンネル型 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、

該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、

前記有機絶縁物材料からなる絶縁膜と前記無機絶縁物材料からなる絶縁膜とに設けられた開孔を介して前記画素 T F T に接続する光反射性表面を有する画素電極を前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有し、

他方の基板は少なくとも透明導電膜を形成する工程を有し、

前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴とする半導体装置の作製方法。

【請求項 1 5】

一対の基板間に液晶を挟持した半導体装置の作製方法において、

画素部に設けた画素 T F T と、駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とを設けた一方の基板は、

前記基板上に、下地膜を形成する工程と、

前記下地膜上に複数の島状半導体層を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素

T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路の p チャネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、

前記駆動回路の n チャネル型 T F T と前記画素 T F T と p チャネル型 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、

該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、

前記有機絶縁物材料からなる絶縁膜と保護絶縁膜とに設けられた開孔を介して前記画素 T F T に接続する導電性金属配線を形成する工程と、

前記層間絶縁膜上に該金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有し、

他方の基板は少なくとも透明導電膜を形成する工程を有し、

前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 12 乃至請求項 15 のいずれか一項において、前記駆動回路の p チャネル型 T F T は、該 p チャネル型 T F T のゲート電極上に無機絶縁物材料から成る絶縁膜を形成する工程の後に、前記島状半導体層の選択された領域に、該 p チャネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程を行い、該 p チャネル型 T F T のチャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域との間に、オフセット領域が形成することを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 12 乃至請求項 15 のいずれか一項において、前記画素 T F T と、該画素部の周辺に p チャネル型 T F T と n チャネル型 T F T とのゲート電極を耐熱性導電性材料から形成する工程と、前記駆動回路から延在し、該ゲート電極に接続するゲート配線を低抵抗導電性材料から形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 17 において、前記耐熱性導電性材料はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイドから形成することを特徴とする半導体装置の作製方法。

【請求項 19】

請求項 14 または請求項 15 において、前記柱状スペーサを、前記駆動回路の p チャネル型 T F T と n チャネル型 T F T 上にも形成することを特徴とする半導体装置の作製方法。

【請求項 20】

請求項 14 または請求項 15 において、前記柱状スペーサが、前記駆動回路の p チャネル型 T F T と n チャネル型 T F T のソース配線またはドレイン配線を覆って形成することを特徴とする半導体装置の作製方法。

【請求項 21】

画素部に設けた画素 T F T と、該画素部の周辺に p チャネル型 T F T と n チャネル型 T F T とを設けた駆動回路とを同一の基板上に有し、

前記画素 T F T は第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記 p チャネル型 T F T は第 2 の島状半導体層、第 2 のゲート電極、ゲート絶縁膜を有し、

前記 n チャネル型 T F T は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有する半導体装置の作製方法において、

前記基板に密接して下地膜を形成し、

前記下地膜上に結晶質半導体層を形成し、

第1のフォトリソマスクを用いて、前記結晶質半導体層上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて結晶質半導体層から前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上にマスク層を形成し、

第2のフォトリソマスクを用いて、前記マスク層上に第2のレジストマスクを形成し、前記第2のレジストマスクを用いて、n型の不純物を添加して、第3の島状半導体層のLDD領域、ソース領域及びドレイン領域となる領域であって前記第3のゲート電極と重なる領域を含む領域に、第1濃度のn型不純物領域を形成し、

前記マスク層を除去し、

前記n型の不純物領域を活性化し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に導電層を形成し、

第3のフォトリソマスクを用いて、前記導電層上に第3のレジストマスクを形成し、前記第3のレジストマスクを用いて、前記第1～第3の島状半導体層の上に、前記導電層から前記第1～第3のゲート電極を形成し、

前記第1～第3のゲート電極をマスクとして、n型の不純物を添加して、前記第1～第3の島状半導体層に第2濃度のn型不純物領域を形成し、

第4のフォトリソマスクを用いて、

前記第1の島状半導体層上であって前記第1のゲート電極を覆い、

前記第2の島状半導体層上であって前記第2のゲート電極を覆い、

前記第3の島状半導体層上であって前記第3のゲート電極を覆う第4のレジストマスクを形成し、前記第4のレジストマスクを用いてn型の不純物を添加して、

前記第1の島状半導体層に、前記第2の濃度のn型不純物領域である一対の第1のLDD領域を形成するとともに、前記第1のLDD領域に接する第1のソース領域及び第1のドレイン領域となる第3の濃度のn型不純物領域を形成し、

前記第3の島状半導体層に、前記第1濃度のn型不純物領域、並びに前記第1濃度のn型不純物領域及び前記第2濃度のn型不純物領域である一対の第2のLDD領域を形成するとともに、前記第2のLDD領域と接する、第4のソース領域及び第4のドレイン領域となる第3の濃度のn型不純物領域を形成し、

並びに、前記第2の島状半導体層に第3の濃度のn型不純物領域を形成し、

第5のフォトリソマスクを用いて、前記第1の島状半導体層及び前記第3の島状半導体層を覆う第5のレジストマスクを形成し、前記第5のレジストマスク及び前記第2のゲート電極をマスクとしてp型の不純物を添加して、前記第2の島状半導体層に、前記第2濃度のn型不純物領域を有し、かつ第2のソース領域及び第2のドレイン領域となる第4濃度のp型の不純物領域を形成するとともに、前記第2のソース領域及び第2のドレイン領域に接する、前記第3濃度のn型不純物領域を有し、かつ第3のソース領域及び第3のドレイン領域となる第4濃度のp型の不純物領域を形成し、

前記ゲート絶縁膜上、及び、前記第1～第3のゲート電極を覆って、無機絶縁膜を形成し、

前記n型不純物領域及び前記p型不純物領域を活性化し、

前記無機絶縁膜に密接して有機絶縁膜を形成し、

第6のフォトリソマスクを用いて、前記有機絶縁膜上に第6のレジストマスクを形成し、前記第6のレジストマスクを用いて、前記有機絶縁膜に、前記第1～第3の島状半導体層のソース領域及びドレイン領域に達するコンタクトホールをそれぞれ形成し、

金属膜を形成し、

第7のフォトリソマスクを用いて、前記金属膜上に第7のレジストマスクを形成し、前記第7のレジストマスクを用いて、前記第1～第3の島状半導体層のソース領域及びドレイン領域と電氣的に接続されるソース配線及びドレイン配線をそれぞれ形成し、

前記画素TFTの第1の島状半導体層に電氣的に接続されるドレイン配線は反射型の画

素電極であることを特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 2 1 において、

前記画素 T F T は、前記第 1 の島状半導体層に、

第 1 のチャンネル形成領域、

前記第 1 のチャンネル形成領域に接する一対の第 1 の L D D 領域、

前記第 1 の L D D 領域に接する第 1 のソース領域及び第 1 のドレイン領域を有し、

前記第 1 の L D D 領域は前記第 2 濃度の n 型不純物領域であり、

第 1 のソース領域及び第 1 のドレイン領域は前記第 3 濃度の n 型不純物領域であり、

前記 p チャンネル型 T F T は、前記第 2 の島状半導体層に、

第 2 のチャンネル形成領域、

前記第 2 のチャンネル形成領域に接する、前記第 2 濃度の n 型不純物領域かつ前記第 4 濃度の p 型の不純物領域である、前記第 2 のソース領域及び第 2 のドレイン領域、

並びに、前記第 2 のソース領域及び第 2 のドレイン領域に接する、前記第 3 濃度の n 型不純物領域かつ前記第 4 濃度の p 型の不純物領域である、前記第 3 のソース領域及び第 3 のドレイン領域を有し、

n チャンネル型 T F T は、前記第 3 の島状半導体層に、

第 3 のチャンネル形成領域、

前記第 3 のチャンネル形成領域に接する一対の第 2 の L D D 領域、

並びに、前記第 2 の L D D 領域に接する第 4 のソース領域及び第 4 のドレイン領域を有し、

前記第 2 の L D D 領域は前記第 1 濃度の n 型不純物領域、並びに前記第 1 濃度の n 型不純物領域及び前記第 2 濃度の n 型不純物領域を有し、前記第 1 濃度の n 型不純物領域は前記第 3 のゲート電極と重なり、前記第 1 濃度の n 型不純物領域及び前記第 2 濃度の n 型不純物領域は前記第 3 のゲート電極と重ならず、

前記第 4 のソース領域及び第 4 のドレイン領域は、前記第 3 濃度の n 型不純物領域であることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 2 1 又は 2 2 において、

前記ソース配線及びドレイン配線を形成した後、樹脂膜を塗布し、

前記樹脂膜をパターニングして柱状スペーサを形成することを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 2 3 において、

前記柱状スペーサを形成した後、配向膜を形成し、

前記配向膜にラビング処理を施し、

前記基板と、遮光膜、前記遮光膜上の透明電極膜及び前記透明電極膜上の配向膜が形成された対向基板とをシール剤で貼り合わせ、

前記基板及び対向基板の間に液晶を注入することを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 2 4 において、

前記基板と前記対向基板とを貼り合わせたときの前記柱状スペーサは円錐状であり、高さ $1.2 \sim 5 \mu\text{m}$ 、平均半径 $5 \sim 7 \mu\text{m}$ 、前記平均半径と底面半径との比は 1 対 1.5 であることを特徴とする半導体装置の作製方法。