(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 30 日(30.01.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/017406 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/417* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/786* (2006.01)
H01L 21/28 (2006.01)

(21) 国際出願番号: PCT/JP2013/069677

(22) 国際出願日: 2013 年 7 月 19 日(19.07.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-166705 2012 年 7 月 27 日(27.07.2012) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 美崎　克紀(MISAKI Katsunori).

(74) 代理人: 奥田　誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号　大阪証券取引所ビル１０階　奥田国際特許事務所 Osaka (JP).

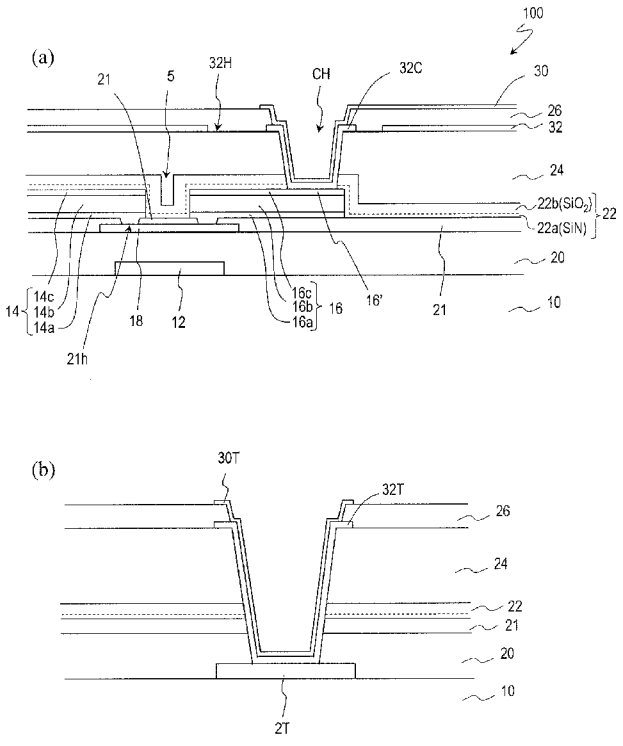
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : 半導体装置およびその製造方法



(57) **Abstract**: A semiconductor device (100) is provided with a gate electrode (12) formed on a substrate (10), a gate insulating layer (20) formed on the gate electrode, an oxide semiconductor layer (18) formed on the gate insulating layer, a source electrode (14) and a drain electrode (16) connected to the oxide semiconductor layer, and an insulating layer (22) formed on the source electrode and the drain electrode. The insulating layer has: a silicon nitride layer (22a) that is connected to at least portions of the tops of the source electrode and the drain electrode, and has thickness of over 0 nm but not more than 30 nm; and a silicon oxide layer (22b) formed on the silicon nitride layer and having a thickness of over 30 nm.

(57) 要約:　半導体装置（１００）は、基板（１０）の上に形成されたゲート電極（１２）と、ゲート電極の上に形成されたゲート絶縁層（２０）と、ゲート絶縁層の上に形成された酸化物半導体層（１８）と、酸化物半導体層に接続されたソース電極（１４）およびドレイン電極（１６）と、ソース電極および前記ドレイン電極の上に形成された絶縁層（２２）とを備え、絶縁層は、ソース電極およびドレイン電極の上面の少なくとも一部と接し０ｎｍ超３０ｎｍ以下の厚さを有する窒化シリコン層（２２ａ）と、窒化シリコン層の上に形成された３０ｎｍ超の厚さを有する酸化シリコン層（２２ｂ）とを有する。

WO 2014/017406 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体を用いて作製される半導体装置（例えば、アクティブマトリクス基板）およびその製造方法に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：以下、「ＴＦＴ」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0003] 近年、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコン以外の材料を用いる試みがなされている。例えば、特許文献１には、ＩｎＧａＺｎＯ（インジウム、ガリウム、亜鉛から構成される酸化物）などの酸化物半導体膜を用いてＴＦＴの活性層を形成する液晶表示装置が記載されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。

[0004] 酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作させることが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。このため、酸化物半導体ＴＦＴは、製造工程数や製造コストを抑えつつ作製可能な、より高性能なスイッチング動作を行うアクティブ素子として、表示装置などへの利用が進められている。

[0005] また、酸化物半導体の電子移動度は高いため、従来のアモルファスシリコンＴＦＴに比べてサイズを小型化しても、同等以上の性能を得ることが可能である。このため、酸化物半導体ＴＦＴを用いれば、表示装置などの画素領域中におけるＴＦＴの占有面積を減少させることができ、その結果、画素開

口率を向上させることができる。したがって、より高輝度の表示を行う、または、バックライトの光量を抑えて低消費電力化を実現することができる。

[0006] 特に、スマートフォンなどに用いられる小型・高精細の液晶表示装置では、配線の最小幅制限（プロセスルール）などに起因して、画素の開口率を高くすることが容易ではない。そこで、酸化物半導体ＴＦＴを用いて画素開口率を向上させれば、消費電力を抑えながら高精細の表示を実現できるので有利である。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第２００９／０７５２８１号

特許文献2：特開２００９－１１７８２１号公報

発明の概要

発明が解決しようとする課題

[0008] 酸化物半導体ＴＦＴの製造プロセスにおいて、素子特性を向上させるために比較的高温（例えば、約３００℃以上）での熱処理が施される。この熱処理は、酸化物半導体層やソース・ドレイン電極を覆うように設けられたパッシベーション層（保護層）を形成した後に行われることが多い。ソース・ドレイン電極がパッシベーション層によって覆われていれば、熱処理時にソース・ドレイン電極の表面が酸化されにくいので高抵抗化が防止される。

[0009] 酸化物半導体ＴＦＴに用いられるパッシベーション層としては、酸化シリコン（ＳｉＯｘ）膜、酸化窒化シリコン（ＳｉＯｘＮｙ：ただしｘ＞ｙ）膜、窒化酸化シリコン（ＳｉＮｘＯｙ：ただしｘ＞ｙ）膜、または、窒化シリコン（ＳｉＮｘ）膜などが知られている。また、特許文献２には、酸化窒化シリコンなどの窒素を含む絶縁体と、窒素およびフッ素を含む絶縁体とを交互に堆積させることによって、多層構造のパッシベーション層を形成する技術が開示されている。

[0010] ＴＦＴを覆うように設けられたパッシベーション層は、水素を比較的多く

含んでいることがある。例えば、ＳｉＨ$_4$（モノシラン）ガスやＮＨ$_3$ガスを原料ガスとして用いてＣＶＤ法によって窒化シリコン（ＳｉＮｘ）膜を形成すると、形成される窒化シリコン膜に含まれる水素の量が比較的多くなる。このような水素含有量が比較的多い絶縁膜を設けた上で上記の熱処理を行うと、水素が酸化物半導体層に拡散することによって、ＴＦＴ特性が劣化することがあった。

[0011] 本発明は、上記課題を解決するためになされたものであり、特性の良好な半導体装置を安定して歩留まり良く提供することをその目的とする。

課題を解決するための手段

[0012] 本発明の実施形態による半導体装置は、基板と、前記基板の上に形成されたゲート電極と、前記ゲート電極の上に形成されたゲート絶縁層と、前記ゲート絶縁層の上に形成された酸化物半導体層と、前記酸化物半導体層に電気的に接続されたソース電極およびドレイン電極と、前記ソース電極および前記ドレイン電極の上に形成された絶縁層とを備える半導体装置であって、前記絶縁層は、前記ソース電極およびドレイン電極の上面の少なくとも一部と接し、０ｎｍ超３０ｎｍ以下の厚さを有する窒化シリコン層と、前記窒化シリコン層の上に形成された、３０ｎｍを超える厚さを有する酸化シリコン層とを含む。

[0013] ある実施形態において、前記酸化シリコン層の厚さは５０ｎｍ以上４００ｎｍ以下である。

[0014] ある実施形態において、前記ソース電極およびドレイン電極の上面であって前記窒化シリコン層と接する面は、Ｍｏ、Ｔｉ、ＣｕおよびＡｌからなる群から選択される少なくとも１種の元素を含む導電性材料から形成されている。

[0015] ある実施形態において、前記ソース電極およびドレイン電極の前記接する面は、窒化モリブデンから形成されている。

[0016] ある実施形態において、上記の半導体装置は、前記酸化物半導体層のチャネル領域上に形成されたエッチングストッパ層をさらに有する。

[0017] ある実施形態において、前記酸化物半導体層はＩｎ－Ｇａ－Ｚｎ－Ｏ系の半導体層である。

[0018] 本発明の実施形態による半導体装置の製造方法は、基板を用意する工程（ａ）と、前記基板上に、ゲート電極を形成する工程（ｂ）と、前記基板上に、前記ゲート電極と絶縁された状態で前記ゲート電極と対向する酸化物半導体層を形成する工程（ｃ）と、前記基板上に、前記酸化物半導体層と接続されるソース電極およびドレイン電極を形成する工程（ｄ）と、前記基板上に、前記ソース電極およびドレイン電極の上面の少なくとも一部と接する絶縁層を形成する工程（ｅ）と、前記工程（ｅ）の後に、２３０℃以上４８０℃以下の温度で熱処理を行う工程（ｆ）とを包含し、前記工程（ｅ）は、前記ソース電極および前記ドレイン電極と接するように、窒素を含む第１絶縁領域を０ｎｍ超３０ｎｍ以下の厚さで形成する工程と、前記第１絶縁領域の上に、酸素を含む第２絶縁領域を３０ｎｍ超の厚さで形成する工程とを包含する。

[0019] ある実施形態において、前記第１絶縁領域は、窒化シリコン層によって形成され、前記第２絶縁領域は、酸化シリコン層によって形成される。

[0020] ある実施形態において、前記工程（ｄ）は、前記ソース電極およびドレイン電極の表面を、Ｍｏ、Ｔｉ、Ｃｕ、ＡｌからなるＡ群から選択される少なくとも一種の元素を含む導電性材料から形成する工程を包む。

[0021] ある実施形態において、前記工程（ｅ）における窒化シリコン層を形成する工程は、SiH_4ガスとNH_3ガスとを含む原料ガスを用いるプラズマＣＶＤ法によって行われる。

発明の効果

[0022] 本発明の実施形態の半導体装置によれば、良好な素子特性を有する酸化物半導体ＴＦＴを備えるＴＦＴ基板を歩留まり高く作製することができる。

図面の簡単な説明

[0023] [図1]（ａ）および（ｂ）は、比較例のＴＦＴ基板を示す断面図である。

[図2]実施形態１のＴＦＴ基板を示す平面図である。

[図3]（ａ）は、図２のＡ－Ａ’線に沿った断面図であり、（ｂ）は、図２のＤ－Ｄ’線に沿った断面図である。

[図4]実施形態１のＴＦＴ基板の製造工程を示す断面図であり、（ａ）～（ｅ）はそれぞれ別の工程を示す。

[図5]実施形態１のＴＦＴ基板の製造工程を示す断面図であり、（ｆ）～（ｉ）はそれぞれ別の工程を示す。

[図6]実施形態１のＴＦＴ基板の製造工程を示す断面図であり、（ｊ）～（ｌ）はそれぞれ別の工程を示す。

[図7]実施形態２のＴＦＴ基板を示す平面図である。

[図8]（ａ）は、図７のＡ－Ａ’線に沿った断面図であり、（ｂ）は、図７のＤ－Ｄ’線に沿った断面図である。

[図9]実施形態２のＴＦＴ基板の製造工程を示す断面図であり、（ａ）～（ｅ）はそれぞれ別の工程を示す。

[図10]実施形態２のＴＦＴ基板の製造工程を示す断面図であり、（ｆ）～（ｊ）はそれぞれ別の工程を示す。

発明を実施するための形態

[0024] まず、比較例の半導体装置（図１（ａ）および（ｂ））を参考にしながら、本発明の実施形態による半導体装置の概要を説明する。

[0025] 図１（ａ）は、比較例１の半導体装置（ここでは、液晶表示装置に用いられるＴＦＴ基板）９００を示す。ＴＦＴ基板９００は基板１０を備え、この基板１０上には、ゲート電極１２およびゲート絶縁膜２０を介してゲート電極１２と重なるように配置された酸化物半導体層１８が設けられている。また、酸化物半導体層１８には、ソース電極１４およびドレイン電極１６が接続されており、これらによってＴＦＴ（酸化物半導体ＴＦＴ）９５が形成されている。また、ＴＦＴ９５は、保護層として設けられたパッシベーション層９２によって覆われている。なお、ＴＦＴ基板９００には、ＴＦＴ９５のドレイン電極１６に接続された上層透明電極３０や、その下側に誘電体層２６を介して配置された下層透明電極３２などが設けられているが、ここでは

説明を省略する。

[0026] ＴＦＴ基板９００において、パッシベーション層９２は、ＳｉＮｘ膜（窒化シリコン膜）から形成されており、典型的には、１００～４００ｎｍの厚さを有する。ＳｉＮｘ膜は、緻密な膜であるので、ＴＦＴ９５を保護するために好適である。

[0027] しかし、パッシベーション層９２が窒化シリコン膜から形成されている場合、熱処理時などにおいて、窒化シリコン膜に含まれる水素が酸化物半導体層１８へと拡散することがある。特に、SiH_4ガス（モノシランガス）やNH_3を原料ガスとして用いて形成された窒化シリコン膜を用いる場合、これが水素を比較的多く含むので、酸化物半導体層１８に水素が混入しやすい。

[0028] 水素は、酸化物半導体層１８のチャネル領域（バックチャネル側）に影響を及ぼす。その結果、モジュール作製後に行われるエージング工程を経ると、しきい値のシフト（ＴＦＴ特性の変化）が発生する。このため、ＴＦＴ基板９００を用いて表示パネルを構成すると、オフリークの発生またはオン電流の不足によって、パネル表示品位が低下する。したがって、酸化物半導体層１８には、なるべく水素が拡散されないことが好ましい。

[0029] これに対して、図１（ａ）に示すように、ソースおよびドレイン電極１４、１６の下層に、酸化物半導体層１８のチャネル領域を覆う絶縁層（エッチングストッパ層）２１を設ける構成が知られている。エッチングストッパ層２１は、導電膜をエッチングすることによりソースおよびドレイン電極１４、１６を形成する工程において、酸化物半導体層１８にまでエッチングが進行することを防止するように機能する。また、エッチングストッパ層２１を酸化物（例えば、SiO_2）から形成すれば、パッシベーション層９２から酸化物半導体層１８への水素の拡散を抑制することができる。これにより、酸化物半導体層１８のバックチャネルでの還元反応が抑制されるので、ＴＦＴ特性の劣化を防止することができる。このようにエッチングストッパ層２１を設ける構成は、「チャネル保護型（またはエッチストッパ型）」と呼ばれる（後述）。

[0030] ただし、チャネル保護型のＴＦＴ９５を形成する場合であっても、パッシベーション層９２が水素を多く含んでいることは、やはり、素子特性の劣化につながり得るため好ましくない。また、エッチングストッパ層２１を設ける場合には、製造工程が余分に必要となるという問題もある。

[0031] そこで、比較例２として図１（ｂ）に示すように、パッシベーション層９４を、酸化物半導体層１８への影響がより小さい材料を用いて形成することが考えられ、例えば、SiO_2膜などの酸化膜から形成することが考えられる。なお、酸化物半導体ＴＦＴの保護層を酸化物から形成することについては、例えば、特許文献１に記載されている。

[0032] 図１（ｂ）に示すように、比較例２のＴＦＴ基板９０２では、パッシベーション層９４がSiO_2膜から形成されているので、酸化物半導体層１８のチャネル領域を覆うエッチングストッパ層が設けられていない。すなわち、ＴＦＴ基板９０２には、上記のチャネル保護型のＴＦＴではなく、「チャネルエッチ型」（後述）のＴＦＴ９６が形成されている。

[0033] しかし、本発明者によって次のことが確認された。すなわち、パッシベーション層９４をSiO_2などの酸化膜から形成した場合において、その後に行う熱処理時などに、ソース・ドレイン電極１４、１６の表面が酸化しやすくなる。これは、ソース・ドレイン電極１４、１６とパッシベーション層９４との界面において、金属と酸化膜との酸化還元反応が生じるからである。このようにして、ソース・ドレイン電極１４、１６の表面に酸化膜が形成されると、パッシベーション層９４の密着性が低下することがある。その結果、後工程などにおいて、パッシベーション層９４が剥離してしまうおそれが生じ、歩留まり低下の要因となる。

[0034] 特に、ソース・ドレイン電極１４、１６の表面が、Ｍｏ、Ｔｉ、Ｃｕ、Ａｌなどを含む金属材料（例えば、ＭｏＮ）から形成されている場合において、その表面に金属酸化膜が形成されると、ソース・ドレイン電極１４、１６上のSiO_2膜が剥がれやすい。

[0035] そこで、本発明者が鋭意研究を行った結果、図３（ａ）に示すように、ソ

ース・ドレイン電極１４、１６の表面と接するように３０ｎｍ以下の薄い窒化シリコン層（例えばＳｉＮ膜）２２ａを設け、その上に酸化シリコン層（例えばSiO_2膜）２２ｂを設けることが好ましいことがわかった。

[0036] このような構成において、パッシベーション層２２が含む水素量は全体としては少ないので、酸化物半導体層１８への影響を抑え、ＴＦＴ特性の劣化を抑制することができる。また、ソース・ドレイン電極１４、１６上に直接的に酸化膜が配置されていないので、熱処理時に、ソース・ドレイン電極１４、１６の表面が酸化され、密着性が低下することが防止される。本発明者は、パッシベーション層２２の密着性の低下は、３０ｎｍ以下という薄い窒化シリコン層を介在させるだけで十分に防ぐことができることを見出し、これによって、酸化物半導体ＴＦＴの素子特性を高く保ったまま、パッシベーション膜２２の密着性の低下による膜剥がれの発生を防止することができた。

[0037] 以下、本発明の実施形態による半導体装置およびその製造方法を説明する。本発明の実施形態による半導体装置は、酸化物半導体からなる活性層を有する薄膜トランジスタ（酸化物半導体ＴＦＴ）を備えていればよく、アクティブマトリクス基板、各種表示装置、電子機器などを広く含む。

[0038] また、以下には、酸化物半導体層の下層にゲート電極が存在する、ボトムゲート構造を有する酸化物ＴＦＴを説明する。ボトムゲート構造を有する酸化物半導体ＴＦＴでは、通常、酸化物半導体層上に形成された導電層をエッチングすることにより、ソースおよびドレイン電極を形成する（ソース・ドレイン分離工程）。このとき、エッチングによる酸化物半導体層へのダメージを抑制するために、酸化物半導体層のチャネル領域を保護膜（上述のエッチングストッパ層２１）で覆った状態で、導電層のエッチングを行うこともできる。このようにして得られるＴＦＴを「チャネル保護型（またはエッチストッパ型）」と称する。これに対し、チャネル部分を保護膜で覆わずに導電層のエッチングを行うことによって得られるＴＦＴを「チャネルエッチ型」と称する。

[0039] 下記の実施形態１では、チャネル保護型のＴＦＴを備える半導体装置を説明し、実施形態２ではチャネルエッチ型のＴＦＴを備える半導体装置を説明する。

[0040] （実施形態１）

図２および図３（ａ）、（ｂ）は、実施形態１の半導体装置１００を示す。ここでは、半導体装置１００は、液晶表示装置に用いられるＴＦＴ基板（アクティブマトリクス基板）１００である。図２は、ＴＦＴ基板１００の平面構造の一例を模式的に示し、図３（ａ）および（ｂ）は、図２のＡ－Ａ’線に沿った断面およびＤ－Ｄ’線に沿った断面をそれぞれ示す。

[0041] 図２に示すように、ＴＦＴ基板１００は、表示に寄与する表示領域（アクティブ領域）１２０と、表示領域１２０の外側に位置する周辺領域（額縁領域）１１０とを有している。

[0042] 表示領域１２０には、複数のゲート配線２と複数のソース配線４とが設けられており、これらの配線で包囲されたそれぞれの領域が「画素」となる。複数の画素はマトリクス状に配置されており、各画素において、複数のゲート配線２と複数のソース配線４との各交点の付近に能動素子である薄膜トランジスタ（ＴＦＴ）５が配置されている。また、ＴＦＴ５には画素ごとに設けられた画素電極３０が接続されており、画素電極３０に印加する電圧を制御することによって表示を行うことができる。

[0043] 周辺領域１１０には、ゲート配線２またはソース配線４と外部配線とを電気的に接続するための端子部２Ｔ、４Ｔが形成されている。ゲート配線端子部２Ｔおよびソース配線端子部４Ｔは、外部配線やＦＰＣなどを介して、ＴＦＴ基板１００の外部に設けられたゲートドライバおよびソースドライバ（ともに図示せず）にそれぞれ接続されている。

[0044] 以下、図３（ａ）を参照しながら、ＴＦＴ５の近傍の領域におけるＴＦＴ基板１００の構成を説明する。

[0045] 図３（ａ）に示すように、ＴＦＴ基板１００は、基板１０上に、ゲート電極１２と、ゲート電極１２を覆うゲート絶縁層２０と、ゲート絶縁層２０を

介してゲート電極１２と重なるように配置された酸化物半導体層（例えばＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体層）１８とを有する。また、酸化物半導体層１８上にはエッチングストッパ層２１が形成されており、このエッチングストッパ層２１に設けられた開口部２１ｈを通じて、ソース電極１４とドレイン電極１６とが、互いに離間された状態で、酸化物半導体層１８に接続されている。ＴＦＴ５は、これらの部材によって構成されている。ゲート電極１２にオン電圧が印加されたときにＴＦＴ５はオン状態となり、酸化物半導体層１８のチャネル領域を介してソース電極１４とドレイン電極１６とが導通する。

[0046] 本実施形態において、ソース電極およびドレイン電極１４、１６は、ＭｏＮ／Ａｌ／ＭｏＮの３層構造を有する。最下層のＭｏＮ層１４ａ、１６ａは、酸化物半導体層１８と接する層である。また、中間層としてＡｌ層１４ｂ、１６ｂが設けられており、その上に設けられた最上層のＭｏＮ層１４ｃ、１６ｃは、ソース電極およびドレイン電極１４、１６の表面を構成する層である。最上層のＭｏＮ層１４ｃ、１６ｃは、後述のパッシベーション層２２と接する。

[0047] ＴＦＴ５を覆う保護絶縁層として、パッシベーション層２２が形成されている。パッシベーション層２２は、ソース電極およびドレイン電極１４、１６（より具体的には最上層のＭｏＮ層１４ｃ、１６ｃ）と接するように設けられた下層絶縁層２２ａと、下層絶縁層２２ａの上に設けられた上層絶縁層２２ｂとから構成されている。本実施形態において、下層絶縁層２２ａは、厚さ０ｎｍ超３０ｎｍ以下の窒化シリコン（ＳｉＮｘ）層から形成されており、上層絶縁層２２ｂは、厚さ３０ｎｍを超える酸化シリコン層（ＳｉＯｘ）から形成されている。

[0048] 下層絶縁層２２ａは窒化シリコン層から形成されているので、典型的には、水素を含有している。しかし、下層絶縁層２２ａの厚さは、上述のように０～３０ｎｍであり、一般的に形成されるパッシベーション層２２の厚さ（例えば、１００～４００ｎｍ）に比べて非常に薄い。このため、下層絶縁層

２２ａに含まれる水素の量は、従来のようにパッシベーション層をＳｉＮｘ層の単層で構成した場合に比べると、十分に少ない。また、下層絶縁層２２ａの上に形成される上層絶縁層２２ｂは、下層絶縁層２２ｂに比べてより水素含有度が少ないＳｉＯｘ層から形成されている。したがって、全体としてパッシベーション層２２の水素含有量は多くない。

[0049] このように、パッシベーション層２２は、下層絶縁層２２ａと上層絶縁層２２ｂとが積層された構成を有し、その水素含有率が厚さ方向において均一ではない。パッシベーション層２２における、ソース電極およびドレイン電極１４、１６に近い領域には水素含有率が比較的多い領域が形成され、ソース電極およびドレイン電極１４、１６から離れた領域には水素含有率が比較的少ない領域が形成される。

[0050] また、上記構成のパッシベーション層２２において、ソース・ドレイン電極１４、１６と接する下層絶縁層２２ａは、窒素濃度が高い（あるいは窒素を含み、酸素を含まない）シリコン系絶縁層から形成されており、上層絶縁層２２ｂは、酸素濃度が高い（あるいは酸素を含み、窒素を含まない）シリコン系絶縁層から形成されている。

[0051] さらに、パッシベーション層２２は、酸化窒化シリコン（ＳｉＯｘＮｙ：ただしｘ＞ｙ）層や、窒化酸化シリコン（ＳｉＮｘＯｙ：ただしｘ＞ｙ）層を含んでいても良い。この場合に、パッシベーション層２２は、ソース・ドレイン電極１４、１６に近いほど、窒素濃度が高くなるように構成されることが好ましい。パッシベーション層２２は、上記のように２層で構成されている必要はなく、３層以上で構成されていてもよい。

[0052] パッシベーション層２２の上には、典型的には有機樹脂材料から形成される、層間絶縁層２４が形成されている。層間絶縁層２４は、層間の絶縁性を確保するとともに、基板表面を平坦化する層として機能する。

[0053] また、層間絶縁層２４の上には、ＩＴＯやＩＺＯなどからなる下層透明電極３２が設けられている。下層透明電極３２は、開口部３２Ｈを有し、ＴＦＴ５（またはドレイン電極１６）と電気的に絶縁されるように形成されてい

る。また、下層透明電極３２の上には、誘電体層（絶縁層）２６を介して、ＩＴＯやＩＺＯなどからなる上層透明電極３０が形成されている。

[0054] 下層透明電極３２は、例えば共通電極として機能する。また、上層透明電極３０は、例えば画素電極として機能する。下層透明電極３２と、上層透明電極３０と、これらに挟まれる誘電体層２６とによって、補助容量が形成されている。このように、下層透明電極３２を用いて補助容量を形成する場合、ゲート配線２と同層に、補助容量配線を設ける必要がないので開口率を向上させ得る。

[0055] 層間絶縁層２４および誘電体層２６には、ＴＦＴ５のドレイン電極１６（あるいはドレイン電極１６の延長部としてのドレインコンタクト部１６’）の表面に達するコンタクトホールＣＨが形成されている。また、下層透明電極３２の開口部３２Ｈの内側において下層透明電極３２とは独立するようにして、コンタクトホールＣＨ内に配置される透明接続部３２Ｃが設けられている。ドレイン電極１６と上層透明電極（画素電極）３０とは、コンタクトホールＣＨ内において、透明接続部３２Ｃを介して電気的に接続されている。

[0056] また、図３（ｂ）に示すように、ＴＦＴ基板１００の周辺領域１１０には、ゲート電極１２やゲート配線２と同工程で形成されたゲート配線端子部２Ｔが設けられている。ゲート配線端子部２Ｔは、ゲート絶縁膜２０、エッチングストッパ層２１、パッシベーション層２２、層間絶縁層２４、および、誘電体層２６を貫通するコンタクトホール内で、下層透明電極３２と同層の透明接続部３２Ｔを介して、上層透明電極３０と同層の透明接続端子部３０Ｔに接続されている。

[0057] このように構成されたＴＦＴ基板１００は、液晶表示装置において用いられ、ＴＦＴ基板１００と対向基板（図示せず）との間に液晶層を封止・保持させることによって液晶表示装置を得ることができる。

[0058] 以下、図４～図６を参照しながら、図２および図３（ａ）および（ｂ）に示した実施形態１のＴＦＴ基板１００の製造方法を説明する。

[0059] 図４（ａ）～（ｅ）、図５（ｆ）～（ｉ）、および、図６（ｊ）～（ｌ）は、ＴＦＴ基板１００の製造工程を示す。なお、図の左側には、図３（ａ）に示すＴＦＴ近傍の領域を示し、図の右側には、図３（ｂ）に示す端子部近傍の領域を示している。

[0060] まず、図４（ａ）に示すように、基板１０を用意する。基板１０としては、ガラス基板、シリコン基板、耐熱性を有するプラスチック基板または樹脂基板などを用いることができる。プラスチック基板又は樹脂基板としては、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、アクリル、ポリイミド等からなる基板が挙げられる。

[0061] 次に、基板１０上に、ゲート配線１２などを形成するための導電膜を５０ｎｍ～３００ｎｍの厚さで形成する。導電膜としては、アルミニウム（Ａｌ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）、クロム（Ｃｒ）、チタン（Ｔｉ）、銅（Ｃｕ）等の金属又はその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。また、これら複数の膜を積層した積層膜を用いてもよい。

[0062] 本実施形態では、スパッタ法により、アルミニウム（Ａｌ）を下層とし、モリブデンニオブ合金（ＭｏＮｂ）を上層とする積層導電膜（厚さ：約１００ｎｍ（ＭｏＮｂ）／２００ｎｍ（Ａｌ））を形成し、レジストマスクを用いてフォトリソグラフィ法によりこの導電膜を所望の形状にパターニングすることによってゲート電極１２を得ている。なお、この工程においてゲート配線２やゲート配線端子部２Ｔ（図２参照）も形成される。

[0063] その後、図４（ｂ）に示すように、ゲート電極１２上にゲート絶縁層２０を形成する。ゲート絶縁層２０は、酸化シリコン（SiO_x）層、窒化シリコン（SiN_x）層、酸化窒化シリコン（SiO_xN_y（ｘ＞ｙ））層、窒化酸化シリコン（SiN_xO_y（ｘ＞ｙ））層等を適宜用いてプラズマＣＶＤ法等によって形成することができる。

[0064] ゲート絶縁層２０は、多層構造を有していても良い。基板１０からの不純

物等の拡散防止のため、下側ゲート絶縁層として、窒化シリコン層や窒化酸化シリコン層を設け、この上に、上側ゲート絶縁層として、酸化シリコン層や酸化窒化シリコン層を設けても良い。より低い成膜温度でゲートリーク電流の少ない緻密なゲート絶縁層を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、ゲート絶縁層に希ガス元素を混入させればよい。本実施形態では、SiH_4、NH_3を反応ガスとして用いて、プラズマＣＶＤ法によって、厚さが１００ｎｍ～４００ｎｍの窒化シリコン層を形成している。

[0065] その後、図４（ｃ）に示すように、ゲート絶縁層２０上に酸化物半導体膜をスパッタリング法により３０～１００ｎｍの厚さで形成し、これをフォトリソグラフィ工程においてレジストマスクを用いてエッチングを行って所望の形状（典型的には島状）に加工することによって酸化物半導体層１８を形成する。また、酸化物半導体層１８を形成した後、酸化物半導体層１８の表面に対して酸素プラズマ処理などを施しても良い。酸化物半導体層１８の厚さは、約３０ｎｍ以上約１００ｎｍ以下が好ましく、例えば、５０ｎｍである。

[0066] 酸化物半導体層１８は、ここでは、Ｉｎ、ＧａおよびＺｎを１：１：１の割合で含むＩｎ－Ｇａ－Ｚｎ－Ｏ系のアモルファス酸化物半導体膜をパターニングすることによって形成されている。ただし、Ｉｎ、ＧおよびＺｎの割合は上記に限定されず適宜選択され得る。また、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜の代わりに、他の酸化物半導体膜を用いて酸化物半導体層１８を形成することもできる。

[0067] より具体的には、酸化物半導体膜として、例えば、$InGaO_3(ZnO)_5$膜、酸化マグネシウム亜鉛（$Mg_xZn_{1-x}O$）膜、又は、酸化カドミウム亜鉛（$Cd_xZn_{1-x}O$）膜、酸化カドミウム（ＣｄＯ）膜を用いることができる。また、１族元素、１３族元素、１４族元素、１５族元素又は１７族元素等のうち一種、又は複数種の不純物元素が添加されたＺｎＯ膜を用いてもよい。ＺｎＯ膜には不純物元素が添加されていなくてもよい。また、ＺｎＯ膜は、非晶質（アモルファス）状態、多結晶状態又は非晶質状態と多結晶状態が混在

する微結晶状態であってもよい。

[0068] 酸化物半導体層１８を形成する材料として、アモルファスＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜を用いれば、低温で製造でき、また、高い移動度を実現することができる。ただし、アモルファスＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜に代えて、所定の結晶軸（Ｃ軸）に関して結晶性を示すＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜を用いても良い。

[0069] なお、ゲート絶縁層２０の最上層（すなわち酸化物半導体層１８に接する層）は、酸化物層（例えばSiO_2層）であることが好ましい。これにより、酸化物半導体層１８に酸素欠損が生じた場合に、酸化物層に含まれる酸素によって酸素欠損を回復することが可能となるので、酸化物半導体層１８の酸素欠損を効果的に低減できる。

[0070] その後、図４（ｄ）に示すように、酸化物半導体層１８を覆うように、例えばＳｉＯｘ膜からなる絶縁膜２１’を形成し、その後、図４（ｅ）に示すように、パターニングすることによって、酸化物半導体層１８のチャネル領域を覆う部分を含むエッチングストッパ層２１を形成する。上記のように、エッチングストッパ層２１を酸化物層から形成すれば、酸化物半導体層１８の酸素欠損を効果的に低減できるので好ましい。なお、図示する形態において、エッチングストッパ層２１は、島状の酸化物半導体層１８における対向する２辺に対応して配置された一対の開口部２１ｈを有しており（図２参照）、この開口部２１ｈにおいて酸化物半導体層１８が露出している。ただし、この形態は例示であり、その他の形態を有していてもよい。例えば、エッチングストッパ層２１は、酸化物半導体層１８のチャネル領域のみを覆うように島状に設けられていてもよい。

[0071] また、周辺領域では、このエッチングストッパ層２１を形成する工程において、ゲート配線端子部２Ｔの上のゲート絶縁膜２０および絶縁膜２１’がエッチングによって除去され、ゲート配線端子部２Ｔの表面が露出する。

[0072] その後、図５（ｆ）に示すように、スパッタリング法などによって形成した導電膜を、フォトリソグラフィ法によって所望の形状に加工することによ

って、ソース電極１４およびドレイン電極１６を形成する。なお、この工程においてソース配線４やソース配線端子部４Ｔ（図２参照）も同時に形成される。

[0073] 本実施形態では、ソース電極１４およびドレイン電極１６は、ＭｏＮ／ＡｌＭｏＮの３層（すなわち、最下層のＭｏＮ層１４ａ、１６ａ：中間層のＡｌ層１４ｂ、１６ｂ：最上層のＭｏＮ層１４ｃ、１６ｃの３層）構造を有するように形成されている。最下層のＭｏＮ層１４ａ、１６ａの厚さは、例えば３０ｎｍ～７０ｎｍであり、中間層のＡｌ層１４ｂ、１６ｂの厚さは、例えば１００ｎｍ～２５０ｎｍであり、最上層のＭｏＮ層１４ｃ、１６ｃの厚さは、例えば５０ｎｍ～１５０ｎｍである。また、下層のＭｏＮ層１４ａ、１６ａは、上層のＭｏＮ層１４ｃ、１６ｃよりも窒素含有量が多いことが好ましい。ソース電極１６およびドレイン電極１８をこのように構成することによって、ソース電極１４およびドレイン電極１６の断面形状を順テーパ状に形成することができる。

[0074] なお、ソース電極１４およびドレイン電極１６を形成する導電性材料としては、例えば、モリブデン（Ｍｏ）、銅（Ｃｕ）、チタン（Ｔｉ）、アルミニウム（Ａｌ）等の金属又はその合金、若しくはその金属窒化物などを適宜用いることができる。また、ソース電極１４およびドレイン電極１６は、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化珪素を含むインジウム錫酸化物（ＩＴＳＯ）、酸化インジウム（In_2O_3）、酸化錫（SnO_2）、酸化亜鉛（ＺｎＯ）、窒化チタン等の透光性を有する材料からなる層を含んでいても良い。ただし、ソース電極１４およびドレイン電極１６の表面は、典型的には、Ｍｏ、Ｔｉ、Ｃｕ、Ａｌを含む材料（例えば、ＭｏＮ）から形成される。

[0075] なお、ソース電極１４およびドレイン電極１６を形成する際のフォトリソグラフィ工程におけるエッチングプロセスは、ドライエッチング又はウエットエッチングのどちらであってもよい。ただし、大面積基板を処理するには、線幅寸法シフトの少ないドライエッチングが適している。このエッチング

工程において、酸化物半導体層１８上にはエッチングストッパ層２１がすでに設けられているので、酸化物半導体層１８にまでエッチングが進行することは防止される。

[0076] 次に、図５（ｇ）に示すように、ＴＦＴ５を覆うようにして、保護層としての絶縁層であるパッシベーション層２２を形成する。パッシベーション層２２を形成する工程は、ソース電極およびドレイン電極１４、１６と接するように窒素を含む絶縁領域を０ｎｍ超３０ｎｍ以下の厚さで形成する工程と、その後、酸素を含む絶縁領域を３０ｎｍ超の厚さで形成する工程とを含んでいる。より具体的には、パッシベーション層２２を形成する工程は、３０ｎｍ以下の厚さの窒化シリコン層（下層絶縁層）２２ａを形成する工程と、その上に、３０ｎｍ超の厚さの酸化シリコン層（上層絶縁層）２２ｂを形成する工程とを含んでいる。

[0077] 窒化シリコン層２２ａは、例えば、SiH_4とNH_3とN_2との混合ガスを反応ガスとして用いて、プラズマＣＶＤ法などによって形成することができる。また、酸化シリコン層２２ｂは、例えば、SiH_4とN_2Oとの混合ガスを反応ガスとして用いて、プラズマＣＶＤ法などによって形成することができる。なお、窒化シリコン層２２ａおよび酸化シリコン層２２ｂの少なくとも一方は、スパッタ法で形成されていてもよい。

[0078] ここで、窒化シリコン層２２ａは、０ｎｍ超３０ｎｍ以下の厚さとなるように形成される。窒化シリコン層２２ａの厚さは、成膜時間を調節することによって容易に制御することができる。窒化シリコン層２２ａの厚さは、２ｎｍ以上１０ｎｍ以下であることがより好ましい。また、酸化シリコン層２２ｂは、窒化シリコン層２２ａよりも厚く形成されており、その厚さは、５０ｎｍ以上４００ｎｍ以下であることが好ましく、１００ｎｍ以上３００ｎｍ以下であることがさらに好ましい。

[0079] パッシベーション層２２は、酸化窒化シリコン（ＳｉＯｘＮｙ：ただしｘ＞ｙ）層や、窒化酸化シリコン（ＳｉＮｘＯｙ：ただしｘ＞ｙ）層を含んでいても良い。この場合に、パッシベーション層２２は、ソース・ドレイン電

極１４、１６に近いほど、窒素濃度が高くなるように構成されることが好ましい。パッシベーション層２２は、上記のように２層で構成されている必要はなく、３層以上で構成されていてもよい。

[0080] このようにして厚さ方向において膜質が異なる領域が設けられたパッシベーション層２２を形成した後、後述する層間絶縁層２４を形成する工程の前に、基板全面に対して約３５０℃程度での熱処理（アニール処理）を行うことによって、ＴＦＴ５の素子特性や信頼性を向上させることができる。熱処理をこのタイミングで行えば、パッシベーション層２２で覆われているソース・ドレイン電極１４、１６の表面が酸化されて配線抵抗が高くなることは防止される。また、層間絶縁層２４を形成する前に行うことで、酸化物半導体層１８のチャネル領域に酸素欠陥が生じている場合に、これを酸化させることによって酸素欠陥を低減させやすいので、所望のＴＦＴ特性を実現しやすい。

[0081] この熱処理時において、ソース・ドレイン電極の上層１４ｃ、１６ｃには窒化シリコン層２２ａが接しているので、ソース・ドレイン電極の表面（上層１４ｃ、１６ｃ）に金属酸化膜が形成されることが防止される。これにより、パッシベーション層２２の密着性の低下が抑制される。また、窒化シリコン層２２ａが薄層であり、大部分が酸化シリコン層２２ｂから形成されているので、パッシベーション層２２の含有水素量は少なく、したがって、酸化物半導体層１８のバックチャネルに水素が及ぼす影響は小さくて済む。これにより、エージングを行ったあとにも、ＴＦＴにおけるしきい値のシフトは生じにくく、オフリークやオン電流不足などが生じることによってパネル表示品位が悪化されることは防止される。

[0082] なお、熱処理の温度は特に限定しないが、典型的には２３０℃以上４８０℃以下の温度であり、好ましくは２５０℃以上３５０℃以下である。熱処理時間も特に限定しないが、例えば３０分以上１２０分以下である。熱処理は、層間絶縁層２４の材料によっては、層間絶縁層２４を形成した後に行われてもよい。

[0083] その後、図５（ｈ）に示すように、パッシベーション層２２上には、感光性樹脂膜などから形成される層間絶縁層（平坦化層）２４が形成される。層間絶縁層２４は、有機材料からなる層であることが好ましい。層間絶縁層２４には、開口部が形成されている。開口部は、ドレイン電極１６の延長部としてのドレインコンタクト部１６’の上方に設けられる。また、周辺領域においては、ゲート配線端子部２Ｔやソース配線端子部４Ｔ（図示せず）の上方に開口部が形成される。

[0084] その後、図５（ｉ）に示すように、開口部が設けられた層間絶縁層２４をマスクとして用いて、パッシベーション層２２のエッチングを行うことによって、ドレイン電極１６の延長部（ドレインコンタクト部１６’）に達するコンタクトホールＣＨ１が形成される。また、ゲート配線端子部２Ｔ（およびソース配線端子部２Ｔ）に達するコンタクトホールＣＨ１’も形成される。

[0085] その後、図６（ｊ）に示すように、ＩＴＯやＩＺＯなどからなる透明導電膜をパターニングすることによって、下層透明電極３２を層間絶縁層２４上に形成する。同時に、下層透明電極３２と分離された状態の透明接続部３２Ｃを、コンタクトホールＣＨ１の内部において露出したドレインコンタクト部１６’と接するように形成する。透明接続部３２Ｃは、コンタクトホールＣＨ１の側壁などを覆っていても良い。さらに、周辺領域においては、コンタクトホールＣＨ１’内でゲート配線端子部２Ｔ（およびソース配線端子部４Ｔ）と接する透明接続部３２Ｔを形成する。

[0086] その後、図６（ｋ）に示すように、下層透明電極３２などを覆う誘電体層２６を、基板全体面に対して設けた後、すでに設けたコンタクトホールＣＨ１と重なるように、コンタクトホールＣＨ２を誘電体層２６に設ける。これにより、ＴＦＴ５のドレインコンタクト部１６’との接続を可能にするコンタクトホールＣＨが得られる。

[0087] 誘電体層２６は、スパッタ法や、ＣＶＤ法を用いて、１００ｎｍ～３００ｎｍの厚さの窒化シリコン膜または酸化シリコン膜を形成することによって

得られる。窒化酸化シリコン膜や、酸化窒化シリコン膜を用いて形成してもよい。コンタクトホールＣＨ２を形成するためのエッチングは、フォトリソグラフィ法によって行えばよい。

[0088] その後、図６（ｉ）に示すように、ＩＴＯやＩＺＯなどからなる透明導電膜をパターニングすることによって、上層透明電極（画素電極）３０を誘電体層２６上に形成する。また、周辺領域においては、コンタクトホールＣＨ’内でゲート配線端子部２Ｔ（およびソース配線端子部４Ｔ）と接続される透明接続部３０Ｔを形成する。

[0089] 上層透明電極３０は、コンタクトホールＣＨ内で、透明接続部３２Ｃを介してドレインコンタクト部１６’に電気的に接続される。上層透明電極３０は、典型的には、ゲート配線２とソース配線４とによって囲まれる領域の全体を覆うように、画素ごとに形成されている。

[0090] このようにして得られたＴＦＴ基板１００は、液晶表示装置のアクティブマトリクス基板として好適に用いられる。なお、表示モードに応じて、画素電極３０の形状は適宜選択されてよい。例えば、画素電極３０を互いに平行に延びる複数の細長電極を含むように形成し、下層透明電極３２との間に斜め電界を発生させることによって、ＦＦＳモードで動作する液晶表示装置に用いることもできる。また、表示モードに応じて、画素電極３０上に、垂直または水平配向膜が設けられていても良いことは言うまでもない。

[0091] 以上、実施形態１の半導体装置として、酸化物半導体ＴＦＴを有するＴＦＴ基板１００を説明したが、このＴＦＴ基板１００を用いれば、表示品位に優れた表示装置を歩留まり高く作製することが可能である。

[0092] （実施形態２）

図７および図８（ａ）および（ｂ）は、実施形態２のＴＦＴ基板２００を示す。本実施形態のＴＦＴ基板２００が、実施形態１のＴＦＴ基板１００と異なる点は、酸化物半導体層１８の上に、エッチングストッパ層２４が形成されていない点である。すなわち、本実施形態のＴＦＴ基板２００は、チャネルエッチ型のＴＦＴ６を備える。なお、実施形態１と同様の構成要素につ

いては同じ参照符号を付すとともに説明を省略する。

[0093] 図８（ａ）および（ｂ）に示すように、ＴＦＴ基板２００において、ＴＦＴ６を覆うように設けられたパッシベーション層２３は、ソースおよびドレイン電極１４、１６と接するとともに、酸化物半導体層１８のチャネル領域とも接するように設けられている。

[0094] 本実施形態において、パッシベーション層２３は、実施形態１のパッシベーション層２２と同様に、下層絶縁層２３ａと、下層絶縁層２３ａの上に設けられた上層絶縁層２３ｂとから構成されている。下層絶縁層２３ａは、厚さ０ｎｍ超３０ｎｍ以下の窒化シリコン（ＳｉＮｘ）層から形成されており、上層絶縁層２３ｂは、厚さ３０ｎｍを超える酸化シリコン層（ＳｉＯｘ）から形成されている。

[0095] 下層絶縁層２３ａは、窒化シリコン層から形成されているので、典型的には、水素を含有している。しかし、下層絶縁層２３ａの厚さは、上述のように３０ｎｍ以下であり、一般的に形成されるパッシベーション層２３の厚さ（例えば、１００～４００ｎｍ）に比べて非常に薄い。このため、下層絶縁層２３ａに含まれる水素の量は、従来のようにパッシベーション層２３をＳｉＮｘ層の単層で構成した場合に比べると、十分に少ない。また、下層絶縁層２３ａの上に形成される上層絶縁層２３ｂは、下層絶縁層２３ａに比べてより水素含有度が少ないＳｉＯｘ層から形成されている。したがって、全体としてパッシベーション層２３の水素含有量は多くない。

[0096] このように、パッシベーション層２３が酸化物半導体層１８のチャネル領域と接している場合であっても、下層絶縁層２３ａは薄い層であるので、酸化物半導体層１８への水素の拡散は、ＴＦＴ特性にそれほど大きい影響を及ぼさない。したがって、実施形態１と同様に、良好な素子特性を有する酸化物半導体ＴＦＴ６を得ることができる。

[0097] また、ソース電極およびドレイン電極１４、１６には、下層絶縁層２３ａとしての窒化シリコン層が接しているので、熱処理時にも密着性の低下が生じず、膜剥がれの発生を防止して、歩留まり高くＴＦＴ基板２００を作製す

ることができる。

[0098] 図９（ａ）～（ｅ）および図１０（ｆ）～（ｊ）は、ＴＦＴ基板２００の製造工程を示す。なお、図９（ａ）～（ｃ）に示す工程は、図４（ａ）～（ｃ）に示した実施形態１の製造工程と同じであるので、ここでは説明を省略する。

[0099] 図９（ｄ）に示すように、本実施形態では、酸化物半導体層１８を形成した後に、エッチングストッパ層２１を設けることなく、ソース電極およびドレイン電極１４、１６を、酸化物半導体層１８と接続されるように互いに離間して形成する。このように、エッチングストッパ層２１を設ける工程が必要ないので、製造プロセスを、実施形態１の場合に比べてより簡略化できる。

[0100] ただし、図９（ｄ）に示す工程において、ソースおよびドレイン電極の分離のためにエッチングを行うと、酸化物半導体層１８のチャネル領域にまでオーバーエッチされる可能性がある。また、ソースおよびドレイン電極１４、１６を形成するための導電膜が、酸化物半導体層１８のチャネル領域と直接接することによって、この導電膜の底面を形成する金属膜に含まれる金属元素が、酸化物半導体層１８に拡散するおそれがある。

[0101] なお、ソースおよびドレイン電極１４、１６の構成や材料は、実施形態１と同様であって良い。ソースおよびドレイン電極１４、１６の表面は、典型的には、Ｍｏ、Ｔｉ、Ｃｕ、ＡｌまたはＭｏＮ）から形成される。

[0102] その後、図９（ｅ）に示すように、パッシベーション層２３が形成される。本実施形態では、エッチングストッパ層が設けられていないので、パッシベーション層２３は、ソース電極１４、ドレイン電極１６および酸化物半導体層１８に接するように形成される。

[0103] その後、実施形態１と同様にして、熱処理が行われ、ＴＦＴ６の素子特性を向上させることができる。この工程において、ソース・ドレイン電極の上層１４ｃ、１６ｃには窒化シリコン層２３ａが接しているので、ソース・ド

レイン電極の表面に金属酸化膜が形成されることが防止される。これにより、パッシベーション層２３の密着性の低下が抑制される。また、窒化シリコン層２３ａが薄層であるので、酸化物半導体層１８のバックチャネルに水素が及ぼす影響は小さい。

[0104] その後に行われる、図１０（ｆ）～（ｊ）に示す工程は、図５（ｈ）、（ｇ）および図６（ｊ）～（ｌ）に示した工程と、それぞれ略同様であるので、ここでは説明を省略する。なお、エッチングストッパ層が設けられていないことによって、周辺領域においてコンタクトホールＣＨ１’を形成する際に、エッチングストッパ層のエッチングが不要である点において、実施形態１の場合と異なっている。

[0105] このように形成されたＴＦＴ基板２００を用いれば、表示品位に優れた表示装置を歩留まり高く作製することが可能である。

[0106] 以上、本発明の実施形態を説明したが、種々の改変が可能であることは言うまでもない。例えば、上記にはゲート電極が半導体層の下方に配置されるボトムゲート型のＴＦＴを説明したが、トップゲート構造を有するＴＦＴにも適用できる。トップゲート構造のＴＦＴにおいても、金属配線や電極を覆うように保護層としての絶縁層（パッシベーション層）が設けられる。そこで、パッシベーション層の内の金属配線と接する領域に３０ｎｍ以下の厚さの窒化シリコン層を設け、その上に酸化シリコン層を設けることによって、膜剥がれを防止しながら、良好な素子特性を実現し得る。また、上記には半導体層の上面がソース電極およびドレイン電極と接する形態を説明したが、ソース電極およびドレイン電極を先に形成し、これに跨るように島状の半導体層を形成することで得られるボトムコンタクト構造のＴＦＴに適用してもよい。

[0107] また、上記には液晶表示装置に用いるアクティブマトリクス基板を説明したが、有機ＥＬ表示装置のためのアクティブマトリクス基板を作製することも可能である。有機ＥＬ表示装置では、画素毎に設けられた発光素子が、有機ＥＬ層、スイッチング用ＴＦＴおよび駆動用ＴＦＴを備えており、このＴ

ＦＴに本発明の実施形態による半導体装置を利用できる。さらに、ＴＦＴをアレイ状に並べて選択トランジスタとして用いることで、記憶素子（酸化物半導体薄膜メモリ）を構成することもできる。また、イメージセンサにも適用できる。

産業上の利用可能性

[0108] 本発明の実施形態による半導体装置およびその製造方法は、表示装置用のＴＦＴ基板およびその製造方法などとして好適に利用される。

符号の説明

[0109] ２　ゲート配線

４　ソース配線

５、６　ＴＦＴ（酸化物半導体ＴＦＴ）

１０　基板

１２　ゲート電極

１４　ソース電極

１６　ドレイン電極

１８　酸化物半導体層

２０　ゲート絶縁層

２１　エッチングストッパ層

２２　パッシベーション層

２２ａ　下層絶縁層（窒化シリコン層）

２２ｂ　上層絶縁層（酸化シリコン層）

２４　層間絶縁層（平坦化層）

２６　誘電体層

３０　上層透明電極（画素電極）

３２　下層透明電極（共通電極）

１００、２００　ＴＦＴ基板

１１０　周辺領域

１２０　表示領域

請求の範囲

[請求項1] 基板と、

前記基板の上に形成されたゲート電極と、

前記ゲート電極の上に形成されたゲート絶縁層と、

前記ゲート絶縁層の上に形成された酸化物半導体層と、

前記酸化物半導体層に電気的に接続されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極の上に形成された絶縁層とを備える半導体装置であって、

前記絶縁層は、

前記ソース電極およびドレイン電極の上面の少なくとも一部と接し、０ｎｍ超３０ｎｍ以下の厚さを有する窒化シリコン層と、

前記窒化シリコン層の上に形成された、３０ｎｍを超える厚さを有する酸化シリコン層とを含む、半導体装置。

[請求項2] 前記酸化シリコン層の厚さは５０ｎｍ以上４００ｎｍ以下である請求項１に記載の半導体装置。

[請求項3] 前記ソース電極およびドレイン電極の上面であって前記窒化シリコン層と接する面は、Ｍｏ、Ｔｉ、ＣｕおよびＡｌからなる群から選択される少なくとも１種の元素を含む導電性材料から形成されている請求項１または２に記載の半導体装置。

[請求項4] 前記ソース電極およびドレイン電極の前記接する面は、窒化モリブデンから形成されている請求項３に記載の半導体装置。

[請求項5] 前記酸化物半導体層のチャネル領域上に形成されたエッチングストッパ層をさらに有する請求項１から４のいずれかに記載の半導体装置。

[請求項6] 前記酸化物半導体層はＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体から形成されている、請求項１から５のいずれかに記載の半導体装置。

[請求項7] 基板を用意する工程（ａ）と、

前記基板上に、ゲート電極を形成する工程（ｂ）と、

前記基板上に、前記ゲート電極と絶縁された状態で前記ゲート電極と対向する酸化物半導体層を形成する工程（ｃ）と、

前記基板上に、前記酸化物半導体層と接続されるソース電極およびドレイン電極を形成する工程（ｄ）と、

前記基板上に、前記ソース電極およびドレイン電極の上面の少なくとも一部と接する絶縁層を形成する工程（ｅ）と、

前記工程（ｅ）の後に、２３０℃以上４８０℃以下の温度で熱処理を行う工程（ｆ）と、

を包含する半導体装置の製造方法であって、

前記工程（ｅ）は、

前記ソース電極および前記ドレイン電極と接するように、窒素を含む第１絶縁領域を０ｎｍ超３０ｎｍ以下の厚さで形成する工程と、

前記第１絶縁領域の上に、酸素を含む第２絶縁領域を３０ｎｍ超の厚さで形成する工程と

を包含する、半導体装置の製造方法。

［請求項8］ 前記第１絶縁領域は、窒化シリコン層によって形成され、前記第２絶縁領域は、酸化シリコン層によって形成される、請求項７に記載の半導体装置の製造方法。

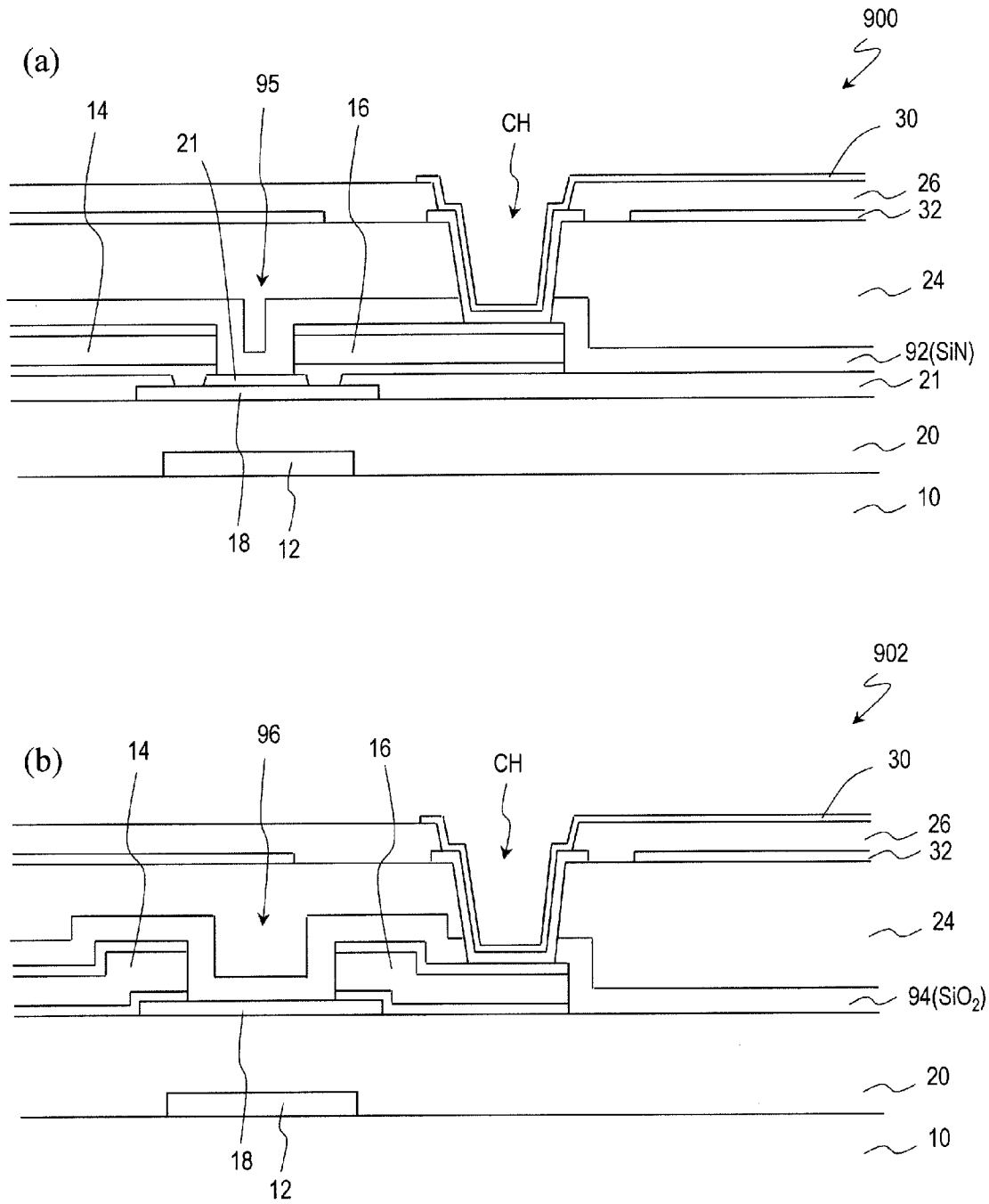
［請求項9］ 前記工程（ｄ）は、前記ソース電極およびドレイン電極の表面を、Ｍｏ、Ｔｉ、Ｃｕ、ＡｌからなるＭ群から選択される少なくとも一種の元素を含む導電性材料から形成する工程を包む、請求項７または８に記載の半導体装置の製造方法。

［請求項10］ 前記工程（ｅ）における窒素シリコン層を形成する工程は、SiH_4ガスとNH_3ガスとを含む原料ガスを用いるプラズマＣＶＤ法によって行われる請求項８に記載の半導体装置の製造方法。

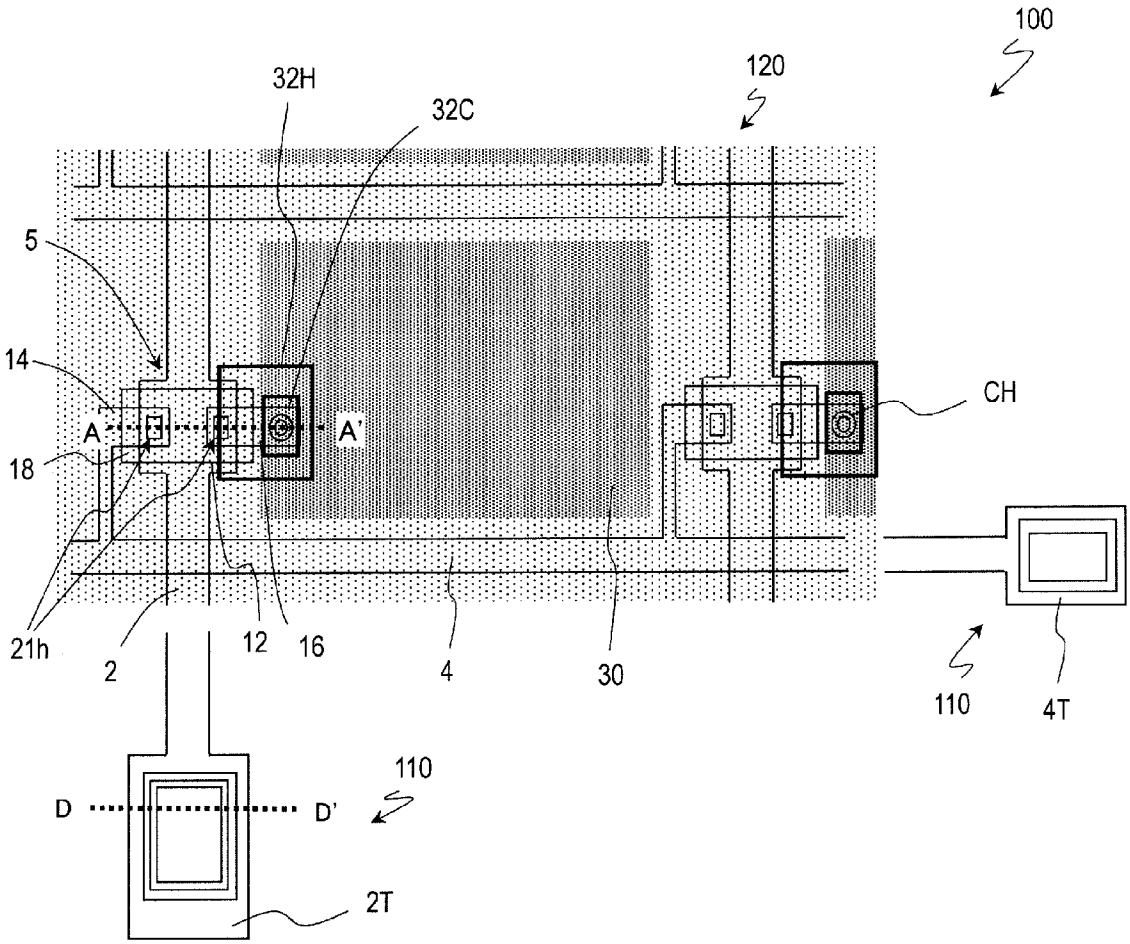
［請求項11］ 前記酸化物半導体層は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体から形成されている、請求項７から１０のいずれかに記載の半導体装置の製造方

法。

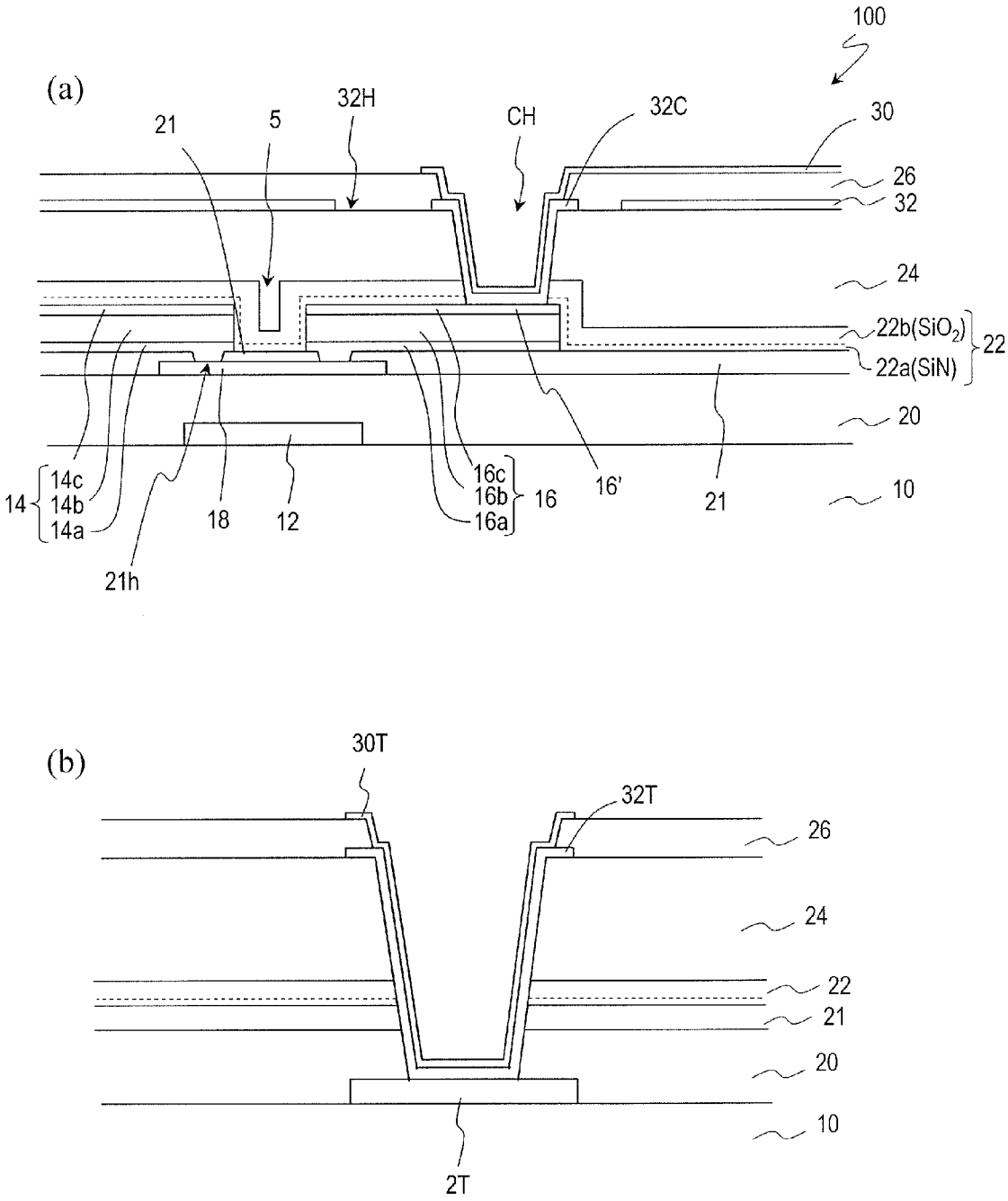
[図1]


(a)
900
95
14
16
21
CH
30
26
32
24
92(SiN)
21
20
10
18
12
(b)
902
96
14
16
CH
30
26
32
24
94(SiO2)
20
10
18
12

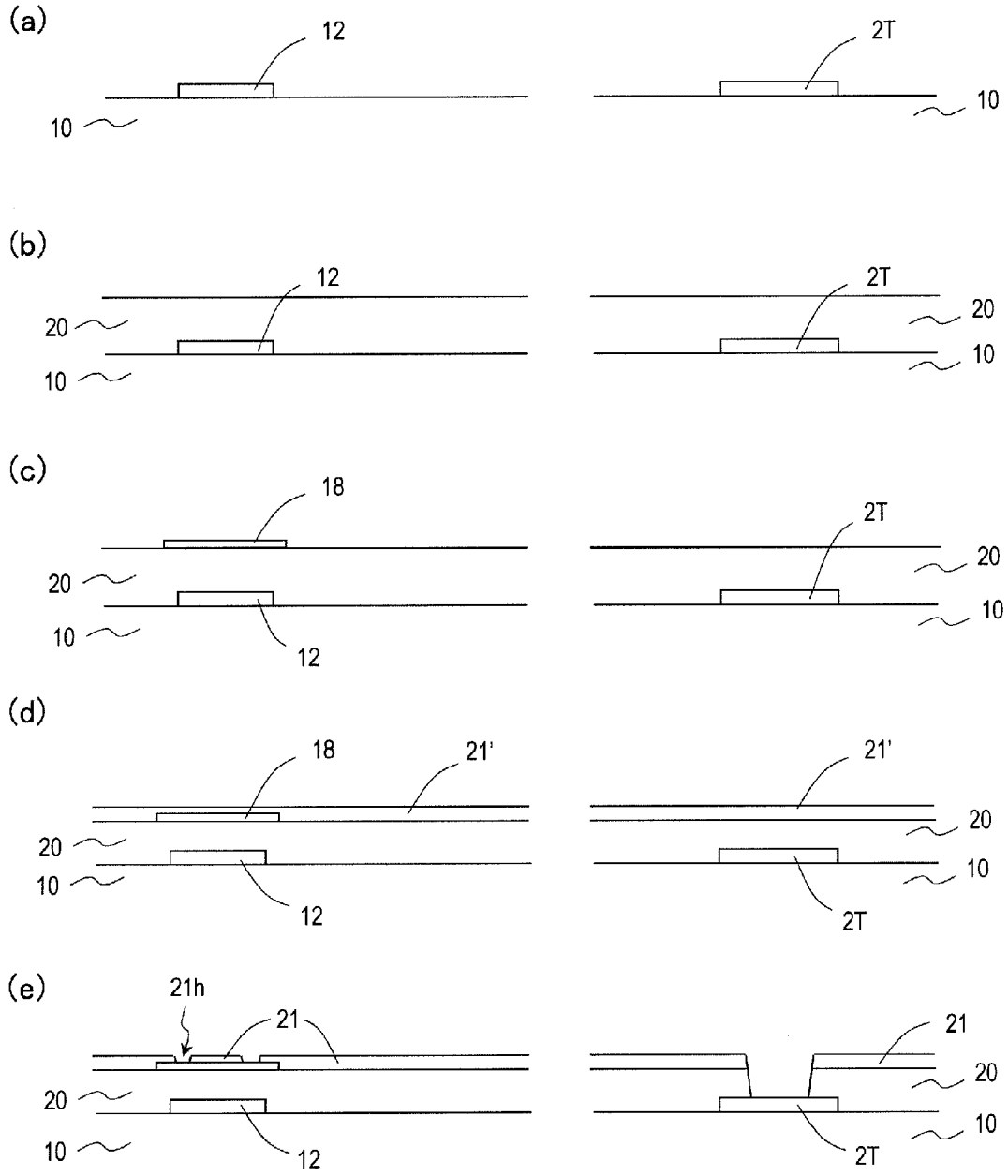
[図2]



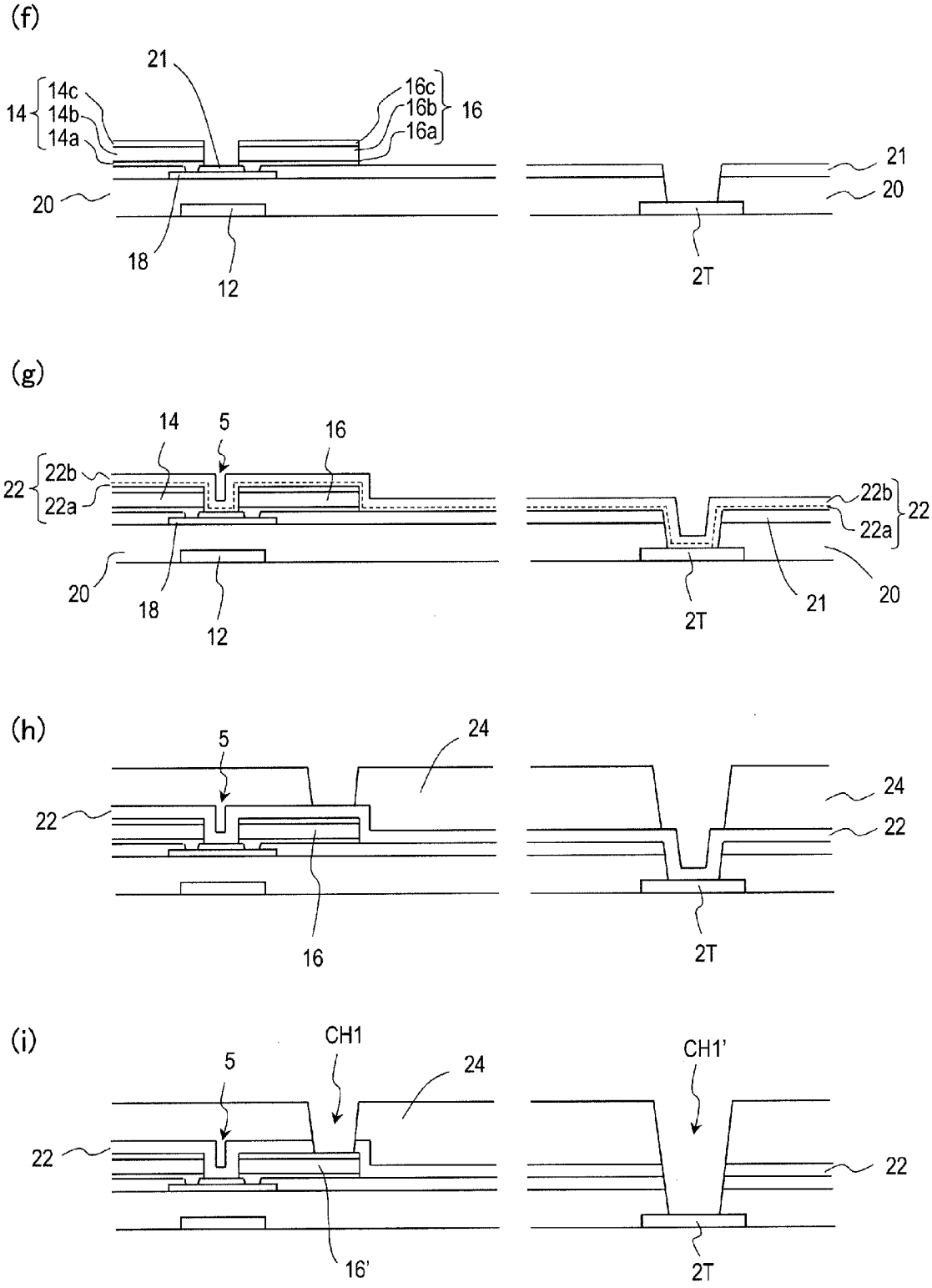
[図3]


(a)
100
21
5
32H
CH
32C
30
26
32
24
22b(SiO2)
22a(SiN)
22
20
14
14c
14b
14a
18
12
16c
16b
16a
16
16'
21
10
21h
(b)
30T
32T
26
24
22
21
20
10
2T

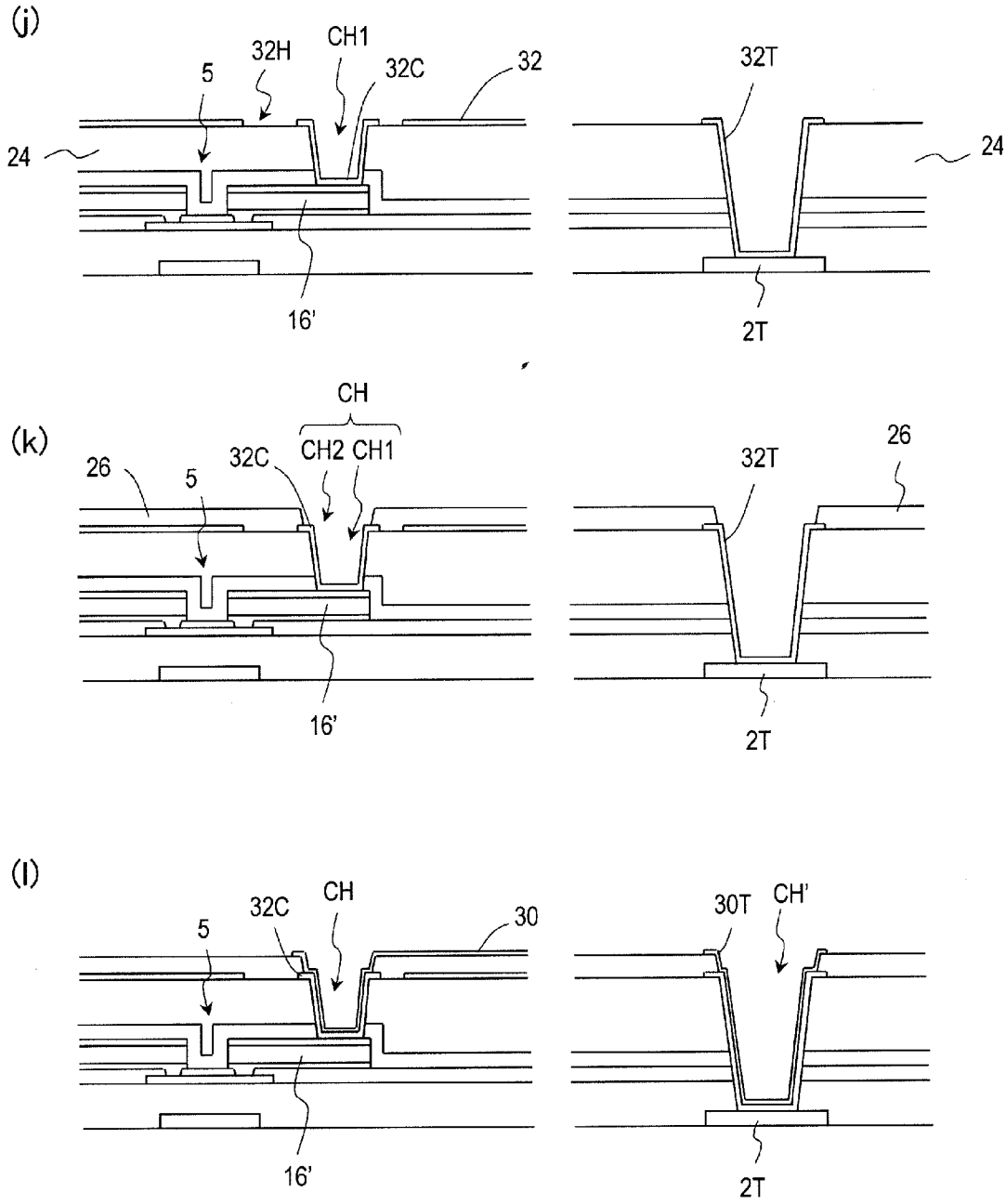
[図4]


(a)
12
10
2T
10
(b)
12
20
10
2T
20
10
(c)
18
20
10
12
2T
20
10
(d)
18
21'
20
10
12
21'
20
10
2T
(e)
21h
21
20
10
12
21
20
10
2T

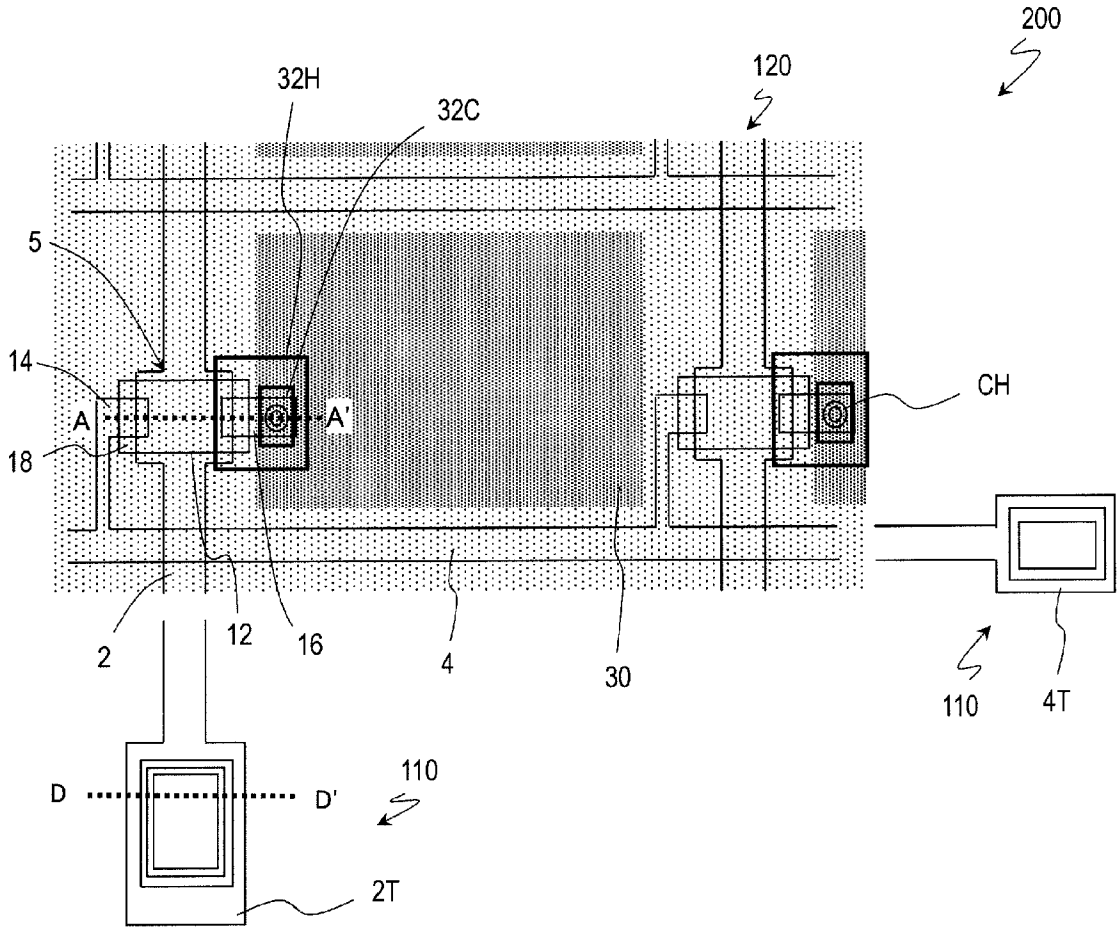
[図5]


(f)
21
14
14c
14b
14a
16c
16b
16a
16
20
18
12
2T
(g)
14
5
16
22
22b
22a
20
18
12
2T
21
(h)
5
24
22
16
(i)
CH1
CH1'
16'

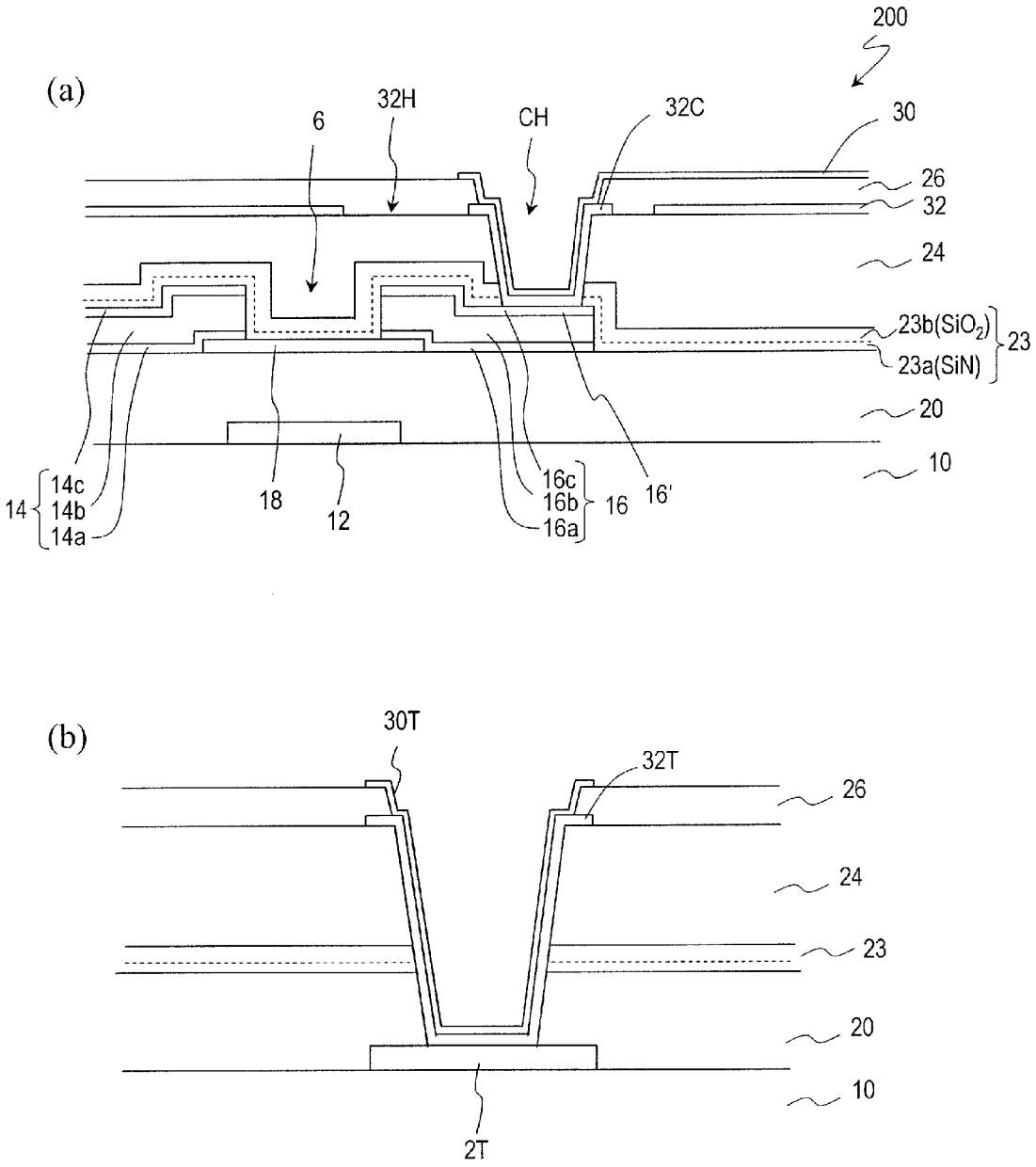
[図6]


(j)
32H
CH1
5
32C
32
24
16'
32T
24
2T
(k)
CH
26
32C
CH2 CH1
5
16'
32T
26
2T
(l)
32C
CH
5
30
16'
30T
CH'
2T

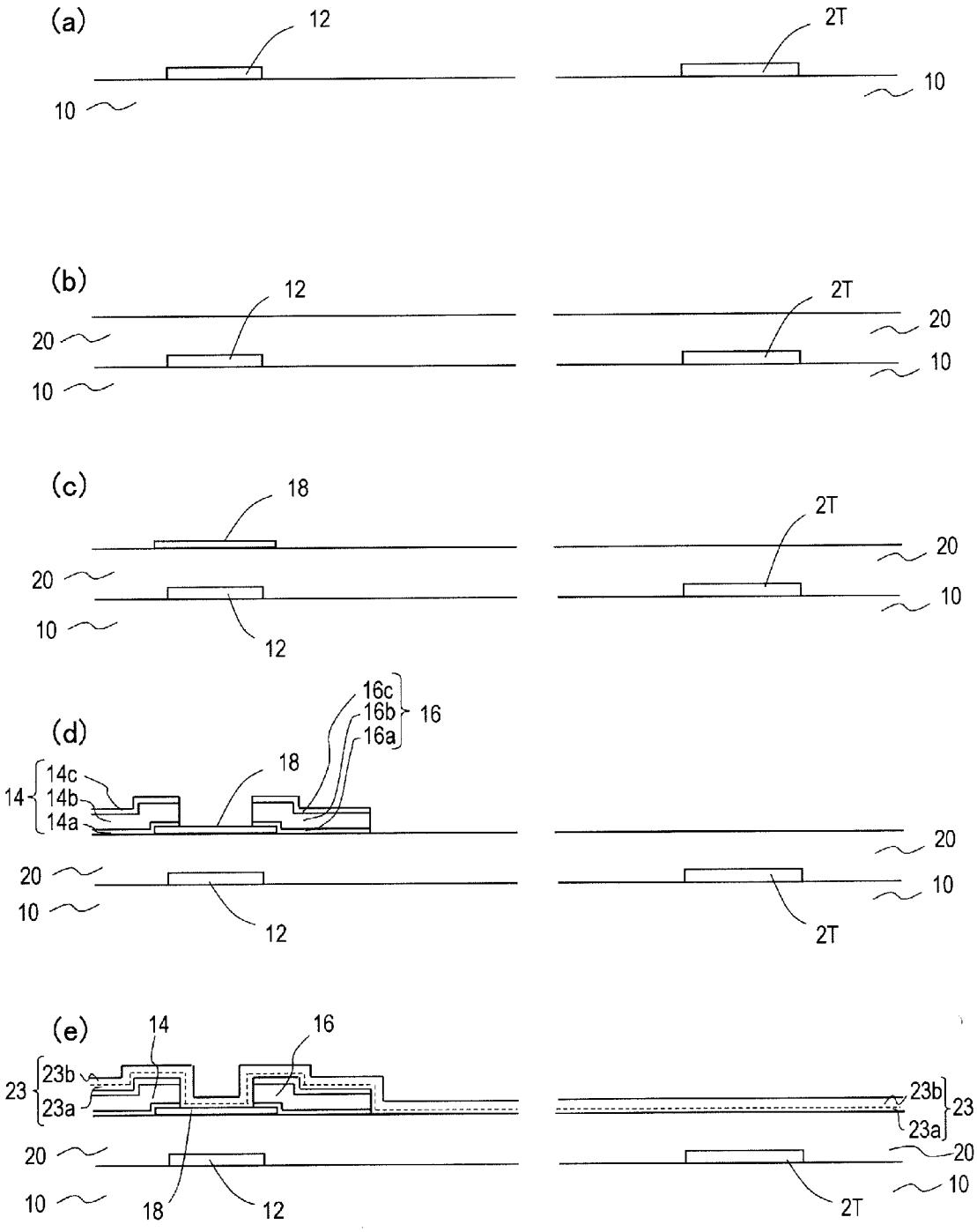
[図7]



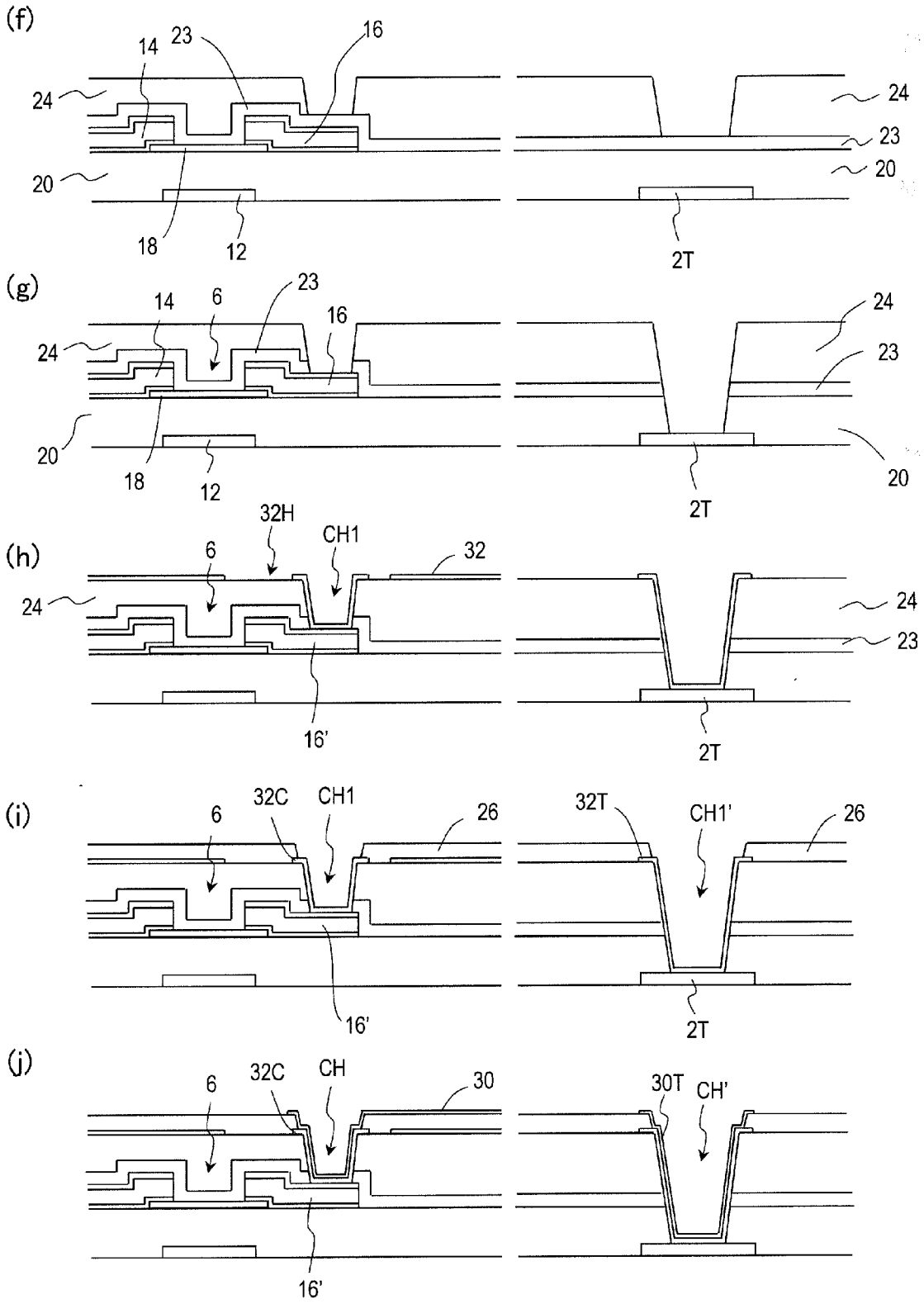
[図8]


(a)
200
6
32H
CH
32C
30
26
32
24
23b(SiO2)
23a(SiN)
23
20
10
14
14c
14b
14a
18
12
16c
16b
16a
16
16'
(b)
30T
32T
26
24
23
20
10
2T

[図9]


(a)
12
10
2T
10
(b)
12
20
10
2T
20
10
(c)
18
20
10
12
2T
20
10
(d)
16c
16b
16a
16
18
14
14c
14b
14a
20
10
12
20
10
2T
(e)
14
16
23
23b
23a
20
10
18
12
23b
23a
23
20
10
2T

[図10]


(f)
14
23
16
24
20
18
12
2T
24
23
20
(g)
14
6
23
16
24
20
18
12
2T
24
23
20
(h)
32H
CH1
6
32
24
16'
2T
24
23
(i)
6
32C
CH1
26
16'
32T
CH1'
26
2T
(j)
6
32C
CH
30
16'
30T
CH'

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/069677

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *G02F1/1368*(2006.01)i, *H01L21/28*(2006.01)i, *H01L29/417*(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, G02F1/1368, H01L21/28, H01L29/417, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-122656 A (Semiconductor Energy Laboratory Co., Ltd.), 04 June 2009 (04.06.2009), entire text; all drawings & US 2009/0111198 A1 & US 2011/0065221 A1 & CN 101419945 A & KR 10-2009-0041322 A & TW 200943421 A	1-11
A	JP 2011-135061 A (Semiconductor Energy Laboratory Co., Ltd.), 07 July 2011 (07.07.2011), entire text; all drawings & US 2011/0127524 A1 & WO 2011/065208 A1 & CN 102640292 A & TW 201135934 A & KR 10-2012-0102723 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 September, 2013 (03.09.13)	17 September, 2013 (17.09.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/069677

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/155125 A1 (Sharp Corp.), 15 December 2011 (15.12.2011), entire text; all drawings & JP 5133469 B & US 2013/0056729 A1 & CN 102870221 A & KR 10-2012-0135924 A	1-11
A	WO 2011/162242 A1 (Sharp Corp.), 29 December 2011 (29.12.2011), entire text; all drawings & JP 5176003 B & US 2013/0087798 A1 & EP 2587472 A & CN 102947871 A & KR 10-2013-0024952 A	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６９６７７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L29/417(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, G02F1/1368, H01L21/28, H01L29/417, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-122656 A (株式会社半導体エネルギー研究所) 2009.06.04, 全文, 全図 & US 2009/0111198 A1 & US 2011/0065221 A1 & CN 101419945 A & KR 10-2009-0041322 A & TW 200943421 A	1-11
A	JP 2011-135061 A (株式会社半導体エネルギー研究所) 2011.07.07, 全文, 全図 & US 2011/0127524 A1 & WO 2011/065208 A1 & CN 102640292 A & TW 201135934 A & KR 10-2012-0102723 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０３．０９．２０１３	国際調査報告の発送日 １７．０９．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　４０５４ 竹口　泰裕 電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2011/155125 A1 (シャープ株式会社) 2011.12.15, 全文,全図 & JP 5133469 B & US 2013/0056729 A1 & CN 102870221 A & KR 10-2012-0135924 A	1-11
A	WO 2011/162242 A1 (シャープ株式会社) 2011.12.29, 全文,全図 & JP 5176003 B & US 2013/0087798 A1 & EP 2587472 A & CN 102947871 A & KR 10-2013-0024952 A	1-11