(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3697085号

(P3697085)

(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]		F I		
H04N	1/387	H04N	1/387	101
B41J	2/52	G06T	1/00	
G06T	1/00	G06T	1/60	
G06T	1/60	H04N	1/21	
H04N	1/21	B41J	3/00	A

請求項の数 8　(全 25 頁)

(21)出願番号　特願平10-281611
(22)出願日　平成10年10月2日(1998.10.2)
(65)公開番号　特開2000-115525(P2000-115525A)
(43)公開日　平成12年4月21日(2000.4.21)
審査請求日　平成15年4月22日(2003.4.22)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一
(74)代理人　100101306
弁理士　丸山　幸雄
(72)発明者　菅野　覚
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　日下　善之

最終頁に続く

(54)【発明の名称】画像処理装置及びその制御方法

(57)【特許請求の範囲】

【請求項１】

ステージ数が所定値であり、かつビット幅が所定値である記憶手段を複数備え、

更に、

受信したラインデータの階調数及び解像度のうち少なくとも階調数を減少させ、階調数が前記記憶手段におけるビット幅以下である第一のラインデータを作成する第一作成手段と、

受信したラインデータの階調数及び解像度のうち少なくとも解像度を減少させ、画素数が前記記憶手段におけるステージ数以下である第二のラインデータを作成する第二作成手段と、

前記第一のラインデータを、各ラインデータの画素数が前記記憶手段におけるステージ数以下となる複数のラインデータとして、複数の前記記憶手段の夫々に記憶させる第一の処理又は前記第二のラインデータを、各ラインデータの階調数が前記記憶手段におけるビット幅以下となる複数のラインデータとして、複数の前記記憶手段の夫々に記憶させる第二の処理を行なう処理手段とを備えることを特徴とする画像処理装置。

【請求項２】

前記処理手段は、受信したラインデータの画像種別に応じて、当該ラインデータに対して前記第一の処理を行なうか、または前記第二の処理を行なうかを決定することを特徴とする請求項１に記載の画像処理装置。

【請求項３】

前記処理手段は、前記第一の処理を行なう際には、前記第一のラインデータを長さ方向に分割することで前記複数のラインデータを作成し、前記第二の処理を行なう際には、前記第二のラインデータをビット深さ方向に分割することで前記複数のラインデータを作成することを特徴とする請求項１又は２に記載の画像処理装置。

【請求項４】

前記処理手段が前記第一の処理で複数の前記記憶手段の夫々に記憶させた前記複数のラインデータを読み出し、前記読み出した複数のラインデータを前記第一のラインデータに復元する処理又は前記処理手段が前記第二の処理で複数の前記記憶手段の夫々に記憶させた前記複数のラインデータを読み出し、前記読み出した複数のラインデータを前記第二のラインデータに復元する処理を行なう復元手段を更に備えることを特徴とする請求項１乃至３のいずれか１項に記載の画像処理装置。

【請求項５】

ステージ数が所定値であり、かつビット幅が所定値である記憶部を複数備える画像処理装置の制御方法であって、

更に、

受信したラインデータの階調数及び解像度のうち少なくとも階調数を減少させ、階調数が前記記憶部におけるビット幅以下である第一のラインデータを作成する第一作成工程と、

受信したラインデータの階調数及び解像度のうち少なくとも解像度を減少させ、画素数が前記記憶部におけるステージ数以下である第二のラインデータを作成する第二作成工程と、

前記第一のラインデータを、各ラインデータの画素数が前記記憶部におけるステージ数以下となる複数のラインデータとして、複数の前記記憶部の夫々に記憶させる第一の処理又は前記第二のラインデータを、各ラインデータの階調数が前記記憶部におけるビット幅以下となる複数のラインデータとして、複数の前記記憶部の夫々に記憶させる第二の処理を行なう処理工程とを備えることを特徴とする画像処理装置の制御方法。

【請求項６】

前記処理工程は、受信したラインデータの画像種別に応じて、当該ラインデータに対して前記第一の処理を行なうか、または前記第二の処理を行なうかを決定することを特徴とする請求項５に記載の画像処理装置の制御方法。

【請求項７】

前記処理工程は、前記第一の処理を行なう際には、前記第一のラインデータを長さ方向に分割することで前記複数のラインデータを作成し、前記第二の処理を行なう際には、前記第二のラインデータをビット深さ方向に分割することで前記複数のラインデータを作成することを特徴とする請求項５又は６に記載の画像処理装置の制御方法。

【請求項８】

前記処理工程が前記第一の処理で複数の前記記憶部の夫々に記憶させた前記複数のラインデータを読み出し、前記読み出した複数のラインデータを前記第一のラインデータに復元する処理又は前記処理工程が前記第二の処理で複数の前記記憶部の夫々に記憶させた前記複数のラインデータを読み出し、前記読み出した複数のラインデータを前記第二のラインデータに復元する処理を行なう復元工程を更に備えることを特徴とする請求項５乃至７のいずれか１項に記載の画像処理装置の制御方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、画像をディジタル的に処理する画像処理装置及びその制御方法に関し、特に、画像の階調数及び解像度を変えることができる画像処理装置及びその制御方法に関するものである。

【０００２】

【従来の技術】

原稿画像をＣＣＤラインセンサー等により光学的に読み取り、それによって得た画像データに基づいて画像記録を行うディジタル複写機が知られている。このディジタル複写機においては、画像の読み取り解像度（空間解像度）は６００ｄｐｉ、階調度は２５６階調が主流となっている。従って、空間フィルター等の画像処理回路内で１ライン分の画像データを蓄積する場合、Ａ４サイズ紙の長手方向の画像分の容量として７０００～８０００Ｂｙｔｅ（約８０００ステージ＊８ｂｉｔ）程度のメモリが必要となっている。空間フィルタ等のように５ライン、または７ライン以上のデータが必要な部分については７０００～８０００Ｂｙｔｅのメモリがその分だけ必要となる。

【０００３】

【発明が解決しようとする課題】

半導体技術の進歩により、ＩＣ内部にロジック回路だけでなくメモリも内蔵させ、部品点数の削減を図るケースが増えてきているが、メモリはＩＣ内部の大きな面積を占めており、高集積化のボトルネックとなっている。画像処理回路内のメモリの削減の必要性が高まっている。

【０００４】

【課題を解決するための手段】

本発明は以上の点に鑑みてなされたもので、その目的は画像処理回路内のメモリ容量を効果的に削減した画像処理装置及びその制御方法を提供することにある。

【０００５】

本発明者は上述の目的を達成するため鋭意検討した結果、写真等の階調性が重視される画像は、空間解像度よりも、濃度（階調性）の再現性が重要であること、文字や表等の文書が中心の画像については、中間調の部分が殆どなく、あったとしても解像度の高さが視覚上重要であることを見いだし、本発明に到達した。

【０００６】

すなわち、本発明の要旨は、ステージ数が所定値であり、かつビット幅が所定値である記憶手段を複数備え、更に、受信したラインデータの階調数及び解像度のうち少なくとも階調数を減少させ、階調数が記憶手段におけるビット幅以下である第一のラインデータを作成する第一作成手段と、受信したラインデータの階調数及び解像度のうち少なくとも解像度を減少させ、画素数が記憶手段におけるステージ数以下である第二のラインデータを作成する第二作成手段と、第一のラインデータを、各ラインデータの画素数が記憶手段におけるステージ数以下となる複数のラインデータとして、複数の記憶手段の夫々に記憶させる第一の処理又は第二のラインデータを、各ラインデータの階調数が記憶手段におけるビット幅以下となる複数のラインデータとして、複数の記憶手段の夫々に記憶させる第二の処理を行なう処理手段とを備えることを特徴とする画像処理装置に存する。

【０００７】

また、本発明の別の要旨は、ステージ数が所定値であり、かつビット幅が所定値である記憶部を複数備える画像処理装置の制御方法であって、更に、受信したラインデータの階調数及び解像度のうち少なくとも階調数を減少させ、階調数が記憶部におけるビット幅以下である第一のラインデータを作成する第一作成工程と、受信したラインデータの階調数及び解像度のうち少なくとも解像度を減少させ、画素数が記憶部におけるステージ数以下である第二のラインデータを作成する第二作成工程と、第一のラインデータを、各ラインデータの画素数が記憶部におけるステージ数以下となる複数のラインデータとして、複数の記憶部の夫々に記憶させる第一の処理又は第二のラインデータを、各ラインデータの階調数が記憶部におけるビット幅以下となる複数のラインデータとして、複数の記憶部の夫々に記憶させる第二の処理を行なう処理工程とを備えることを特徴とする画像処理装置の制御方法に存する。

【０００８】

【発明の実施の形態】

以下、本発明を好ましい実施形態を用いて説明する。

【０００９】

図１は、本発明を適用したデジタル複写機の構成を示し、以下、図に従い説明する。

【００１０】

露光ランプ２０１は、蛍光灯、ハロゲンランプ等からなり、その長手方向に対して垂直方向に移動しながら、原稿載置ガラス（原稿台）２００上の原稿を照射する。露光ランプ２０１の照射による原稿からの散乱光は、第１、第２、第３のミラー２０２，２０４，２０５に反射され、レンズ２０７に到達する。この時、露光ランプ２０１と第１のミラー２０２で構成される第１の可動体２０３の移動に対して、第２のミラー２０４と第３のミラー２０５で構成される第２の可動体２０６は、１／２のスピードで移動し、照射した原稿面から、レンズ２０７までの距離は常に一定に保たれる。原稿上の像は、ミラー２０２，２０４，２０５及びレンズ２０７を介して、数千個の受光素子がライン配列されたＣＣＤラインセンサー２０８の受光部上に結像し、ＣＣＤラインセンサー２０８により逐次、ライン単位で光電変換される。光電変換された信号は、図示せぬ信号処理部で処理され、パルス幅変調されて出力される。

【００１１】

露光制御部２１０は、信号処理部の出力であるパルス幅変調した画像信号に基づいて半導体レーザを駆動し、光ビームを定速回転している感光体２４０の表面に照射する。この時、ドラム状の感光体２４０の軸方向と平行にポリゴンミラーを用いて光ビームを偏向走査する。また、露光制御部２１０は、冷却ファン２０９により冷却される。

【００１２】

なお、感光体２４０は、光ビームを照射する前に、図示せぬ前露光ランプによりドラム上の残量電荷が除電され、１次帯電器２２８でその表面が均一に帯電させている。従って、感光体２４０は回転しながら光ビームを受けることにより、ドラム表面に静電潜像が形成される。そして、現像器２１１により、ドラム表面の静電潜像を所定色の現像剤（トナー）で可視化する。

【００１３】

一方、２２３，２２４は被転写紙積載部で、定形サイズの被転写紙が積載収納される。

【００１４】

リフトアップ２２５，２２６は、被転写紙積載部２２３，２２４に収納されている被転写紙を給送ローラー対２２９，２３２の位置まで持ち上げる動作をする。給送ローラー対２２９，２３２は、図示せぬ同一のモーターにより駆動され、ローラー回転方向の切り替えにより、被転写紙積載部２２３または２２４の一方から被転写紙を選択的に給紙する。また、給送ローラー対２２９及び２３２の夫々の対のローラーは、給紙と逆回転方向にトルクがかけられており、これにより被転写紙の重送を防止している。

【００１５】

給送ローラー２３０，２３３，２３４，２３５は、被転写紙積載部２２３，２２４からの被転写紙を、レジストローラー２３８まで給送する。本実施形態では、第３、第４の被転写紙積載部をさらに下方に連結して、拡張することが可能であり、２３１は、下方に連結された被転写紙積載部から被転写紙を給送ローラへ導く給紙動作をする給送ローラー対である。また、操作部上で手差し給紙モードを選択した場合、手差しトレー２３７を開いて被転写紙を手差し給紙すれば、給送ローラー２３６がレジストローラー２３８までその手差しされた被転写紙を給送する。

【００１６】

レジストローラー２３８は、感光体２４０に形成された画像先端と、被転写紙の先端のタイミングを合わせて転写位置に被転写紙を給紙する。２３９は転写帯電器で、感光体２４０上の現像されたトナー像を給送された被転写紙に転写する。転写後、感光体２４０は、クリーナー２２７により、残ったトナーを除去される。転写の終了した被転写紙は、感光体２４０の曲率が大きいため、感光体２４０から分離しやすいが、さらに、除電針２４４に電圧をかけることで、感光体２４０と被転写紙の間の吸着力を弱め、分離を行いやすくしている。

【００１７】

分離された被転写紙は、搬送ベルト２４１で定着部２１２，２１３に送られ、トナーが定着される。２１２は、セラミック・ヒーター、及びフィルム、２つのローラーで構成され、セラミック・ヒーターの熱は、薄いフィルムを介して効率よく伝達される。冷却ローラー２１４は、定着部ローラー２１３を放熱する。給送ローラー２１５は、大ローラー１つと小ローラー２つで構成され、定着部からの被転写紙を給送すると共に、被転写紙の巻き癖を補正する。

【００１８】

方向フラッパー２２２は、被転写紙の搬送方向を、動作モードに応じて切り替える。被転写紙の片面へ１度の転写を施すモード（片面記録時）においては、給送ローラー２１５から排紙ロへ向かう経路が選択される。２１６は排紙ローラ対で、画像形成の終了した被転写紙を排紙トレー２４２に積載排紙する。

【００１９】

なお、両面記録時は、片面の現像を終えて排紙ローラー対２１６による排紙動作中、被転写紙の後端を残した状態で、排紙ローラー対２１６を逆回転させる。また、同時に方向フラッパー２２２の向きを切り替えて、方向フラッパー２２２の下方を通過させ、排紙口から給送ローラー２１７へ被転写紙を送る。給送ローラー２１７は、給送ローラー２１５と同様の構成を有し、被転写紙の巻き癖を補正し、被転写紙を中間トレー２４３へ送る。その後、被転写紙は、中間トレー２４３から給送ローラー２１８，２１９，２２１，２３５の順で、前述の転写位置に給紙され、被転写紙の裏面へのトナー転写が行われ、更に排紙トレー２４２に排出される。

【００２０】

また、多重記録時は、給送ローラー２１５を通過した被転写紙は、方向フラッパー２２２の向きの切り替えにより、図面上、方向フラッパー２２２の右側を通過し、給送ローラー２１７へ送られる。給送ローラー２１７は、被転写紙を中間トレー２４３へ送る。その後被転写紙は、中間トレー２４３から給送ローラー２１８，２１９，２２１，２３５の順で、前述の転写位置に給紙され、前回の転写と同一面にトナー転写が行われ、更に排紙トレー２４２に排出される。

【００２１】

両面記録時、または多重記録時において、複数枚記録する場合、１枚目の被転写紙は、停止した給送ローラー２１８で固定された状態で、中間トレー２４３に積載される。給送ローラー２１８は、２枚目の被転写紙が到達すると、回転を開始して、２枚の被転写紙をローラー間に挟む。２枚の被転写紙は、停止した給送ローラー２１８で固定された状態で、中間トレー２４３に積載される。３枚目以降の被転写紙も、同様にして、中間トレー２４３に積載される。この時、後から重ねられた被転写紙の先端は、図２に示すように給送方向に対して、後方にずらして重ねられる。

【００２２】

操作者の所望の枚数が中間トレー２４３に重ねられると、中間トレー２４３からの給送動作が開始する。給送ローラー２１８，２１９が、給送ローラー２２１へ被転写紙を送る途中、分離レバー２２０が１枚目と２枚目の被転写紙の先端の間に降りて、１枚目の被転写紙はそのまま給送ローラー２２１へ送られ、給送ローラー２３５により給紙され、転写位置に導かれて転写が行われる。また、２枚目以降の被転写紙は分離レバー２２０の上に乗り上げた後、給送ローラー２１８，２１９が逆回転して中間トレー２４３に戻される。同様の動作を繰り返して、中間トレー２４３の全ての被転写紙を給送する。

【００２３】

なお、紙検出センサーが、被転写紙の搬送路に配置され、紙詰まりなどのエラー検知、及び各部の動作タイミングを計るために用いられる。第１のセンサー２５０は、給送ローラー２３５の手前、第２のセンサー２５１は、レジストローラー２３８の手前、第３のセンサー２５２は、給送ローラー２１５の手前、第４のセンサー２５３は、排紙ローラー対２１６と排紙口の間、第５のセンサー２５４は、給送ローラー２１７の直後、第６のセンサー２５５は、分離レバー２２０の手前に配置されている。

【００２４】
また、２６０は標準白色板で、ＣＣＤラインセンサー２０８の感度不均一や光源、光量の不均一等に起因する画像信号の出力レベルのバラツキ（シェーディング歪）を補正するためのシェーディング補正データを得るためのものである。原稿のスキャンに先だって、ＣＣＤラインセンサー２０８によって、この標準白色板２６０を複数回スキャンし、それによって得た白画像データをシェーディング補正データとして用い、原稿画像をＣＣＤラインセンサー２０８でスキャンして得た画像信号のレベル不均一補正（シェーディング補正）を行う。
【００２５】
図３に、本発明の自動原稿送り装置（以下、ＡＤＦ）の断面図を示す。
ＡＤＦは、本体に対して着脱可能で、原稿台に対して開閉可能なフタのような構造になっている。図３は閉じた状態で、この時、ＡＤＦが動作可能である。１５１５は、原稿台ガラス（図１の原稿台２００に対応）であり、１５１６は、付き当て板で、本体側に属する部材である。また、図示せぬケーブルによって、ＡＤＦと本体は電気的に連結し、本体との連帯動作を可能にしている。
【００２６】
サイド規制部材１５０１は原稿の送り方向に対して垂直な方向、図面上では手前、及び奥方向に可動し、原稿の幅と位置を合わせる部材である。操作者が原稿積載トレー部１５１７上に原稿面を下向きにして原稿を載せ、サイド規制部材１５０１をセットして、コピースタートキー３０５を操作しコピー動作などをスタートさせると、原稿送りの開始信号が、ケーブルを介して本体より伝達され、原稿送り動作がスタートする。
【００２７】
レバー１５１８は、給紙時、ローラー押さえ１５０２を押し下げて、ストッパー１５１９を上方に持ち上げ、給紙ローラー１５０３の回転により給紙する。分離ローラー１５０５、及びローラー押さえ１５０４は、給紙ローラー１５０３から受けた原稿を１枚ずつ分離して送る。レジストローラ対１５０８，１５０９は、分離ローラー１５０５から受けた原稿を、原稿押さえ１５１０と、原稿台ガラス１５１５の間に送る。原稿押さえ１５１０は、レジストローラ対１５０８，１５０９より給紙された原稿を、原稿台ガラス上に導く形状になっている。また、原稿が原稿台ガラス１５１５に密着するように、図示せぬバネ部材により適度に加圧されている。
【００２８】
このとき、デジタル複写機本体の第１の可動体２０３は、原稿が原稿台ガラス１５１５に密着する位置１５２０の下方に移動して停止している。これにより、ＡＤＦによって送られる原稿をスキャンする（ＣＣＤラインセンサー２０８で光電変換する）。排紙ローラ対１５１１，１５１２は、スキャンされた後の原稿を排紙トレー１５１４上に排紙する。
【００２９】
なお、１５０６，１５０７，１５１３は、原稿送り動作中の原稿の通過状態を検知するレバースイッチで、ＯＮ／ＯＦＦのタイミングで紙詰まりなどのエラーを判定する。
【００３０】
図４は、デジタル複写機の操作部のキー配列を示し、以下、図に従い説明する。３１５は、主電源ランプであり、電源オン時に点灯する。図示せぬ電源スイッチは、本体の側面に配置され、本体への通電を制御する。３０１は、予熱キーであり、予熱モードのＯＮ／ＯＦＦに使用する。
【００３１】
３０４は、コピーモードキーであり、複数の機能の中からコピーモードを選択するときに使用する。３０３は、ファックスモードキーであり、ファクシミリ機能を付加した場合にファックスモードを選択するときに使用する。３０２は、オプションモードキーであり、プリンタなどのオプション装置を装着しているとき、複数の機能の中からオプションモードを選択するときに使用する。３１７～３２２は、状況表示ランプであり、それぞれ、ランプ３１７及び３１８はコピー動作中、ランプ３１９及び３２０はファクシミリ動作中、

ランプ３２１及び３２２はオプション動作中の状態を示す。また、ランプ３１７，３１９，３２１は正常動作の状態を示し、ランプ３１８，３２０，３２２は、エラーの状態を示す。更に、ランプ３１７は、点滅ならばコピー中、点灯ならば画像メモリを使用中である事を示す。

【００３２】

ランプ３１９は、点滅ならばファックス送受信中、点灯ならば画像メモリを使用中である事を示す。ランプ３２１は、点滅ならばデータ受信中、点灯ならばデータ送信中である事を示す。そして、ランプ３１８，３２０，３２２は、各モードについて、点滅ならば、紙詰まり、紙なし、トナーなしの状態を示し、点灯ならば、故障の状態を示す。

【００３３】

３０５は、コピースタートキーであり、コピーの開始を指示するときに用いるキーである。３０６は、ストップキーであり、コピーを中断したり、中止したりするときに用いるキーである。

【００３４】

３０８は、リセットキーで、スタンバイ中は標準モードに復帰させるキーとして動作する。３０９は、ガイドキーであり、各機能を知りたいときに使用するキーである。３１１は、割り込みキーであり、コピー中に割り込みしてコピーしたいときに用いる。３１２は、テンキーであり、数値の入力を行うときに使用する。３１３は、クリアキーであり、数値をクリアするときに用いる。３１０は、ユーザーモードキーであり、ユーザーがシステムの基本設定を変更するときに使用する。

【００３５】

３１４は、２０個のワンタッチ・ダイヤル・キーであり、ファクシミリ送信において、ワンタッチでダイヤルする時に使用する。３１６は２枚組のフタであり、ワンタッチ・ダイヤル・キー３１４の各キー部分がくり抜かれ形状の２重のフタになっている。図示せぬセンサースイッチにより、２枚のフタが閉じられた第１の状態、１枚目のフタだけが開いた第２の状態、及び２枚のフタが開いた第３の状態を検出する。これら３種類のフタの開閉状態と組み合わせで、ワンタッチ・ダイヤル・キー３１４のキーの動作が決定されるので、本実施形態では、キーが２０×３＝６０個存在するのと同等の効果を持つ。

【００３６】

３０７は、液晶画面とタッチセンサの組合せからなるタッチパネルであり、各モード毎に個別の設定画面が表示され、さらに、描画されたキーに触れることで、各種の詳細な設定を行うことが可能である。

【００３７】

図５は、デジタル複写機の信号処理のブロック図を示し、以下、図に従い説明する。数千個の受光素子からなるＣＣＤラインセンサー４０１（図１のＣＣＤラインセンサー２０８に対応）は、１ライン分の電気信号を、奇数画素と偶数画素の２系統に分けて出力する。Ａ／Ｄ変換部４０２は、ＣＣＤラインセンサー４０１から出力されるアナログ信号を受けて、ディジタル信号に変換して出力する。

【００３８】

図６は、Ａ／Ｄ変換部４０２の詳細を示す。アナログ処理回路９０１はＣＣＤラインセンサーの２系統の信号を入力し、各系統毎に、クランプ、ゲイン調整、及びサンプルホールドを実施した後、スイッチング処理によって、１系統に統合してＡ／Ｄ変換器９０２へ出力する。また、一定基準電圧をアナログスイッチ９０３へ供給する。Ａ／Ｄ変換器９０２は、信号入力にアナログ処理回路９０１の出力信号を入力し、アナログスイッチ９０３からの基準電圧入力の電圧を基準にして、８ビットのディジタル信号を出力する。

【００３９】

ＡＥ回路９０４は、Ａ／Ｄ変換器９０２の基準電圧を制御して、原稿の地の部分のＡ／Ｄ変換器出力を白レベル（ＦＦｈｅｘ）に近づける動作をする。アナログスイッチ９０３は、アナログ処理回路９０１からの一定基準電圧と、ＡＥ回路９０４からの基準電圧のうちの一方を、ＣＰＵ４２３からの制御信号に従い、選択してＡ／Ｄ変換器９０２に出力する

。
【００４０】
尚、図示せぬ駆動信号発生回路が設けられ、これによりＣＣＤラインセンサー、アナログ処理回路９０１、Ａ／Ｄ変換器９０２に同期信号などライン単位の信号や、駆動クロックを供給する。
【００４１】
ＡＥ回路９０４は、Ａ／Ｄ変換器９０２の出力を基にして、Ａ／Ｄ変換器の基準電圧値を制御する。即ち、ＡＥ回路９０４は、Ａ／Ｄ変換器９０２の出力がＦＦｈｅｘならば、ＡＥ回路９０４に接続された図示せぬ第１のコンデンサと第１の抵抗により決まる第１の時定数に従い、図７の（２）に示すように基準電圧出力を上昇させる。またＡ／Ｄ変換器９０２の出力がＦＦｈｅｘでなければ、ＡＥ回路に接続された図示せぬ第２のコンデンサと第２の抵抗により決まる第２の時定数に従い、図７の（１）に示すように基準電圧出力を下降させる。尚、画像信号の変化により急激に基準電圧出力が変化しないように、上記のそれぞれの時定数を数十ライン分に設定している。
【００４２】
図５において、シェーディング補正部４０３は、Ａ／Ｄ変換されたディジタル信号を入力し、主に光学系、及びセンサーの画素間の出力値のばらつきを黒レベル、及びゲインについてディジタル的に補正する。
【００４３】
パターンジェネレータ４０４は、スキャナー部（４０１～４０３）以後の機能チェックのため、縦罫線、横罫線、格子縞、グレースケールなどの各種画像パターンを発生する。セレクタＡ４０５は、シェーディング補正部４０３、またはパターンジェネレータ４０４の出力の一方を、ＣＰＵ４２３の制御信号に従い選択して、出力する。
【００４４】
コネクタＡ４０６は、画像入力信号、画像出力信号、画素クロック信号、画像イネーブル信号、同期信号の各端子を含む。画像出力信号の端子にはセレクタＡ４０５の出力が接続され、新たな信号処理回路をコネクタＡ４０６に接続する事により、機能の拡張を可能にする。セレクタＢ回路をコネクタＡ４０６に接続する事により、機能の拡張を可能にする。セレクタＢ４０７は、セレクタＡ４０５の出力信号と、コネクタＡ４０６からの出力信号のうちの一方を、ＣＰＵ４２３の制御信号に従い選択して、出力する。
【００４５】
変倍処理部４０８は、主走査方向の間引き処理、線形補間処理、副走査方向の間引き処理、斜体処理、鏡像処理、リピート処理、折り返し処理の機能を有する。
【００４６】
主走査方向の変倍は、セレクタＢ４０７の信号を入力し、線形補間処理により隣接２画素から画素値を演算することにより実現する。但し、主走査方向の変倍率が５０％以下の場合、モアレや細線の途切れを防止するため、前処理として主走査方向間引き処理が実施される。前処理では、隣接するｎ画素（ｎ＝２，４，８）について、（ａ）最大値または、（ｂ）平均値を出力する。ｎの値と、処理（ａ）（ｂ）の選択はＣＰＵ４２３により実施される。
【００４７】
副走査方向の変倍は、露光ランプやミラーなどの光学系の走査スピードを変更するか、自動原稿給紙装置の使用時は、原稿台２００への給紙のスピードを変更して変倍を実現する。ただし、光学系の走査スピードや、給紙のスピードの高速化の限界を超える位の小さい変倍率の場合、この変倍処理部４０８の副走査方向の電気的な間引き処理と合わせて変倍を実現する。副走査方向の間引き処理では、ＳＲＡＭメモリーＡ４０９からなるラインバッファーを有し、ライン間で隣接するｎ画素（ｎ＝２，４，８）について（ａ）最大値または、（ｂ）平均値を出力する。ｎの値と、処理（ａ），（ｂ）の選択はＣＰＵ４２３により実施される。
【００４８】

また、斜体処理、鏡像処理、リピート処理、折り返し処理の各機能は、ＳＲＡＭメモリーＡ４０９からなるラインバッファーの読みだし制御により実現している。

【００４９】

ヒストグラム作成は、セレクタＢ４０７の出力を受けて、変倍処理部４０８のＳＲＡＭメモリーＡ４０９を利用してヒストグラムを作成する。ヒストグラム作成におけるサンプリング間隔、及びサンプリング範囲を決める信号は、タイミング信号発生器４２４により制御される。タイミング信号発生器４２４は、ＣＰＵ４２３により制御される。作成されたヒストグラムのデータは、プリスキャン使用時のＡＥモードにおいて、輝度濃度変換のテーブル決定のために用いられる。

【００５０】

フィルター処理部４１０は、ラインバッファー４１１を有し、変倍処理後の信号を入力し、５×５のマスクサイズでフィルター処理を実施する。フィルター処理部４１０のフィルタを構成する係数は、図８に示すように、ａ～ｆの６種類で、点対称の位置にある係数は同じ値に設定される。また、ａ～ｆは次の関係式を持つ。

ａ＋４＊（ｂ＋ｃ＋ｄ＋ｆ）＋８＊ｅ＝１

このフィルター処理部４１０の係数を調節する事により、光学系、出力系の補正、及びユーザーによるシャープネスの調節を実現している。

【００５１】

画像処理部４１２は、フィルター処理部４１０の信号を入力し、マスキング処理、または反転処理を実施する。コネクタＢ４１３は、画像入力信号、画像出力信号、画像クロック信号、画像イネーブル信号、同期信号の各端子を含む。画像出力信号の端子にはフィルター処理部４１０の出力が接続され、新たな信号処理回路をコネクタＢ４１３に接続する事により、機能の拡張を可能にする。

【００５２】

セレクタＣ４１４は、画像処理部４１２の出力信号と、コネクタＢ４１３からの出力信号のうちの一方を、ＣＰＵ４２３の制御信号に従い選択して、出力する。コネクタＣ４１５は、画像入力信号、画像出力信号、画素クロック信号、画像イネーブル信号、同期信号、アドレス・バス、データ・バス、割り込み信号の各端子を含む。画像出力信号の端子にはセレクタＣ４１４の出力が接続され、新たなシステムをコネクタＣ４１５に接続する事により、機能の拡張を可能にする。

【００５３】

合成処理部４１６は、セレクタＣ４１４の出力信号を一方の入力Ａに入力し、コネクタＣ４１５からの出力信号を他方の入力Ｂに入力し、合成処理して出力する。出力の種類は、（１）はめ込み合成、（２）多重合成、（３）網乗せ、（４）透かし合成、（５）入力Ａをスルー、（６）入力Ｂをスルーがあり、ＣＰＵ４２３の制御信号により選択される。

【００５４】

各合成を図９で説明する。はめ込み合成は、画像の１部を抜き取って、他の画像にはめ込む処理で、（ｄ）はその１例で、（ｂ）の長方形の周辺の矩形のエリアを抜き取って、（ａ）にはめ込んだ画像である。多重合成は、２枚の画像について、濃度の濃い方を選択して合成する処理で、（ｅ）はその１例で、（ａ）と（ｂ）から合成した画像である。透かし合成は、一方の画像の濃度が所定のしきい値以下の画素を、もう一方の画像で置き換える。この時、置き換える画像は、所定の係数を乗算して濃度を小さくし、透かしのような効果を持たせる。（ｆ）はその１例で、（ｂ）の画像に対して、（ａ）を透かしにして合成している。網乗せは、一方の画像の濃度が所定のしきい値以上の画素を、もう一方の画像で置き換える。（ｇ）はその１例で、（ａ）の画像の濃度の濃い円が、（ｃ）の模様で置き換えられている。

【００５５】

テーブル変換処理部４１７は、合成処理部４１６の出力信号を入力し、接続されているＳＲＡＭメモリーＢ４１８のデータに従い、テーブル変換処理して出力する。

【００５６】

２値化処理部４１９は、テーブル変換処理部４１７の出力信号を入力し、所定の２値化方式で処理するか、スルーで出力するかを、ＣＰＵ４２３の制御信号に従い、選択して出力する。

【００５７】

本実施の２値化においては、１画素を主走査方向について２分割し、分割された小画素を２値で表し、主走査方向の解像度を向上している。バッファー４２０は、２値化処理部４１９の出力信号を入力し、バッファー４２０以前と以後の処理速度、及び画像信号の読み出し開始時間を調整している。

【００５８】

ＰＷＭ回路４２１は、バッファー４２０からのディジタル信号を入力し、パルス幅変調して出力する。また、ＰＷＭ回路４２１は３種類の変調方式を有し、システムのモードに応じて適切な変調方式がＣＰＵ４２３により選択されて処理が行われる。

【００５９】

第１の変調方式は、解像度優先モードであり、図１０（ａ）に示すように、８ビットで表された画素データを、Ｄ／Ａ変換、及びサンプル・ホールドし、１画素周期の三角波信号とコンパレートして、ＰＷＭ出力をする。

【００６０】

第２の変調方式は、階調優先モードであり、図１０（ｂ）に示すように、８ビットで表された画素データを、Ｄ／Ａ変換、及びサンプル・ホールドし、３画素周期の三角波信号とコンパレートして、ＰＷＭ出力する。尚、図１０（ｅ）は、サンプル・ホールドの周期と三角波信号を共に３画素周期にした変調方式を示すが、低周波の変調信号が得られ、安定した階調特性が得られる。第２の変調方式において、低周波の画像データに対して図１０（ｅ）と同様の特徴が得られるが、さらに図１０（ｄ）に示すように、振幅が大きく、かつ高周波の成分に対して、成分を保存したまま変調する特徴も合わせ持つ。

【００６１】

第３の変調方式は、２値画像モードであり、図１０（ｃ）に示すように、１画素を主走査方向に４分割した、２値の変調信号を出力する。４分割された小画素の値は、第１の画素クロックの立ち上がり、立ち下がり、及び第１の画素クロックを１／４位相遅延した第２の画素クロックの立ち上がり、立ち下がりを用いて、画素データのそれぞれビット７、ビット５、ビット６、ビット４をラッチして得る。本実施形態の２値化方式では、ビット７とビット６、及びビット５とビット４の組み合せでそれぞれ１小画素を作り、１画素を主走査方向に２分割した形で使用する。

【００６２】

レーザー部４２２は、ＰＷＭ回路４２０の出力を受けて、レーザーの点灯動作を制御する。タイミング発生器４２４、制御信号発生部４２５は、スキャン動作を開始する前の段階で、ＣＰＵ４２３により設定される。タイミング発生器４２４は、システム各部のタイミング信号を発生する。また、制御信号発生部４２５は、ＣＰＵ４２３の拡張ポートとして動作し、システム各部の制御信号として用いられる。また、ＣＰＵ４２３のバスであるシステム・アドレス・バス、及びシステム・データ・バスは、各コネクタに接続され、ＣＰＵ４２３は、コネクタに連結されたシステムを制御する。

【００６３】

４２６は図４に示す操作部であり、ＣＰＵ４２３はキー入力及び表示の制御も行う。また、ＣＰＵ４２３は図３のＡＤＦの制御並びに露光制御部２１０のポリゴンミラーを駆動するドライバー４２８の駆動制御を行う。

【００６４】

図１１及び図１２は、デジタル複写機を元に他の機能を付加した画像形成システムの構成を示し、以下、図に従い説明する。図１１は基本のコピー機能にファクシミリ機能、プリンター機能、電子ソーター機能を付加したシステムであり、図１２はファクシミリ機能のみを付加したシステムを示す。

【００６５】

図１１及び図１２において、信号処理部５０１は前述の図５に示した基本のコピー機能に関する処理を実施し、ファクシミリ部５０３、プリンタ部５０５、画像蓄積部５０４は、それぞれファクシミリ機能、プリンター機能、電子ソーター機能に関する処理を実施する。画像蓄積部５０４は、さらに、外部コネクタを有し、外部スキャナーや電子ファイルなどの機能を付加する事も可能である。図１１においては、外部記憶装置としてのハードディスク１９０９が接続されている。

【００６６】

解像度・階調数変換部５０２は、各機能毎に解像度、及び階調数が異なるため、機能間の解像度、及び階調数の整合をとり、最適な画質に変換する動作をする。この解像度・階調数変換部５０２を信号処理部５０１に接続する事で、必要に応じて、システムを拡張する事を可能にしている。信号処理部５０１と解像度・階調数変換部５０２との接続は、図５のコネクタＣ４１５を介して行われる。

【００６７】

解像度・階調数変換部５０２と信号処理部５０１、ファクシミリ部５０３、画像蓄積部５０４、及びプリンタ部５０５を接続する各コネクタには、システムのアドレス・バス、データ・バス、同期信号、画素クロック信号、割り込み信号などの端子が含まれている。このうち、アドレス・バス、データ・バスは、図５のＣＰＵ４２３のバスである。また、同期信号は、タイミング発生器４２４から発生している。画素クロック信号は、信号処理部の図示せぬ発振器より発生する。割り込み信号は、ファクシミリ部５０３、画像蓄積部５０４及びプリンタ部５０５から、処理の要求や、処理の終了、エラーの発生などを図５のＣＰＵ４２３に伝達するために用意されている。

【００６８】

図１３は、解像度・階調数変換部５０２の内部のブロック図を示す。マルチプレクサーＡ６０１は、信号処理部５０１、ファクシミリ部５０３、プリンタ部５０５、画像蓄積部５０４からの出力信号を受け、第１、第２、第３、第４の信号経路へ振り分ける。第１の信号経路は、スルーの経路であり、第２の信号経路は、２値の画像信号を受けて曲線の輪郭を滑らかに見せる処理をして出力する経路であり、輪郭平滑化処理部Ａ６０２がマルチプレクサーＡ６０１から２値の画像信号を受け、１画素を主走査方向について４分割した小画素に対して、それぞれ１ビットを割り当て、画素当たり４ビットで出力する。

【００６９】

第３の信号経路は、多値信号を２値化する経路で、テーブル変換処理部６０３がマルチプレクサーＡ６０１から多値信号を受けてテーブル変換し、更に２値化処理部６０４がテーブル変換処理部６０３の出力信号を受けて、平均濃度法を用いて２値化処理する。この時、１画素を主走査方向について２分割した小画素に対して、それぞれ１ビットを割り当て、画素当たり２ビットで出力する。

【００７０】

第４の信号経路は、様々な解像度の２値画像を受けて曲線の輪郭を滑らかに見せる処理をして８ビットの多値出力する経路であり、輪郭平滑化処理部Ｂ６０５が、マルチプレクサーＡ６０１から２値信号を受けて、曲線の輪郭を滑らかに見せる処理をして、８ビットの多値信号を出力し、更に変倍処理部６０６が、輪郭平滑化処理部６０５の多値出力を受けて、線形補間して８ビットの多値信号を出力する。

【００７１】

マルチプレクサーＢ６０７は、第１、第２、第３、第４の信号経路からの信号を受け、信号処理部５０１、ファクシミリ部５０３、プリンタ部５０５、画像蓄積部５０４へ振り分ける。

【００７２】

ファクシミリ送信動作において、画像信号は信号処理部５０１から解像度・階調数変換部５０２を介して、ファクシミリ部５０３へ送られる。この時、図１３のマルチプレクサーＡ６０１は、１…＞Ｃが選択され、画像信号は第３の信号経路を通過し、マルチプレクサーＢ６０７は、３…＞Ｄが選択されるよう、ＣＰＵが制御する。また、ファクシミリ受信

動作において、ファクシミリ部５０３から解像度・階調数変換部５０２を介して、画像信号は信号処理部５０１へ送られる。この時、図１３のマルチプレクサーＡ６０１は、４…＞Ｄが選択され、第４の信号経路を通過し、マルチプレクサーＢ６０７は、４…＞Ａが選択されるよう、ＣＰＵが制御する。

【００７３】

プリンター動作において、プリンタ部５０５から解像度・階調数変換部５０２を介して、画像信号は信号処理部５０１へ送られる。この時、図１３のマルチプレクサーＡ６０１は、２…＞Ｂが選択され、画像信号は第２の信号経路を通過し、マルチプレクサーＢ６０７は、２…＞Ａが選択されるよう、ＣＰＵが制御する。

【００７４】

また、プリンター動作において、異なる用紙サイズへの定形変倍をする場合、画像信号はプリンタ部５０５から解像度・階調数変換部５０２を介して、信号処理部５０１へ送られる。この時、図１３のマルチプレクサーＡ６０１は、２…＞Ｄが選択され、画像信号は第４の信号経路を通過し、マルチプレクサーＢ６０７は、４…＞Ａが選択されるよう、ＣＰＵが制御する。

【００７５】

電子ソーター機能などの使用時、画像信号は信号処理部５０１から解像度・階調数変換部５０２を介して、画像蓄積部５０４へ送られる。この時、図１３のマルチプレクサーＡ６０１は、１…＞Ａが選択され、画像信号は第１の信号経路を通過し、マルチプレクサーＢ６０７は、１…＞Ｃが選択されるよう、ＣＰＵが制御する。

【００７６】

プリンタ機能において、画像データを逆順にソートして出力する場合、画像信号は１度、プリンタ部５０５から解像度・階調数変換部５０２を介して、画像蓄積部５０４へ送られる。この時、図１３のマルチプレクサーＡ６０１は、１…＞Ａが選択され、画像信号は第１の信号経路を通過し、マルチプレクサーＢ６０７は、１…＞Ｃが選択されるよう、ＣＰＵが制御する。画像蓄積部５０４は、ハードディスク１９０９へ画像を書き込み、読み出す時は逆の順番で読み出す。読み出した画像信号は、画像蓄積部５０４から解像度・階調数変換部５０２を介して、信号処理部５０１へ送られる。この時、図１３のマルチプレクサーＡ６０１は、３…＞Ｂが選択され、画像信号は第２の信号経路を通過し、マルチプレクサーＢ６０７は、２…＞Ａが選択されるよう、ＣＰＵが制御する。

【００７７】

図１４は、ファクシミリ部５０３のブロック図を示し、以下、図に従い説明する。コネクタＣ７０１は、システムのアドレス・バス、データ・バス、ビデオ入力信号、ビデオ出力信号、同期信号、画素クロック信号、割り込み信号などの端子を含む。このコネクタＣ７０１によりファクシミリ部５０３と解像度・階調数変換部５０２が接続される。

【００７８】

ファクシミリの送信動作において、メモリコントロール部７０３は、コネクタＣ７０１からのビデオ入力信号を受け、画像用メモリー７０４に画像データを蓄積する。

【００７９】

エンコード／デコード処理部７０２は、画像用アドレス・バス、データ・バスを介して、メモリコントロール部７０３に接続されている。エンコード／デコード処理部７０２は、ＤＭＡコントローラーを内蔵し、メモリコントロール部７０３との通信により、画像用メモリー７０４からＤＭＡ転送で高速に画像データを取り込み、取り込んだ画像データをエンコード処理し、符号化したコードをＤＭＡ転送により符号用メモリー７０５に蓄積する。なお、符号用メモリー７０５は、停電などのシステムの電源のトラブルに対応するため、バックアップ電源７０６によりデータの保護対策を施されている。

【００８０】

システムのアドレス・バス、データ・バスに接続されたエンコード／デコード処理部７０２、メモリコントロール部７０３、モデム部７１０、音声合成部７１１は、コネクタＣ７０１を介して接続されているＣＰＵ４２３により制御される。

【００８１】
エンコード／デコード処理部７０２は、画像メモリー７０４内の画像のエンコードが終了すると、終了を知らせるＣＰＵ４２３への割り込み信号を発生する。前記割り込み信号を受けたＣＰＵ４２３は、メモリコントロール部７０３を介して、符号用メモリー７０５からエンコードされた符号を読み出し、モデム部７１０へ送信データとして書き込む。送信データは、モデム部７１０でアナログ信号に変調され、ＮＣＵ（ネットワーク・コントロール・ユニット）部７０８を介して、外部コネクタ７０９から送信される。スピーカー部７０７は、モデム部７１０に接続され、モデムの通信状態を音声でモニターできる。
【００８２】
ファクシミリの受信動作においては、外部コネクタ７０９から受信したアナログ信号を、ＮＣＵ部７０８を介してモデム部７１０が受け取ると、データ受信を知らせるＣＰＵ４２３への割り込み信号を発生する。前記割り込み信号を受けたＣＰＵ４２３は、モデム部７１０からデータを読み出し、メモリコントロール部７０３を介して、符号用メモリー７０５へ符号を書き込む。ＣＰＵ４２３は、符号用メモリー７０５への書き込みを終了すると、システムのバスを介して、エンコード／デコード処理部７０２に書き込み終了の信号を送る。エンコード／デコード処理部７０２は、メモリコントロール部７０３との通信により、符号用メモリー７０５からＤＭＡ転送で高速にデータを取り込み、取り込んだ符号データをデコード処理し、デコードされた画像データをＤＭＡ転送により画像用メモリー７０４に蓄積する。エンコード／デコード処理部７０２は、符号用メモリー７０５内の符号のデコードが終了すると、終了を知らせるＣＰＵ４２３への割り込み信号を発生する。
【００８３】
メモリコントロール部７０３は、コネクタＣ７０１からのタイミング信号に応じて、画像用メモリー７０４から、コネクタＣ７０１へビデオ信号を出力する。また、メモリコントロール部７０３は、内部のバッファを用いて画像用メモリー７０４上で画像を９０度、１８０度、及び２７０度で回転する機能を持ち、必要に応じて受信、または送信画像を回転して出力する。
【００８４】
音声合成部７１１は、システムのバスを介してセットされたデータを元に、着信時に音声による応答メッセージを合成し、ＮＣＵ部７０８を介して送信する。また、コネクタＤ７１２は、システムのバスと画像用のバスが接続されていて、回線の増設や、性能向上のためのシステムの拡張に備えている。
【００８５】
図１５は、図５におけるフィルター処理部４１０及びラインバッファ４１１の具体的な構成を示すブロック図である。図５においてはこれら２つは分離して記載していたが、本図においては統合した回路構成を示した。また、図１５には５ライン分のラインバッファを有する場合の構成を示した。フィルター処理部４１０（及びラインバッファ４１１）は、第１のラインバッファを含む入力処理部８００と、それに引き続く３つのラインバッファ８４０、８５０及び８６０と、入力処理部８００及び各ラインバッファの２系統の出力をそれぞれ受けて、一方を出力する５つのセレクタ８３０～８３４と、全てのセレクタの出力が接続され、所定の演算処理を行った結果を画像処理部４１２及びコネクタ４１３へ出力する演算回路とを有する。後述するように、入力処理部及び各ラインバッファは、ビット幅の異なる２つの信号をそれぞれ出力する。
【００８６】
図１６は、図１５における入力処理部８００及び、その入力段の構成例を示すブロック図である。本図においては、便宜上図１５（図５）における変倍処理部４０８とＳＲＡＭメモリーＡ　４０９をひとまとめにして解像度変換部８０１として記載してある。画像信号はＶＣＬＫクロックに同期して８ｂｉｔ、６００ｄｐｉの解像度で解像度変換部８０１に入力される。解像度変換部８０１ではこの画像信号にある種の補間を行い３００ｄｐｉの解像度に縮小する。また、縮小した画像データは解像度変換部８０１が出力する１／２ＶＣＬＫクロック（周期はＶＣＬＫクロックの２倍）に同期している。

【００８７】
解像度変換部８０１の出力はセレクタ８０２に入力される。このセレクタは解像度切り替え信号が“Ｌ”の時（以下写真モード）は“Ａ”側が、“Ｈ”の時（以下文字モード）は“Ｂ”側を選択して出力する。この結果、写真モード時は１／２ＶＣＬＫクロックとそれに同期した３００ｄｐｉの画像信号が、文字モード時はＶＣＬＫクロックとそれに同期した６００ｄｐｉの画像信号がそれぞれセレクタ８０２から出力される。このセレクタの出力は、後述するようにＶＩＤＥＯＯＵＴ１－０として後段のセレクタ８３０に供給される。

【００８８】
解像度切り替え信号は、例えば操作部で指定されたモードに基づいて発生したり、Ａ／Ｄ変換部４０２の出力データから階調の範囲を求め、予め定めた値と比較することによって写真モード、文字モードを判別して発生することができる。解像度切り替え信号の発生はＣＰＵ４２３が行う。

【００８９】
８０３はセレクタであり動作はセレクタ８０２と同様である。このセレクタ８０３のＡ入力部にはセレクタ８０２の出力の下位４ビットが接続され、Ｂ入力には上位４ビットが接続されている。従って、写真モード時には画像信号の下位４ビットが出力され、文字モード時には上位４ビットが出力される。８０４，８０５は画像信号を蓄積するための４０００ステージ＊４ｂｉｔ幅のＦＩＦＯメモリであり、ＤＩは４ビットのデータ入力、Ｄ０は４ビットのデータ出力である。また、ＷＥはライトイネーブル信号であり“Ｌ”レベルの時にこのメモリへのデータの書き込みが許可される。ＲＥはリードイネーブル信号であり、“Ｌ”レベルの時にデータの出力が許可される。ＷＲＳＴ、ＲＲＳＴはＦＩＦＯメモリ内部のカウンタのリセット信号であり、それぞれ“Ｌ”レベルの時に内部カウンタがリセットされる。また、データの書き込み読み出しは各クロック入力ＷＣＫ、ＲＣＫに同期して行われる。

【００９０】
８０６は後述する各イネーブル信号を作るイネーブル信号生成部である。８０７，８０８はセレクタであり上述のセレクタ８０２と同じ動きをする。８０９は画像バスを合成する画像バス合成部であり、ＦＩＦＯ８０４の４ビット出力を上位に、ＦＩＦＯ８０５の４ビット出力を下位に割り当てた８ビットの信号を出力する。８１０はセレクタであり、動作はセレクタ８０２と同様である。

【００９１】
後述するように、写真モード時は画像バス合成部８０９の出力であるＶＩＤＥＯＯＵＴ１－１のデータを、文字モード時はＶＩＤＥＯＯＵＴ２－１のデータを次段のラインバッファで使用する。８１１はセレクタでありセレクタ８０２と同様の動作をする。このセレクタの出力はＶＩＤＥＯＯＵＴ２－０としてセレクタ８０２の出力と同様に後段のセレクタ８３０へ供給される。

【００９２】
図１７は図１６のイネーブル信号発生部４０６で作られるイネーブル信号を示す波形図である。図においてＨＳＹＮＣ信号は１ラインの先頭を示す入力信号、ＥＮ１はＲＣＬＫをカウントすることによって作る区間信号であり、有効画像部分を示すイネーブル信号である。ＥＮ２はＥＮ１の前半分だけを“Ｌ”にした信号であり、ＥＮ３はＥＮ１の後半分だけを“Ｌ”にした信号である。

【００９３】
まず、写真モード時の動作を図１６、図１８を用いて説明する。図１８は、写真モードにおける動作を示すタイミングチャートである。本モードにおいては解像度切り替え信号を“Ｌ”とする。画像入力信号であるＶＩＤＥＯＩ信号が解像度変換部８０１に６００ｄｐｉ、階調８ビットのデータとして入力される。この時、Ａ４長手方向の１ライン分の有効画像データの数は約７０００画素であるが、理解を容易にするため、以下では８０００画素として説明する。この有効データは図１７におけるＥＮ１が“Ｌ”の区間に入力されて

いる。セレクタ８０２の出力はＡ入力が選択されているので１／２ＶＣＬＫクロックとそれに同期した３００ｄｐｉ、階調８ビットの画像信号が出力されている。この画像信号はＥＮ１で示されるイネーブルの範囲内で８０００画素の半分の４０００画素となっている。

【００９４】

ＦＩＦＯ８０４、８０５にはクロック信号として１／２ＶＣＬＫが供給され、ＦＩＦＯ８０４のデータ入力端子ＤＩには３００ｄｐｉ、階調８ビットの画像信号の上位４ビットが、ＦＩＦＯ８０５のＤＩには下位４ビットが供給されている。また、各イネーブル入力にはセレクタ８０７及び８０８からＥＮ１が供給されている。この場合、１ライン毎に８ビットの画像データが４０００画素、１／２ＶＣＬＫ同期でＦＩＦＯメモリ８０４，８０５に書き込まれる。また、画像バス合成部８０９の出力信号ＶＩＤＯＯＵＴ１－１は、ＦＩＦＯ８０４の出力データを上位４ビット、ＦＩＦＯ８０５の出力データを下位４ビットとして合成した８ビットの画像データとなる。一方、セレクタ８１０の出力であるＶＩＤＥＯＯＵＴ２－１は、ＦＩＦＯ８０４の出力である上位４ビットとなる。

【００９５】

次に、文字モードの時の動作を図１６及び図１９を用いて説明する。図１９は、文字モード時の動作を示すタイミングチャートである。本モードにおいては解像度切り替え信号を“Ｈ”とする。セレクタ８０２はＢ側が選択されているのでその出力はＶＣＬＫクロックと、それに同期した６００ｄｐｉ、階調８ビットの画像信号である。ＦＩＦＯメモリに対しては、８０４，８０５共にＤＩには画像データの上位４ビットが接続されている。また、ＦＩＦＯ８０４のイネーブル信号にはＥＮ２が、ＦＩＦＯ８０５のイネーブル信号にはＥＮ３が、それぞれセレクタ８０７及び８０８からそれぞれ供給されている。この場合、ＦＩＦＯ８０４には１ラインの有効画像の前半４０００画素がＶＣＬＫに同期して書き込まれ、８０５には１ラインの有効画像の後半４０００画素が同じくＶＣＬＫ同期で書き込まれ、結果として１ラインあたり画像データが４ビットの階調で８０００画素ずつ書込まれる。また、それぞれのＤ０出力はセレクタ８１０に接続されており、ＥＮ２をセレクト信号として使用している。従って、各ラインの有効画像の前半は８０４からの出力を４０００画素、後半は８０５からの出力を４０００画素分ＶＩＤＥＯＯＵＴ２－１として出力する。

【００９６】

以上説明してきたように、本発明では写真モード時には画像ラインメモリは４０００ステージ＊８ｂｉｔ構成になり、文字モード時には８０００ステージ＊４ｂｉｔ構成になる。

【００９７】

次に、５ライン分の空間フィルターを構成するための２個目以降のメモリの構成および周辺回路とその動作について、図２０～図２３をもとに説明する。図２０は図１５におけるラインバッファ８４０、８５０及び８６０の構成を示すブロック図である。ラインバッファ８４０、８５０及び８６０は全て同様の構成を有するため、図２０ではラインバッファ８４０のみを詳細に記載してある。

【００９８】

図１６で生成されたＶＩＤＥＯＯＵＴ１－１、ＶＩＤＥＯＯＵＴ２－１は、ラインバッファ８４０のセレクタ８２０，８２１に入力される。このセレクタは図１６に示したセレクタ８０２と同様の動作をおこなう。つまり、写真モード時にはセレクタ８２０からはＶＩＤＥＯＯＵＴ１－１の上位４ｂｉｔ、セレクタ８２１からはＶＩＤＥＯＯＵＴ１－１の下位４ｂｉｔが出力される。また、文字モード時には各セレクタからはＶＩＤＥＯＯＵＴ２－１の全４ｂｉｔがそれぞれ出力される。８２２，８２３は図１６における８０４，８０５と同様のＦＩＦＯメモリであり、８２２のＤＩにはセレクタ８２０の出力が、８２３のＤＩにはセレクタ８２１の出力が接続されている。図示しないが、これらのＦＩＦＯメモリのＷＣＫ，ＷＥ，ＷＲＳＴ，ＲＣＫ，ＲＥ，ＲＲＳＴ信号は図１６のＦＩＦＯメモリ８０４，８０５と全く同じ信号が接続されている。

【００９９】

８２４は図１６における８０９と同様の画像バス合成部であり、８２２，８２３のそれぞれ４ｂｉｔの出力をそれぞれ上位、下位に割り当て８ｂｉｔの画像信号ＶＩＤＥＯＯＵＴ１－２を生成する。また、８２５はセレクタであり、図１６におけるセレクタ８１０と同様の動作を行いＶＩＤＥＯＯＵＴ２－２信号を生成する。ここで、このセレクタに接続されているＥＮ２信号は、図１６におけるＥＮ２信号と全く同じ信号である。

【０１００】

ラインバッファ８４０の動作は、入力処理部８００のラインバッファ部分と同様であり、写真モード時は図２１のように、最終的に出力されるＶＩＤＥＯＯＵＴ１－２信号は最下段の８ｂｉｔ信号となる。また、文字モード時は図２２の様になり、最終的に出力されるＶＩＤＥＯＯＵＴ２－２信号は最下段の４ｂｉｔ信号となる。

【０１０１】

ラインバッファ８５０、８６０においても同様の回路によって、ＶＩＤＥＯＯＵＴ１－３、ＶＩＤＥＯＯＵＴ２－３、ＶＩＤＥＯＯＵＴ１－４、ＶＩＤＥＯＯＵＴ２－４が生成すされる。

【０１０２】

以上の様に２個目以降の画像ラインメモリについても、１個目と同様に写真モード時には４０００ステージ＊８ｂｉｔ構成になり、文字モード時には８０００ステージ＊４ｂｉｔ構成になる。

【０１０３】

次に、図１５における出力段の構成を、図２３を用いて説明する。図２３は、フィルタ処理部の出力部分の構成を示すブロック図である。８３０はセレクタであり、図１６におけるセレクタ８０３と同様の動作を行う。このセレクタのＡ入力にはＶＩＤＥＯＯＵＴ１－０、Ｂ入力にはＶＩＤＥＯＯＵＴ２－０が接続されており、写真モード時にはＶＩＤＥＯＯＵＴ１－０が、文字モード時にはＶＩＤＥＯＯＵＴ２－０がＶＩＤＥＯＯＵＴＯとして出力される。同様にしてＶＩＤＥＯＯＵＴ１－１とＶＩＤＥＯＯＵＴ２－１からＶＩＤＥＯＯＵＴ１を生成し以下同様にしてＶＩＤＥＯＯＵＴ２、ＶＩＤＥＯＯＵＴ３、ＶＩＤＥＯＯＵＴ４を生成する。ここで、この様にして作られた５ライン分の画像データを演算回路８３１に入力し、空間フィルター処理を行った後ＶＩＤＥＯＯＵＴ信号として出力する。

【０１０４】

【他の実施形態】

なお、実施形態においては５ライン分のラインバッファを有する場合の構成を示したが、ラインバッファの数は任意に設定できる。

【０１０５】

また、階調性を表すビット数と、解像度（所定長さあたりの画素数）についても、他の条件に変更することが出来る。変更する際には、メモリ容量を最大に使用する用に設定することが画質劣化を抑制する点からは好ましい。また、必要に応じて階調性と解像度の両方について削減するようにしても良い。

【０１０６】

また、一つのラインバッファを構成するＦＩＦＯメモリを多段構成としても良い。例えば、実施形態においては１つのＦＩＦＯメモリが３００ステージを有していたが、１５０ステージのＦＩＦＯメモリを直列に接続した構成を用いても良い。同様に、ビット幅（階調度を表すビット長）方向の分割も２を超えて構成しても良い。すなわち、実施形態においては８ビット階調度のデータを取り扱うため４ビット幅のＦＩＦＯ２つを用いたが、２ビット幅のＦＩＦＯ４個を用いて構成しても良い。

【０１０７】

加えて、ＦＩＦＯメモリのステージ数、ビット幅の合計が必ずしも変倍処理部の出力データのビット幅や一ライン分のドット数と一致していなくても良い。

さらに、モードの数を増やして、条件をきめ細かく設定しても良い。

【０１０８】

なお、本発明は、複数の機器（例えばホストコンピュータ，インタフェイス機器，リーダ，プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機，ファクシミリ装置など）に適用してもよい。

【０１０９】

また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはＣＰＵやＭＰＵ）が記憶媒体に格納されたプログラムコードを読出し実行することによっても、達成されることは言うまでもない。

【０１１０】

この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【０１１１】

プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク，ハードディスク，光ディスク，光磁気ディスク，ＣＤ－ＲＯＭ，ＣＤ－Ｒ，磁気テープ，不揮発性のメモリカード，ＲＯＭなどを用いることができる。

【０１１２】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているＯＳ（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【０１１３】

さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるＣＰＵなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【０１１４】

【発明の効果】

以上説明したように、本発明によれば解像度優先、階調性優先等の各モード毎に、原画像データから重要度の小さなデータを削減することにより、画像データの蓄積に必要なメモリ容量を小さくすることが可能なほか、メモリを効率よく使用することが出来るという効果を有する。

【図面の簡単な説明】

【図１】本発明を適用したデジタル複写機の構成図である。

【図２】中間トレー上の被転写紙を示す図である。

【図３】ＡＤＦの構成を示す図である。

【図４】操作部の外観を示す図である。

【図５】信号処理部のブロック図である。

【図６】Ａ／Ｄ変換部のブロック図である。

【図７】ＡＥ動作を示す図である。

【図８】フィルタマトリクスを示す図である。

【図９】画像の合成処理の例を示す図である。

【図１０】パルス幅変調の種類を示す図である。

【図１１】画像形成システム構成を示すブロック図である。

【図１２】画像形成システムの別の構成を示すブロック図である。

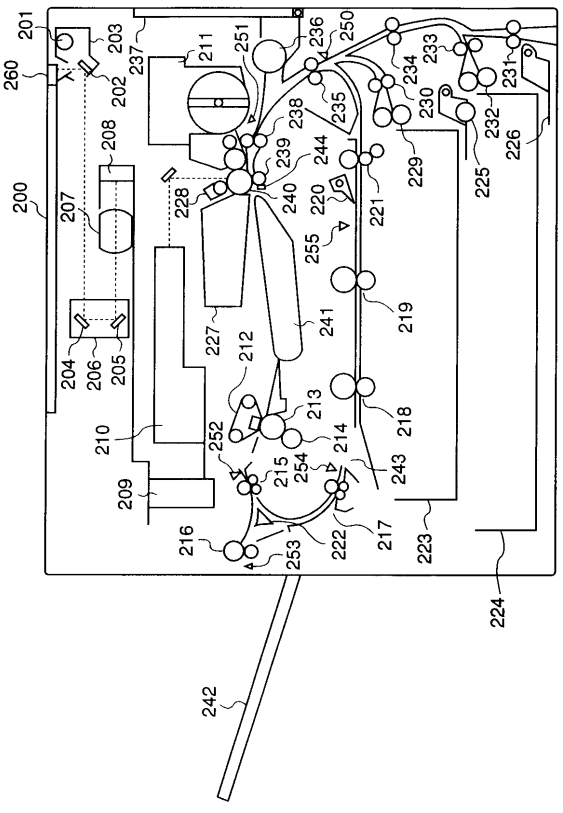
【図１３】解像度・階調数変換部のブロック図である。

【図１４】ファクシミリ部のブロック図である。

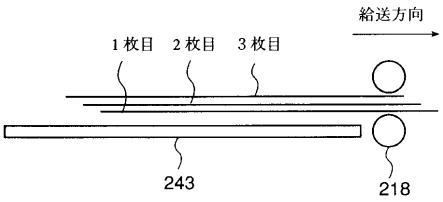
【図１５】フィルタ処理部及びラインバッファの構成概要を示すブロック図。

【図１６】画像メモリ部分のブロック図である。
【図１７】図１６のイネーブル信号生成部が出力するイネーブル信号の波形を示すタイミングチャートである。
【図１８】図１６における写真モードの要部動作を示すタイミングチャートである。
【図１９】図１６における文字モードの要部動作を示すタイミングチャートである。
【図２０】空間フィルタを構成するための２段目以降の画像ラインバッファの構成を示す図である。
【図２１】図２０における写真モードの要部動作を示すタイミングチャートである。
【図２２】図２０における文字モードの要部動作を示すタイミングチャートである。
【図２３】空間フィルタの出力部構成を示すブロック図である。
【符号の説明】
４０１　ＣＣＤラインセンサー
４０３　シェーディング補正部
４０８　変倍処理部
４１０　フィルター処理部
８０１　解像度変換ブロック
８０４、８０５　ＦＩＦＯメモリ

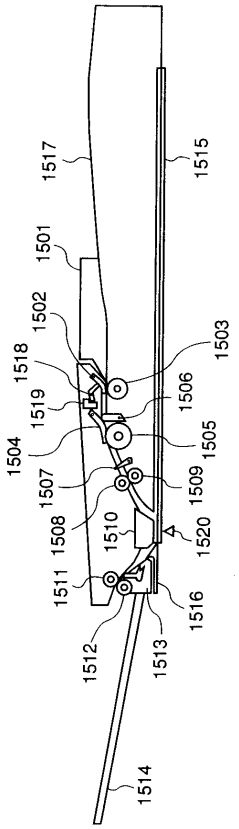
【図１】



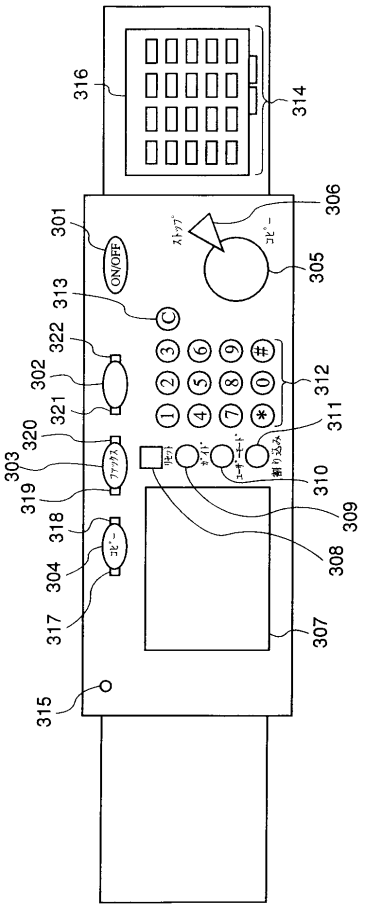
【図２】



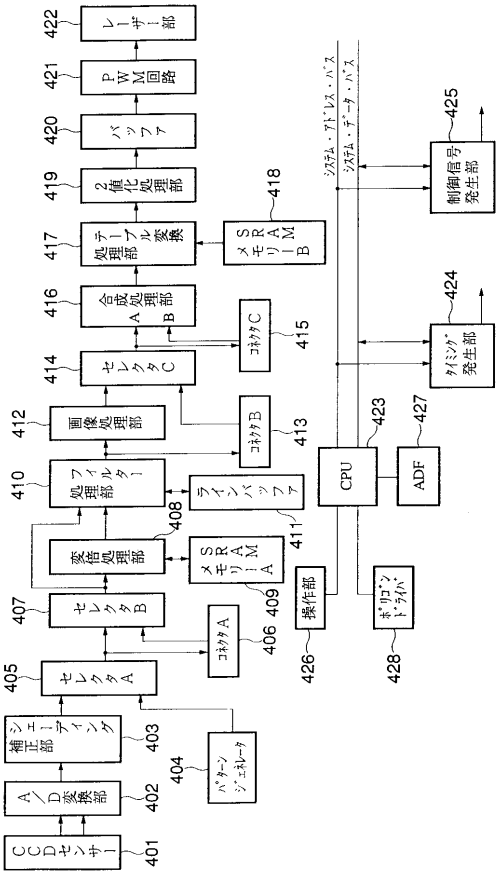
【図３】


1517
1515
1501
1502
1503
1518
1519
1506
1504
1505
1507
1509
1508
1510
1520
1511
1516
1512
1513
1514

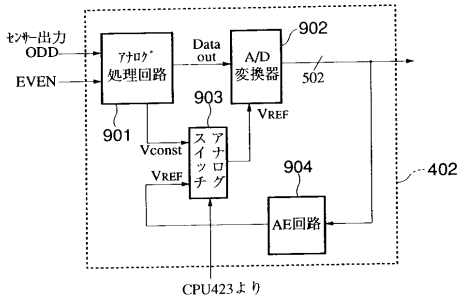
【図４】


316
314
301
ON/OFF
306
305
313
322
302
321
312
311
320
303
319
310
309
318
304
308
317
307
315

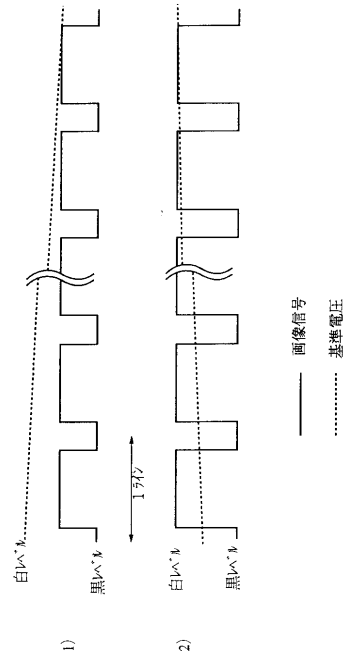
【図５】


CCDセンサー
401
A/D変換部
402
補正部
シェーディング
403
パターンジェネレータ
404
セレクタA
405
コネクタA
406
セレクタB
407
変倍処理部
408
SRAM A
409
ラインバッファ
411
処理部フィルター
410
画像処理部
412
コネクタB
413
セレクタC
414
合成処理部
A
B
416
処理部テーブル変換
417
SRAM B
418
2値化処理部
419
バッファ
420
PWM回路
421
レーザー部
422
CPU
423
ADF
427
操作部
426
ボリューム/ダイヤル
428
システム・アドレス・バス
システム・データ・バス
制御信号発生部
425
タイミング発生部
424
コネクタC
415

【図６】


センサー出力
ODD
EVEN
アナログ処理回路
Data out
A/D変換器
902
502
903
VREF
901
Vconst
アナログスイッチ
VREF
904
AE回路
402
CPU423より

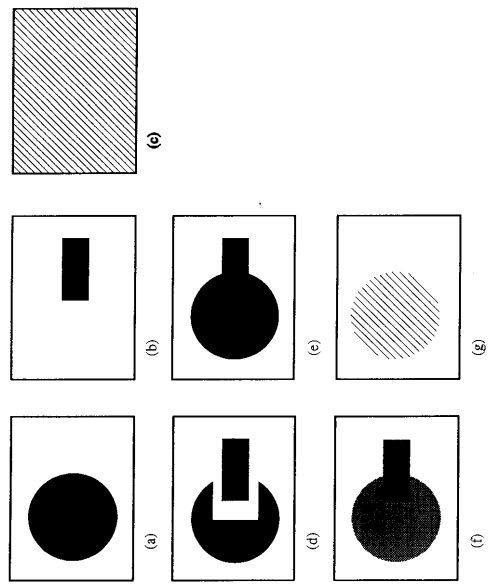
【図７】



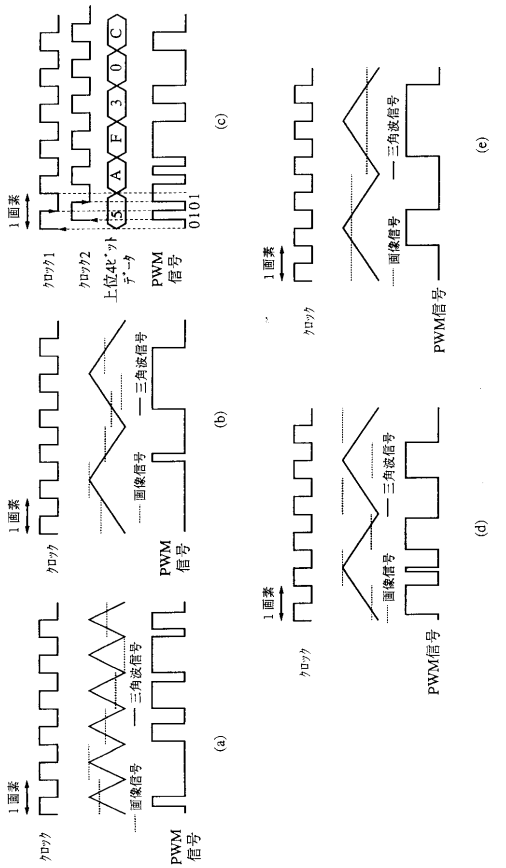
【図８】

f	e	d	e	f
e	c	b	c	e
d	b	a	b	d
e	c	b	c	e
f	e	d	e	f

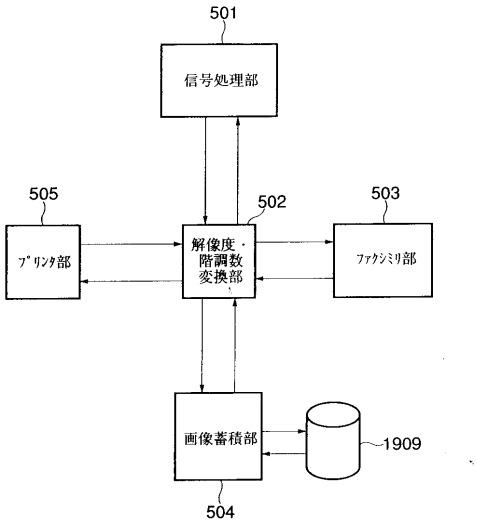
【図９】



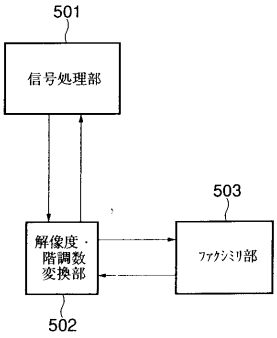
【図１０】



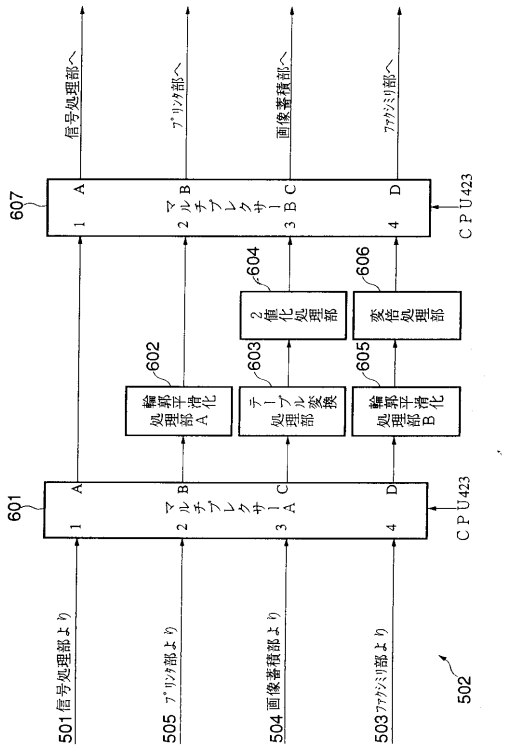
【図１１】



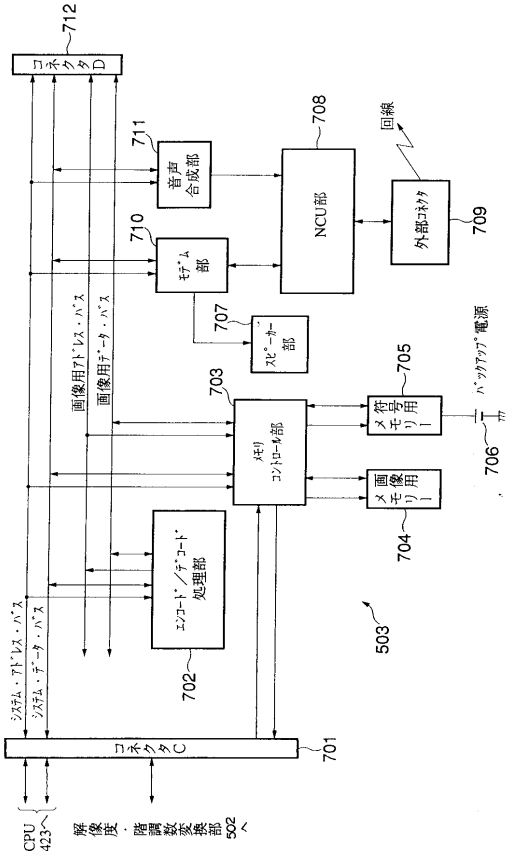
【図１２】



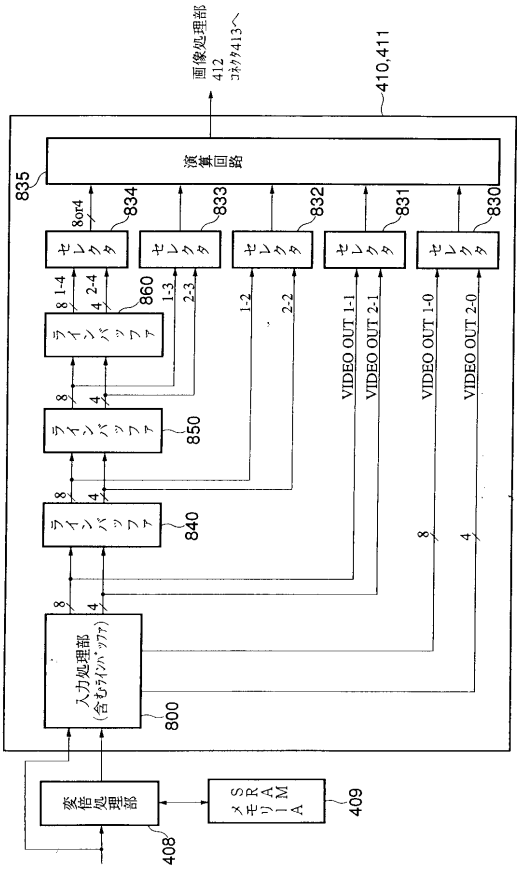
【図１３】



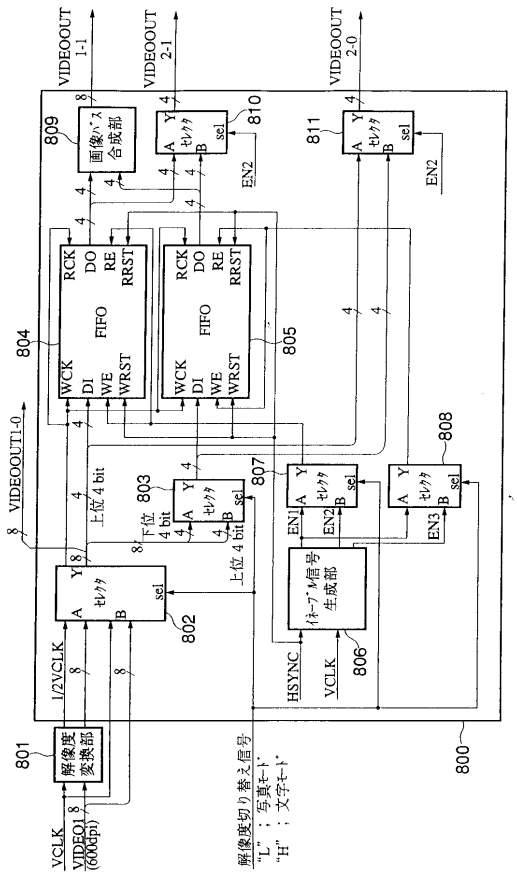
【図１４】



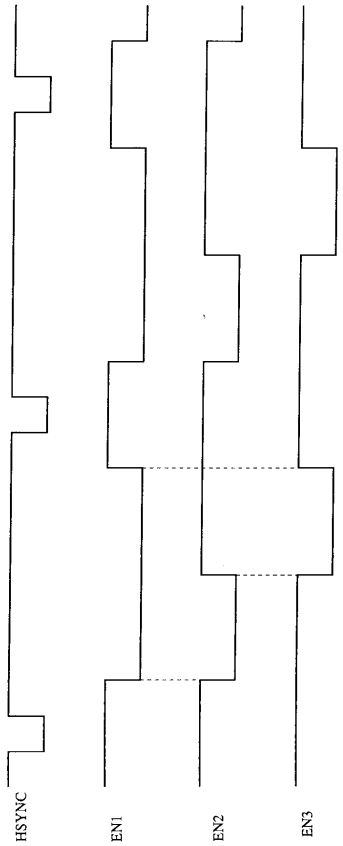
【図１５】



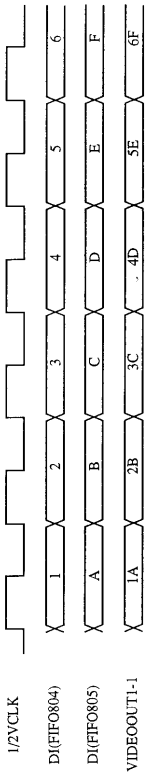
【図１６】



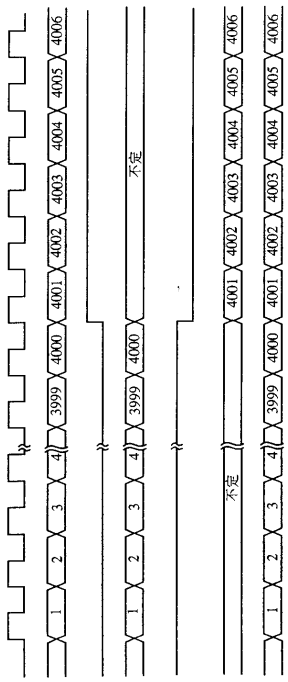
【図１７】



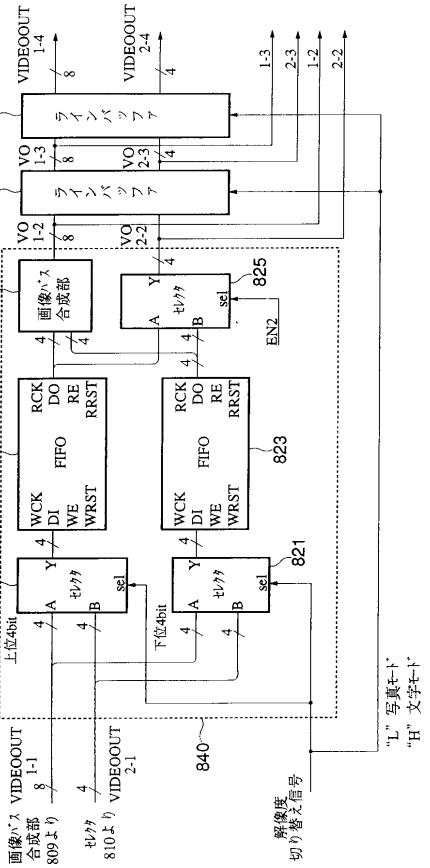
【図１８】



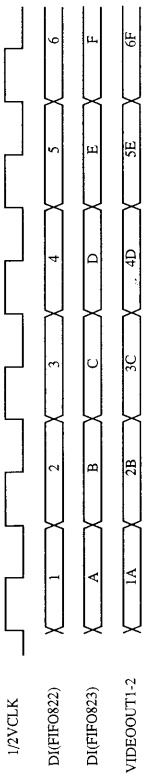
【図１９】



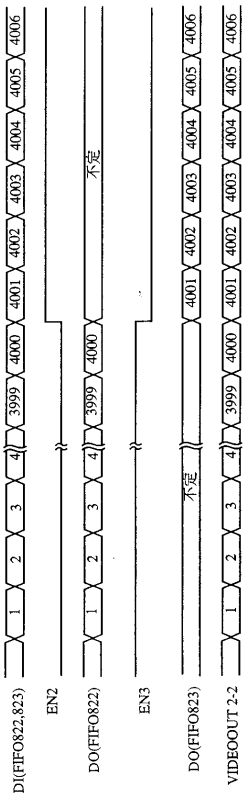
【図２０】



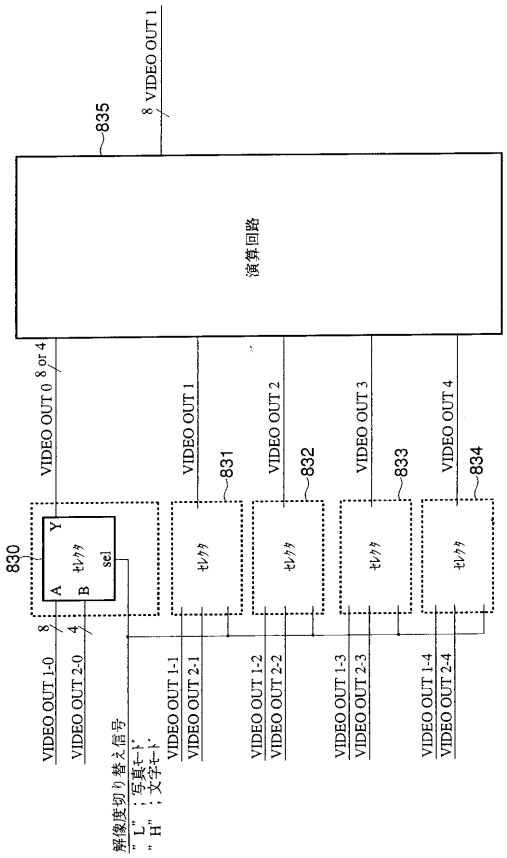
【図２１】



【図２２】



【図２３】


8 VIDEO OUT 1
835
演算回路
VIDEO OUT 0 8 or 4
VIDEO OUT 1
VIDEO OUT 2
VIDEO OUT 3
VIDEO OUT 4
831
832
833
834
830
Y
A
B
sel
セレクタ
VIDEO OUT 1-0 8
VIDEO OUT 2-0 4
解像度切り替え信号
"L"；写真モード
"H"；文字モード
VIDEO OUT 1-1
VIDEO OUT 2-1
VIDEO OUT 1-2
VIDEO OUT 2-2
VIDEO OUT 1-3
VIDEO OUT 2-3
VIDEO OUT 1-4
VIDEO OUT 2-4

フロントページの続き

(56)参考文献　特開平１０－１７３９１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)

H04N 1/387 101
B41J 2/52
G06T 1/00
G06T 1/60
H04N 1/21