



República Federativa do Brasil

Ministério do Desenvolvimento, Indústria,  
Comércio e Serviços

Instituto Nacional da Propriedade Industrial



(11) BR 112018069953-5 B1

(22) Data do Depósito: 10/03/2017

(45) Data de Concessão: 05/03/2024

**(54) Título:** CIRCUITO DE CONVERSOR DE NÍVEL DE TENSÃO DE BAIXO CONSUMO DE ENERGIA

**(51) Int.Cl.:** H03K 3/012; H03K 3/356; H03K 19/017; H03K 19/0185.

**(52) CPC:** H03K 3/012; H03K 3/35613; H03K 3/356147; H03K 19/0016; H03K 19/01707; (...).

**(30) Prioridade Unionista:** 31/03/2016 US 15/087,812.

**(73) Titular(es):** QUALCOMM INCORPORATED.

**(72) Inventor(es):** RAHUL KRISHNAKUMAR NADKARNI; ANTHONY CORREALE JR..

**(86) Pedido PCT:** PCT US2017021935 de 10/03/2017

**(87) Publicação PCT:** WO 2017/172329 de 05/10/2017

**(85) Data do Início da Fase Nacional:** 28/09/2018

**(57) Resumo:** Sistemas e métodos revelados referem-se a um conversor de nível de tensão de baixo consumo de energia. Em um modo normal, em que uma primeira tensão de alimentação (vdd1) do primeiro domínio de tensão e uma segunda tensão de alimentação (vdd2) do segundo domínio de tensão são diferentes, o conversor de nível de tensão (250) converte um sinal de entrada (a, a\_n) em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão. Em um modo de desvio em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas, um circuito de desvio (252) é configurado para desviar o conversor de nível de tensão (250) e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão, evitando assim atrasos introduzidos pelo conversor de nível de tensão no modo de desvio. Adicionalmente, um circuito de desligamento (275) é configurado para desligar o conversor de nível de tensão no modo de desvio, mas não no modo normal.

**"CIRCUITO DE CONVERSOR DE NÍVEL DE TENSÃO DE BAIXO CONSUMO  
DE ENERGIA"**

**CAMPO DA REVELAÇÃO**

[001] Os aspectos revelados se referem à fonte de tensão para sistemas de processamento. Mais especificamente, os aspectos exemplificadores são direcionados a um circuito conversor de nível de tensão de baixo consumo de energia para a conversão do nível de tensão entre um primeiro domínio de tensão e um segundo domínio de tensão.

**ANTECEDENTES**

[002] Os sistemas de processamento modernos (por exemplo, um sistema em chip ou "SOC") podem incluir uma variedade de subsistemas ou componentes que podem ter diferentes considerações de frequência e energia. Correspondentemente, diferentes seções do SOC podem ser fornecidas com diferentes tensões de alimentação. Por exemplo, um sistema de memória pode incluir células de memória (por exemplo, memória de acesso aleatório estática ou células "SRAM") que podem ser fornecidas com uma tensão de alimentação mais alta, enquanto células lógicas de uma unidade de processamento central (CPU) ou núcleo de processador podem suportar baixas tensões de alimentação. Consequentemente, o SOC pode ser projetado com duas ou mais ilhas de tensão ou domínios de tensão (por exemplo, domínio de tensão de lógica, domínio de tensão de memória, etc.), cada domínio de tensão com uma fonte de tensão correspondente adaptada às considerações de tensão dos componentes (por exemplo , células lógicas, células de memória, etc.) no domínio de tensão.

[003] Pode haver sinais que cruzam dois domínios de tensão, por exemplo, um comando de leitura ou gravação emitido por uma CPU em um domínio de tensão de lógica para um sistema de memória em um domínio de tensão de memória. Para esses sinais, um circuito de conversão, conhecido como "conversor de nível de tensão" na técnica, pode ser fornecido para converter um sinal de um primeiro domínio de tensão para um segundo domínio de tensão. No entanto, em alguns casos, as tensões de um ou mais domínios de tensão podem ser dimensionadas dinamicamente, o que poderia resultar em tensões de alimentação dos primeiro e segundo domínios de tensão iguais ou substancialmente iguais (por exemplo, em um "modo turbo", como conhecido na técnica, em que uma tensão de alimentação anteriormente baixa do domínio de tensão de lógica pode ser dimensionada para uma tensão de alimentação superior para operar as células lógicas a uma frequência mais alta e em que a tensão de alimentação mais alta do domínio de tensão de lógica pode ser substancialmente a mesma como a tensão de alimentação do domínio de tensão da memória). Nesses casos, não haveria necessidade de um conversor de nível de tensão entre o primeiro e o segundo domínios de tensão, porque as tensões de alimentação dos primeiro e segundo domínios de tensão são substancialmente as mesmas.

[004] No entanto, nos desenhos convencionais, o conversor de nível de tensão pode permanecer ativo e realizar desnecessariamente a conversão de tensão do sinal entre o primeiro e o segundo domínio de tensão, mesmo que as tensões de alimentação dos primeiro e segundo domínios de tensão sejam substancialmente as mesmas. Permanecendo

ativo e na trajetória de sinal, o conversor de nível de tensão consome energia e adiciona atraso na trajetória de sinal em todos os momentos, mesmo quando a conversão do nível de tensão não é necessária.

#### SUMÁRIO

[005] Aspectos exemplificadores da invenção são direcionados aos sistemas e métodos para um conversor de nível de tensão de baixo consumo de energia. Em um modo normal, em que uma primeira tensão de alimentação do primeiro domínio de tensão e uma segunda tensão de alimentação do segundo domínio de tensão são diferentes, o conversor de nível de tensão converte um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão. Em um modo de desvio em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas, um circuito de desvio é configurado para desviar o conversor de nível de tensão e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão, evitando assim atrasos introduzidos pelo conversor do nível de tensão no modo de desvio. Adicionalmente, um circuito de desligamento é configurado para desligar o conversor de nível de tensão no modo de desvio, mas não no modo normal.

[006] Por exemplo, um aspecto exemplificador é direcionado a um equipamento compreendendo um conversor de nível de tensão configurado para converter um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão, em um modo normal, em que uma primeira tensão de alimentação do primeiro domínio de tensão é diferente de uma segunda tensão de

alimentação do segundo domínio de tensão, um circuito de desvio configurado para ignorar o conversor de nível de tensão e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão, em um modo de desvio em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas; e um circuito de desligamento configurado para desligar o conversor de nível de tensão no modo de desvio, mas não no modo normal.

[007] Outro aspecto exemplificador é direcionado a um método de conversão de nível de tensão, o método compreendendo converter, em um um conversor de nível de tensão, um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão, em um modo normal, em que uma primeira tensão de alimentação do primeiro domínio de tensão é diferente de uma segunda tensão de alimentação do segundo domínio de tensão, desviar o conversor de nível de tensão e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão, em um modo de desvio em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas; e desligar o conversor de nível de tensão no modo de desvio, mas não no modo normal.

[008] Ainda, outro aspecto exemplificador é direcionado a um equipamento compreendendo meios para converter um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão, em um modo normal, em que uma primeira tensão de alimentação do primeiro domínio de tensão é diferente de uma segunda tensão de alimentação do segundo domínio de tensão, meios para desviar os meios de tradução e fornecer

o sinal de saída no primeiro domínio de tensão, em um modo de desvio em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas; e meios para desligar o conversor de nível de tensão no modo de desvio, mas não no modo normal.

#### BREVE DESCRIÇÃO DOS DESENHOS

[009] Os desenhos de acompanhamento são apresentados para ajudar na descrição dos aspectos da invenção e são fornecidos somente para ilustração dos aspectos e não para limitação dos mesmos.

[0010] As FIGs. 1A-B ilustram um conversor de nível de tensão convencional.

[0011] As FIGs. 2A-D ilustram circuitos relacionados a um conversor de nível de tensão, de acordo com aspectos exemplificadores desta invenção.

[0012] A FIG. 3 ilustra um diagrama de blocos que corresponde a um método de realizar a conversão do nível de tensão, de acordo com aspectos exemplificadores desta revelação.

[0013] A FIG. 4 ilustra um dispositivo de computação exemplificador no qual um aspecto da revelação pode ser vantajosamente empregado.

#### DESCRIÇÃO DETALHADA

[0014] Os aspectos da invenção são revelados na seguinte descrição e desenhos relacionados direcionados aos aspectos específicos da invenção. Aspectos alternativos podem ser concebidos sem se afastar do escopo da invenção. Além disso, os elementos bem conhecidos da presente invenção não serão descritos em detalhe ou podem ser

omitidos, de modo a não obscurecer os detalhes relevantes da invenção.

[0015] A palavra "exemplar" é usada aqui para significar "servindo como um exemplo, caso ou ilustração." Qualquer aspecto descrito aqui como "exemplar" não deve ser necessariamente interpretado como preferido ou vantajoso em relação a outros aspectos. Da mesma forma, o termo "aspectos da invenção" não exige que todos os aspectos da invenção incluam o recurso, vantagem ou modo de operação discutido.

[0016] A terminologia aqui utilizada seja para o propósito de descrever apenas aspectos particulares e não se destina a ser limitativa dos aspectos da invenção. Como aqui utilizado, as formas singulares "um", "uma", e "o/a" pretendem incluir as formas plurais também, a menos que o contexto indique claramente o contrário. Será entendido ainda que os termos "compreende", "compreendendo", "inclui" e/ou "incluso", quando aqui utilizados, especificam a presença de aspectos estabelecidos, números inteiros, etapas, operações, elementos e/ou componentes, mas não excluem a presença ou adição de uma ou mais outras características, números inteiros, etapas, operações, elementos, componentes e/ou grupos dos mesmos.

[0017] Além disso, muitos aspectos são descritos em termos de sequências de ações a serem realizadas, por exemplo, elementos de um dispositivo de computação. Será reconhecido que diversas ações aqui descritas podem ser realizadas por circuitos específicos (por exemplo, circuitos integrados de aplicação específica (ASICs)), por instruções de programa sendo executadas por

um ou mais processadores, ou por uma combinação de ambos. Além disso, estes sequência de ações aqui descritas podem ser consideradas para ser incorporada inteiramente dentro de qualquer forma de mídia de armazenamento legível por computador tendo armazenado no seu interior um conjunto correspondente de instruções de computador que após a execução fariam com que um processador associado executasse a funcionalidade aqui descrita. Assim, os vários aspectos da invenção podem ser realizados de várias formas diferentes, as quais têm sido contempladas como estando dentro do escopo da matéria reivindicada. Além disso, para cada um dos aspectos aqui descritos, a forma correspondente de tais aspectos pode ser aqui descrita como, por exemplo, "lógica configurada para" executar a ação descrita.

[0018] Os aspectos exemplificadores desta revelação são direcionados a um conversor de nível de tensão configurado para converter um sinal de um primeiro domínio de tensão para um segundo domínio de tensão. No caso de o primeiro domínio de tensão ser igual ao segundo domínio de tensão, um circuito de desvio seletivo é incluído para desviar o conversor de nível de tensão para evitar atrasos introduzidos pelo conversor de nível de tensão na trajetória do sinal entre o primeiro e o segundo domínios de tensão. Além disso, em aspectos exemplificativos, circuitos de controle de potência podem ser incluídos para desligar ou interromper o conversor de nível de tensão quando o conversor de nível de tensão é desviado da maneira descrita acima. Assim, em aspectos exemplificadores, o consumo de energia e o atraso associados ao conversor de nível de tensão podem ser

evitados quando o conversor de nível de tensão não é necessário na trajetória de um sinal. Estes e aspectos relacionados serão agora explicados com referência aos números, nas seções seguintes.

[0019] Primeiramente, com referência às FIGs. 1A-B, um conversor de nível de tensão convencional 100 será descrito. O conversor de nível de tensão 100 é configurado para converter sinais de entrada complementares a 114 e a\_n 116 em um primeiro domínio de tensão fornecido por uma primeira tensão de alimentação VDD1 a um sinal de saída z 120 em um segundo domínio de tensão fornecido por uma segunda tensão de alimentação VDD2. Sem perda de generalidade, a primeira tensão de alimentação VDD1 pode ser menor que a segunda fonte de tensão VDD2 sob condições normais de operação, enquanto em alguns casos, a primeira e segunda tensões de alimentação VDD1 e VDD2 podem ter substancialmente os mesmos valores de tensão. Embora as condições específicas sob as quais a primeira e a segunda fontes de tensão VDD1 e VDD2 podem assumir os diferentes valores ou a maneira pela qual estas fontes de tensão são geradas não sejam pertinentes a esta discussão, um exemplo pode pertencer ao primeiro domínio de tensão compreendendo um núcleo de processador de um sistema de processamento, ou semelhante, com células lógicas, em que a primeira fonte de tensão VDD1 pode ser referida como uma tensão de alimentação de lógica, e o segundo domínio de tensão compreendendo um sistema de memória com células de memória, em que a segunda fonte de tensão VDD2 pode ser referida como uma tensão de alimentação de memória.

[0020] Na configuração ilustrada nas FIGs. 1A-B, o conversor de nível de tensão 100 compreende os transistores de acionamento 102 e 104, que podem ser configurados com dispositivos semicondutores de óxido metálico de canal p (PMOS) ou transistores de efeito de campo de canal p (PFETs); transistores de redução 108 e 112 que podem ser configurados com dispositivos semicondutores de óxido metálico de canal n (NMOS) ou transistores de efeito de campo de canal n (NFET); e os transistores de aumento 106 e 110, que podem ser configurados como dispositivos PMOS ou PFETs. A saída da conversão do nível de tensão dos sinais de entrada complementares a 114 e a\_n116 podem ser derivados do nó 122, o qual passou através do inversor 118 pode fornecer o sinal de saída z 120. Embora os detalhes operacionais do conversor de nível de tensão 100, como ilustrado nas FIGs. 1A-B sejam bem conhecidos, alguns breves detalhes serão fornecidos nas seções seguintes, tendo em mente que são possíveis várias outras configurações de conversores de nível de tensão para as quais os aspectos exemplificativos desta revelação podem ser aplicados.

[0021] Com referência à FIG. 1A, um caso em que o sinal de entrada a 114 está subindo ou transita de um estado lógico baixo (por exemplo, binário "0") para um estado lógico alto (por exemplo, binário "1") e correspondentemente, e o sinal de entrada a\_n 116 está caindo é ilustrado. De modo correspondente, em uma primeira fase, o transistor de aumento 106 irá começar a desligar-se e o transistor de redução 108 começará a ligar, o que começa a descarregar o nó 122. Por outro lado, o sinal de

entrada a\_n 116 cai e desliga o transistor de redução 112 enquanto liga o transistor de aumento 110. Uma vez que o nó 122 cai para um valor suficientemente baixo, em uma segunda fase, o transistor de aumento 104 liga e os transistores de acionamento 104 e 110 começam a carregar o nó 123 para a segunda tensão de alimentação VDD2.

[0022] À medida que o nó 123 é carregado, o transistor de aumento 102 começa a desligar o que auxilia o transistor de redução 108 a puxar o nó 122 para baixo. O nó 122 sendo puxado para baixo ajuda o processo de ligar o transistor de aumento 104, o qual adicionalmente carrega o nó 123. Eventualmente, o transistor de aumento 102 é completamente desligado e o nó 122 transita para um estado lógico de "0", enquanto o nó 123 transita para um "1" lógico no segundo domínio de tensão. Os nós 122 e 123 mantêm seus estados lógicos de "0" e "1" até que uma mudança subsequente nos valores dos sinais de entrada complementares a 114 e a\_n 116 ocorra.

[0023] Assim, o valor invertido do nó 122, após passar pelo inversor 118, aparece como sinal de saída z 120, que sobe no segundo domínio de tensão, correspondendo à subida do sinal de entrada a 114 e queda do sinal de entrada a 116 no primeiro domínio de tensão. Os estágios acima identificados do conversor de nível de tensão 100 introduzem atrasos ou latência correspondentes na trajetória entre os sinais de entrada complementares 114 e 116, e o sinal de saída z 120.

[0024] Com referência agora à FIG. 1B, o cenário oposto, onde o sinal de entrada 114 cai e um n 116 sobe agora será descrito. Neste caso, o transistor de

aumento 110 irá começar a desligar-se e o transistor de redução 112 começará a ligar, descarregando assim o nó 123. Por outro lado, à medida que o sinal de entrada 114 cai, o transistor de redução 108 é forçado a ser desligado, enquanto se liga o transistor de aumento 106. Uma vez que o nó 123 cai para um valor suficientemente baixo, em uma segunda fase, o transistor de aumento 102 liga e os transistores de acionamento 102 e 106 começam a carregar o nó 122 para a segunda tensão de alimentação VDD2. À medida que o nó 122 é carregado, o transistor de aumento 104 é forçado a desligar o que ajuda o transistor de redução 108 a puxar o nó 123 mais para baixo. O nó 123 sendo puxado para baixo ajuda o transistor de aumento 102 sendo ligado, o qual adicionalmente carrega o nó 122. Eventualmente, o transistor de aumento 104 desliga completamente e o nó 123 transita para um estado lógico de "0", enquanto o nó 122 transita para um estado lógico de "1" no segundo domínio de tensão. O estado lógico do nó 122 é invertido pelo inversor 118, para aparecer como sinal de saída em queda z 120 no segundo domínio de tensão. Os nós 122 e 123 mantêm seus estados lógicos de "1" e "0", respectivamente, até uma transição subsequente ocorrer nos sinais de entrada complementares a 114 e a\_n 116. Como pode ser visto, os estágios acima identificados envolvidos na operação do conversor de nível de tensão 100 neste caso também causam atrasos significativos.

[0025] Para casos em que a diferença entre os valores de tensão das primeira e segunda tensões de alimentação VDD1 e VDD2 é grande, a pilha de transistores de aumento 102 e 106 no lado esquerdo do conversor de nível

de tensão 100 pode ser enfraquecida para permitir que o transistor de redução 108, por exemplo, efetivamente puxe o nó 122 para o caso em que o sinal de entrada 114 aumenta (ou transita de baixo para alto) e correspondentemente, o sinal de entrada 116 cai (ou transita de alto para baixo). Similarmente, a pilha de transistores de aumento 104 e 110 no lado direito do conversor de nível de tensão 100 pode ser enfraquecida para permitir que o transistor de redução 112 efetivamente puxe para baixo o nó 123 para o caso em que o sinal de entrada a 114 cai e correspondentemente, o sinal de entrada a 116 sobe. Este dimensionamento relativo dos transistores de redução e aumento pode aumentar ainda mais o atraso dos sinais de entrada complementares a 114 e a\_n 116 e sinal de saída z 120.

[0026] A partir das discussões acima do conversor de nível de tensão 100, pode ser apreciado que em ambos os casos, mostrado nas FIGs. 1A-B, há atraso considerável introduzido. Além disso, os múltiplos estágios de ligar e desligar os vários transistores de aumento e redução também consomem energia. No caso da primeira fonte de tensão VDD1 do primeiro domínio de tensão e a segunda fonte de tensão VDD2 do segundo domínio de tensão serem substancialmente iguais, o atraso e a potência associados ao conversor de nível de tensão 100 podem ser evitados em aspectos exemplares que serão agora discutidos com referência às FIGs. 2A-B.

[0027] Com referência à FIG. 2A, é mostrado o circuito 200, o qual compreende o conversor de nível de tensão 250 e o circuito de desvio 252. O conversor de nível de tensão 250 pode ser configurado para ser semelhante ao

conversor de nível de tensão convencional 100 descrito com referência às FIGs. 1A-B, ou qualquer outra configuração do conversor de nível de tensão adequada para converter sinais de entrada complementares a 214 e a\_n 216 em um primeiro domínio de tensão fornecido por uma primeira fonte de tensão VDD1 a um sinal de saída intermediário y\_n derivado no nó 222 em um segundo domínio de tensão fornecido por uma segunda fonte de tensão VDD2. Em um aspecto exemplificador, o primeiro domínio de tensão corresponde a um domínio de tensão lógico compreendendo células lógicas e o segundo domínio de tensão corresponde a um domínio de tensão de memória compreendendo células de memória.

[0028] Em aspectos em que a configuração do conversor de nível de tensão 250 é semelhante à configuração do conversor de nível de tensão 100, componentes do conversor de nível de tensão 250 podem ter funcionalidade semelhante aos componentes correspondentes do conversor de nível de tensão 100 e então detalhes operacionais do conversor de nível de tensão 250 não serão repetidos por razões de brevidade. Resumidamente, os transistores de aumento 202, 204, 206, 210 e os transistores de redução 208, 212 do conversor de nível de tensão 250, podem ser configurados de forma semelhante aos transistores de aumento correspondentes 102, 104, 106, 110 e transistores de redução 108, 112 do conversor de nível de tensão 100. Consequentemente, os nós 222 e 223 podem receber tensões convertidas para o segundo domínio de tensão com base na subida e descida de sinais de entrada complementares a 214 e a\_n 216 de maneira semelhante aos nós 122 e 123 com base na subida e descida de sinais de

entrada complementares a 114 e a\_n 116 como descrito nas FIGs. 1A-B.

[0029] Além disso, circuito 200 pode envolver vários modos de operação. Por exemplo, um modo normal de operação pode ser definido para incluir as situações em que a primeira fonte de tensão VDD1 é diferente da (por exemplo, menor ou maior que) segunda fonte de tensão VDD2 e conversão de nível de tensão de sinais de entrada complementares a 214 e a\_n 216 do primeiro domínio de tensão para o segundo domínio de tensão é desejada. No modo normal, a funcionalidade do conversor de nível de tensão 250 pode ser substancialmente semelhante à funcionalidade do conversor de nível de tensão 100.

[0030] Um segundo modo de operação do circuito 200 é definido como um modo de desvio, em que a primeira fonte de tensão VDD1 é substancialmente igual à segunda fonte de tensão VDD2 e, assim, a conversão do nível de tensão dos sinais de entrada complementares a 214 e a\_n 216 do primeiro domínio de tensão para o segundo domínio de tensão pode ser evitado no modo de desvio. O modo de desvio pode corresponder, por exemplo, ao modo turbo mencionado anteriormente, em que tensões de alimentação do primeiro domínio de tensão (por exemplo, um domínio de tensão da lógica) e o segundo domínio de tensão (por exemplo, um domínio de tensão de memória) podem ser iguais ou substancialmente iguais. Neste contexto, substancialmente iguais deve ser entendido por aqueles versados na técnica como uma diferença de tensão entre o primeiro domínio de tensão e o segundo domínio de tensão pequena o suficiente para que dispositivos no domínio de maior tensão que não

estejam ligados não liguem o suficiente para causar corrente de fuga indesejada. No modo de desvio, o circuito de desvio 252 pode ser empregado para desviar o conversor de nível de tensão 250 e assim evitar o atraso que pode ser incorrido pelos sinais de entrada complementares a 214 e a\_n 216 que atravessam o conversor de nível de tensão 250.

[0031] Em alguns aspectos, o circuito de desvio 252 pode ser implementado como um multiplexador ou seletor para selecionar, no modo de desvio, o sinal de entrada a\_n 216 como a saída do circuito de desvio 252; e no modo normal, o nó 222 que aparece como sinal intermediário y\_n, como a saída do circuito de desvio 252. Para este fim, o circuito de desvio 252 pode incluir dois circuitos de porta de transmissão 234 e 236, cada um formado por um acoplamento paralelo de um dispositivo PFET e um dispositivo NFET. O sinal de desvio 232 pode ser afirmado se o circuito 200 é para ser operado no modo de desvio. O complemento do desvio 232 é mostrado como o desvio de sinal\_n 230. Se o desvio 232 é alto, então o desvio\_n230 é baixo, e o circuito da porta de transmissão 234 é ligado para passar a\_n166 para a saída do circuito de desvio 252. Por outro lado, se o desvio 232 é baixo, então o desvio\_n230 é alto, e o circuito da porta de transmissão 236 é ligado para passar o sinal intermediário y\_n (ou seja, nó 222) para a saída do circuito de desvio 252. A saída do circuito de desvio 252 é invertida pelo inversor 218, para aparecer como sinal de saída z 220 do circuito 200. Consequentemente, no modo de desvio, (por exemplo, quando o desvio 232 é afirmado com base na primeira e segunda tensões de alimentação VDD1 e VDD2 sendo

substancialmente as mesmas), a\_n 216 pode ser selecionado como a saída do circuito de desvio 252 ao ignorar completamente o conversor de nível de tensão 250 e atrasos correspondentes.

[0032] As FIGs. 2B-D ilustram aspectos exemplares relacionados aos circuitos de desligamento que podem ser usados para economia de energia no modo de desvio. Os circuitos de desligamento podem ser implementados seletivamente quando o desvio 232 é transmitido e o conversor de nível de tensão 250 é ignorado, como explicado em detalhes nas seções seguintes.

[0033] Em primeiro lugar com referência à FIG. 2B, o circuito 270 é ilustrado, de acordo com um aspecto exemplificativo da economia de energia no modo de desvio. O circuito 270 inclui o circuito de desligamento 275 adicionado ao circuito 200 da FIG. 2A. Mais detalhadamente, o circuito 270 também inclui o conversor de nível de tensão 250 e o circuito de desvio 252, como discutido com referência à FIG. 2A acima, e o circuito de desligamento 275 é acoplado ao conversor de nível de tensão 250 como mostrado. No modo de desvio, quando o desvio 232 é transmitido, o circuito de desligamento 275 é configurado para desligar seletivamente o conversor de nível de tensão 250. Mas no modo normal, quando o desvio 232 não é transmitido (ou, em outras palavras, quando o desvio\_n 230 é transmitido), o circuito de desligamento 275 mantém o conversor de nível de tensão 250 ativo para operação normal. O circuito de desligamento 275 será explicado em mais detalhes abaixo.

[0034] Como mostrado, o circuito de desligamento 275 inclui o primeiro transistor de redução 240 (por exemplo, um transistor NMOS ou NFET). O primeiro transistor de redução 240 é conectado em série a cada um dos transistores de redução 208 e 212 do conversor de nível de tensão 250 e à terra, com a porta do primeiro transistor de redução 240 controlada pelo desvio\_n 230. Assim, no modo normal, quando o desvio 232 não é transmitido e o desvio\_n 230 é transmitido, o primeiro transistor de redução 240 é ligado, o que conecta os terminais de origem dos transistores de redução 208 e 212 à terra, mantendo assim a configuração normal do conversor de nível de tensão 250, ou em outras palavras, fazendo com que o conversor de nível de tensão 250 permaneça ativo. Por outro lado, no modo de desvio, o desvio 232 é transmitido, fazendo com que o desvio\_n 230 seja baixado e desligando o primeiro transistor de redução 240, por sua vez, bloqueando a trajetória para a terra para os transistores de redução 208 e 212 e fazendo com que o conversor de nível de tensão 250 seja desligado.

[0035] O circuito de desligamento 275 também pode incluir o primeiro transistor de aumento 242 (por exemplo, um transistor PMOS ou PFET), mas isso pode ser opcional. Quando incluído no circuito de desligamento 275, o primeiro transistor de aumento 242 é conectado ao sinal intermediário y\_n (ou nó 222) do conversor de nível de tensão 250 e à segunda tensão de alimentação VDD2, com a porta do primeiro transistor de aumento 242 também controlada pelo desvio\_n 230. No modo normal, o desvio 232 é baixo e o desvio\_n 230 é transmitido, desligando assim o

primeiro transistor de aumento 242, o que não afeta a configuração normal do conversor de nível de tensão 250. Por outro lado, no modo desvio, o desvio 232 é transmitido, fazendo com que o desvio\_n 230 seja baixado e ligando o primeiro transistor de aumento 242, ligando assim o nó 222 à segunda tensão de alimentação VDD2 e desligando o transistor de aumento 204. Portanto, é visto que o primeiro transistor de aumento 242, quando incluído, não faz com que o nó 222 flutue no modo desvio (conectando o nó 222 à segunda tensão de alimentação VDD2), o que leva a uma redução no acoplamento traseiro no circuito desvio 252, melhorando assim o desempenho do circuito 270 no modo de desvio. De forma correspondente, a alimentação de energia da segunda fonte de tensão VDD2 para o transistor de aumento 210 e para o transistor de redução 212 também é cortada no modo de desvio.

[0036] Assim, no modo de desvio quando o desvio n 230 é transmitido, o efeito combinado de desligar o primeiro transistor de redução 240 e ligar o primeiro transistor de aumento 242 é isolar todos os transistores de comutação do conversor de nível de tensão 250 de fonte de alimentação desligando, assim, o conversor de nível de tensão 250. Consequentemente, quando o conversor de nível de tensão 250 é desviado (por exemplo, quando a primeira e segunda tensão de alimentação VDD1 e VDD2 são substancialmente as mesmas), o conversor de nível de tensão 250 também é desligado, resultando em economia de energia.

[0037] Nos casos em que o circuito de desligamento 275 não inclui o primeiro transistor de aumento 242, o sinal intermediário  $y_n$  acoplado ao nó 222

será levado a flutuar durante o modo de desvio, mas o conversor de nível de tensão 250 ainda permanecerá desligado porque o primeiro transistor de redução 240 seria bloqueado como descrito anteriormente. A não inclusão do primeiro transistor de aumento 242 no circuito de desligamento 275 pode reduzir uma área associada ao circuito de desligamento 275.

[0038] Depois, com referência à FIG. 2C, o circuito 280 é ilustrado, de acordo com outro aspecto exemplificativo da economia de energia no modo de desvio. Como o circuito 270, o circuito 280 também inclui um circuito de desligamento, identificado como circuito de desligamento 285 neste caso, adicionado ao circuito 200 da FIG. 2A. Mais detalhadamente, o circuito 280 também inclui o conversor de nível de tensão 250 e o circuito de desvio 252, como discutido com referência à FIG. 2A acima, e o circuito de desligamento 285 é acoplado ao conversor de nível de tensão 250 como mostrado. No modo de desvio, quando o desvio 232 é declarado, o circuito de desligamento 285 é configurado para desligar seletivamente o conversor de nível de tensão 250. Mas no modo normal, quando o desvio 232 não é declarado (ou, em outras palavras, quando o desvio<sub>n</sub> 230 é declarado), o circuito de desligamento 285 mantém o conversor de nível de tensão 250 ativo para operação normal. O circuito de desligamento 285 será explicado em mais detalhes abaixo.

[0039] Como mostrado, o circuito de desligamento 285 inclui o segundo transistor de aumento 282 acoplado entre a segunda tensão de alimentação VDD2 e o conversor de nível de tensão 250 (por exemplo, para elevar

os transistores 202 e 204 do conversor de nível de tensão 250, como mostrado), com a porta do segundo transistor de aumento 282 controlada por desvio 232. No modo desvio, quando o desvio 232 é alto, o segundo transistor de aumento 282 é desligado, desligando assim a fonte de tensão da segunda tensão de alimentação VDD2 para o conversor de nível de tensão 250 e fazendo com que o nó 222 e o sinal  $y_n$  flutuem. Caso contrário, no modo normal, o desvio 232 é baixo, fazendo com que o segundo transistor de aumento 282 seja ligado e conectando a segunda tensão de alimentação VDD2 ao conversor de nível de tensão 250 como normal.

[0040] O circuito de desligamento 285 pode opcionalmente incluir o segundo transistor de redução 284 (por exemplo, um transistor NMOS ou NFET) conectado ao nó 222 do conversor de nível de tensão 250, com a porta do segundo transistor de redução 284 controlada pelo desvio 232. Quando o segundo transistor de redução 284 é configurado desta maneira, no modo desvio, quando o desvio 232 é alto, o segundo transistor de redução 284 é ligado, conectando o nó 222 ou o sinal  $y_n$  à terra ou lógica "0". Portanto, o segundo transistor de redução 284 também pode impedir que o nó 222 flutue no modo desvio, reduzindo o acoplamento traseiro no circuito de desvio 252, melhorando assim o desempenho do circuito 280 no modo de desvio. No modo normal, o desvio 232 é baixo, fazendo com que o segundo transistor de redução 284 seja desligado, removendo qualquer influência no nó 222 ou sinal  $y_n$ .

[0041] Com referência agora à FIG. 2D, o circuito 290 é ilustrado, de acordo ainda com outro aspecto exemplificativo da economia de energia no modo de desvio.

Como os circuitos 270 e 280, o circuito 290 também inclui um circuito de desligamento, identificado como circuito de desligamento 295 neste caso, adicionado ao circuito 200 da FIG. 2A. Mais detalhadamente, o circuito 290 também inclui o conversor de nível de tensão 250 e o circuito de desvio 252, como discutido com referência à FIG. 2A acima, e o circuito de desligamento 295 é acoplado ao conversor de nível de tensão 250 como mostrado. No modo de desvio, quando o desvio 232 é declarado, o circuito de desligamento 295 é configurado para desligar seletivamente o conversor de nível de tensão 250. Mas no modo normal, quando o desvio 232 não é declarado (ou, em outras palavras, quando o desvio\_n 230 é declarado), o circuito de desligamento 295 mantém o conversor de nível de tensão 250 ativo para operação normal. O circuito de desligamento 295 será explicado em mais detalhes abaixo.

[0042] Como mostrado, o circuito de desligamento 295 também inclui o segundo transistor de aumento 282 configurado similarmente como o segundo transistor de aumento 282 do circuito de desligamento 285, descrito acima, e acoplado entre a segunda tensão de alimentação VDD2 e o conversor de nível de tensão 250 (por exemplo, para elevar os transistores 202 e 204 do conversor de nível de tensão 250, como mostrado) , com a porta do segundo transistor de aumento 282 controlada por desvio 232. No modo desvio, quando o desvio 232 é alto, o segundo transistor de aumento 282 é similarmente desligado, desligando assim a fonte de tensão da segunda tensão de alimentação VDD2 para o conversor de nível de tensão 250, fazendo com que o nó 222 e o sinal y\_n flutuem. Caso

contrário, no modo normal, o desvio 232 é baixo, fazendo com que o segundo transistor de aumento 282 seja ligado e faça com que a segunda tensão de alimentação VDD2 seja acoplada ao conversor de nível de tensão 250 como normal.

[0043] O circuito de desligamento 295 também inclui terceiro transistor de redução 294 acoplado entre o conversor de nível de tensão 250 e a terra, com a porta do terceiro transistor de redução 294 controlada pelo desvio\_n 230. No modo de desvio, quando o desvio\_n 230 é baixo, o terceiro transistor de redução 294 é desligado, bloqueando assim uma trajetória para a terra para o conversor de nível de tensão 250. Caso contrário, no modo normal, o desvio\_n 230 é alto, fazendo com que o terceiro transistor de redução 294 seja ligado e faça com que o conversor de nível de tensão 250 seja acoplado à terra como normal.

[0044] O circuito de desligamento 295 pode opcionalmente incluir um dos dois: quarto transistor de redução 296 ou quarto transistor de aumento 298, mas não ambos, conectado ao nó 222 do conversor de nível de tensão 250. Se o quarto transistor de redução 296 estiver incluído no circuito de desligamento 295, a porta do quarto transistor de redução 296 é controlada pelo desvio 232. No modo desvio, quando o desvio 232 é alto, o quarto transistor de redução 296 é ligado, conectando assim o nó 222 à terra ou à lógica "0". No modo normal, o desvio 232 é baixo, fazendo com que o quarto transistor de redução 296 seja desligado, removendo qualquer influência no nó 222 ou sinal y\_n.

[0045] Por outro lado, se o quarto transistor de aumento 298 estiver incluído no circuito de desligamento 295, a porta do quarto transistor de aumento 298 é controlada pelo desvio\_n 230. No modo desvio, quando o desvio\_n 230 é baixo, o quarto transistor de aumento 298 é ligado, conectando assim o nó 222 à segunda tensão de alimentação VDD2 ou lógica "1". No modo normal, o desvio\_n 230 é alto, fazendo com que o quarto transistor de aumento 298 seja desligado, removendo qualquer influência no nó 222 ou sinal y\_n. Como será apreciado, quando ou um do quarto transistor de redução 296 ou quarto transistor de aumento 298 estão incluídos no circuito de desligamento 295, configurado como acima, o nó 222 é impedido de flutuar no modo desvio, o que leva a uma redução no acoplamento traseiro no circuito de desvio 252, melhorando assim o desempenho do circuito 290 no modo de desvio.

[0046] Consequentemente, em aspectos exemplificativos, circuitos como o circuito 270, 280 ou 290 podem ser configurados com circuitos de desligamento 275, 285, ou 295, respectivamente, para evitar consumo de energia quando o conversor de nível de tensão 250 não é usado no modo de desvio. Os circuitos 270, 280 e 290 também incluem o circuito de desvio 252 para evitar atrasos através do conversor de nível de tensão no modo de desvio.

[0047] Situações em que o modo de desvio é inserido, para ativar o desvio 232, por exemplo, podem envolver a detecção da primeira e segunda fontes de tensão VDD1 e VDD2, tornando-se substancialmente o mesmo valor de tensão. Esta detecção pode ser realizada com métodos e sistemas conhecidos na técnica. Por exemplo, os níveis de

bateria ou condições de carga de um dispositivo móvel operado por bateria podem ser usados para entrar ou sair do modo de desvio. Para ilustrar, se um dispositivo móvel estiver conectado a uma fonte de energia externa ou se o nível da bateria for alto (ou acima de um determinado nível de carga), o dispositivo móvel pode ser programado para suportar um alto desempenho ou modo turbo em que a primeira e segunda fontes de tensão VDD1 e VDD2 podem ser substancialmente iguais. No entanto, se o nível da bateria cair abaixo de um nível predeterminado para um modo de bateria baixa, por exemplo, os níveis de tensão separados da primeira e segunda fontes de tensão VDD1 e VDD2 podem ser mantidos e o modo de desvio pode ser encerrado. Circuitos digitais e/ou analógicos podem ser configurados para detectar os níveis de bateria ou conexão a uma fonte de energia externa para fornecer correspondentemente indicações de se o modo de desvio pode ser selecionado ou se condições normais de operação se aplicam a um conversor de nível de tensão. Em alguns exemplos, também pode ser possível para um programador ou sistema operacional fornecer controles de software que podem ser usados para entrar ou sair do modo de desvio. Várias outras opções para detecção ou determinação de um modo de desvio (por exemplo, para transmitir o desvio 232) serão reconhecidas por pessoas versadas na técnica e, portanto, não serão discutidas aqui com mais detalhe.

[0048] Será apreciado que os aspectos exemplares incluem vários métodos para executar os processos, funções e/ou algoritmos aqui divulgados. Por exemplo, como ilustrado na FIG. 3, um aspecto

exemplificativo pode incluir um método (300) de realizar a conversão do nível de tensão. O método 300 pode incluir o Bloco 302 pertencente a um modo normal de operação, por exemplo, dos circuitos 270, 280 ou 290 e o Bloco 303 pode pertencer a um modo de operação de desvio, por exemplo, dos circuitos 270, 280 ou 290. A FIG. 3 mostra uma seta de duas pontas entre os Blocos 302 e 303 para indicar que é possível fazer a transição do modo normal para o modo de desvio, ou do modo de desvio para o modo normal, conforme for o caso. Estes blocos 302 e 303 serão explicados em mais detalhes abaixo.

[0049] Como mencionado, o Bloco 302 pode pertencer a um modo normal de operação, em que uma primeira tensão de alimentação VDD1 de um primeiro domínio de tensão é diferente de uma segunda tensão de alimentação VDD2 de um segundo domínio de tensão. No modo normal, o Bloco 302 pode incluir a conversão, por exemplo, no conversor de nível de tensão 250, de um sinal de entrada, por exemplo, sinal de entrada 214, no primeiro domínio de tensão para um sinal de saída, por exemplo, sinal de saída z 220, no segundo domínio de tensão no modo normal.

[0050] O bloco 303 pode pertencer a um modo de operação de desvio, em que a primeira e segunda tensões de alimentação VDD1 e VDD2 são substancialmente as mesmas. O bloco 303 pode compreender os blocos 304 e 306, que podem ser realizados simultaneamente.

[0051] Como tal, o bloco 304 pode incluir desviar do conversor de nível de tensão e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão em um modo de desvio. Por exemplo, o Bloco 304 pode

incluir o desvio do conversor de nível de tensão 250 usando o circuito de desvio 252 quando o desvio 232 é transmitido e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão.

[0052] O Bloco 306 pode incluir seletivamente desligar o conversor de nível de tensão no modo de desvio. Por exemplo, o Bloco 306 pode incluir o conversor de nível de tensão de desligamento 250 (por exemplo, usando circuitos de desligamento 275, 285 ou 295 dependendo se as implementações para os circuitos 270, 280 ou 290 são escolhidas em aspectos exemplificativos). Especificamente, usando qualquer uma das técnicas de desligamento discutidas aqui, o conversor de nível de tensão 250 pode ser desligado no modo de desvio (quando o desvio 232 é alto e o desvio\_n 230 é baixo) e o conversor de nível de tensão 250 pode ser mantido ativo no modo normal (quando o desvio 232 está baixo e o desvio\_n 230 for alto). Deste modo, o método 300 pode ser utilizado para evitar atrasos e potência associados ao conversor de nível de tensão 250 no circuito 270, 280 ou 290 no modo de desvio quando o desvio 232 é transmitido.

[0053] Com referência agora à FIG. 4, um diagrama de blocos de um aspecto ilustrativo particular de um dispositivo de computação que inclui um circuito, como o circuito 270, 280 ou 290, para conversão do nível de tensão de baixo consumo de energia é representado e geralmente designado por 400. O dispositivo de computação 400 pode incluir a funcionalidade para executar o método 300, discutido com referência à FIG. 3 acima. Além disso, em

alguns aspectos, o dispositivo de computação 400 pode ser configurado como um dispositivo de comunicação sem fio

[0054] O dispositivo de computação 400 é mostrado para incluir o processador 464 e a memória 432. Em alguns aspectos, o processador 464 pode pertencer a um primeiro domínio ou a um domínio de tensão de lógica com uma primeira tensão de alimentação VDD1 e a memória 432 pode pertencer a um segundo domínio de tensão de memória com uma segunda tensão de alimentação VDD2. Consequentemente, um esquemático do circuito 270, 280 ou 290 descrito com referência às Figuras 2B-D acima é mostrado para ser configurado entre o processador 464 e a memória 432. O circuito 270/280/290 pode executar a conversão do nível de tensão, por exemplo, de um sinal de entrada a 214 (por exemplo, correspondente a um comando de leitura/gravação do processador 464 para a memória 432) a um sinal de saída z 220, usando o conversor de nível de tensão 250 em um modo normal. O circuito 270/280/290 pode ser configurado para desviar e converter o conversor de nível de tensão 250 utilizando o circuito de derivação 252 e o circuito de desligamento correspondente 275/285/295, para fornecer sinais de entrada complementares a 214 e a\_n 216 do processador 464 como sinal de saída z 220, sem conversão do nível de tensão, para a memória 432 em um modo de desvio, em que a primeira e segunda tensões de alimentação VDD1 e VDD2 são substancialmente as mesmas no modo de desvio. Como mencionado anteriormente, o modo de desvio pode corresponder a um modo turbo como conhecido na técnica. Observa-se que a representação do circuito 270/280/290 na FIG. 4 omite os vários detalhes mostrados

nas FIGs. 2B-D correspondentes, por uma questão de clareza.

[0055] O dispositivo de computação 400 pode compreender também o controlador de exibição 426 que está acoplado ao processador 464 e ao monitor 428. A FIG. 4 mostra também os aspectos opcionais que podem ser fornecidos no dispositivo de computação 400. Por exemplo, dispositivo de computação pode opcionalmente compreender codificador/decodificador (CODEC) 434 (por exemplo, um CODEC de áudio e/ou de voz) acoplado ao processador 464, com alto-falante 436 e microfone 438 acoplado ao CODEC 434; e o controlador sem fios 440 (que pode incluir um modem) acoplado ao processador 464, com o controlador sem fios 440 acoplado à antena sem fio 442.

[0056] Em um aspecto exemplificador em que um ou mais dos recursos opcionais mencionados acima estão presentes, o processador 464, circuito 270/280/290, memória 432, CODEC 434, controlador de exibição 426 e controlador sem fio 440 podem ser incluídos em um dispositivo de sistema em pacote ou sistema em chip 422. Em alguns aspectos, o dispositivo de entrada 430 e a fonte de alimentação 444 podem ser acoplados ao dispositivo de sistema no chip 422 (onde também é observado que a primeira e segunda fontes de tensão VDD1 e VDD2 podem ser derivadas ou fornecidas a partir da fonte de alimentação 444 em alguns casos), embora em alguns aspectos, o monitor 428, o dispositivo de entrada 430, o alto-falante 436, o microfone 438, a antena sem fios 442 e a fonte de alimentação 444 possam ser externos ao dispositivo do sistema integrado no chip 422. Entretanto, cada um dos monitor 428, dispositivo

de entrada 430, alto-falante 436, microfone 438, antena sem fio 442, e fonte de alimentação 444 podem ser acoplados a um componente do dispositivo de sistema no chip 422 como uma interfaces ou um controlador.

[0057] Deve-se observar que embora a FIG. 4 descreva geralmente um dispositivo de computação, o processador 464 e memória 432 também podem ser integrados em um decodificador, leitor de música, leitor de vídeo, unidade de entretenimento, dispositivo de navegação, dispositivo de comunicações, assistente pessoal digital (PDA), unidade de dados de localização fixa, telefone celular, um servidor e um computador.

[0058] O versado na técnica irá apreciar que as informações e sinais podem ser representados usando qualquer de uma variedade de diferentes tecnologias e técnicas. Por exemplo, dados, instruções, comandos, informações, sinais, bits, símbolos, e chips que podem ser referidos em toda a descrição acima podem ser representados por tensões, correntes, ondas eletromagnéticas, campos magnéticos ou partículas, campos ópticos ou partículas, ou qualquer combinação dos mesmos.

[0059] Ainda, aqueles versados na técnica irão apreciar ainda que os vários blocos, módulos, circuitos e etapas de algoritmo lógicos ilustrativos descritos em relação aos aspectos aqui descritos podem ser implementados como hardware eletrônico, software de computador, ou combinações de ambos. Para ilustrar claramente esta intercambiabilidade de hardware e software, vários componentes, blocos, módulos, circuitos e etapas ilustrativas foram descritos acima, geralmente em termos da

sua funcionalidade. Se tal funcionalidade é implementada como hardware ou software depende da aplicação e limitações de design específicas impostas ao sistema global. Pessoas versadas na técnica podem implementar a funcionalidade descrita de modos variados para cada solicitação particular, mas essas decisões de implementação não devem ser interpretadas como causando uma partida do escopo da presente invenção.

[0060] Os métodos, sequências e/ou algoritmos descritos em relação aos aspectos apresentados na presente invenção aqui podem ser incorporadas diretamente em hardware, em um módulo de software executado por um processador ou em combinação dos dois. Um módulo de software pode residir na memória RAM, memória flash, memória ROM, memória EPROM, EEPROM, registros, disco rígido, um disco amovível, um CD-ROM, ou qualquer outra forma de mídia de armazenamento conhecida na técnica. Uma mídia de armazenamento exemplificadora é acoplada ao processador de modo que o processador possa ler informação a partir de, e gravar informação na mídia de armazenamento. Em alternativa, a mídia de armazenamento pode ser parte integral do processador.

[0061] Consequentemente, um aspecto da invenção pode incluir uma mídia legível por computador incorporando um método para conversão de nível de tensão de baixo consumo de energia. Consequentemente, a invenção não está limitada aos exemplos ilustrados e quaisquer meios para executar a funcionalidade aqui descrita estão incluídos nos aspectos da invenção.

[0062] Embora a descrição anterior mostre aspectos ilustrativos da invenção, deve-se observar que várias alterações e modificações podem ser feitas aqui sem afastamento do escopo da invenção como definido pelas reivindicações anexas. As funções, etapas e/ou ações das reivindicações do método de acordo com os aspectos da invenção aqui descritos não precisam ser realizadas em qualquer ordem particular. Além disso, embora os elementos da invenção possam ser descritos ou reivindicados no singular, o plural é contemplado a menos que limitação ao singular seja explicitamente declarada.

### REIVINDICAÇÕES

1. Método de conversão de nível de tensão, o método caracterizado pelo fato de que compreende:

converter, em um conversor de nível de tensão, um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão, em um modo normal (302) em que uma primeira tensão de alimentação do primeiro domínio de tensão é diferente de uma segunda tensão de alimentação do segundo domínio de tensão;

desviar (304) o conversor de nível de tensão e fornecer o sinal de entrada como o sinal de saída no primeiro domínio de tensão com base em um sinal de desvio, em um modo de desvio (303), em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas, isto sendo realizado por meio de um circuito de desvio disposto para selecionar no modo de desvio o sinal de entrada como o sinal de saída e para selecionar no modo normal o sinal em um nó de saída do conversor de tensão como o sinal de saída com base no sinal de desvio; e

desligar (306) o conversor de nível de tensão no modo de desvio (303) com base no sinal de desvio, mas não no modo normal (302) e, no modo de desvio (303) e com base no sinal de desvio, conectar o nó de saída do conversor de nível de tensão à segunda tensão de alimentação ou conectar o nó de saída do conversor de nível de tensão ao terra, para prevenir que o nó de saída flutue no modo de desvio.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que o desligamento do conversor de nível de tensão compreende desligar um primeiro

transistor de redução para bloquear o conversor de nível de tensão de uma ligação ao terra no modo de desvio.

3. Método, de acordo com a reivindicação 2, caracterizado pelo fato de que compreende adicionalmente ligar um primeiro transistor de aumento para conectar um nó de saída do conversor de nível de tensão à segunda tensão de alimentação no modo de desvio quando conectando um nó de saída do conversor de nível de tensão à segunda tensão de alimentação.

4. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que o desligamento do conversor de nível de tensão compreende desligar um segundo transistor de aumento configurado para bloquear uma conexão entre a segunda tensão de alimentação e o conversor de nível de tensão no modo de desvio.

5. Método, de acordo com a reivindicação 4, caracterizado pelo fato de que compreende adicionalmente ligar um segundo transistor de redução para conectar um nó de saída do conversor de nível de tensão ao terra no modo de desvio quando conectando um nó de saída do conversor de nível de tensão ao terra.

6. Método, de acordo com a reivindicação 4, caracterizado pelo fato de que compreende adicionalmente desligar um terceiro transistor de redução para bloquear uma conexão entre o conversor de nível de tensão e o terra no modo de desvio.

7. Método, de acordo com a reivindicação 6, caracterizado pelo fato de que compreende adicionalmente ligar um quarto transistor de redução para conectar um nó de saída do conversor de nível de tensão ao terra no modo

de desvio quando conectando um nó de saída do conversor de nível de tensão ao terra; ou

ligar um quarto transistor de aumento para conectar um nó de saída do conversor de nível de tensão à segunda tensão de alimentação no modo de desvio quando conectando um nó de saída do conversor de nível de tensão à segunda tensão de alimentação.

8. Equipamento, caracterizado pelo fato de que comprehende:

meios (250) para converter um sinal de entrada em um primeiro domínio de tensão para um sinal de saída em um segundo domínio de tensão, em um modo normal em que uma primeira tensão de alimentação do primeiro domínio de tensão é diferente de uma segunda tensão de alimentação do segundo domínio de tensão;

um circuito de desvio (252) para desviar os meios para conversão, e fornecer o sinal de saída no primeiro domínio de tensão com base em um sinal de desvio, em um modo de desvio, em que a primeira tensão de alimentação e a segunda tensão de alimentação são substancialmente as mesmas, o um circuito de desvio disposto para selecionar no modo de desvio o sinal de entrada como o sinal de saída e para selecionar no modo normal o sinal em um nó de saída do conversor de tensão como o sinal de saída com base no sinal de desvio; e

meios (275, 285, 295) para desligar o conversor de nível de tensão no modo de desvio com base no sinal de desvio, mas não no modo normal, os meios para desligar o conversor de nível de tensão configurado, no modo de desvio e com base no sinal de desvio, para conectar o nó de saída

do conversor de nível de tensão à segunda tensão de alimentação ou para conectar o nó de saída do conversor de nível de tensão ao terra, para prevenir que o nó de saída flutue no modo de desvio.

9. Equipamento, de acordo com a reivindicação 8, **caracterizado** pelo fato de que os meios para desligar o conversor de nível de tensão compreendem meios para bloquear o conversor de nível de tensão de uma conexão ao terra no modo de desvio.

10. Equipamento, de acordo com a reivindicação 9, **caracterizado** pelo fato de que compreende adicionalmente meios para conectar um nó de saída do conversor de nível de tensão à segunda tensão de alimentação no modo de desvio.

11. Equipamento, de acordo com a reivindicação 8, **caracterizado** pelo fato de que os meios para desligar o conversor de nível de tensão compreendem meios para bloquear uma conexão entre a segunda tensão de alimentação e o conversor de nível de tensão no modo de desvio.

12. Equipamento, de acordo com a reivindicação 8, **caracterizado** pelo fato de que compreende adicionalmente meios para selecionar o sinal de entrada no primeiro domínio de tensão no modo de desvio e uma saída do conversor de nível de tensão no segundo domínio de tensão no modo normal.

13. Equipamento, de acordo com a reivindicação 8, **caracterizado** pelo fato de que:

os meios para converter um sinal de entrada são um conversor de nível de tensão (250); e

os meios para desligar são um circuito de desligamento.

14. Equipamento, de acordo com a reivindicação 13, caracterizado pelo fato de que o primeiro domínio de tensão corresponde a um domínio de tensão lógico compreendendo células lógicas e o segundo domínio de tensão corresponde a um domínio de tensão de memória compreendendo células de memória, em que o modo de desvio corresponde a um modo turbo.

15. Equipamento, de acordo com a reivindicação 13, caracterizado pelo fato de que é integrado em um dispositivo selecionado do grupo que consiste de um decodificador, leitor de música, leitor de vídeo, unidade de entretenimento, dispositivo de navegação, dispositivo de comunicações, assistente pessoal digital, PDA, unidade de dados de localização fixa, servidor, telefone celular e um computador.

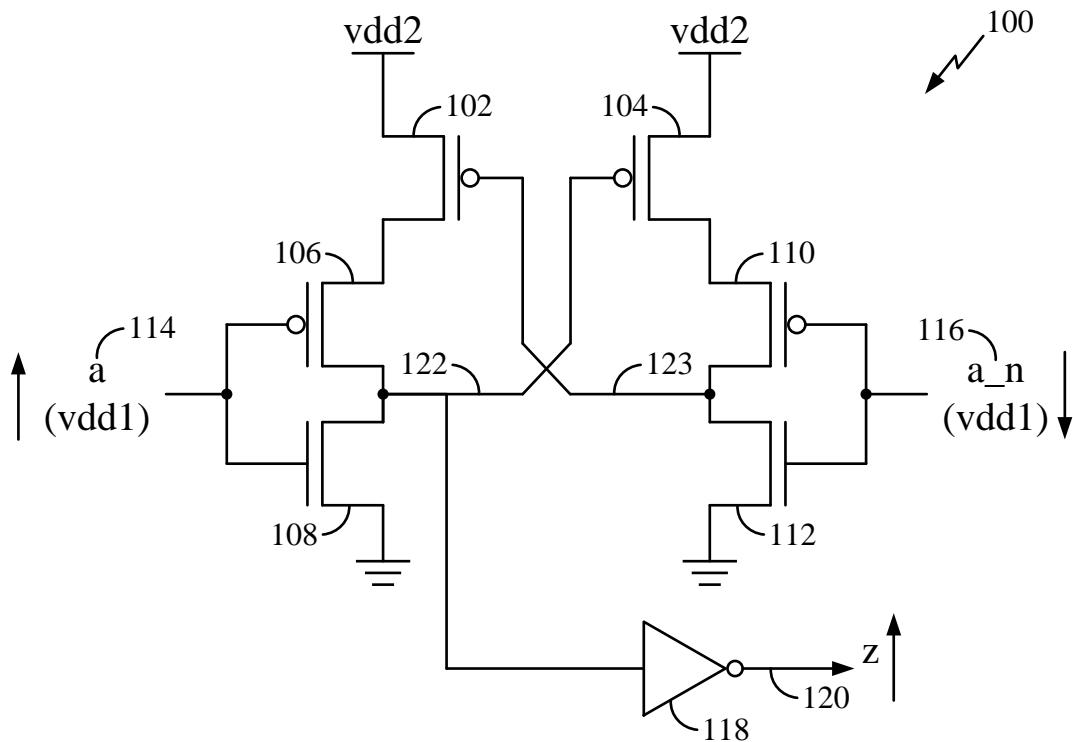


FIG. 1A

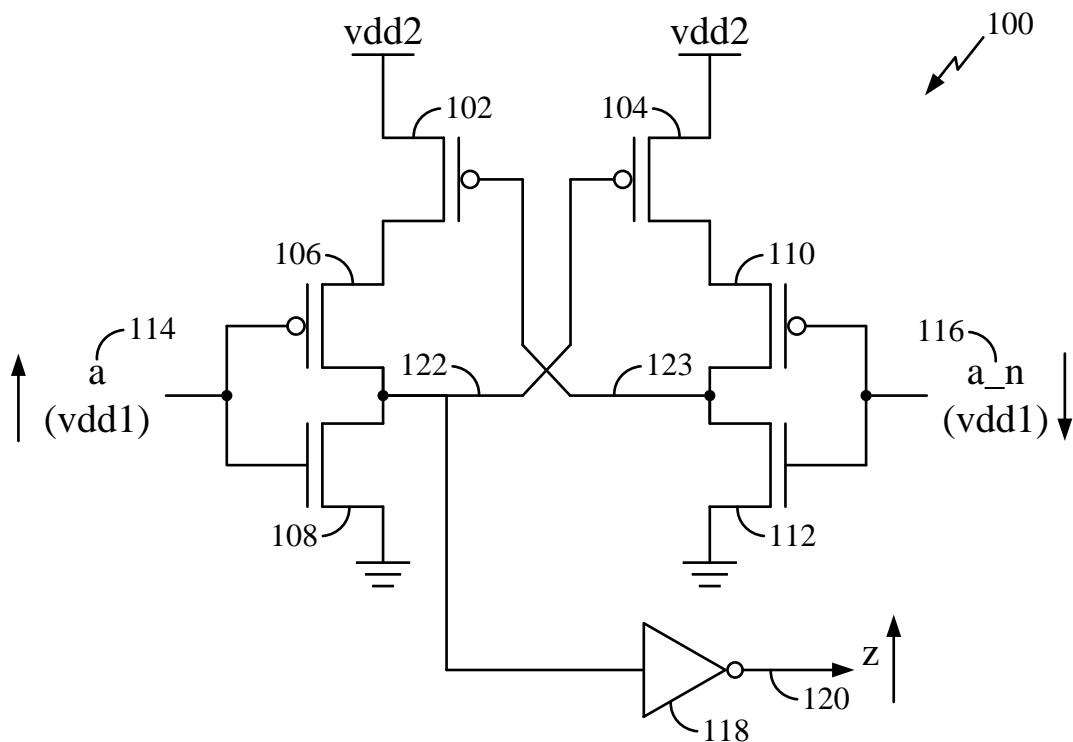
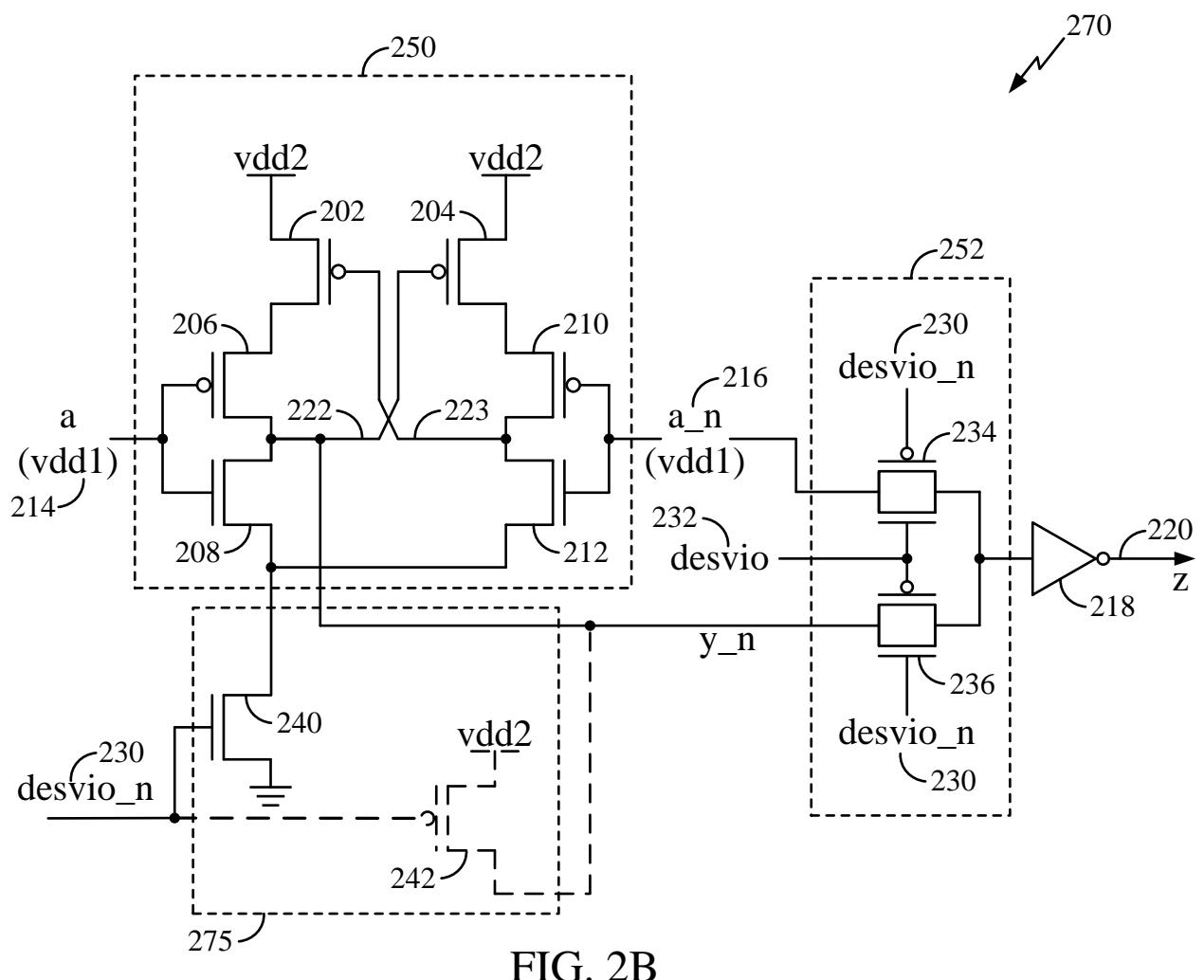
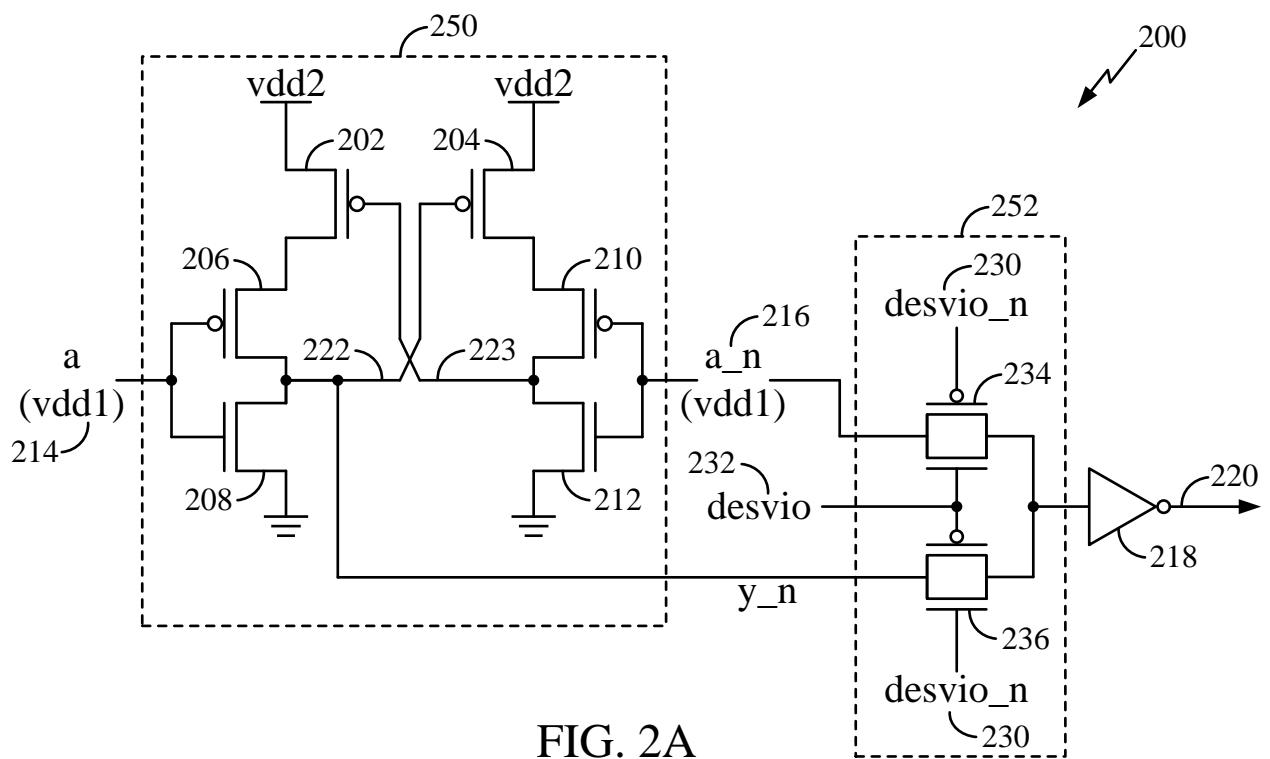


FIG. 1B



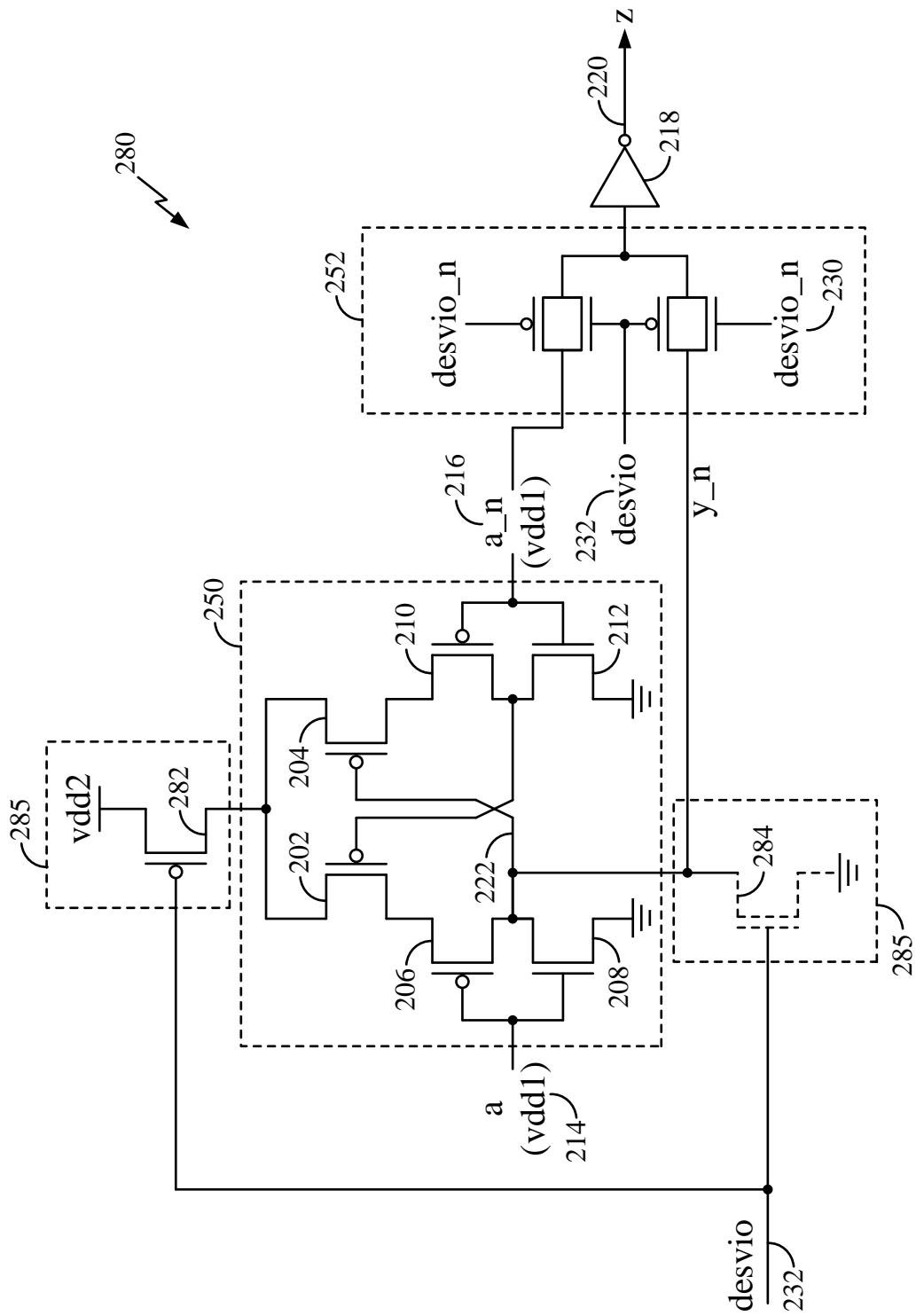


FIG. 2C

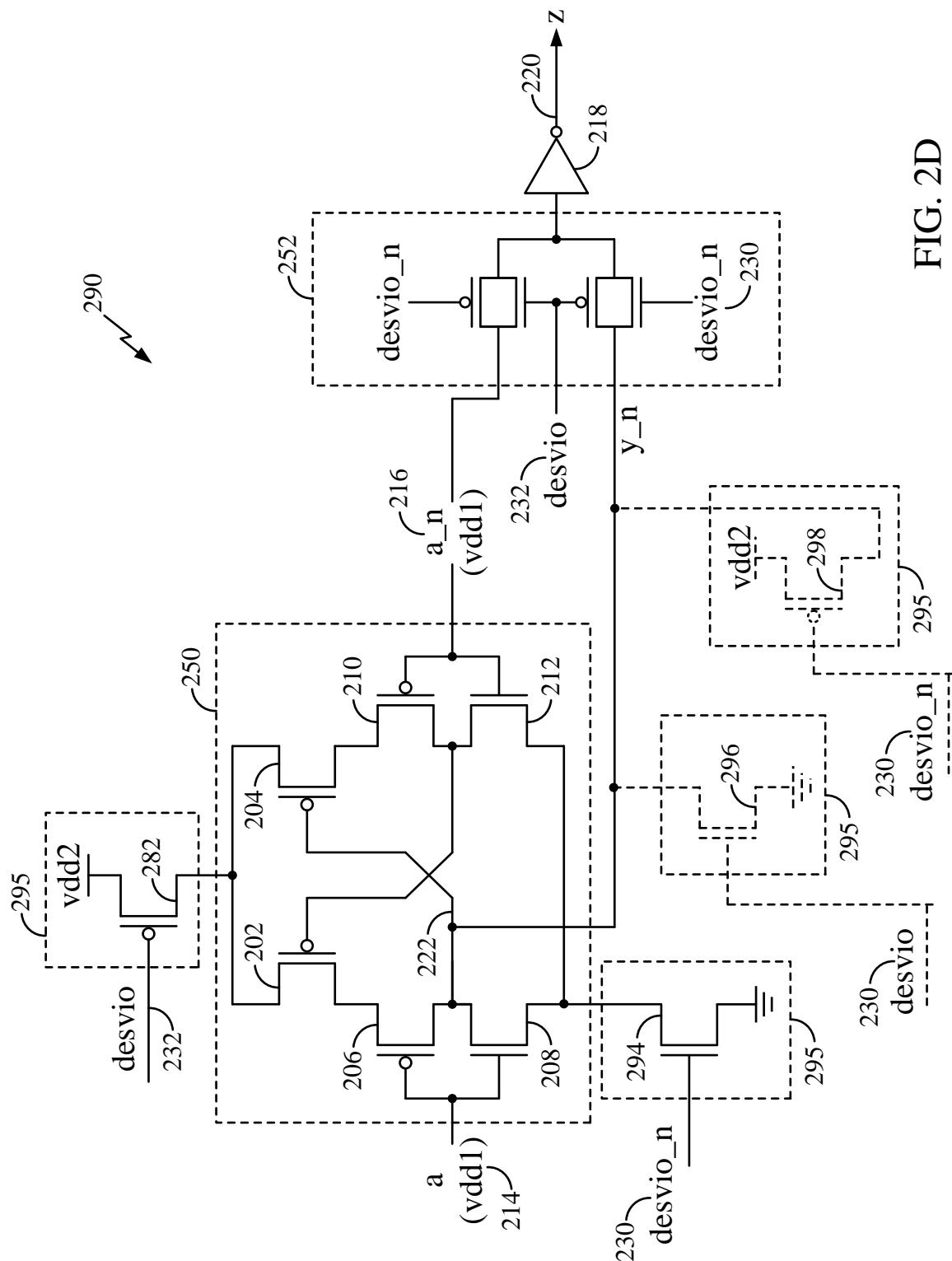


FIG. 2D

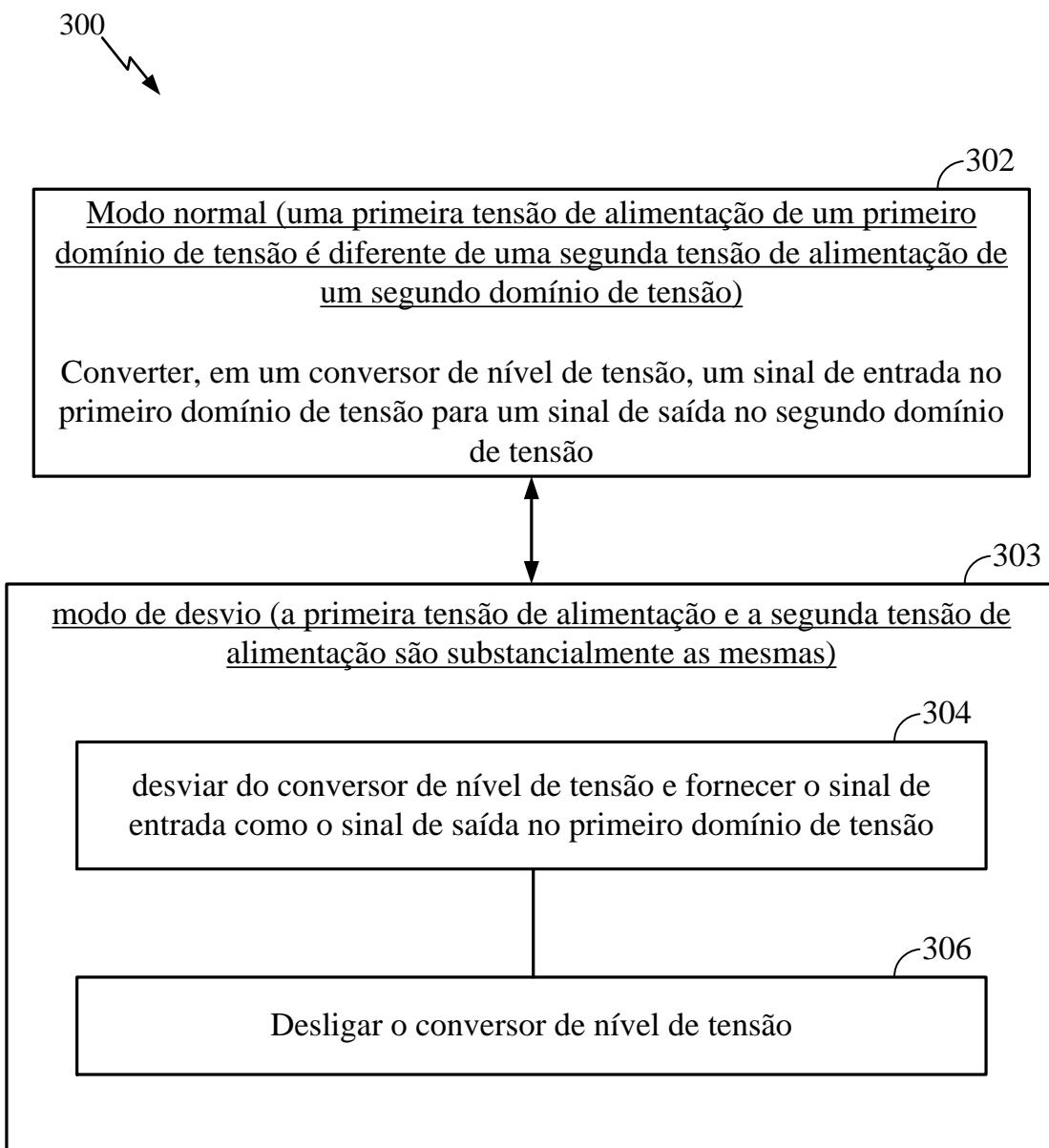


FIG. 3

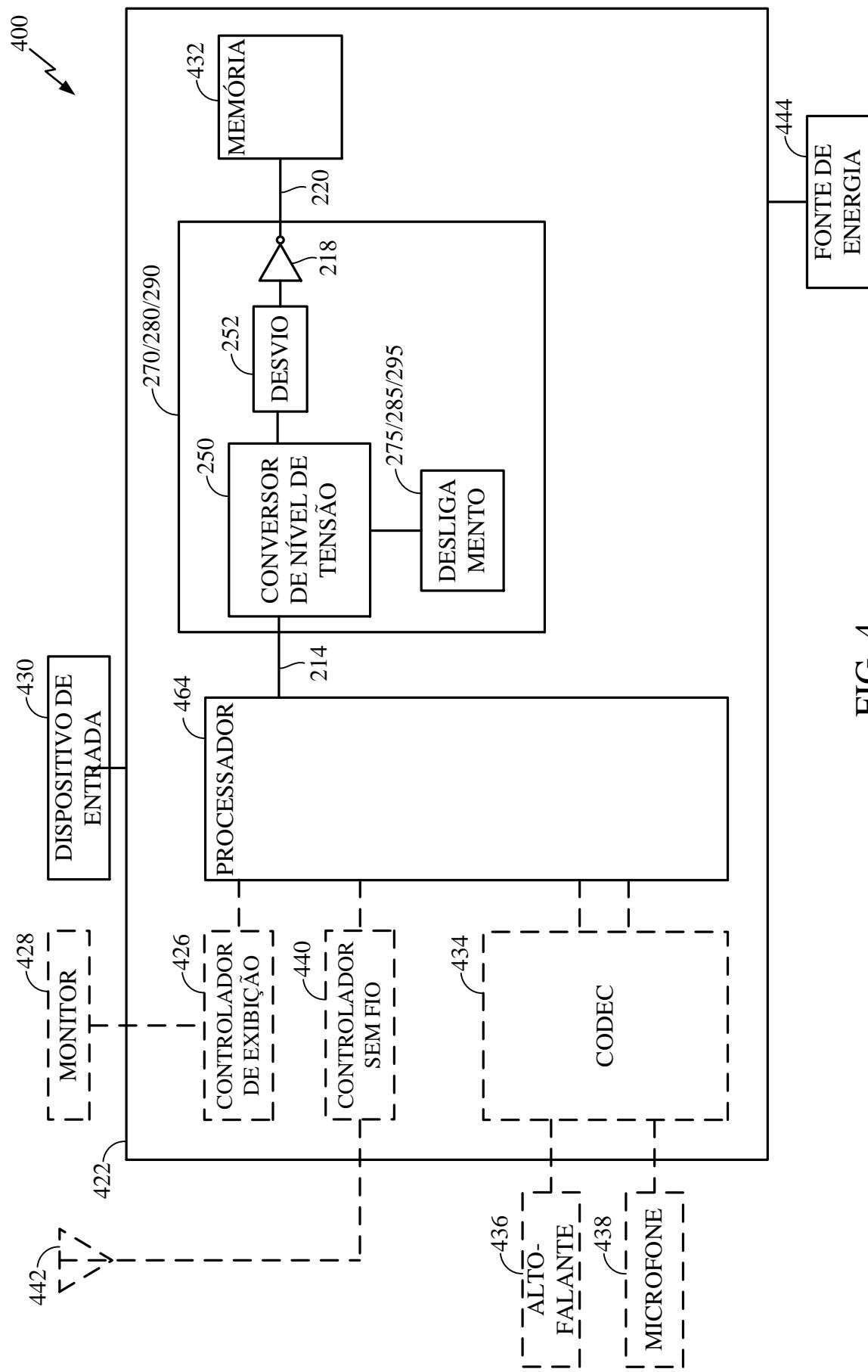


FIG. 4