

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 29/788 (2006.01)

H01L 21/8247 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410039986. X

[45] 授权公告日 2009年3月11日

[11] 授权公告号 CN 100468746C

[22] 申请日 2004.3.22

[21] 申请号 200410039986. X

[30] 优先权

[32] 2003.3.21 [33] US [31] 10/394975

[73] 专利权人 硅存储技术公司

地址 美国加利福尼亚州

[72] 发明人 陈柏密 李达纳

[56] 参考文献

JP10-112511A 1998.4.28

CN1359148A 2002.7.17

US6151248A 2000.11.21

US6091102A 2000.7.18

审查员 车晓璐

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 梁永

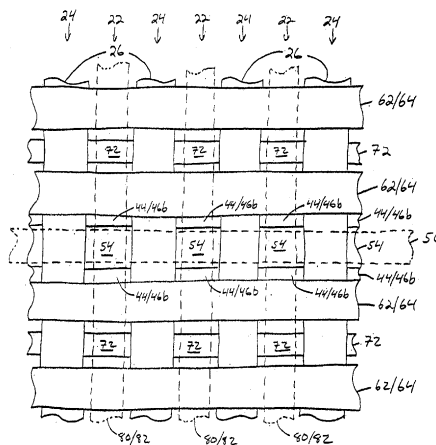
权利要求书 5 页 说明书 16 页 附图 11 页

[54] 发明名称

浮栅存储器单元的半导体存储器阵列

[57] 摘要

一种浮栅存储器单元阵列，其中沟渠形成于半导体基板的表面内。源极及漏极区域分别于沟渠下方，沿着基板的表面形成，在源极区域及漏极区域之间具有非线性沟道区域。浮栅具有位于沟渠内的下部，以及位在基板上方的上部，且具有与基板表面平行延伸的侧向突出物。侧向突出物是通过将一空穴蚀刻入牺牲层之暴露端内，并充填多晶硅所形成。控制栅是围绕著侧向突出物形成并与其绝缘。沟渠侧壁与基板表面以一锐角相接合，形成一指向浮栅且在与侧向突出物相对之方向上的尖锐边缘。



1. 一种电气地可编程以及可擦除的存储器装置，包含：

一半导体材料基板，其具有第一导电类型及一表面；

一沟槽，其形成于该基板表面中；

隔开的的第一及第二区域，形成于基板内并具有第二导电类型，在该隔开的的第一及第二区域之间，具有形成于基板内的沟道区域，其中该第一区域形成在该沟槽下方，该沟道区域包括沿着沟槽侧壁延伸的第一部分，以及沿着基板表面延伸的第二部分；

导电性浮栅，其具有上部及下部，其中该下部邻近且与沟道区域第一部分绝缘地位于沟槽内，以及其中该上部在基板表面上方延伸并包括一浮栅侧向突出物，该浮栅侧向突出物在一与基板表面平行的方向上延伸；以及

导电性控制栅，其设置在该沟道区域第二部分上且与该沟道区域第二部分绝缘，且设置为侧向地邻近该浮栅侧向突出物并与其绝缘，

其中该控制栅包括形成于该控制栅内的控制栅凹穴，以及其中该浮栅侧向突出物延伸入该控制栅凹穴中，且

该控制栅凹穴的形状与该浮栅侧向突出物的形状相配合。

2. 如权利要求书第 1 项的存储器装置，其中该控制栅凹穴及该浮栅侧向突出物通过具有均一厚度的一层或多层绝缘材料层来彼此绝缘。

3. 如权利要求书第 1 项的存储器装置，其中该浮栅侧向突出物通过下述步骤形成：

在基板上形成具有一暴露端的一牺牲材料层；

进行蚀刻加工，在该暴露端中形成一侧向凹穴；以及

沿着暴露端形成第一导电材料层，该第一导电材料层利用导电材料充填该侧向凹穴以形成该侧向突出物。

4. 如权利要求书第 3 项的存储器装置，其中该控制栅通过下述步骤形成：

移除该牺牲材料层；

沿着所述侧向突出物形成一层或多层绝缘材料层；以及

沿着该一层或多层绝缘材料层形成第二导电材料层。

5. 如权利要求书第 1 项的存储器装置, 其中该沟槽侧壁与基板表面以一锐角接合, 以形成指向该浮栅及与该浮栅绝缘的尖锐边缘。

6. 如权利要求书第 5 项的存储器装置, 其中该沟道区域第一部分及第二部分彼此不在一条线上, 该沟道区域第二部分以朝向尖锐边缘及浮栅的方向, 从该第二区域延伸, 以界定利用电子经由热电子注入编程该浮栅的路径。

7. 如权利要求书第 5 项的存储器装置, 其中该尖锐边缘通过下述步骤形成:

在沟槽侧壁上经由硅氧化作用形成第一氧化物层;

移除该第一氧化物层; 以及

在沟槽侧壁上经由硅氧化作用形成第二氧化物层。

8. 如权利要求书第 5 项的存储器装置, 其中该浮栅侧向突出物终止于指向第一方向的尖端, 以及其中该尖锐边缘指向与该第一方向相反的第二方向。

9. 如权利要求书第 1 项的存储器装置, 进一步包含:

一导电材料块, 具有至少一邻近该浮栅并与该浮栅绝缘地设置在沟槽内的下部。

10. 如权利要求书第 9 项的存储器装置, 其中该导电材料块电气地连接至该第一区域。

11. 如权利要求书第 1 项的存储器装置, 其中该沟道区域包括沿着该沟槽的底部表面的至少一部分延伸的第三部分, 以及其中至少一部分该浮栅设置在该沟道区域第三部分上并与其绝缘。

12. 如权利要求书第 1 项的存储器装置, 其中该控制栅包括:

一多晶硅层, 其设置在该沟道区域第二部分上并与其绝缘, 且设置为侧向地邻接至少一部分该浮栅并与其绝缘; 以及

一金属化多晶硅层, 其设置在该多晶硅层上。

13. 如权利要求书第 1 项的存储器装置, 其中该浮栅包括:

一掺杂的多晶硅层; 以及

一未掺杂的多晶硅块, 其沿着该掺杂的多晶硅层设置并且比该掺杂的多晶硅层更远离控制栅。

14. 如权利要求书第 13 项的存储器装置, 其中该浮栅包括:

一上部表面，随着该上部表面靠近控制栅而向下倾斜，用于降低该浮栅与该控制栅之间的电容耦合。

15. 如权利要求书第 14 项的存储器装置，其中该浮栅的所述上部表面是通过蚀刻及氧化该掺杂的多晶硅层，以及该未掺杂的多晶硅块来形成，该未掺杂的多晶硅块的蚀刻及氧化比该掺杂的多晶硅层的蚀刻及氧化慢。

16. 一种电气地可编程以及可擦除的存储器装置的阵列，包含：

一半导体材料基板，其具有第一导电类型及一表面；

形成在基板上的隔开的隔离区域，它们彼此平行且在第一方向上延伸，有源区域位于每对相邻隔离区域之间；以及

每一有源区域包括多个存储器单元，其中每一存储器单元包括：形成于基板表面内的沟槽；

隔开的的第一及第二区域，形成于基板内并具有第二导电类型，在该隔开的的第一及第二区域之间，具有形成于基板内的沟道区域，其中该第一区域形成在该沟槽下方，并且该沟道区域包括沿着沟槽侧壁延伸的第一部分，以及沿着基板表面延伸的第二部分；

导电浮栅，其具有上部及下部，其中该下部邻近且与沟道区域第一部分绝缘地位于沟槽内，并且其中该上部在基板表面上方延伸并包括一浮栅侧向突出物，该浮栅侧向突出物在一与基板表面平行的方向上延伸；以及

导电控制栅，其设置在该沟道区域第二部分上且与该沟道区域第二部分绝缘，且设置为侧向地邻近该浮栅侧向突出物并与其绝缘，

其中每一控制栅包括形成于该控制栅内的控制栅凹穴，以及其中每一个浮栅侧向突出物延伸入控制栅凹穴之一，并且

其中每一个控制栅凹穴的形状与延伸于该凹穴中的浮栅侧向突出物的形状相配合。

17. 如权利要求书第 16 项的阵列，其中每一控制栅凹穴通过具有均一厚度的一层或多层绝缘材料层，与浮栅侧向突出物之一绝缘。

18. 如权利要求书第 16 项的阵列，其中该浮栅侧向突出物通过下述步骤形成：

在基板上形成具有暴露端的牺牲材料层；

进行蚀刻加工，在每一暴露端中形成一侧向凹穴；以及

沿着暴露端形成第一导电材料层，该第一导电材料层利用导电材料充填该侧向凹穴以形成该侧向突出物。

19. 如权利要求书第 18 项的阵列，其中该控制栅通过下述步骤形成：

移除该牺牲材料层；

沿着每一侧向突出物形成一层或多层绝缘材料层；以及

沿着该一层或多层绝缘材料层形成第二导电材料层。

20. 如权利要求书第 16 项的阵列，其中每一沟槽具有与基板表面以一锐角接合的一侧壁，以形成指向并绝缘于浮栅之一的尖锐边缘。

21. 如权利要求书第 20 项的阵列，其中对每一存储器单元而言，沟道区域第一部分及沟道区域第二部分彼此不在一条线上，沟道区域第二部分以朝向尖锐边缘之一及浮栅之一的方向，从第二区域之一延伸，以界定利用电子经由热电子注入编程该一个浮栅的路径。

22. 如权利要求书第 20 项的阵列，其中每个尖锐边缘通过下述步骤形成：

在沟槽侧壁之一上经由硅氧化作用形成第一氧化物层；

移除该第一氧化物层；以及

在该沟槽侧壁之一上经由硅氧化作用形成第二氧化物层。

23. 如权利要求书第 20 项的阵列，其中对每一存储器单元而言，浮栅侧向突出物终止于指向第二方向的尖端，并且其中尖锐边缘指向与该第二方向相反的第三方向。

24. 如权利要求书第 16 项的阵列，进一步包含：

多个导电材料块，每一个具有至少一邻近浮栅之一并与其绝缘地设置在沟槽之一内的下部。

25. 如权利要求书第 24 项的阵列，其中每一导电材料块电气地连接至第一区域之一。

26. 如权利要求书第 16 项的阵列，其中每一沟道区域包括沿着沟槽之一的底部表面的至少一部分延伸的第三部分，并且其中浮栅之一的至少一部分设置在一个沟道区域第三部分上并与其绝缘。

27. 如权利要求书第 16 项的阵列，其中每一控制栅包括：

一多晶硅层，其设置在沟道区域第二部分之一上并与其绝缘，且设置为侧向地邻接并绝缘于浮栅之一的至少一部分；以及

一金属化多晶硅层，其设置在该多晶硅层上。

28. 如权利要求书第 16 项的阵列，其中每一浮栅包括：

一掺杂的多晶硅层；以及

一未掺杂的多晶硅块，其沿着该掺杂的多晶硅层设置并且比该掺杂的多晶硅层更远离控制栅。

29. 如权利要求书第 28 项的阵列，其中每一浮栅包括：

一上部表面，随着该上部表面靠近控制栅而向下倾斜，用于降低浮栅与控制栅之间的电容耦合。

30. 如权利要求书第 29 项的阵列，其中该浮栅的所述上部表面通过蚀刻及氧化该掺杂的多晶硅层，以及该未掺杂的多晶硅块来形成，该未掺杂的多晶硅块的蚀刻及氧化比该掺杂的多晶硅层的蚀刻及氧化慢。

31. 如权利要求书第 16 项的阵列，进一步包含：

多条导电材料的控制线，每一条以与第一方向垂直的方向，延伸跨越有源区及隔离区域，并且每一条从每一有源区域电气地与控制栅之一连接在一起。

32. 如权利要求书第 25 项的阵列，进一步包含：

多条导电材料的源极线，每一条以与第一方向垂直的方向，延伸跨越有源区及隔离区域，并且每一条从每一有源区域电气地与导电块之一连接在一起。

33. 如权利要求书第 16 项的阵列，进一步包含：

多条导电材料的漏极线，每一条沿着有源区域之一延伸并将该有源区域之一中的所有第二区域电气地连接在一起。

浮栅存储器单元的半导体存储器阵列

技术领域

本发明关于一种形成浮栅存储器单元的半导体存储器阵列的自行对准方法。本发明也关于前述类型的浮栅存储器单元的半导体存储器阵列。

背景技术

利用浮栅以储存该浮栅上的电荷的非易失性半导体存储器单元，以及形成于半导体基板中的此类非易失性存储器单元的存储器阵列为现有技术领域中已知的。一般而言，此类浮栅存储器单元已制成分裂栅形式或堆叠栅形式。

半导体浮栅存储器单元阵列的可制造性已面临的问题之一为例如源极、漏极、控制栅及浮栅等不同元件的对准。因为半导体集成化的设计规则减少，减小最小的平版印刷组件，对于精确对准的需求变得更重要。各种不同部件的对准亦决定半导体产品制造的产率。

自行对准为现有技术中众所皆知的技术。自行对准意指加工涉及一或多种材料之一或多个步骤的作用，以致于在该步骤加工中组件彼此自动对准。因此，本发明使用自行对准的技术，以达成制造浮栅存储器单元形式的半导体存储器阵列。

对于缩小存储器单元阵列的尺寸的需求仍持续不断，以致能使单一晶圆上存储器单元数目最大化。已知形成成对的存储器单元，利用每一对共享一单一源极区域，以及邻近对的单元共享一共同的漏极区域，减小存储器单元阵列的尺寸。然而，阵列的大面积一般是留给位元线连接至漏极区域。位元线区域一般由界于存储器单元对之间的接触开口，以及接触点至字线之间的间距所占据，该间距是强硬地依平版印刷为第几代，接触对准，以及接触完整性而定。此外，字线晶体管是保留显著的空间，该空间的尺寸是由平版印刷世代及接合比例描绘所设定。

传统上，所形成的浮栅具有面对控制栅的尖锐边缘，以增进 Fowler-Nordheim 穿隧效应，其是在擦除操作期间，用于使电子离开浮

栅。尖锐边缘一般是通过以不均匀的方法，氧化或部分蚀刻多晶硅浮栅的上部表面所形成。为了增进氧化处理，多晶硅浮栅一般是经过稍微掺杂，以避免形成大颗粒。然而，因为浮栅的尺寸愈来愈小，与浮栅的整体尺寸相较，多晶硅的颗粒（其由于氧化处理的热循环而变大）在尺寸上变得显著。相对于浮栅尺寸的大颗粒尺寸造成尖锐边缘不均一地形成，其危及浮栅的操作及功能性。

现有技术对于改良存储器单元阵列的编程效率亦有需求。第1图例示说明一众人所周知的分裂栅非易失性存储器单元设计，其包括一浮栅1及一控制栅2，其通过绝缘材料3而彼此绝缘且形成在基板4上。源极区域5及漏极区域6是形成基板4中，具有位于此源极区域5及此漏极区域6之间的沟道区域。在现有的编程方法中，沟道区域中的电子以与浮栅1平行的路径，自漏极6流向源极5，其中相对少数的经加热电子注入至浮栅。估计的编程效率（经射入的电子数与电子总数的比值）据估计为约1/1000。

现有技术对于增加存储器单元阵列的擦除效率及可信赖性亦有需求。对擦除存储器单元而言，如第1图所示，增加控制栅2的电子电位直至浮栅1上的电子自浮栅1的尖锐尖端7经由绝缘材料3穿隧，经由Fowler-Nordheim穿隧作用至控制栅2上。

然而，界于浮栅尖端7及邻近控制栅表面9的电场线8是不对称的，与接近控制栅表面9处相较，接近浮栅尖端7处的电场线密度较强。由于过大的电场产生的缺陷及氧化物降解倾向发生在电场线密度最大的绝缘材料3中。因此，接近浮栅尖端7的不对称电场线限制可使用于擦除存储器单元的最大电压，且限制存储器单元尺寸的可扩展性。

现有技术对于具有显著减小的单元尺寸，同时可提供增进的编程及擦除效率及存储器单元的可信赖性的非易失性、浮栅型存储器单元阵列仍有需求。

发明内容

本发明通过提供形成具有减小尺寸及新颖结构的存储器单元的自行对准方法，以及由该存储器单元形成的存储器单元阵列，以解决上述问题。

本发明为一种电气地可编程以及可擦除的存储器装置，其包括一半导体材料基板，该基板具有第一导电类型及一表面；一沟槽，其形成于该基板的该表面中；第一隔开区域及第二隔开区域，其形成于基板内并具有第二导电类型，在第一隔开区域及第二隔开区域之间，具有形成于基板内的沟道区域，其中该第一隔开区域是形成在该沟槽下方，以及该沟道区域包括实质上沿着沟槽侧壁延伸的第一部分，以及实质上沿着基板表面延伸的第二部分；导电性浮栅，其具有上部及下部，其中该下部是位于邻近且与沟道区域第一部分绝缘的沟槽内，以及其中该上部是在基板表面上方延伸并包括一侧向突出物，该侧向突出物在一与基板表面实质平行的方向上延伸；以及导电性控制栅，其是设置在该沟道区域第二部分上且与该沟道区域第二部分绝缘，且为侧向地邻近该浮栅的侧向突出物而设置并与其绝缘。

于本发明的另一方面，本发明为一种电气地可编程以及可擦除的存储器装置的阵列，其包括一半导体材料基板，该基板具有第一导电类型及一表面；隔开的隔离区域，其是形成在基板上，其是实质上彼此平行且在第一方向上延伸，具有界于每对邻近隔离区域之间的有源区域，以及每一有源区域包括多个存储器单元。每一存储器单元包括形成于基板表面内的沟槽；第一及第二隔开区域，其形成于基板内并具有第二导电形式，在该第一及第二隔开区域之间，具有形成于基板内的沟道区域，其中该第一隔开区域是形成在该沟槽下方，以及该沟道区域包括实质上沿着沟槽侧壁延伸的第一部分，以及实质上沿着基板表面延伸的第二部分；导电性浮栅，其具有上部及下部，其中该下部是位于邻近且与沟道区域第一部分绝缘的沟槽内，以及其中该上部是在基板表面上方延伸并包括一侧向突出物，该侧向突出物在一与基板表面呈实质平行的方向上延伸；以及导电性控制栅，其是设置在该沟道区域第二部分上且与该沟道区域第二部分绝缘，且为侧向地邻近该浮栅的侧向突出物而设置并与其绝缘。

本发明的其他目的及特征将通过回顾说明书、权利要求书及附图而彰显。

附图说明

第1图为现有非易失性存储器单元的截面图。

第 2A 图为使用于本发明的方法的第一步骤以形成隔离区域的半导体基板的顶视图；

第 2B 图为沿着线 2B-2B 所得第 2A 图的结构之截面图，显示本发明的最初加工步骤；

第 2C 图为显示加工第 2B 图结构的下一步骤的结构顶视图，其中已界定隔离区域；

第 2D 图为沿着线 2D-2D 所得第 2C 图结构的截面图，显示形成于结构中的隔离沟槽；

第 2E 图为第 2D 图中结构的截面图，显示在隔离沟槽中材料的隔离块的形成；

第 2F 图为第 2E 图中结构的截面图，显示隔离区域的最终结构；

第 3A-3N 图为沿着线 3A-3A 所得的第 2F 图中半导体结构的截面图，依序显示加工本发明的浮栅存储器单元的非易失性存储器阵列的半导体结构的步骤；

第 4 图为本发明的存储器单元阵列的顶部平面图；

第 5A 图为例示说明浮栅的顶部表面的部分截面图；以及

第 5B 图为例示说明可由定时的多晶硅蚀刻方法所得的浮栅顶部表面的各种不同可能形状的部分截面图。

具体实施方式

本发明的方法是例示说明于第 2A 至 2F 图及第 3A 至 3N 图（其显示制造本发明的存储器单元阵列的加工步骤）。此方法以半导体基板 10 开始，该基板较佳为 P 型且为现有技术中众所皆知。下文中所描述的层厚度将视设计规则及工艺技术世代而定。在本文中所描述的为 0.10 微米工艺。然而，熟悉该项技术者应了解到，本发明并不拘限于任何特定的工艺技术世代，也不受限于任何下文中所描述的工艺参数的任何特定数值。

隔离区域的形成

第 2A 至 2F 图例示说明众所周知的在基板上形成隔离区域的 STI 方法。参考第 2A 图，其中显示出半导体基板 10（或半导体阱）的顶部平面图，其较佳为 P 型且为现有技术领域中众所皆知的。第一材料层 12 及第二材料层 14 是形成（例如生长或沉积）在基板上。举例而言，

第一材料层 12 可为二氧化硅（在下文中称为“氧化物”），其通过任何例如氧化作用或氧化物沉积作用（例如化学气相沉积法或 CVD）等众所皆知的技术，形成在基板 10 上，以达到约 85Å 的厚度。第二材料层 14 可为氮化硅（在下文中称为“氮化物”），其是形成在氧化物层 12 上，较佳是通过 CVD 形成（例如达到约 1400Å 的厚度）。第 2B 图例示说明所得结构的截面图。

一旦第一材料层 12 及第二材料层 14 已形成，将适当的光刻胶材料 16 施用在氮化物层 14 上并进行掩模步骤，以选择性地自如第 2C 图所示的延伸于 Y 方向或纵向的特定区域（条带 18）移除光刻胶材料。当移除光刻胶材料 16 时，利用标准蚀刻技术（亦即各向异性氮化物及氧化物蚀刻方法），蚀刻去除条带 18 中暴露的氮化物层 14 及氧化物层 12，以形成结构中的沟槽 20。界于邻近条带 18 之间的距离 W 可小至如同所使用的方法的最小平版印刷元件一般。接着使用硅蚀刻方法使沟槽 20 向下延伸至硅基板 10 内（例如达到约 0.3 μm 的深度），如第 2D 图所示。该处未移除光刻胶 16，保有氮化物层 14 及氧化物层 12。目前例示说明于第 2D 图的所得结果，界定交错有隔离区域 24 的有源区域 22。

将此结构进一步加工以去除余留的光刻胶 16。接着，通过沉积厚氧化物层，使例如二氧化硅的隔离材料形成于沟槽 20 中，接着通过化学机械抛光或 CMP 蚀刻（使用氮化物层 14 作为蚀刻终止层），以去除了沟槽 20 中的氧化物块 26 之外的氧化物层，如第 2E 图所示。接着利用氮化物 / 氧化物蚀刻方法，去除余留的氮化物及氧化物层 14 / 12，留下沿着隔离区域 24 延伸的 STI 氧化物块 26，如第 2F 图所示。

上述的 STI 隔离方法为形成隔离区域 24 的较佳方法。然而，众所周知的 LOCOS 隔离方法（例如凹陷式 LOCOS (recessed LOCOS)，多缓冲 LOCOS (poly buffered LOCOS) 等），可替换使用，其中沟槽 20 可未延伸至基板内，以及隔离材料可形成在基板表面的条带区域 18 中（例如使用氧化方法）。

第 2A 至 2F 图例示说明基板的存储器单元阵列区域，其中存储器单元的行列将形成在由隔离区域 24 所分隔的有源区域 22 中。应注意的是，基板 10 亦包括至少一周围区域，其中形成将用于操作形成于存储器单元阵列区域中的存储器单元的控制电路。较佳地，在进行与上

述相同的 STI 或 LOCOS 方法期间，隔离块 26 亦形成在周围区域中。

存储器单元的形成

依下文所述进一步加工第 2F 图所显示的结构。第 3A 至 3N 图显示有源区域 22 的结构截面，其是以与第 2F 图呈直角的观察角度观察（沿着如第 2C 及 2F 图所示之线 3A-3A 观察），因为本发明的方法中的下述步骤是同时对此二区域进行。

在基板上形成一对牺牲材料层 28 及 30，如第 3A 图所示。较佳地，层 28 为氮化物，其可通过例如 LPCVD（低压化学汽相沉积法）来形成，具有厚度 T_1 （例如 60 至 80Å）。较佳地，层 30 为氧化物，其可通过例如 TEOS（四乙基邻硅酸盐）或 BSG（硼硅酸盐玻璃）或 BPSG（磷/硼磷-硅酸盐）来形成，具有厚度 T_2 （例如 50 至 100Å）。基板 10 的有源区域部分可于层 28（以及可能的话在层 30）形成后掺杂，使存储器装置的单元阵列部分，相对于周围区域 28，能达到更好的独立控制。此类掺杂一般是称为 V_i 注入或单元阱注入，且为现有技术领域中众所皆周知的。在注入期间，周围区域是由光刻胶保护，该光刻胶层是沉积在整个结构上且只有自基板的存储器单元阵列区域去除。于此任择的 V_i 注入后，在氧化物层 30 上形成厚层的硬质掩模材料 32（例如厚度 2000 至 3100 Å 的氮化物）。所得有源区域结构如第 3A 图所示。

多个平行的第二沟槽 34 是通过在氮化物层 32 上施用一光刻胶（掩模）材料，并接着进行掩模步骤以自所选择的平行条带区域（其与隔离区域 24 垂直）移除光刻胶，以形成在氮化物层 32 内。各向异性氮化物蚀刻是用于移除条带区域中氮化物层 32 的暴露部分，留下向下延伸至氧化物层 30 且暴露该氧化物层 30 的第二沟槽 34。接着进行各向异性氧化物及氮化物蚀刻以去除位于第二沟槽 34 底部的氧化物层 30 及氮化物层 28 的暴露部分，使基板 10 的部分暴露。接着使用硅各向异性蚀刻方法，使第二沟槽 34 向下延伸入基板 10（举例而言，向下深度约一元件尺寸深度，例如利用 0.15 μm 技术至约 0.15 μm 深度）。第 3B 图显示移除光刻胶后所得的结构。

接着使用热氧化方法，沿着第二沟槽 34 中基板 10 的暴露部分，形成牺牲氧化物层 36（例如厚度 200-600Å）。此氧化方法使基板边缘 38 锐化（此时第二沟槽基板侧壁与基板的上表面呈锐角接合-小于 90 度），因为氮化物层 28 使氧化方法对接近基板上表面的基板侧壁的影响

响减小。所得结构如第 3C 图所示。

进行选择性的、各向同性氧化物蚀刻，例如湿式氧化物蚀刻，以移除任何蚀刻损害及来自第二沟槽 34 的暴露基板材料的污染。此氧化物蚀刻亦移除氧化物层 30 的暴露末端部分（与第二沟槽 34 接合处），形成侧向远离第二沟槽 34 延伸的凹穴 40，如第 3D 图所示。凹穴 40 的形成成为自限性方法，其中氧化物蚀刻仅侧向地延伸入氧化物层 30 一特定距离（依氧化物层 30 的厚度而定）并接着主要停止移除氧化物。凹穴 40 在氧化物层 30 中的尺寸及深度是以氧化物层 30 的厚度 T_2 表示（亦即厚度 T_2 愈大，凹穴 40 的尺寸及深度愈大）。因此可通过选择具有所欲厚度 T_2 的氧化物层 30 来精确地且可重覆地控制凹穴 40 的尺寸及深度。

利用第二热氧化方法，沿着基板 10 中的第二沟槽 34 的暴露侧壁及底壁形成另一氧化物层 42（例如厚度 60-80Å）。此接续的氧化方法进一步增进尖锐边缘 38 的尖锐度及尺寸，其中第二沟槽基板侧壁较佳与基板的上表面呈显著小于 90 度的角度接合（例如 70-85 度）。另一 V_1 注入或单元阱注入可在此时进行，因为只有基板未受到氮化物层 32 保护的部分为第二沟槽 34 中的此等部分。所得结构如第 3E 图所示。应注意的是，若有需要的话，尖锐边缘 38 的尖锐度可通过进行额外的氧化物蚀刻及氧化方法来进一步增进。

接着在结构（例如 As 或 P 的原位杂掺杂，厚度 200 至 500Å）进行掺杂的多晶硅层 44（在下文中称为“多晶”），其沿着第二沟槽 34 的壁及底部表面排列并充填凹穴 40，如第 3F 图所示。接着在结构上沉积未掺杂的多晶硅厚层，接着平坦化多晶蚀刻（例如 CMP，使用氮化物层 32 作为蚀刻挡止层），其利用多晶块 46 充填第二沟槽 34。所得结果如第 3G 图所示。

接下来在结构上进行多晶蚀刻方法，以使多晶层 44 及多晶块 66 的顶部凹入每一第二沟槽 34 中。多晶蚀刻较佳为一定时的蚀刻方法，其降低位于氮化物层 32 的顶部下方的多晶块 46 的高度，但较佳地在氧化物层 30 的上部表面上具有至少 300 Å。因为蚀刻掺杂的多晶硅比蚀刻未掺杂的多晶硅快，多晶层 44 的上部表面 44a 是向下蚀刻至低于多晶块 46 的上部表面 46a（例如当上部表面 44a 延伸远离上部表面 46a 时向下倾斜），如第 3H 图所示。利用热氧化方法增进上部表面 44a 的

倾斜度，其在多晶层 44 及多晶块 46 上的形成氧化物层 48。因为蚀刻掺杂的多晶硅氧化物比蚀刻未掺杂的多晶硅快，增进上部表面 44a 的倾斜度。所得结构如第 3I 图所示。

接着沿着第二沟槽 34 中的氮化物层 32 形成间隙壁 50。间隙壁的形成成为现有技术领域中众所皆知者，且涉及在一结构的轮廓上形成材料的沉积，接着进行各向异性蚀刻方法，藉此自结构的水平表面上移除材料，同时使材料大部分完整地保持在结构的垂直位向表面上。在此具体实施例中，间隙壁 50 是通过在整个结构上沉积一材料层（例如氧化物），接着进行各向异性氧化物蚀刻方法，例如众所皆知之反应性离子蚀刻（RIE），移除除了间隙壁 50 之外的沉积氧化物层。氧化物蚀刻亦移除氧化物层 48 的中心部分，以暴露每一第二沟槽 34 中多晶块 46 的中心部分。接着进行各向异性多晶蚀刻，其移除多晶块 46 的暴露的中心部分以及未受氧化物间隙壁 50 保护的多晶层 44，在每一第二沟槽 34 中留下成对相对的多晶块 46b，以及在第一第二沟槽 34 中留下氧化物层 42 的暴露的中心部分。所得结构如第 3J 图所示。

接着利用绝缘沉积及各向异性回蚀方法，沿着多晶块 46b 的暴露侧及多晶层 44 的暴露末端部分，形成绝缘层 52（例如厚度 150Å）。绝缘层 52 可利用任何适当的绝缘材料来形成（例如 ONO - 氧化物 / 氮化物 / 氧化物，或其他高介电材料）。较佳地，绝缘材料为氧化物，以致于氧化物沉积 / 蚀刻方法亦使每一第二沟槽 34 的底部的氧化物层 42 的暴露部分的部分或完全移除。接着横越结构的表面进行适当的离子注入作用（以及可能的退火），以在第二沟槽 34 的底部的暴露基板部分形成第一（源极）区域 54。源极区域 54 是与第二沟槽 34 自行对准，且具有与基板或基板阱（例如 P 型）的第一导电形式不同的第二导电形式（例如 N 型）。离子对于氮化物层 32 无显著影响。若有需要的话，进行各向异性氧化物蚀刻，移除任何在第二沟槽 34 的底部上的暴露氧化物，以确保暴露基板。利用一多晶沉积步骤（较佳为原位掺杂），接着利用多晶 CMP 蚀刻（使用氮化物层 32 是为蚀刻挡止层），以多晶块 56 充填第二沟槽 34。所得结构如第 3K 图所示。

接着进行氮化物及氧化物蚀刻，其移除氮化物层 32/28 及氧化物层 30。接着通过热氧化方法、氧化物沉积法或二者兼施，在多晶层 44 上及基板 10 的暴露部分上形成穿隧氧化物层 58。此氧化物形成步骤亦

在多晶块 56 的暴露的顶部表面上形成氧化物层 60 (例如厚度大于 400\AA)。利用多晶沉积步骤,在整个结构上形成多晶层 62 (例如厚度约 500\AA , 较佳为原位掺杂), 其接着通过另一沉积步骤, 在整个多晶层 62 上形成金属化多晶硅层 64。接着在整个结构上沉积光刻胶, 并回蚀留下光刻胶层 66 (例如厚度 $800\text{-}1200\text{\AA}$), 该光刻胶所沉积的上部表面较佳不高于氧化物层 60, 使此等多晶层 62/64 的部分暴露向上延伸并在多晶块 56 上。接着利用多晶蚀刻方法移除设置在多晶块 56 上的多晶层 62/64 的暴露部分, 以及邻近氧化物间隙壁 50 的向下低于多晶块 56 的顶部的此等多晶层的凹入部分, 但较佳为高于氧化物层 58 的顶部。所得结构如第 3L 图所示。

于移除光刻胶 66 之后, 通过在结构上沉积一氮化物层 (例如厚度 1300 至 1500\AA), 接着进行留下氮化物间隙壁 68 (例如 $\sim 1300\text{\AA}$ 宽度) 的各向异性氮化物蚀刻, 形成靠抵氧化物间隙壁 50 (以及在多晶层 62/64 部分上的) 氮化物间隙壁 68。接着利用各向异性多晶蚀刻, 移除多晶层 62/64 的暴露部分 (亦即未受到氮化物间隙壁 68 保护的部分)。接着通过沉积一氮化物层 (例如经由 CVD 形成 $200\text{-}300\text{\AA}$ 的厚度), 以及接着进行各向异性氮化物蚀刻, 形成靠抵氮化物间隙壁 68 及多晶层 62/64 的暴露末端部分的绝缘 (例如氮化物) 间隙壁 70。使用适当的离子注入 (及退火), 在邻接氮化物间隙壁 70 的暴露基板中形成第二 (漏极) 区域 72。可利用任择的金属化步骤 (未显示), 通过在结构上沉积例如钨、钴、钛、镍、铂或钌等金属, 并将结构退火以容许在基板 10 的表面进行硅化反应, 在漏极区域 72 上形成导电性金属化硅 (硅化物)。接着在整个结构上形成绝缘材料 74, 例如 ILD (中间层介电物), 接着进行回流及平坦化蚀刻方法 (例如利用氮化物间隙壁 68 作为蚀刻终止层的 CMP 蚀刻)。接着使用氧化物蚀刻以移除多晶块 56 上的氧化物层 60。接着利用多晶蚀刻, 以及利用沉积在结构上的钨/钛-氮化物 76 (例如通过 CVD) 来取代, 以及回蚀 (较佳地凹入低于氧化物间隙壁 50 的顶部), 以移除多晶块 56 的暴露上部 (界于氧化物间隙壁 50 之间)。所得结果如第 3M 图所示。

接着在结构上形成另一绝缘材料层 (例如 ILD) 78。较佳地利用双镶嵌金属化反应法, 其包括应用仅使漏极区域 72 暴露的第一接触掩模, 接着利用 ILD 蚀刻, 形成通过绝缘层 78/74 的接触开口以暴露漏极区

域 72。接着利用金属沉积作用及回蚀方法，以导体金属（例如钨及钌等）充填接触开口，形成电气地连接至漏极区域 72 的金属接触点 80，以及将每一有源区域 22 中所有金属接触点 80 连接在一起的金属接触线 82。最后的有源区域存储器单元结构是例示说明于第 3N 图中。

如第 3N 图所示，本发明的方法形成彼此成镜像反射的成对存储器单元，具有形成在多晶块 56 的每一侧上的存储器单元。对每一存储器单元而言，第一及第二区域 54 / 72 分别形成源极及漏极区域（虽然熟习该项技术者已知在操作中源极及漏极可转换）。每一存储器单元中的沟道区域 84 是界定于基板的界于源极及漏极 54 / 72 中间的表面部分中。每一沟道区域 84 包括二个以约呈直角的角度接合的部分，具有沿着经充填的第二沟槽 34 的垂直壁延伸的第一（垂直）部分 84a，以及延伸于经充填的第二沟槽 34 的侧壁及漏极区域 72 之间延伸的第二（水平）部分 84b。在此情况下，源极区域 54 未完全占据第二沟槽 34 下方的基板，沟道区域包括第三部分 84c，其自沟道区域垂直部分 84a 延伸至源极区域 54。每对存储器单元共享一共同的源极区域 54，其位于经充填的第二沟槽 34 的下方，且与多晶块 56 电气接触。类似地，每一漏极区域 72 在来自不同的镜像反射的存储器单元组的邻近存储器单元之间被共享。

对每一存储器单元而言，多晶层 44 及多晶块 46b 构成浮栅，其是设置于邻近沟道区域部分 84a / 84c 以及通过氧化物层 42 与该沟道区域部分绝缘，以及设置于邻近（源极）多晶块 56 且通过氧化物层 52 与其绝缘。多晶块 62 / 64 构成每一存储器单元的控制栅，该等组件单元设置在沟道区域部分 84b 上且邻近浮栅 44 / 46a，并通过氧化物层 58 与该沟道区域及浮栅绝缘。

每一浮栅 44 / 46a 包括延伸直至基板表面（以及基板 10 的相对锐化边缘 38）的下部，以及在基板表面上方延伸的上部。每一浮栅上部包括一侧向突出物 44b（其通过充填牺牲氧化物层 30 中的凹穴 40 所形成），其在平行基板表面的方向上侧向延伸且平行用于编程存储器单元的沟道区域 84b。对每一存储器单元而言，侧向突出物 44b 的尖端 44c 所指方向与基板边缘 38 所指方向相对。控制栅 62 / 64 包括环绕浮栅侧向突出物 44b 且均一地与其绝缘的侧向凹穴 62a。使控制栅侧向凹穴 62a 与浮栅侧向突出物 44b 绝缘的氧化物层 58 是提供二者之间的

Fowler-Nordheim穿隧效应的路径。多晶块56各自沿着二浮栅44/46b延伸并通过(氧化物层52)与该等浮栅44/46b绝缘,以增进之间的电压耦合。

第4图为所得结构的顶视图。接触点80及接触线82形成导电性漏极(位元)线,其在每一有源区域22中将所有漏极区域72电气连接在一起。控制栅62/64是以导电性控制栅(字元)线的方式连续地形成,其各自延伸横越该有源及隔离区域22/24,以供电气地连接每一排存储器单元中的所有控制栅。上述方法不会产生延伸横越隔离区域24的源极区域54(其可通过在离子注入之前,自第二沟槽34的隔离区域部分移除STI绝缘材料而容易地形成)。然而,多晶块56(其与源极区域54电气接触)是以横越隔离区域至邻近有源区域的方式连续地形成,且形成导电性源极线,其各自将每一排成对存储器单元中所有源极区域54电气地连接在一起。

存储器单元的操作

现在将描述存储器单元的操作。此类存储器单元的操作及操作理论亦描述于美国专利第5,572,054号中,其关于非易失性存储器单元的操作及操作理论的揭露内容是并入本文中以供参考,该非易失性存储器单元具有浮栅及控制栅、浮栅至控制栅的穿隧作用,以及藉此形成的存储器单元阵列。

为了最初擦除在任何选定的有源区域22内的选择的存储器单元,对源极54及漏极72同时施加一接地电位。"源极"及"漏极"二词在MOS操作中是可相互交换的。在下述操作中,不管电子操作,"源极"特别意指区域54及"漏极"特别意指区域72。对控制栅62/64施加高正电压(例如+8伏特)。在浮栅44/46b上的电子是透过Fowler-Nordheim穿隧机制自浮栅侧向突出物44b,经由氧化物层58,穿隧至控制栅62/64的凹穴62a部分,留下带正电的浮栅44/46b。通过突出物44b的尖端44c的尖锐度(以及因此凹穴62a形状的对应该尖锐度)来增进穿隧作用。横越氧化物层58电场线密度比现有设计更均一,使氧化物层58具有均一的厚度以及侧向突出物/凹穴具有相配合的形状。应注意到的是,因为每一控制栅62/64以连续字元线的方式延伸横越有源及隔离区域,在每一有源区去中的一存储器单元是同时"擦除"。

当欲将选择的存储器单元编程时,将一小电压(例如0.5至1.0V)

施加至漏极区域 72。将接近 MOS 结构的阈值电压之一的正电压(约+1.4 伏特)施加至其控制栅 62 / 64。将正高电压(例如约 5 或 6 伏特)施加至其源极区域 54。通过漏极区域 72 产生的电子将由该漏极区域, 经由深入消耗沟道区域 84 的水平部分 84b, 流向源极区域 54。当电子达到沟道区域 104 的垂直部分 84a 时, 将看到浮栅 44/46b 的高电压(因为浮栅是强力地电容(电压)耦合至带正电的源极区域 54 及多晶块 56)。电子将加速且被加热, 大部分的电子是射入并通过绝缘层 42 并到达浮栅 44 / 46b 上。编程效率进一步通过基板尖锐边缘 38 所形成的射入器尖端来增进, 该射入器尖端集中且更有效率地使电子朝向浮栅 44 / 46b 射入, 因此减少使编程存储器单元所需时间及源极电压, 以及改良通过降低介电材料 42 的体积内的平均电场电压来改良介电完整性寿命。将低或接地电位施加不包含选择的存储器单元的存储器单元列 / 行的源极 / 漏极区域 54 / 72 及控制栅 62 / 64。因此, 仅有选择的列及行中的存储器单元被编程。

电子至浮栅 44 / 46b 的射入作用将持续至使浮栅上的电荷减低至可不再沿着垂直沟道区域部分 84a 维持高表面电位以产生热电子。在此时, 浮栅 44 / 46b 中的电子或负电荷将降低自漏极区域 72 至浮栅上的电子流。

最后, 为了读取选择的存储器单元, 将接地电位施加至其源极区域 54。将读取电压(例如 ~ 1 伏特)施加至其漏极区域 72 且将约 1.5 至 3.3 伏特(依装置的电源电压而定)施加至其控制栅 62 / 64。若浮栅 44 / 46b 带有正电荷(亦即浮栅放出电子), 则开启沟道区域部分 84a / 84c(直接与浮栅 44 / 46b 相邻)。当控制栅 62 / 64 升高至读取电位时, 水平沟道区域部分 84b(直接与控制栅 62 / 64 相邻)亦开启。因此, 整个沟道区域 84 将开启, 造成电子自源极区域 54 流至漏极区域 72。此时感测到的电子流将为"1"状态。

另一方面, 若浮栅 44 / 46b 带负电, 沟道区域部分 84a / 84c 为微弱地开启或整个关闭。因此, 当控制栅 62 / 64 及漏极区域 72 升高至读取电位时, 极少或没有电流将流经沟道区域部分 84a / 94c。在此例子中, 相对于"1"状态, 电流非常小, 或完全没有电流。在此方式中, 所感测的存储器单元是在"0"状态下编程。接地电位仅施加至未选择的行及列的源极 / 漏极区域 54 / 72 及控制栅 62 / 64, 因此只有读取选

择的存储器单元。

存储器单元阵列包括周围电路，该电路包括现有的列位址解码电路、行位址解码电路、感测放大器电路、输出缓冲电路及输入缓冲电路，其等为现有技术领域中众所周知者。

本发明提供具有减小尺寸及优异编程及擦除效率的存储器单元阵列。存储器单元尺寸是显著地减小，因为源极区域 54 是埋入基板 10 内侧，且自行对准第二沟槽 34，其中由于平版印刷世代、接触对准及接触整体性的限制，空间不会浪费。每一浮栅 44 / 46b 具有位于形成于基板中的第二沟槽 34 的下部，以供在编程操作期间用于接收穿隧电子，并供在读取操作期间用于开启沟道区域部分 84a / 84c。再者，垂直地及水平地分隔的源极区域 54 及漏极区域 72，容许在不影响单元尺寸下，较容易将可信赖性参数最适化。

编程效应通过"瞄准"浮栅 44 / 46b 处的沟道区域 84 的水平部分 84b 以及基板 10 的射入器尖端（尖锐边缘）38 而大幅增进。在现有的编程反应法中，沟道区域中的电子是以与浮栅平行的路径流动，其中相当少数的加热电子射至浮栅上。此现有编程反应法的估算编程效率（射入电子数与总电子数的比值）估计为约 1 / 1000。然而，因为水平沟道区域部分 84b 及射入器尖端（尖锐边缘）38 定义一聚焦的电子路径，其直接瞄准浮栅，本发明的编程效率估算为接近 1 / 1，甚至降低编程电压。编程效率亦通过经由多晶块 56（与源极区域 54 电气连接）的每一浮栅 44 / 46b 与对应的源极区域 54 之间的电容耦合来增进。同时，在浮栅 44 / 46b 及控制栅 62 / 64 之间具有相当低的电容耦合（其将阻碍擦除操作）。

擦除效率是通过在浮栅 44 / 46b 及控制栅 62 / 64 之间，并横越穿隧氧化物层 58，提供更均一的电场而大幅增进。此更均一的电场是由延伸入控制栅侧向凹穴 62a 中并具有与该侧向凹穴相同的形状的浮栅侧向突出物 44b 所造成。使侧向突出物 44b 与侧向凹穴 62a 绝缘的氧化物层 58 具有均一的厚度。因此，无论突出物 / 凹穴 44b / 62a 是否具有更圆的形状，或具有更尖头形的边缘及更凹陷的形状，其形状彼此配合且通过均匀厚度的绝缘层隔开，以供在擦除操作期间，在该突出物及凹穴之间进行 Fowler Nordheim 穿隧作用。此存储器单元设计容许按比例地应用至较小的元件及单元尺寸，但未损及性能及可信

赖性。

本发明的存储器单元设计的一重要特征为浮栅及控制栅之间的电容耦合可最小化且可重覆，同时浮栅及源极区域之间的电容耦合可最大化。因为浮栅 44 / 46b 在第二沟槽 34 的底部的源极区域上延伸，且因为多晶块 56 (电气耦合至该源极区域 54) 沿着浮栅 44 / 46b 的整个长度延伸，使浮栅 / 源极区域之间的电容耦合最大化。

相对地，仅有浮栅侧向突出物 44b 及介于侧向突出物 44b 及基板表面之间的浮栅部分紧邻控制栅 (通过氧化物层 58 与其绝缘)。因此，侧向突出物 44b 的尺寸及其高于基板表面的高度 (亦即其高于基板尖锐边缘 38)，指示浮栅及控制栅之间电容耦合的量。此等变数皆相当可控制的，因为其皆通过氧化物层 30 及氮化物层 28 的厚度所指示 (参见第 3A-3K 图)。特别地，侧向突出物 44b 是通过充填形成于氧化物层 30 之凹穴 40 来形成。如上所述，关于第 3D 图，凹穴 40 的尺寸及形状是通过氧化物层 30 的厚度 T_2 所指示。同样地，侧向突出物 44b 高于基板表面的高度 (以及基板尖锐边缘 38) 是通过氮化物层 28 的厚度 T_1 所指示。因为材料沉积厚度可以显著的精密度来控制，浮栅 44 / 46b 及控制栅 62 / 64 之间的电容耦合也可如此。

第 5A 图显示浮栅 44 / 46b 的上部表面 86，其延伸于侧向突出物 44b 之上。然而，因为浮栅上部表面 86 是倾斜远离控制栅 62 / 64，且不与该控制栅紧邻，实质上不影响浮栅及控制栅之间的电容耦合。上述参考第 3H 图，浮栅上部表面 86 是利用定时的多晶蚀刻形成，其无自然的终点或蚀刻挡止层；接着进行热氧化作用，其亦无自然的终点。然而，即使此定时的蚀刻方法没有可信赖的深度控制，浮栅及控制栅之间的电容耦合实质上不会受到多晶层 / 块 44 / 46 的稍微过度或不及的蚀刻的影响。第 5B 图例示说明浮栅上部表面 86 的各种不同形状，其是由各种不同程度的多晶蚀刻层 / 块 44 / 46 所造成。无论多晶层 / 块 44 / 46b 向下蚀刻多深，浮栅上部表面 86 是与控制栅远离地隔开，以使其等之间的电容耦合最小化。

应了解到，本发明不仅不受限于上文中所描述及本说明书中所例示的具体实施例，且涵括任何及所有落在后附权利要求书范畴内的改变。举例而言，沟槽 20 / 34 可具有延伸至基板的任何形状的尾端，而并非只有如图式所示的伸长的矩形。再者，虽然前述方法描述使用经

适当掺杂的多晶硅作为用于形成存储器单元的导电性材料，对于在现有技术领域具有一般技能的人而言，应很清楚在本案说明书及后附权利要求书的揭露内容中，“多晶硅”意指任何适当的导电性材料，其可用于形成非易失性存储器单元的元件。再者，任何适当的绝缘体可用于取代二氧化硅或氮化硅。再者，任何蚀刻性质与二氧化硅（或任何绝缘体）以及与多晶硅（或任何导体）不同的适当材料，可用于取代氮化硅。再者，由权利要求书的内容可知，并非所有的方法步骤必须依照说明书所例示说明或权利要求书所界定的精确顺序来进行，而是以任何容许适当地形成本发明的存储器单元的顺序来进行即可。此外，上述发明是显示形成在均匀掺杂的基板中，但由本发明可知且可预期到，存储器单元元件可形成在基板的阱区域中，与基板的其他部分相比较，其为掺杂至具有不同导电类型的区域。最后，单层绝缘或导电材料可以此等材料的多层形式来形成，反之亦然。

附图标记

1	浮栅	42	氧化物层
2	控制栅	44	多晶硅层
3	绝缘材料	44a	上部表面
4	基板	44b	侧向突出物
5	源极	44c	尖端
6	漏极	46	多晶块
7	尖锐尖端	46a	上部表面
8	电场线	46b	多晶块
9	控制栅表面	48	氧化物层
10	基板	50	间隙壁
12	氧化物层	52	绝缘层
14	氮化物层	54	源极区域
16	光刻胶材料	56	多晶块
18	条带	58	氧化物层
20	沟槽	60	氧化物层
22	有源区域	62	控制栅
24	隔离区域	62a	凹穴

26	块	64	控制栅		
28	氮化物层			66	多晶块
30	氧化物层			68	氮化物间隙壁
32	氮化物层			70	氮化物间隙壁
34	第二沟槽			72	漏极区域
36	氧化物层			74	绝缘材料
38	边缘			78	绝缘材料层
40	凹穴			80	金属接触点
82	金属接触线			84	沟道区域
84a	垂直部分			84b	水平部分
84c	第三部分			86	上部表面
88	钨/钛-氮化物				
W	距离				
2B-2B	线				
2D-2D	线				
3A-3A	线				

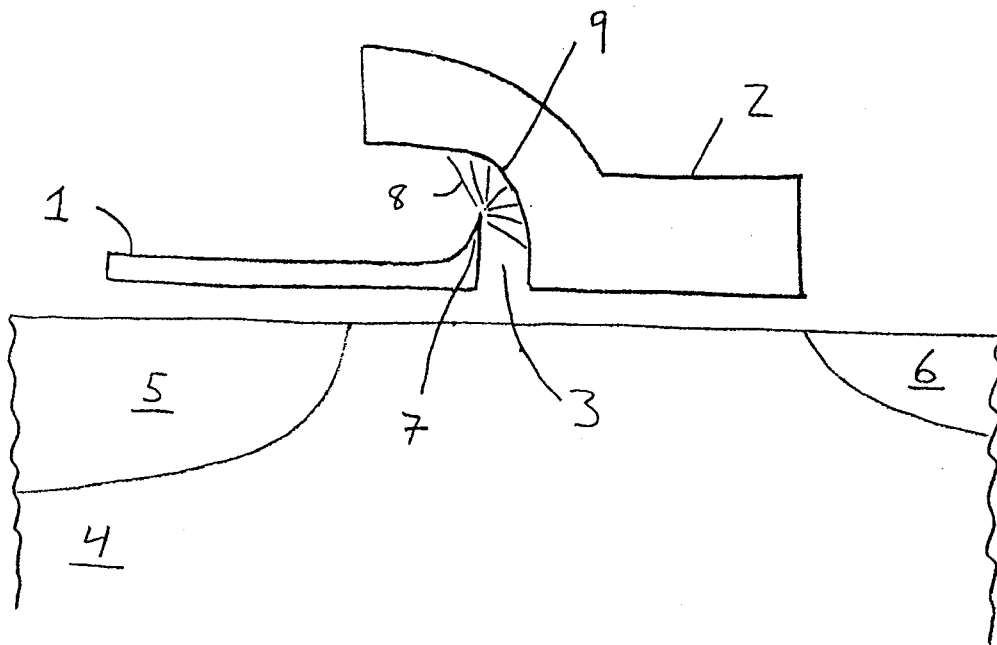


图 1
(现有技术)

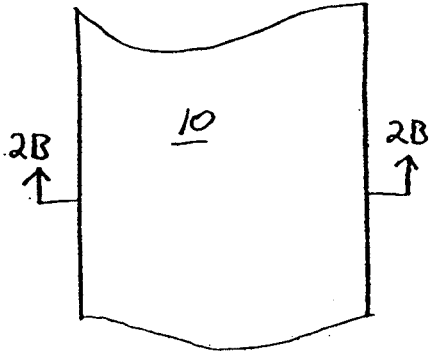


图 2A

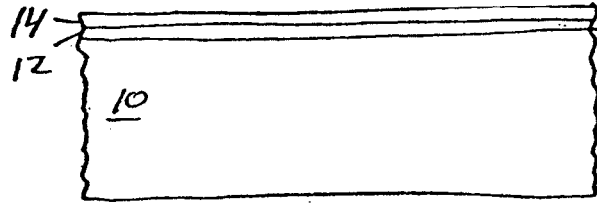


图 2B

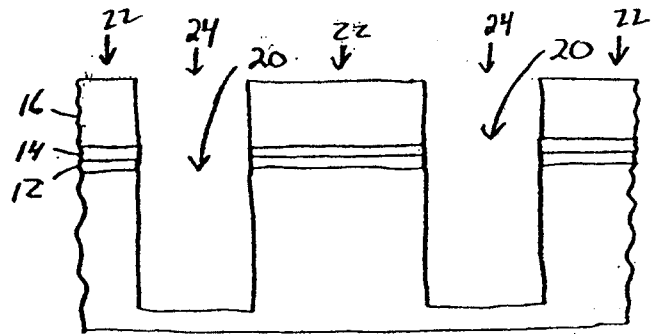


图 2D

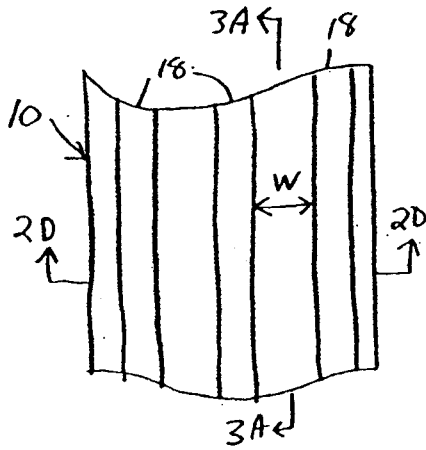


图 2C

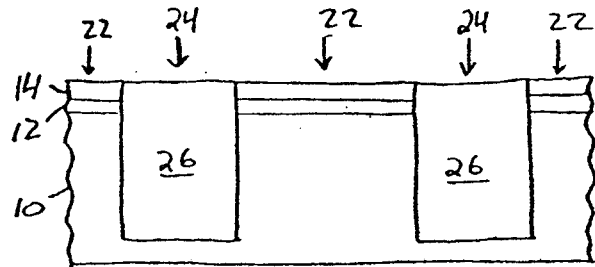


图 2E

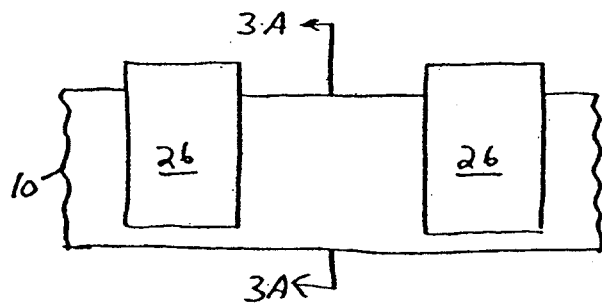


图 2F

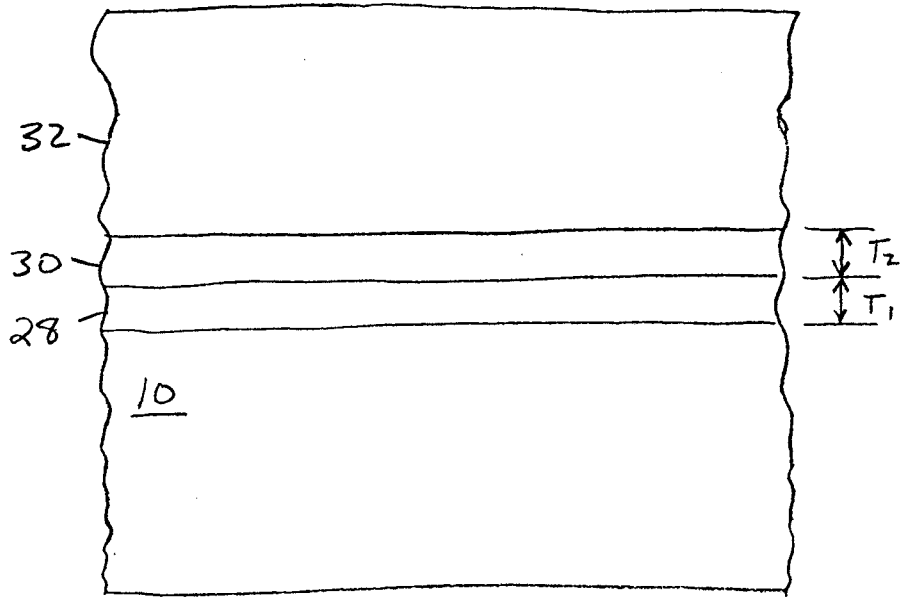


图 3A

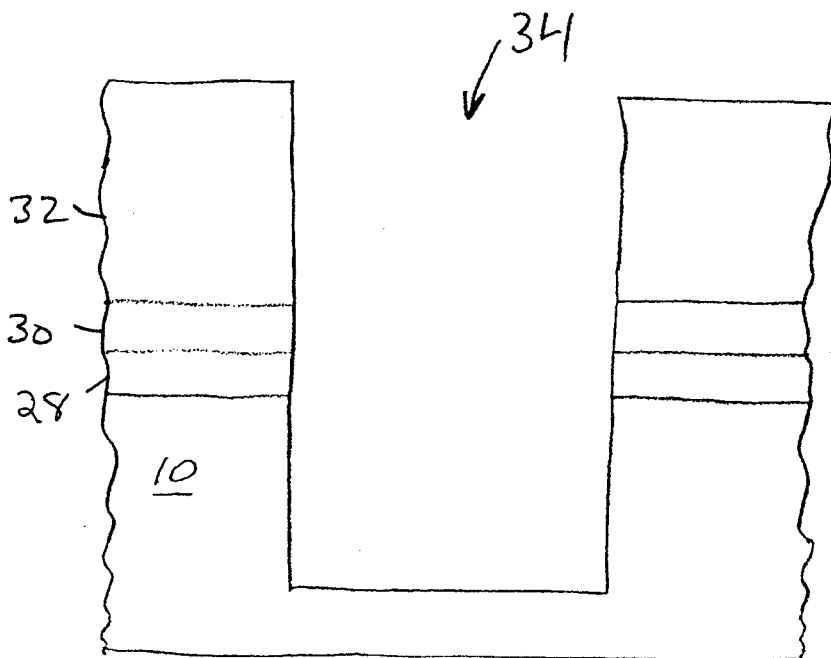


图 3B

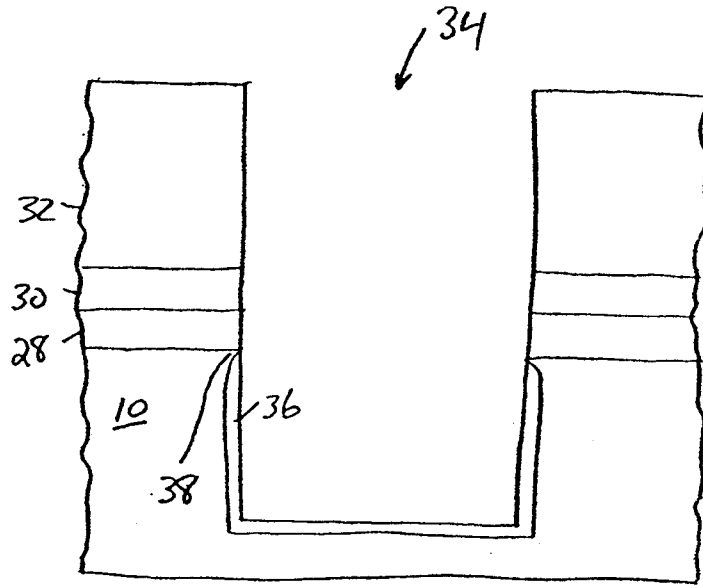


图 30

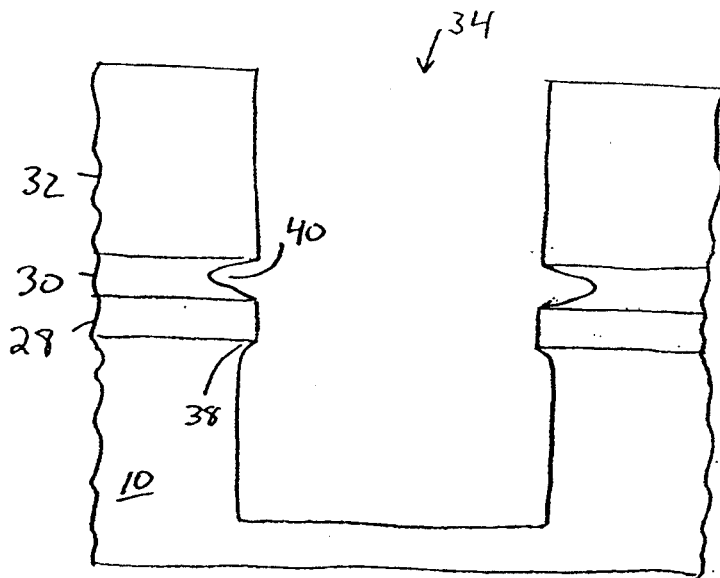


图 3D

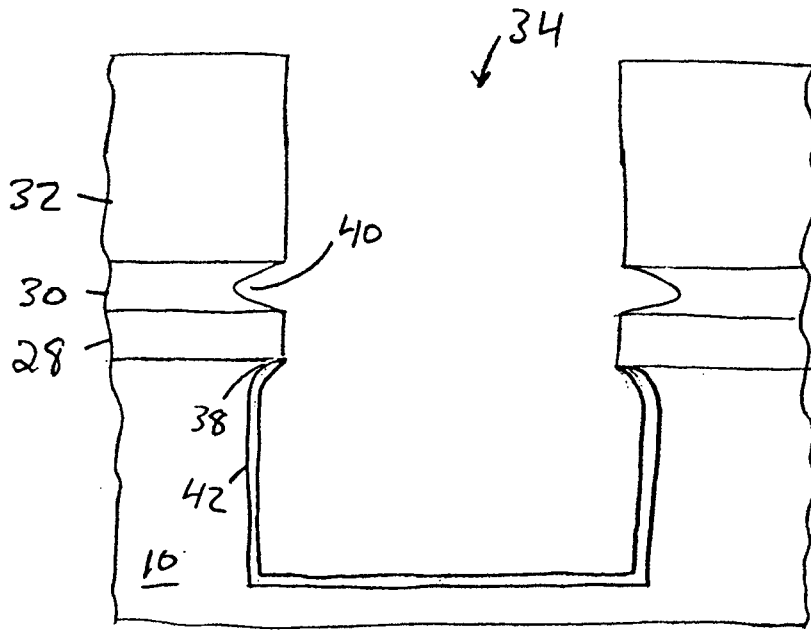


图 3E

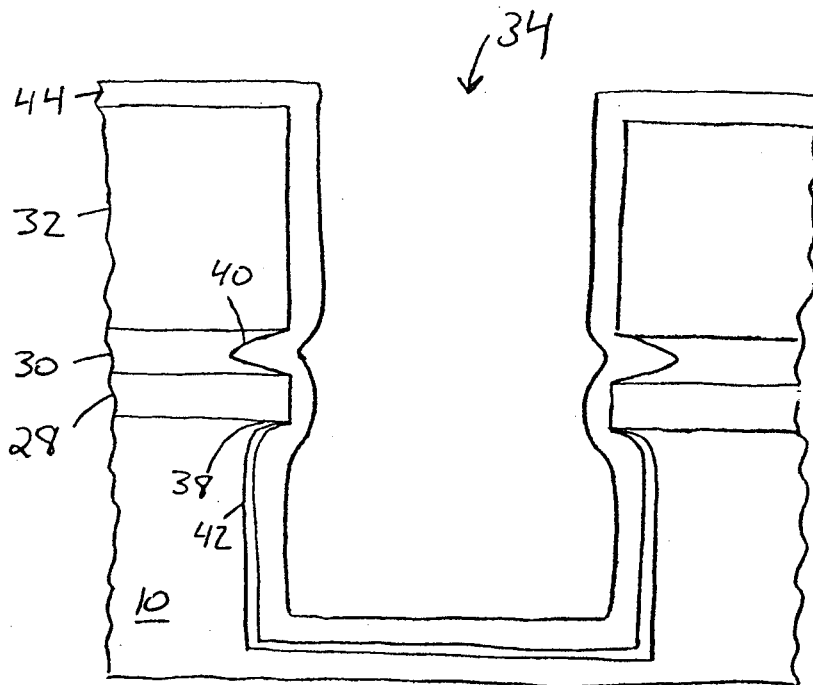


图 3F

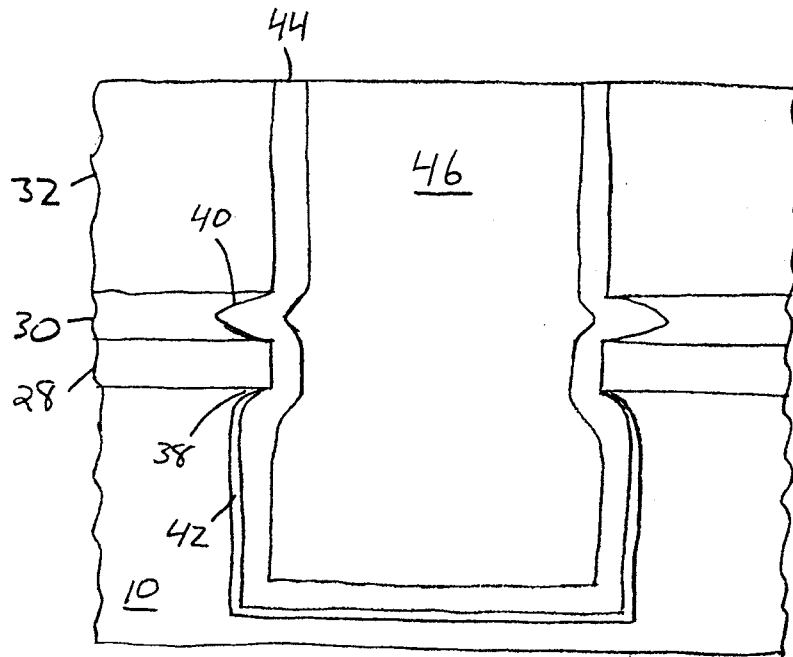


图 3G

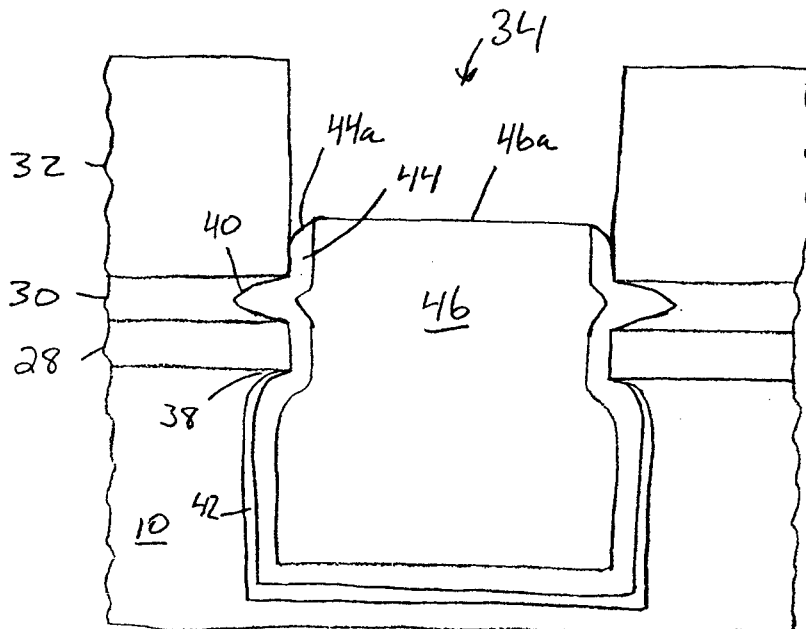


图 3H

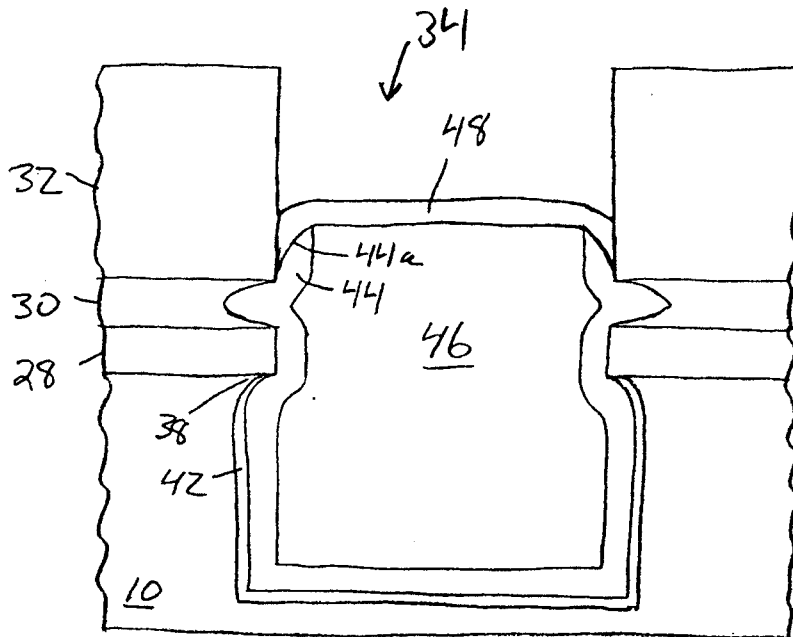


图 3I

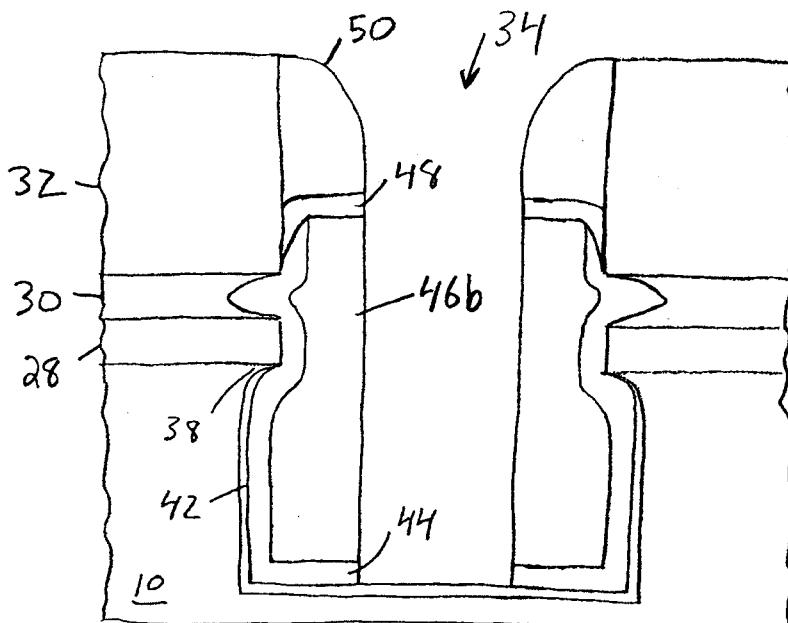


图 3J

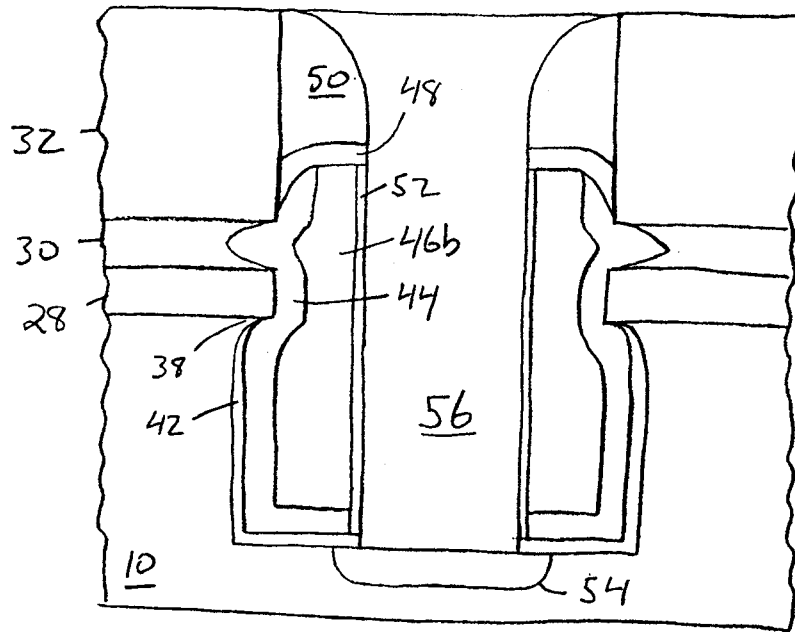


图 3K

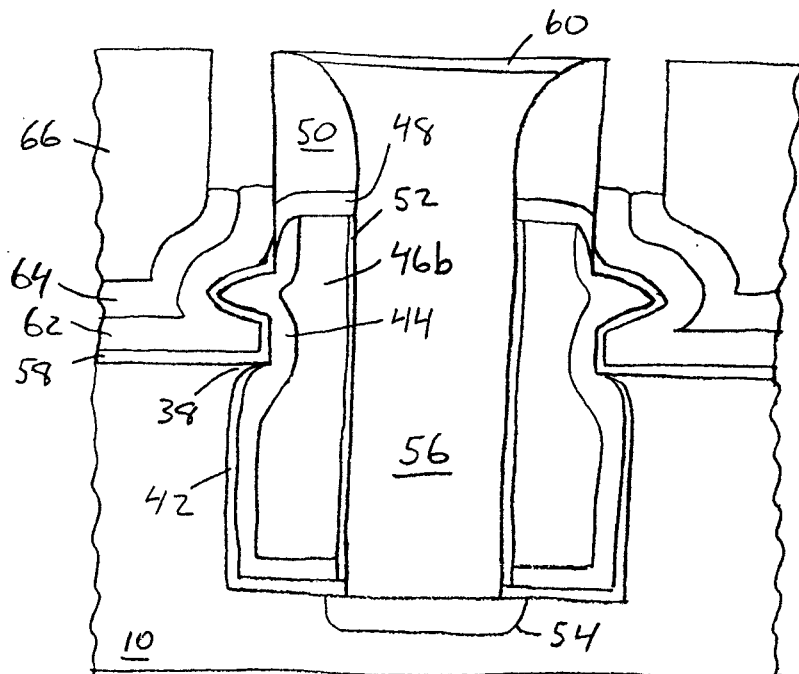


图 3L

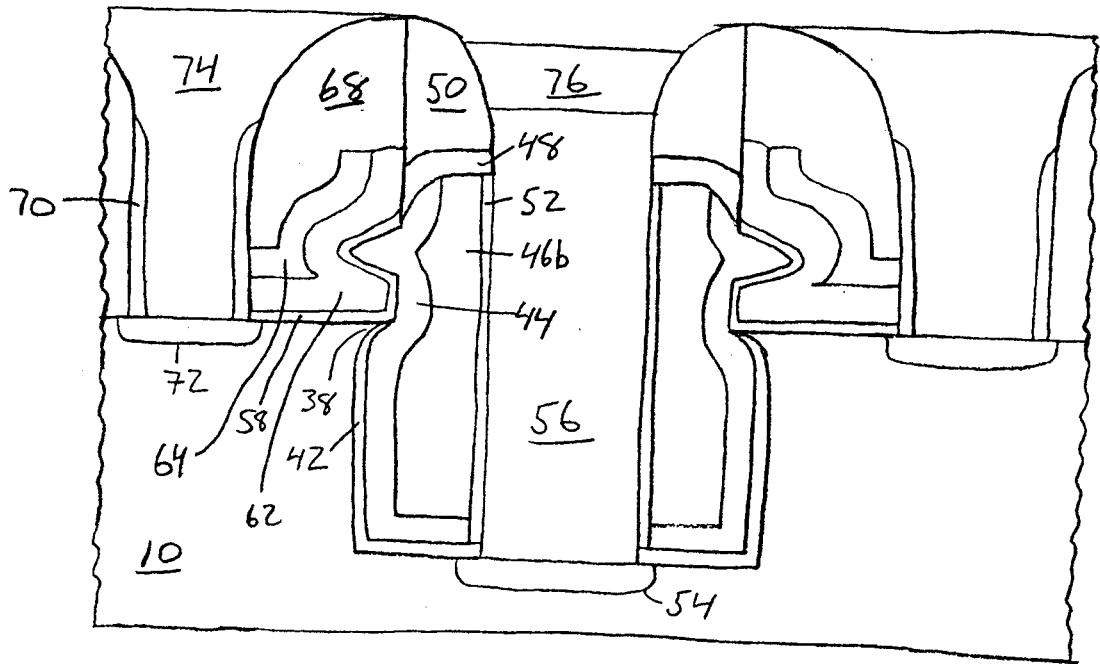


图 3M

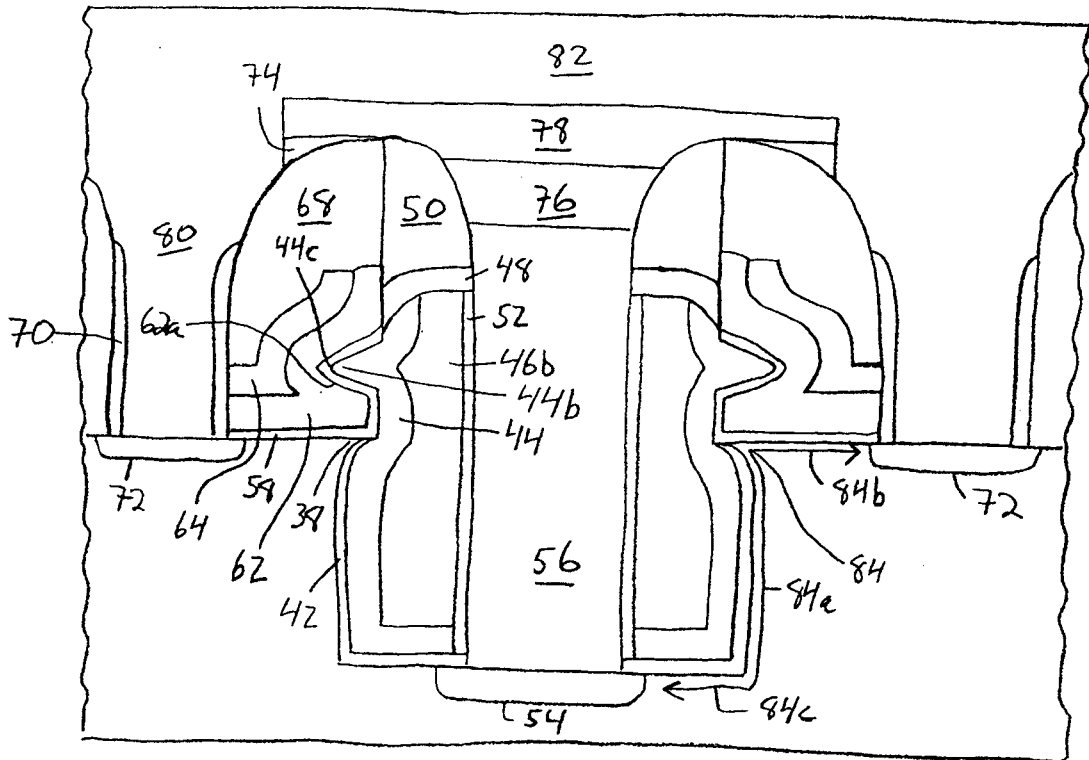


图 3N

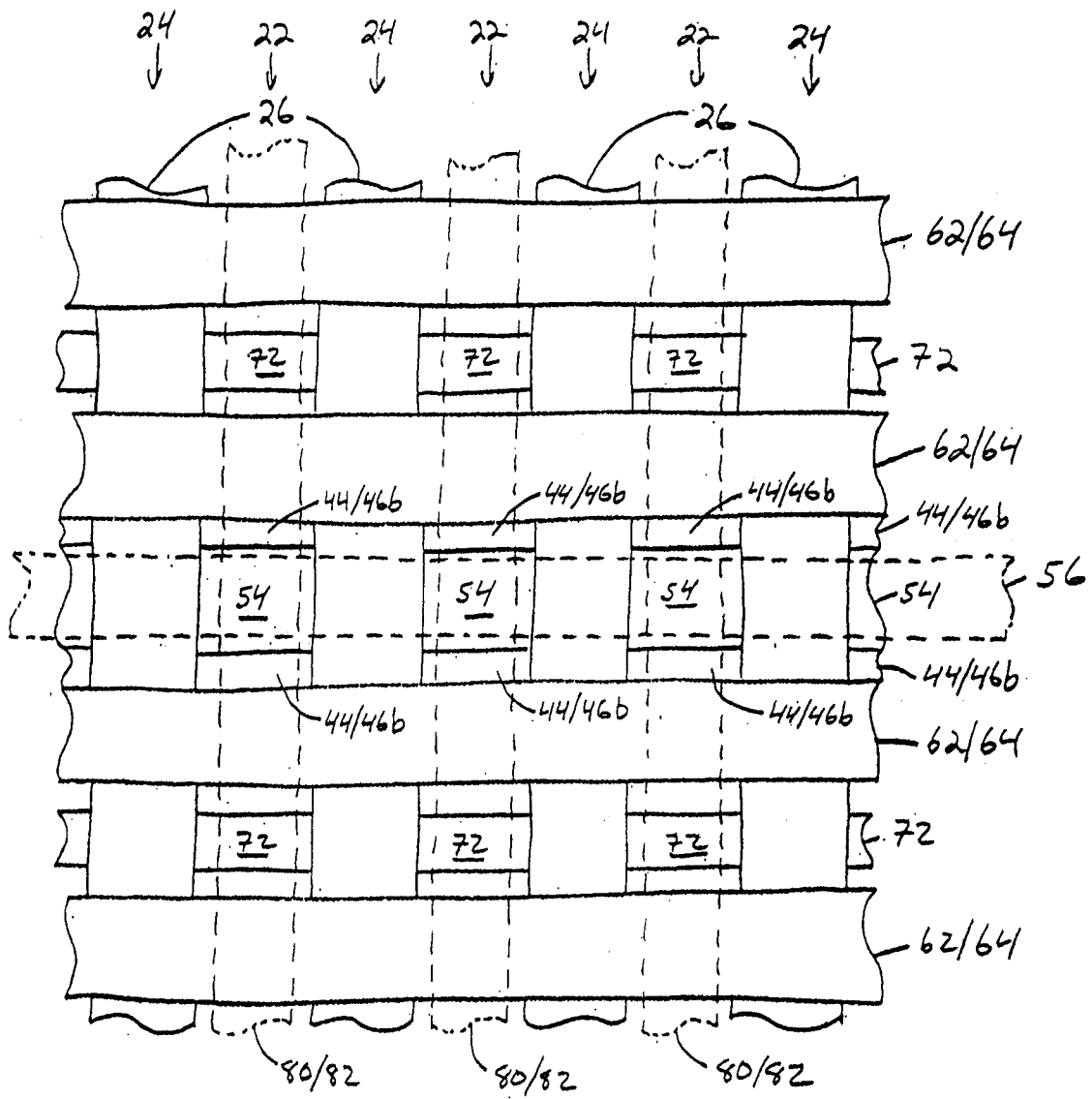


图 4

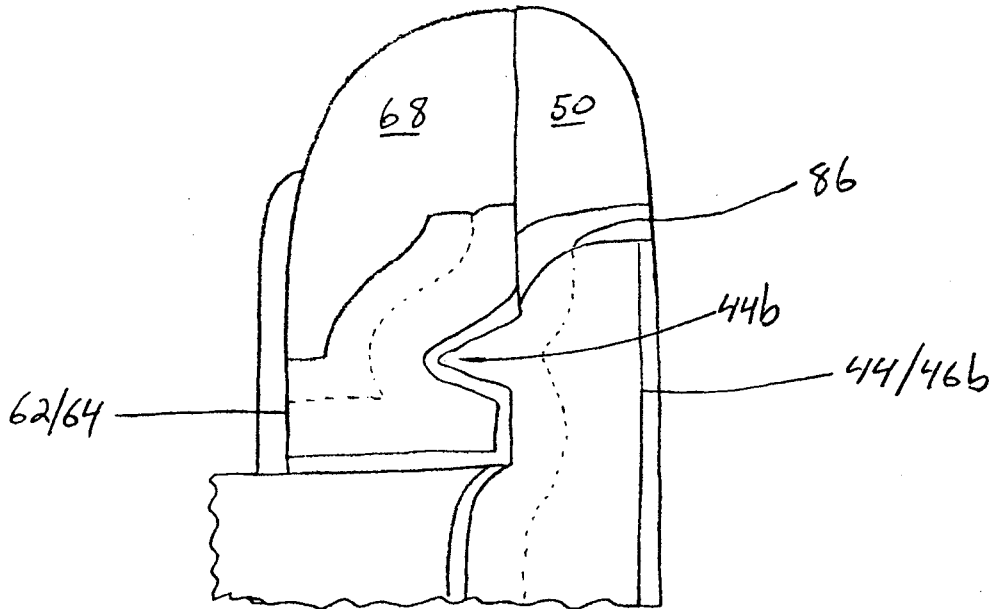


图 5A

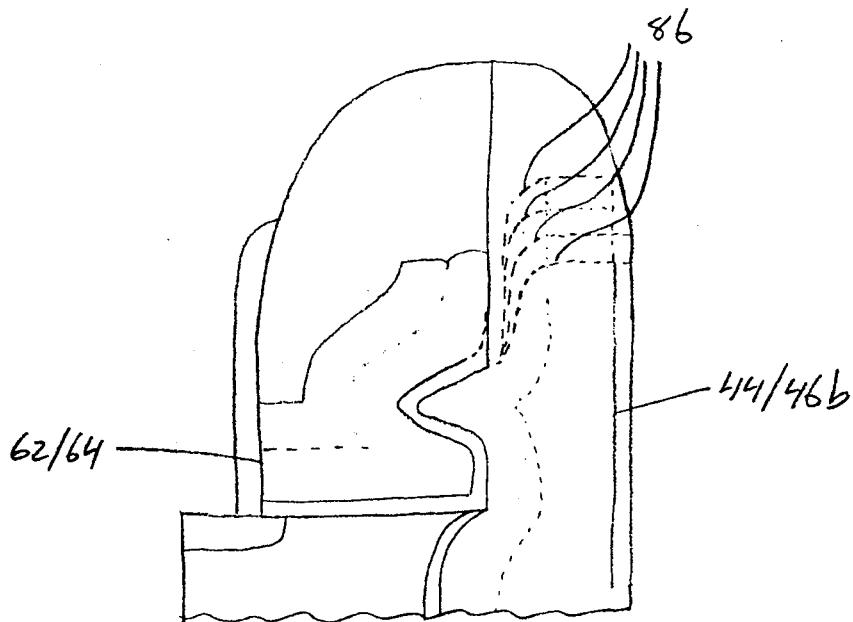


图 5B