

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6350793号
(P6350793)

(45) 発行日 平成30年7月4日 (2018.7.4)

(24) 登録日 平成30年6月15日 (2018.6.15)

(51) Int.Cl.
H03B 5/32 (2006.01)

F I
H03B 5/32 A

請求項の数 10 (全 27 頁)

(21) 出願番号	特願2013-267812 (P2013-267812)	(73) 特許権者	000002369
(22) 出願日	平成25年12月25日 (2013.12.25)		セイコーエプソン株式会社
(65) 公開番号	特開2015-126286 (P2015-126286A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年7月6日 (2015.7.6)	(74) 代理人	100090387
審査請求日	平成28年12月20日 (2016.12.20)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	山本 壮洋
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	石田 昌敏

最終頁に続く

(54) 【発明の名称】 発振回路、発振器、電子機器、移動体及び発振器の製造方法

(57) 【特許請求の範囲】

【請求項 1】

発振用回路と、
前記発振用回路に電氣的に接続されている特性調整用回路と、
前記発振用回路からの信号に基づいて発振信号を出力する出力回路と、
前記発振信号の振幅を制御する振幅制御部、及び直流電流が入力されて発熱する発熱部を有する振幅制御回路と、を含み、
前記発熱部は、
前記発振用回路の電流と、前記振幅制御部により制御される前記発振信号の前記振幅のレベルと、の設定に基づいて、前記直流電流が制御されて発熱量が制御される、発振回路

10

【請求項 2】

前記出力回路の出力側と電氣的に接続されている第1端子と、
前記特性調整用回路と前記第1端子との電氣的な接続を切り替える切り替え部と、を含み、
第1モードでは、
前記切り替え部は前記特性調整用回路と前記第1端子とを電氣的に接続しないように制御され、前記出力回路から前記発振信号が前記第1端子に出力され、前記発熱部に入力される前記直流電流が停止され、
第2モードでは、前記切り替え部は前記特性調整用回路と前記第1端子とを電氣的に接

20

続するように制御され、前記出力回路から前記発振信号が出力されるのを停止し、前記発熱部は前記発振用回路の電流と前記振幅制御部により制御される前記発振信号の前記振幅のレベルとの設定に基づいて前記直流電流が制御される、請求項 1 に記載の発振回路。

【請求項 3】

前記振幅制御回路はレベル補正回路を含み、

前記レベル補正回路は、前記振幅制御部により制御される前記発振信号の前記振幅のレベルの設定に基づいて、前記発振信号の振幅を制御する信号の大きさを制御する、請求項 1 又は 2 に記載の発振回路。

【請求項 4】

前記発振用回路を制御するためのデータと前記振幅制御回路を制御するためのデータとを記憶するメモリを含む、請求項 1 乃至 3 のいずれか一項に記載の発振回路。

10

【請求項 5】

前記特性調整用回路は、温度補償回路である、請求項 1 乃至 4 のいずれか一項に記載の発振回路。

【請求項 6】

前記出力回路は、分周回路を含む、請求項 1 乃至 5 のいずれか一項に記載の発振回路。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の発振回路と、振動子と、を有する、発振器。

【請求項 8】

請求項 1 乃至 6 のいずれか一項に記載の発振回路を含む、電子機器。

20

【請求項 9】

請求項 1 乃至 6 のいずれか一項に記載の発振回路を含む、移動体。

【請求項 10】

発振用回路、前記発振用回路に電氣的に接続されている特性調整用回路、前記発振用回路からの信号に基づいて発振信号を出力する出力回路、前記発振信号の振幅を制御する振幅制御部及び直流電流が入力されて発熱する発熱部を有する振幅制御回路、前記出力回路の出力側と電氣的に接続されている第 1 端子、並びに前記特性調整用回路と前記第 1 端子との電氣的な接続を切り替える切り替え部を含む発振回路と、振動子とを電氣的に接続する工程と、

前記特性調整用回路と前記第 1 端子とを電氣的に接続するように前記切り替え部を切り替え、前記出力回路から前記発振信号が出力されるのを停止し、前記発熱部に前記発振用回路の電流と前記振幅制御部により制御される前記発振信号の前記振幅のレベルとの設定に基づく前記直流電流を入力する工程と、

30

前記特性調整用回路を調整する工程と、

前記特性調整用回路と前記第 1 端子とを電氣的に接続しないように前記切り替え部を切り替え、前記出力回路から前記発振信号が出力されるようにし、前記発熱部に前記直流電流が流れないようにする工程と、を含む、発振器の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、発振回路、発振器、電子機器、移動体及び発振器の製造方法に関する。例えば、周囲温度の変化に伴う周波数変動を補償する温度補償回路を備えた発振回路に関する。

【背景技術】

【0002】

温度補償型水晶発振器（TCXO：Temperature Compensated Crystal Oscillator）を構成する AT カット水晶振動子は周囲温度の変化により 25 付近を変曲点として 3 次曲線で近似されるカーブを描いて周波数が変動する。TCXO では、この周波数変動を補償する電圧信号を温度補償回路で生成し、発振回路に設けたバリキャップ・ダイオードに印加することで、周囲温度の変化に対する周波数変動を抑え、例えば、-40～85 の温

50

度範囲で $\pm 0.5 \text{ ppm}$ といった高い周波数精度を実現している。水晶振動子の固体間ばらつきで3次の温度特性は変動するため、TCXOでは個々に最適な温度補償電圧が得られるように温度補償回路が出力する電圧を調整した後に出荷される。近年では、TCXOの小型化が進み、温度補償回路からの電圧をモニターして検査するテスト端子と発振器の機能端子（例えば、出力端子）が兼用されている場合もある。例えば、テスト端子と機能端子が兼用されている場合における温度補償回路のテスト時には、出力回路がオフ状態となり出力端子で温度補償電圧をモニターする。この電圧モニター時は出力回路がオフ状態となるが、通常動作時は出力回路がオン状態となって発振信号を出力端子に出力するので、温度補償回路をテストした時と通常動作時では出力回路の動作が異なっているために、発振器自身の自己発熱量が変化してしまい発振器内の温度が変化してしまう。結果として、発振器内にある発振回路等の回路が温度変化による特性変動を持つ場合には、温度補償回路をテストして発振信号の周波数を調整しても、通常動作時の発振信号が発振器内部の温度変化によりずれてしまい、高い精度で周波数を温度補償することができないという問題がある。

10

【0003】

この問題を解決するために、特許文献1では、出力回路がオフ状態のときに発振回路からの信号が入力されて発熱し、出力回路がオン状態のときに動作を停止する発熱回路を備えた発振器が提案されている。

【先行技術文献】**【特許文献】**

20

【0004】**【特許文献1】特開2013-162358号公報****【発明の概要】****【発明が解決しようとする課題】****【0005】**

特許文献1に記載の発振器によれば、出力回路がオフ状態のときに発熱する発熱回路を備えているので、例えば、温度補償回路の調整時の発熱量を発振回路が動作している状態と合わせることができ、実際の動作状態と近い状態で温度補償回路の調整を行うことができるが、発熱するための専用の回路、例えば、出力回路（バッファ回路等）と同等の回路が必要になり、発熱回路は発振回路の信号をエネルギー源として発熱しているため、温度補償回路の調整時に発熱回路から発生する交流信号がノイズとして影響する可能性がある。

30

【0006】

本発明は、以上のような問題点に鑑みてなされたものであり、本発明のいくつかの態様によれば、回路規模の増加を抑制しながら特性調整用回路の調整時に発熱部から発生する信号がノイズとして影響する可能性を低減させることが可能な発振回路、発振器、電子機器、移動体及び発振器の製造方法を提供することができる。

【課題を解決するための手段】**【0007】**

本発明は前述の課題の少なくとも一部を解決するためになされたものであり、以下の態様または適用例として実現することが可能である。

40

【0008】**[適用例1]**

本適用例に係る発振回路は、発振用回路と、特性調整用回路と、出力回路と、振幅制御回路と、を含み、前記出力回路は、前記発振用回路から出力される信号が入力されて、発振信号を出力し、前記振幅制御回路は、前記出力回路が出力する前記発振信号の振幅を制御する振幅制御部と、直流電流が入力されて発熱する発熱部と、を有し、前記発熱部は、前記発振用回路と前記振幅制御部との動作状態に基づいて、前記直流電流が制御されて発熱量が制御される。

【0009】

50

特性調整用回路は、例えば、温度補償回路、周波数調整回路、AFC (Auto Frequency Control) 回路等であってもよい。

【0010】

発振用回路は、例えば、ピアース発振回路、インバーター型発振回路、コルピッツ発振回路、ハートレー発振回路などの種々の発振回路の一部であってもよい。

【0011】

本適用例に係る発振回路によれば、発熱部が発振用回路と振幅制御部との動作状態に基づいて入力される直流電流が制御されて発熱するため、発熱部は出力回路が出力する交流信号をエネルギー源とする必要がなく、特性調整用回路の調整時に発熱部から発生する信号がノイズとして影響する可能性を低減させることができる。

10

【0012】

また、本適用例に係る発振回路によれば、発熱部を振幅制御回路に設けることで、発熱部として出力回路と同等の回路を新たに設ける必要がないので、回路規模の増加を抑制することもできる。

【0013】

[適用例2]

上記適用例に係る発振回路は、前記出力回路の出力側と電気に接続されている第1端子と、前記特性調整用回路と前記第1端子との電氣的な接続を切り替える切り替え部と、を含み、第1モードでは、前記切り替え部は前記特性調整用回路と前記第1端子とを電氣的に接続しないように制御され、前記出力回路から出力される前記発振信号が前記第1端子に出力され、前記発熱部に入力される前記直流電流が停止され、第2モードでは、前記切り替え部は前記特性調整用回路と前記第1端子とを電氣的に接続するように制御され、前記出力回路から前記発振信号が出力されるのを停止し、前記発熱部は前記発振用回路と前記振幅制御部との動作状態に基づいて前記直流電流が制御されるようにしてもよい。

20

【0014】

本適用例に係る発振回路によれば、第2モードでは、第1端子から特性調整用回路の信号を取得することができるので、特性調整用回路の調整を行うことができる。そして、第2モードでの特性調整用回路の調整時には、発熱部が発振用回路と振幅制御部との動作状態に基づいて入力される直流電流が制御されて発熱するため、発熱部は第1モードのときに出力回路が出力する交流信号をエネルギー源とする必要がなく、特性調整用回路の調整時に発熱部から発生する信号がノイズとして影響する可能性を低減させることができる。また、第2モードでは、第1モードと同等の発熱状態を維持して、例えば、周波数温度補償の誤差を低減させることもできる。

30

【0015】

[適用例3]

上記適用例に係る発振回路において、前記振幅制御回路は、前記振幅制御部の動作状態に基づいて前記発振信号の振幅を制御する信号の大きさを制御するためのレベル補正回路を含むものでもよい。

【0016】

本適用例に係る発振回路によれば、レベル補正回路が、出力周波数が低い場合と高い場合とで、発振信号の振幅を制御する信号の大きさを適切に制御することで、広い周波数範囲にわたって、出力振幅レベルを安定に保つことができる。

40

【0017】

[適用例4]

上記適用例に係る発振回路は、前記発振用回路を制御するためのデータと前記振幅制御回路を制御するためのデータとを記憶するメモリーを含むものでもよい。

【0018】

本適用例に係る発振回路によれば、例えば、発熱部に入力される電流をメモリーに記憶されているデータと連動させることができる。

【0019】

50

〔適用例 5〕

上記適用例に係る発振回路において、前記特性調整用回路は、温度補償回路であってもよい。

【0020】

本適用例に係る発振回路によれば、温度補償回路の調整時に発熱部から発生する交流信号がノイズとして影響する可能性を低減させることができるので、通常動作時の周波数温度補償誤差が小さくなり、高い精度での周波数温度補償が可能になる。また、温度補償回路の調整時に通常の状態と同等の発熱状態を維持して、周波数温度補償の誤差を低減させることもできる。

【0021】

10

〔適用例 6〕

上記適用例に係る発振回路において、前記出力回路は、分周回路を含むものでもよい。

【0022】

本適用例に係る発振回路によれば、例えば、出力回路が通常動作時に分周回路により分周した信号を出力するか否かに応じて、特性調整用回路の調整時に発熱部に入力される電流の大きさを制御することができる。

【0023】

〔適用例 7〕

本適用例に係る発振器は、上記のいずれかの発振回路と、振動子と、を有する。

【0024】

20

本適用例によれば、発振回路において、発熱部が発振用回路と振幅制御部との動作状態に基づいて入力される直流電流が制御されて発熱するため、発熱部は出力回路が出力する交流信号をエネルギー源とする必要がなく、特性調整用回路の調整時に発熱部から発生する信号がノイズとして影響する可能性を低減させた発振器を実現することができる。

【0025】

また、本適用例によれば、発熱部を振幅制御回路に設けることで、発熱部として出力回路と同等の回路を新たに設ける必要がないので、発振回路の回路規模の増加を抑制することができ、小型の発振器を実現することもできる。

【0026】

〔適用例 8〕

30

本適用例に係る電子機器は、上記のいずれかの発振回路を含む。

【0027】

〔適用例 9〕

本適用例に係る移動体は、上記のいずれかの発振回路を含む。

【0028】

これらの適用例によれば、特性調整用回路の調整時に発熱部から発生する信号がノイズとして影響する可能性を低減させることが可能な発振回路を用いるので、信頼性の高い電子機器及び移動体を実現することができる。

【0029】

〔適用例 10〕

40

本適用例に係る発振器の製造方法は、発振用回路、特性調整用回路、前記発振用回路から出力される信号が入力されて、発振信号を出力する出力回路、前記出力回路が出力する前記発振信号の振幅を制御する振幅制御部と、前記発振用回路と前記振幅制御部との動作状態に基づいて、入力される直流電流が制御されて発熱量が制御される発熱部と、を有する振幅制御回路、前記出力回路の出力側と電気に接続されている第1端子、及び、前記特性調整用回路と前記第1端子との電気的な接続を切り替える切り替え部を含む発振回路と、振動子とを電気的に接続する工程と、前記特性調整用回路と前記第1端子とを電気的に接続するように前記切り替え部を切り替え、前記出力回路から前記発振信号が出力されるのを停止し、前記発熱部に前記発振用回路と前記振幅制御部との動作に基づいた前記直流電流を入力する工程と、前記特性調整用回路を調整する工程と、前記特性調整用回路と前

50

記第1端子とを電氣的に接続しないように前記切り替え部を切り替え、前記出力回路から前記発振信号が出力されるようし、前記発熱部に前記直流電流が流れないようにする工程と、を含む。

【0030】

本適用例に係る発振器の製造方法によれば、特性調整用回路を調整する工程において、発熱部が発振用回路と振幅制御部との動作状態に基づいて入力される直流電流が制御されて発熱するため、発熱部は出力回路が出力する交流信号をエネルギー源とする必要がなく、発熱部から発生する信号がノイズとして影響する可能性を低減させることができる。

【0031】

また、本適用例に係る発振器の製造方法によれば、発熱部を振幅制御回路に設けることで、発熱部として出力回路と同等の回路を新たに設ける必要がないので、発振回路の回路規模の増加を抑制することができ、小型の発振器を製造することもできる。また、特性調整用回路を調整する工程において、通常動作時の状態と同等の発熱状態を維持して、例えば、周波数温度補償の誤差を低減させることもできる。

【図面の簡単な説明】

【0032】

【図1】第1実施形態の発振器の構成図。

【図2】発振用回路の構成例を示す図。

【図3】第1実施形態の発振器における出力回路の構成例を示す図。

【図4】第1実施形態の発振器における振幅制御回路の構成例を示す図。

【図5】出力レベル調整レジスタの設定値とD/Aコンバータの出力電圧及びクリップ電圧との関係の一例を示す図。

【図6】クリップド・サイン波の出力波形の一例を示す図。

【図7】第1実施形態の発振器における発振段電流調整レジスタの設定値と差分電流との関係を示す図。

【図8】発振器の製造方法の一例を示すフローチャート図。

【図9】第1実施形態の発振器と従来の発振器についての差分電流と周波数補償誤差との関係を示す図。

【図10】第2実施形態の発振器における振幅制御回路の構成例を示す図。

【図11】第3実施形態の発振器の構成図。

【図12】第3実施形態の発振器における振幅制御回路の構成例を示す図。

【図13】第3実施形態の発振器における発振段電流調整レジスタの設定値と発振器の消費電流との関係を示す図。

【図14】第3実施形態の発振器におけるデコード回路及び抵抗回路の構成例を示す図。

【図15】デコード回路の真理値表を示す図。

【図16】発振段電流調整レジスタの設定値と分周切替レジスタの設定値に応じて、発振器の消費電流が変化する様子を示す図。

【図17】第3実施形態の発振器と従来の発振器についての差分電流と周波数補償誤差との関係を示す図。

【図18】第4実施形態の発振器における振幅制御回路の構成例を示す図。

【図19】第5実施形態の発振器における振幅制御回路の構成例を示す図。

【図20】発振段電流調整レジスタを6ビットに拡張した場合の発熱回路及びデコード回路の構成例を示す図。

【図21】第6実施形態の発振器の構成図。

【図22】第6実施形態の発振器における出力回路の構成例を示す図。

【図23】第6実施形態の発振器における発熱回路及びデコード回路の構成例を示す図。

【図24】本実施形態の電子機器の機能ブロック図。

【図25】本実施形態の電子機器の外観の一例を示す図。

【図26】本実施形態の移動体の一例を示す図。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 3 3 】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【 0 0 3 4 】

1. 発振器

1 - 1. 第 1 実施形態

図 1 は第 1 実施形態の発振器の構成図である。図 1 に示すように、第 1 実施形態の発振器 1 は、発振回路 2 と振動子 3 とを含む温度補償型の発振器であり、発振回路 2 と振動子 3 は不図示のパッケージに収容されている。

10

【 0 0 3 5 】

本実施形態では、振動子 3 は、基板材料として水晶を用いた水晶振動子であり、例えば、A T カットや S C カットの水晶振動子や音叉型の水晶振動子が用いられる。振動子 3 は、S A W (Surface Acoustic Wave) 共振子や M E M S (Micro Electro Mechanical Systems) 振動子であってもよい。また、振動子 3 の基板材料としては、水晶の他、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体材料等を用いることができる。振動子 3 の励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

【 0 0 3 6 】

20

発振回路 2 は、電源端子である V c c 端子、接地端子である G N D 端子、出力端子である O U T 端子、テスト端子である T P 端子、振動子 3 との接続端子である X I 端子及び X O 端子が設けられている。V c c 端子、G N D 端子、O U T 端子及び T P 端子は、発振器 1 の外部端子（不図示）にも接続されている。

【 0 0 3 7 】

本実施形態では、発振回路 2 は、発振用回路 1 0、振幅制御回路 2 0、出力回路 3 0、温度補償回路 4 0（「特性調整用回路」の一例）、レギュレーター回路 5 0、メモリ 6 0、スイッチ回路 7 0（「切り替え部」の一例）及びシリアルインターフェース（I / F）回路 8 0 を含んで構成されている。なお、本実施形態の発振回路 2 は、これらの要素の一部を省略又は変更し、あるいは他の要素を追加した構成としてもよい。

30

【 0 0 3 8 】

発振用回路 1 0 は、振動子 3 を発振させるための回路であり、振動子 3 の出力信号を増幅して振動子 3 にフィードバックする。発振用回路 1 0 は、振動子 3 の発振に基づく発振信号を出力する。

【 0 0 3 9 】

温度補償回路 4 0 は、発振用回路 1 0 の発振周波数が温度によらず一定になるように、温度を変数として振動子 3 の周波数温度特性に応じた温度補償電圧を発生させる。この温度補償電圧は、発振用回路 1 0 の負荷容量として機能する可変容量素子（不図示）の一端に印加され、発振周波数が制御される。

【 0 0 4 0 】

40

出力回路 3 0 は、発振用回路 1 0 からの発振信号が入力され、外部出力用の発振信号を生成して出力する。

【 0 0 4 1 】

振幅制御回路 2 0 は、出力回路 3 0 が出力する発振信号の振幅を制御するための回路である。振幅制御回路 2 0 は、出力回路 3 0 が出力する発振信号の振幅を制御する振幅制御部と発熱部とを有する。後述するように、発熱部は、発振用回路 1 0 と振幅制御回路 2 0 の振幅制御部との動作状態に基づいて、入力される直流電流が制御される。

【 0 0 4 2 】

レギュレーター回路 5 0 は、V c c 端子から供給される電源電圧に基づき、発振用回路 1 0、温度補償回路 4 0、出力回路 3 0 の電源電圧または基準電圧となる一定電圧 V r e

50

g を生成する。

【 0 0 4 3 】

メモリー 6 0 は、不図示の不揮発性メモリーとレジスターとを有しており、外部端子から、シリアルインターフェース回路 8 0 を介して、不揮発性メモリー又はレジスターに対するリード/ライトが可能に構成されている。本実施形態では、発振器 1 の外部端子と接続される発振回路 2 の端子は V c c , G N D , O U T , T P の 4 つしかないため、シリアルインターフェース回路 8 0 は、例えば、V c c 端子の電圧が閾値よりも高い時に、T P 端子から外部入力されるクロック信号 S C L K と O U T 端子から外部入力されるデータ信号 D A T A を受け付け、不図示の不揮発性メモリーあるいは内部レジスターに対してデータのリード/ライトを行うようにしてもよい。

10

【 0 0 4 4 】

スイッチ回路 7 0 は、温度補償回路 4 0 と、出力回路 3 0 の出力側と電気に接続されている O U T 端子（第 1 端子の一例）との電氣的な接続を切り替えるための回路である。

【 0 0 4 5 】

本実施形態では、T P 端子に入力される信号がローレベル（第 1 モードの一例）の時は、スイッチ回路 7 0 は温度補償回路 4 0 と O U T 端子とを電氣的に接続しないように制御され、出力回路 3 0 から出力される発振信号が O U T 端子に出力される。また、後述するように、T P 端子に入力される信号がローレベルの時は、振幅制御回路 2 0 の発熱部の動作が停止される。

【 0 0 4 6 】

20

一方、T P 端子に入力される信号がハイレベル（第 2 モードの一例）の時は、スイッチ回路 7 0 は温度補償回路 4 0 と O U T 端子とを電氣的に接続するように制御され、出力回路 3 0 からの発振信号の出力が停止され、温度補償回路 4 0 の出力信号（温度補償電圧）が O U T 端子に出力される。また、後述するように、T P 端子に入力される信号がハイレベルの時は、振幅制御回路 2 0 の発熱部は、発振用回路 1 0 と振幅制御回路 2 0 の振幅制御部との動作状態に基づいて、入力される直流電流が制御される。

【 0 0 4 7 】

セルラー等に使用される G P S 用途の T C X O として使用する場合、例えば ± 0.5 p p m といった高い周波数温度補償精度が要求される。そこで、本実施形態では、レギュレーター回路 5 0 で出力回路 3 0 の出力電圧振幅を安定化させるとともに、低消費電流化の観点から、出力回路 3 0 は出力振幅を抑えたクリップド・サイン波形を出力する。本実施形態では、振幅制御回路 2 0 により、出力回路 3 0 の出力振幅を例えば $0.8 \sim 1.2$ V p p の範囲で調整することが可能となっており、さらに、振幅制御回路 2 0 に従来よりも小型の発熱回路を内蔵した構成としている。また、本実施形態では、メモリー 6 0 には、振動子 3 の周波数に応じて発振用回路 1 0 の発振段電流を調整・選択するための発振段電流調整レジスター I O S C _ A D J （発振用回路 1 0 を制御するためのデータ）、出力回路 3 0 の内部に設けた分周回路により発振信号を分周して出力するか否かを選択するための分周切替レジスター D I V （出力回路 3 0 を制御するためのデータ）、出力回路 3 0 が出力するクリップド・サイン波の発振信号の振幅レベルを調整するための出力レベル調整レジスター V O U T _ A D J （振幅制御回路 2 0 を制御するためのデータ）が設けられており、これらのレジスターに格納されるデータに基づく設定状態に連動して、振幅制御回路 2 0 の内部の発熱回路に流す電流量が制御される。

30

40

【 0 0 4 8 】

なお、これらのレジスターの設定値は、例えば、発振回路 2 の製造時にメモリー 6 0 が有する不揮発性メモリーに記憶されており、発振器 1 として組み立てた後の電源投入時に不揮発性メモリーから各レジスターに設定値が書き込まれる。また、例えば、発振回路の製造時に、不揮発性メモリーには、温度補償回路 4 0 に入力される温度補償データ（振動子 3 の周波数温度特性に応じた 0 次、1 次、3 次の各係数値（4 次や 5 次の各係数値を含めてもよい）、あるいは温度と温度補償電圧との対応テーブルなど）（温度補償回路 4 0 を制御するためのデータ）も記憶されている。

50

【 0 0 4 9 】

〔 発振用回路の構成 〕

図 2 は、図 1 の発振用回路 1 0 の構成例を示す図である。図 2 に示すように、発振用回路 1 0 は、発振部 1 1 と電流源回路 1 2 とを備えている。発振部 1 1 は振動子 3 と接続されることでピアース型の発振回路を構成する。発振部 1 1 では、振動子 3 と並列に可変容量素子であるバリキャップ・ダイオード $VCD1$ 、 $VCD2$ が直列接続されており、バリキャップ・ダイオード $VCD1$ 、 $VCD2$ に温度補償電圧が印加されることで温度に対して発振部 1 1 の容量値が変化し、振動子 3 の周波数温度特性が補償された発振信号が出力される。

【 0 0 5 0 】

電流源回路 1 2 は、差動増幅器 $AMP1$ 、 $PMOS$ トランジスタ $M2$ 、バイポーラトランジスタ $Q2$ 、及び、抵抗 $R1$ と複数の抵抗 $R2$ が並列接続された電流調整部により、発振段電流 I_{osc} の基準となる電流 I_{ref} を生成する。基準電流 I_{ref} は、4 ビットの I_{OSC_ADJ} の設定値により調整される。 $PMOS$ トランジスタ $M1$ のゲート幅のサイズと $PMOS$ トランジスタ $M2$ のゲート幅のサイズは、例えば 10 ; 1 の比率を有している。 $PMOS$ トランジスタ $M3$ のゲート幅のサイズと $PMOS$ トランジスタ $M4$ のゲート幅のサイズも同様のサイズ比を有する。例えば、 $I_{ref} = 20 \mu A$ とすると、10 倍の $200 \mu A$ が発振段電流として発振部 1 1 に供給される。差動増幅器 $AMP2$ 、 $PMOS$ トランジスタ $M4$ 、バイアス電流 I_{bias} を流す電流源、 $PMOS$ トランジスタ $M5$ 、 $M6$ で構成される回路は、カスコード接続された $PMOS$ トランジスタ $M1$ 、 $M3$ に流れる発振段電流 I_{osc} の電源依存をさらに抑えるための回路である。この回路は、高い周波数制度が要求される $TCXO$ において、電流源が出力する電流の電源依存をカスコード回路よりもさらに低減する、利得増強型のカスコード回路である。このカスコード回路は、基準側の $PMOS$ トランジスタ $M4$ のソース電圧をモニターし、電源電圧 (V_{cc} 端子の電圧) が変動した場合に、 $PMOS$ トランジスタ $M3$ 、 $M4$ のゲート電圧を差動増幅器 $AMP2$ により制御して、 $PMOS$ トランジスタ $M1$ 、 $M2$ のソース・ドレイン間の電位差の変化をさらに抑制する。電流源回路 1 2 の出力抵抗としては、差動増幅器 $AMP2$ のゲイン倍だけさらに上がる。電源電圧の変動に対して発振段電流 I_{osc} が安定化し、発振部 1 1 の発振周波数変動を抑えられる。

【 0 0 5 1 】

〔 出力回路の構成 〕

図 3 は、図 1 の出力回路 3 0 の構成例を示す図である。図 3 に示すように、出力回路 3 0 は、 V_{reg} 端子にはレギュレーター回路 5 0 の出力電圧 V_{reg} が印加され、 V_{clip} 端子には振幅制御回路 2 0 で生成されたクリップド・サイン波出力を得るためのクリップ電圧 V_{clip} が印加される。出力回路 3 0 は、分周回路を備えており、 DIV 端子の電圧レベルにより、 IN 端子に入力される信号 (発振用回路 1 0 が出力する発振信号) を 2 分周するか否かを選択可能に構成されている。本実施形態では、分周切替レジスタ DIV の設定値が 0 のときは、 DIV 端子がローレベルに設定され、入力信号は、分周されず、 MOS トランジスタ $M1 \sim M4$ から成るインバーターで極性が反転され、ノード V_{BUF1} の信号が NOR 回路 $NOR1$ に伝達する。一方、分周切替レジスタ DIV の設定値が 1 のときは、 DIV 端子がハイレベルに設定され、入力信号は、分周回路で 1 / 2 に分周され、ノード V_{BUF1} の信号が NOR 回路 $NOR1$ に伝達する。

【 0 0 5 2 】

また、出力回路 3 0 は、 TP 端子がローレベルのときに動作可能状態、 TP 端子がハイレベルのときに動作停止状態になる。通常動作時は、 TP 端子がローレベルに設定され、入力端子 IN からの入力信号は V_{clip} で決まる電圧振幅レベルでクリップされ、 OUT 端子から出力される。図 1 の温度補償回路 4 0 を調整する (テストする) 時は、 TP 端子がハイレベルに設定され、 MOS トランジスタ $M2$ 、 $M3$ がオフして、 NOR 回路 $NOR1$ の出力ノード V_{BUF2} 及び NOR 回路 $NOR2$ の出力ノード V_{BUF3} がともに接地電位になり、 $NMOS$ トランジスタ $M5$ 、 $M6$ がともにオフ状態となる。これによ

10

20

30

40

50

り、出力回路 30 は動作停止状態になる。

【 0 0 5 3 】

[振幅制御回路の構成]

図 4 は、図 1 の振幅制御回路 20 の構成例を示す図である。図 4 において、NMOS トランジスタ M1, M2, M3 はディプレッションタイプの MOS トランジスタであり、その他の MOS トランジスタはノーマルタイプ (エンハンスメントタイプ) の MOS トランジスタである。図 4 に示す振幅制御回路 20 は、温度補償回路 40 の調整時にスタティックな電流 (直流電流) I_{ht} を流すことで、通常動作時に出力回路 30 で発生する熱に相当する熱を発生させる。これにより、通常動作時と温度補償回路 40 の調整時との間の発熱量の変動が抑えられる。

10

【 0 0 5 4 】

次式 (1) に示すように、出力回路 30 の出力振幅レベルを決めるクリップ電圧 V_{clip} は、差動増幅器 AMP の出力電圧 V_g から MOS トランジスタ M2 のゲート・ソース間電圧 $V_{gs_{M2}}$ を差し引いた電圧となる。

【 0 0 5 5 】

【数 1】

$$V_{clip} = V_g - V_{gs_{M2}} \cdots (1)$$

【 0 0 5 6 】

20

V_g は、出力レベル調整レジスタ $VOUT_ADJ$ で与えられたデータを基に D/A コンバータ DAC で D/A 変換されたアナログ電圧 V_{dac} から、次式 (2) によって得られる。

【 0 0 5 7 】

【数 2】

$$V_g = V_{dac} \cdot \left(\frac{R1}{R2} + 1 \right) + V_{gs_{M1}} \cdots (2)$$

【 0 0 5 8 】

30

式 (2) を式 (1) に代入することにより、次式 (3) の関係が成り立つ。すなわち、D/A コンバータ DAC の出力電圧 V_{dac} を差動増幅器 AMP で増幅した電圧である $V_{dac} \cdot (R1/R2 + 1)$ により、クリップ電圧 V_{clip} が決まる。

【 0 0 5 9 】

【数 3】

$$V_{clip} + V_{gs_{M2}} = V_{dac} \cdot \left(\frac{R1}{R2} + 1 \right) + V_{gs_{M1}} \cdots (3)$$

40

【 0 0 6 0 】

通常動作時は、TP 端子がローレベルに設定され、スイッチ回路 SW1 がオン状態、NMOS スイッチ SW2 がオフ状態、MOS トランジスタ M3B がオフ状態となり、発熱回路 21 は動作停止状態になる。一方、温度補償回路 40 の調整時は、TP 端子がハイレベルに設定され、スイッチ回路 SW1 がオフ状態に、NMOS スイッチ SW2 がオン状態となり、これにより、NMOS トランジスタ M2 が遮断状態となり、NMOS トランジスタ M3 を含む発熱回路 21 が動作状態となる。

【 0 0 6 1 】

出力回路 30 が出力する波形は、図 6 に示すようなクリップド・サイン波であり、出力周波数が高いほどクリップド・サイン波のピーク値 (振幅) は下がるので、出力周波数に

50

合わせて出力レベル調整レジスタ $VOUT_ADJ$ の設定値が選択される。通常はクリップド・サイン波の振幅を $0.8V_{pp}$ 以上確保できるように出力レベル調整レジスタ $VOUT_ADJ$ の設定値が選択される。図5に、出力レベル調整レジスタ $VOUT_ADJ$ の設定値と D/A コンバータ DAC の出力電圧 V_{dac} 及びクリップ電圧 V_{clip} との関係の一例を示す。図5は、差動増幅器 AMP を含むレプリカ回路22のゲインを約1.2倍に設定した場合の一例であり、クリップ電圧 V_{clip} は DC 的な電圧値を示している。また、図6(A)及び図6(B)は、それぞれ、出力周波数が $26MHz$ と $52MHz$ の場合のクリップド・サイン波の出力波形の一例を示す図であり、ともに $VOUT_ADJ$ は“01”に設定されている。図5に示すように、 $VOUT_ADJ$ が“01”に設定された場合、クリップ電圧 V_{clip} は $0.9V$ となり、図6(A)に示すように、出力周波数が $26MHz$ の場合はクリップド・サイン波の振幅は約 $0.9V_{pp}$ であり、図6(B)に示すように、出力周波数が $52MHz$ の場合でもクリップド・サイン波の振幅は約 $0.82V_{pp}$ を確保できている。また、出力周波数が $52MHz$ の場合は、クリップド・サイン波の振幅が若干低下場合もあり、 $VOUT_ADJ$ を“10”に設定して振幅を $0.1V$ 上げて $0.92V_{pp}$ とすることも可能である。

10

【0062】

本実施形態では、 TP 端子がハイレベルに設定された時に発熱回路21を流れる電流 I_{ht} は、発振段電流調整レジスタ $IOSC_ADJ$ の設定値、分周切替レジスタ DIV の設定値、及び、出力レベル調整レジスタ $VOUT_ADJ$ の設定値と連動して変化し、 TP 端子がローレベルに設定された時に出力回路30で消費される電流に相当する電流に近づくようになっている。これにより、 TP 端子がローレベルに設定された時の発振器1の消費電流と TP 端子がハイレベルに設定された時の発振器1の消費電流との差の電流である差分電流を小さくしている。すなわち、出力回路30が動作状態にあるときの電流と停止状態にあるときの電流との差を小さくして、発振回路10の発熱量の変動を抑えている。一例として、図7に、発振段電流調整レジスタ $IOSC_ADJ$ の設定値と差分電流との関係を示す。図7には、分周切替レジスタ DIV の設定値が0の時(源振出力時)と1の時(分周出力時)の関係が示されている。図7に示すように、本実施形態の発振器1では、発振周波数や出力の分周の有無に応じて $IOSC_ADJ$ や DIV のレジスタ値が個別に設定される場合においても、出力回路30の動作状態にあるときの電流と停止状態にあるときの電流との差を低減することができ、差分電流を0に近づけることに成功している。

20

30

【0063】

なお、発熱回路21は発熱部として機能し、振幅制御回路20のうち発熱回路21以外の回路は振幅制御部として機能する。

【0064】

[発振器の製造方法]

図8は、本実施形態の発振器の製造方法の一例を示すフローチャート図である。本実施形態の発振器の製造方法は、図8に示す工程 $S10 \sim S50$ を含む。ただし、本実施形態の発振器の製造方法は、工程 $S10 \sim S50$ の一部を省略又は変更し、あるいは、他の工程を追加してもよい。

40

【0065】

図8に示すように、本実施形態では、まず、発振回路2と振動子3を準備し、発振回路2と振動子3とを電氣的に接続する(工程 $S10$)。

【0066】

次に、 TP 端子をハイレベルに設定する(工程 $S20$)。この工程 $S20$ により、スイッチ回路70が温度補償回路40と OUT 端子とを電氣的に接続するように制御され、出力回路30からの出力が停止されるように制御され、発熱回路21に発振用回路10と振幅制御回路20の振幅制御部との動作(発振段電流調整レジスタ $IOSC_ADJ$ の設定値と出力レベル調整レジスタの設定値に応じた動作)に基づいた電流が流れるように制御される。

50

【 0 0 6 7 】

次に、温度補償回路 4 0 を調整する（工程 S 3 0）。具体的には、工程 S 3 0 では、あらかじめ決められた複数の温度で、温度補償データを変更しながら O U T 端子から温度補償回路 4 0 が出力する補償電圧をモニターし、振動子 3 の周波数温度特性を補償するのに最適な温度補償データを決定する。

【 0 0 6 8 】

次に、T P 端子をローレベルに設定する（工程 S 4 0）。この工程 S 4 0 により、スイッチ回路 7 0 が温度補償回路 4 0 と O U T 端子とを電氣的に接続しないように制御され、出力回路 3 0 から発振信号が出力されるように制御され、発熱回路 2 1 に電流が流れないように制御される。

10

【 0 0 6 9 】

次に、発振器 1 の周波数温度特性を測定する（工程 S 5 0）。具体的には、工程 S 5 0 では、工程 S 3 0 で決定した温度補償データを温度補償回路 4 0 に設定し、あらかじめ決められた複数の温度で、O U T 端子から出力される発振信号の周波数を測定する。そして、測定した周波数温度特性を確認して、所定の基準（仕様）を満たしていれば当該温度補償データをメモリ 6 0 が有する不揮発性メモリに書き込む。なお、測定した周波数温度特性が所定の基準（仕様）を満たしていない場合は、工程 S 2 0 以下の工程を再度行うようにしてもよいし、当該発振器を不合格品として廃棄してもよい。

【 0 0 7 0 】

また、メモリ 6 0 が有する不揮発性メモリが、複数回の書き込みが可能である E E P R O M、フラッシュメモリ等であれば、工程 S 3 0 において最適な温度補償データを決定した段階で、温度補償データをメモリ 6 0 が有する不揮発性メモリに書き込み、工程 S 5 0 は発振器 1 の周波数温度特性を測定するステップとしてもよい。当該工程 S 5 0 において、測定した周波数温度特性が所定の基準（仕様）を満たしていない場合は、当該工程 S 2 0 以下の工程を再度行うようにすることが好ましいが、当該発振器を不合格品として廃棄してもよい。

20

【 0 0 7 1 】

以上に説明したように、第 1 実施形態の発振器 1 によれば、図 7 に示したように、通常動作時と温度補償回路 4 0 の調整時での消費電流において、差分電流が小さいので、T P 端子がローレベルに設定された時（通常動作時）とハイレベルに設定された時（温度補償回路 4 0 の調整時）との発振器 1 全体の発熱量の差が低減するので、発振器 1 の温度差も小さくなる。従って、通常動作時の周波数温度補償誤差を小さくすることができる。図 9 は、本実施形態の発振器 1 と従来の発振器についての差分電流と周波数補償誤差との関係を示す図である。図 9 に示すように、従来の発振器では差分電流が 5 0 0 ~ 8 0 0 μ A 程度、周波数温度補償誤差（D F / F）が 1 0 0 ~ 2 0 0 p p b 程度（破線で囲んだ部分）であるのに対して、本実施形態の発振器 1 によれば、差分電流及び周波数温度補償誤差（D F / F）を 0（破線で囲んだ部分）に近づけることができる。

30

【 0 0 7 2 】

このように、本実施形態の発振器 1 によれば、温度補償回路の調整時に、発熱回路 2 1 に流れる直流電流 I h t を、振動子 3 の周波数に応じて選択された発振段電流調整レジスタ I O S C _ A D J 及び出力レベル調整レジスタ V O U T _ A D J の各設定値や分周切替レジスタ D I V の設定値と連動して変化させることで、通常動作時に出力回路 3 0 で消費される電流に相当する電流を精度よく生成することができるので、差分電流が低減することで周波数温度補償の誤差を抑えた、高い精度での周波数温度補償が可能になる。特に、出力周波数が高くなるほどその効果は大きい。また、発熱回路 2 1 では、エネルギー源として交流信号（交流電流、交流電圧等）を用いていないため、時間変化に伴う電圧または電流の変動が発生することが低減されているため、発熱回路 2 1 から発生する信号がノイズとして他の回路に影響する可能性を低減させることができる。

40

【 0 0 7 3 】

また、本実施形態の発振器 1 によれば、発熱回路 2 1 を、振幅制御回路 2 0 の内部に簡

50

単な構成の小型の回路で実現しており、これにより、出力回路 30 と同等の駆動能力を持つ発熱回路や発振用回路 10 と出力回路 30 の間のスイッチ回路が不要となり、回路規模の増加を抑制させることもできる。

【0074】

1 - 2 . 第 2 実施形態

第 1 実施形態の発振器 1 では、通常動作時において、出力周波数が高くなると、それに伴って出力電流 I_{out} が増加する。すると、NMOS トランジスタ M_2 に流れる電流と、レプリカ回路 22 を構成する NMOS トランジスタ M_1 に流れる電流の比のずれが大きくなり、NMOS トランジスタ M_2 の利得定数の温度依存の影響が大きくなって、クリップ電圧 V_{clip} の温度特性が悪化し、出力回路 30 が出力するクリップド・サイン波の電圧振幅の温度特性が悪化する（温度依存性が大きくなる）。MOS トランジスタの有効ゲート電圧 V_{eff} は、次式（4）で与えられるから、式（3）は式（5）のように書き換えることができる。

10

【0075】

【数 4】

$$V_{eff} = V_{gs} - V_{th} \dots (4)$$

【0076】

【数 5】

20

$$V_{clip} + (V_{eff_{M2}} + V_{th}) = V_{dac} \cdot \left(\frac{R1}{R2} + 1 \right) + (V_{eff_{M1}} + V_{th}) \dots (5)$$

【0077】

式（5）で、 V_{th} はしきい値電圧であり、NMOS トランジスタ M_1 , M_2 が同一種類のトランジスタで構成されたとすると、互いの V_{th} はほぼ同じになることができる。ここで、式（5）が表現している NMOS トランジスタ M_1 , M_2 の有効ゲート電圧 $V_{eff_{M1}}$, $V_{eff_{M2}}$ に着目する。

30

【0078】

レプリカ回路 22 の NMOS トランジスタ M_1 の飽和領域におけるドレイン電流 I_{rep} は次式（6）で与えることができる。式（6）において、 u_0 はキャリアの移動度、 C_{ox} は酸化膜容量、 W_{M1} , L_{M1} は NMOS トランジスタ M_1 のゲート幅及びゲート長である。なお、説明を簡略化するため、式（6）ではチャネル長変調効果の影響を省いて記述している。

【0079】

【数 6】

$$I_{rep} = \frac{1}{2} u_0 C_{ox} \frac{W_{M1}}{L_{M1}} (V_{gs_{M1}} - V_{th})^2 \dots (6)$$

40

【0080】

式（4）を用いて式（6）をさらに変形し、NMOS トランジスタ M_1 の有効ゲート電圧 $V_{eff_{M1}}$ を表すように書き換えると、次式（7）の関係が導き出される。

【0081】

【数 7】

$$V_{eff_{M1}} = \sqrt{\frac{2 \cdot I_{rep}}{u_0 C_{ox} \frac{W_{M1}}{L_{M1}}}} = \sqrt{\frac{2 \cdot I_{rep}}{\beta_{M1}}} \dots (7)$$

【0082】

同様に、NMOSトランジスタM2の有効ゲート電圧 $V_{eff_{M2}}$ は次式(8)で表
現される。

10

【0083】

【数 8】

$$V_{eff_{M2}} = \sqrt{\frac{2 \cdot I_{out}}{u_0 C_{ox} \frac{W_{M2}}{L_{M2}}}} = \sqrt{\frac{2 \cdot I_{out}}{\beta_{M2}}} \dots (8)$$

【0084】

式(7)及び式(8)において、出力周波数が低い場合(例えば26MHz以下の場合)
)は、NMOSトランジスタM1, M2のW, Lのアスペクト比と、それぞれの電流 I_{rep} , I_{out} との比率のずれが少ないので、有効ゲート電圧はほぼバランスよく保た
れているが、出力周波数が高い場合(例えば52MHz以上の場合)、出力電流 I_{out}
が増加し、NMOSトランジスタM2の利得定数 β_{M2} の影響が大きくなる。

20

【0085】

一般的に、MOSトランジスタでは高温になるほどキャリアの移動度 u の低下で利得
定数が負の温度特性を持つことが知られているが、出力電流 I_{out} が増加することで
NMOSトランジスタM2の利得定数 β_{M2} の温度特性の影響が大きくなるため、図4
に示した振幅制御回路20のクリップ電圧 V_{clip} の温度特性が悪化し、その結果、出
力回路30が出力するクリップド・サイン波の出力電圧振幅の温度特性が悪化する。なお
、発熱回路21のNMOSトランジスタM3についても同様のことが言える。

30

【0086】

そこで、第2実施形態の発振器1では、振幅制御回路20に上記の影響を改善するた
めのレベル補正機能を追加する。図10は、第2実施形態の発振器1における振幅制御回路
20の構成例を示す図である。図10において、NMOSトランジスタM1, M2, M
3, M4はディプレッションタイプのMOSトランジスタであり、その他のMOSトラ
ンジスタはノーマルタイプ(エンハンスメントタイプ)のMOSトランジスタである
。図10に示すように、第2実施形態の発振器1における振幅制御回路20は、振幅制御
部の動作状態に基づいて、出力回路30が出力する発振信号の振幅を制御するクリップ電
圧 V_{clip} の大きさを制御するためのレベル補正回路24を備えている。

40

【0087】

出力周波数と出力電流 I_{out} はほぼ比例関係にあり、周波数が高くなるにつれて出力
レベル調整レジスタ $VOUT_ADJ$ の設定値も大きくなる関係にある。出力周波数が
低い場合は出力電流 I_{out} を小さくするために $VOUT_ADJ$ の上位ビットが0に設
定されるので、レベル補正回路24のPMOSトランジスタM5はオン状態となり、レ
プリカ回路22の抵抗 $R1$, $R2$ には、 I_{rep} 以外にもレベル補正回路24のMOSト
ランジスタM4, M5, M6を流れる電流も流れる。一方、出力周波数が高い場合は出
力電流 I_{out} を大きくするために $VOUT_ADJ$ の上位ビットが1に設定されるので
、レベル補正回路24のPMOSトランジスタM5がオフ状態となり、レプリカ回路2
2の抵抗 $R1$, $R2$ には、 I_{rep} のみが流れる。抵抗 $R1$, $R2$ に流れる電流は、 $D /$

50

AコンバーターDACでD/A変換されたアナログ電圧 V_{dac} と抵抗 R_2 とに基づいて一定の電流が流れるので、出力周波数が高い場合（ $VOUT_ADJ$ の上位ビットが1に設定される場合）は、出力周波数が低い場合（ $VOUT_ADJ$ の上位ビットが0に設定される場合）よりも電流 I_{rep} が大きい。従って、出力周波数が高い場合（ $VOUT_ADJ$ の上位ビットが1に設定される場合）の I_{rep} と I_{out} との比 I_{rep}/I_{out} は第1実施形態よりも大きくなる。よって、第2実施形態の方が、第1実施形態よりも、出力周波数が高い場合（ $VOUT_ADJ$ の上位ビットが1に設定される場合）における I_{rep} と I_{out} との比と、出力周波数が低い場合（ $VOUT_ADJ$ の上位ビットが0に設定される場合）における I_{rep} と I_{out} との比とのずれが小さくなる。同様に、 I_{rep} と I_{ht} と比のずれも小さくなる。結果として、第2実施形態における振幅制御回路20は、NMOSトランジスタ M_1 、 M_2 、 M_3 の互いの有効ゲート電圧のずれが低減するように作用する。

【0088】

第2実施形態における振幅制御回路20のその他の構成は、第1実施形態における振幅制御回路20と同様であるため、その説明を省略する。また、第2実施形態の発振器1の全体構成、振幅制御回路20以外の回路の構成及び発振器1の製造方法も、第1実施形態の発振器1と同様であるため、その図示及び説明を省略する。

【0089】

第2実施形態の発振器1によれば、NMOSトランジスタ M_1 、 M_2 の有効ゲート電圧のずれが低減することで、出力振幅レベルの温度特性が改善し、通常動作時（TP端子がローレベルの時）に、出力周波数が高い場合（例えば26MHz以下）から出力周波数が低い場合（例えば52MHz以上）までの広い周波数範囲にわたって、出力振幅レベルを安定に保つことができる。

【0090】

また、第2実施形態の発振器1によれば、NMOSトランジスタ M_1 、 M_3 の有効ゲート電圧のずれが低減することで、温度補償回路40の調整時（TP端子がハイレベルの時）に、発熱量の変動を抑えることができるので、より高い精度での周波数温度補償が可能になる。

【0091】

1 - 3 . 第3実施形態

図11は第3実施形態の発振器1の構成図である。また、図12は、第3実施形態の発振器1における振幅制御回路20の構成例を示す図である。図11及び図12に示すように、第3実施形態における振幅制御回路20は、発振段電流調整レジスタ $IOSC_ADJ$ の上位2ビット、分周切替レジスタ DIV の1ビット、出力レベル調整レジスタ $VOUT_ADJ$ の2ビットにより、発熱回路21に流す電流量を制御する。すなわち、第2実施形態では、振幅制御回路20は、発振段電流調整レジスタ $IOSC_ADJ$ の4ビットすべてを用いて発熱回路21に流す電流量を制御していたが、第3実施形態では、振幅制御回路20は、発振段電流調整レジスタ $IOSC_ADJ$ の上位2ビットを用いて発熱回路21に流す電流量を制御する。

【0092】

図13に、発振段電流調整レジスタ $IOSC_ADJ$ の設定値と発振器1の消費電流との関係の一例を示す。本実施形態では、メモリー60が初期状態のとき、例えば、発振段電流調整レジスタ $IOSC_ADJ$ の設定値が0の時に、消費電流が中心値付近になるようにしている。デコード回路23においては、メモリー60が初期状態、特に $IOSC_ADJ$ の設定値が初期状態のときに発振器1の消費電流が中心値付近になるのと同様の関係性を保ち、 $IOSC_ADJ$ の設定値に応じた発熱回路21の電流設定がデコードされるように構成されている。

【0093】

図14に、図12に示したデコード回路23及び抵抗回路25の構成例を示す。また、

10

20

30

40

50

図 15 に、図 14 に示したデコード回路 23 の真理値表を示す。図 14 及び図 15 に示すように、第 3 実施形態では、発振段電流調整レジスタ $IOSC_ADJ$ の上位 2 ビットと分周切替レジスタ DIV の 1 ビットの組み合わせにより、抵抗回路 25 の抵抗値が選択される。そして、TP 端子がハイレベルの時、抵抗回路 25 の NMOS トランジスタ $M7$ がオン状態となり、レプリカ回路 22 の差動増幅器 AMP の出力電圧 V_g と抵抗回路 25 の抵抗値によって決まる電流 I_{ht} が発熱回路 21 に流れる。すなわち、本実施形態では、TP 端子がハイレベルの時、発振段電流調整レジスタ $IOSC_ADJ$ の上位 2 ビット、分周切替レジスタ DIV の 1 ビット、出力レベル調整レジスタ $VOUT_ADJ$ の 2 ビットにより、発熱回路 21 に流れる電流 I_{ht} が制御される。

【0094】

10

第 3 実施形態における振幅制御回路 20 のその他の構成は、第 2 実施形態における振幅制御回路 20 と同様であるため、その説明を省略する。また、第 3 実施形態の発振器 1 の全体構成、振幅制御回路 20 以外の回路の構成及び発振器 1 の製造方法も、第 2 実施形態の発振器 1 と同様であるため、その図示及び説明を省略する。

【0095】

図 16 に、発振段電流調整レジスタ $IOSC_ADJ$ の設定値と分周切替レジスタ DIV の設定値に応じて、発振器 1 の消費電流が変化する様子を示す。図 16 では、説明を簡略化するために、出力レベル調整レジスタ $VOUT_ADJ$ の設定値は固定されている。また、図 17 に、発振段電流調整レジスタ $IOSC_ADJ$ の設定値と差分電流との関係の一例を示す。図 17 には、分周切替レジスタ DIV の設定値が 0 の時（源振出力時）と 1 の時（分周出力時）の関係が示されている。図 17 に示すように、本実施形態の発振器 1 では、発熱回路に流れる電流 I_{ht} の制御に、 $IOSC_ADJ$ の下位 2 ビットを用いていないため、 $IOSC_ADJ$ の設定値によっては、差分電流が少し大きくなっている。それでも、差分電流を $\pm 100 \mu A$ 程度に収めることができ、周波数温度補償の誤差を例えば 20 ppb 程度まで抑制することも可能である。図 9 に示したように、従来の発振器では差分電流が $500 \sim 800 \mu A$ 程度、周波数温度補償誤差 (DF/F) が $100 \sim 200 \text{ ppb}$ 程度であるので、第 3 実施形態の発振器 1 は、従来よりも良好な特性が得られる。そして、第 3 実施形態の発振器 1 によれば、発振段電流調整レジスタのビット数を削減することで発熱回路 21 の構成を簡素化することができ、回路の小型化を図ることができる。

20

30

【0096】

1 - 4 . 第 4 実施形態

第 3 実施形態の発振器 1 では、出力周波数が高い場合 ($VOUT_ADJ$ の上位ビットが 1 に設定される場合)、レベル補正回路 24 の PMOS トランジスタ $M5$ を常時オフさせる構成としていたが、逆に、出力周波数が低い場合 ($VOUT_ADJ$ の上位ビットが 0 に設定される場合) には、PMOS トランジスタ $M5$ が常時オンとなり、レプリカ回路 22 の NMOS トランジスタに流れる電流 I_{rep} を減らすように作用する。通常動作時 (TP 端子がローレベルの時) はこのほうが都合が良いが、温度補償回路 40 の調整値 (TP 端子がハイレベルの時) は少し都合が悪い場合がある。具体的には、出力周波数が低い場合 ($VOUT_ADJ$ の上位ビットが 0 に設定される場合)、レプリカ回路 22 の電流 I_{rep} が減少することで差動増幅器 AMP の出力電圧 V_g が低下し、これにより、発熱回路 21 の NMOS トランジスタ $M3$ のゲート電圧 V_g およびソース電圧 V_{ht} が低下する。その結果、発熱回路 21 の電流 I_{ht} を低下させないためには、抵抗回路 25 の抵抗 $R1 \sim R7$ の抵抗値を十分小さくしなければならないが、図 14 に示した抵抗回路 25 に流れる電流 I_{ht} の比精度を保つためには、NMOS トランジスタ $M1 \sim M7$ のオン抵抗を十分低くしなければならず、NMOS トランジスタ $M1 \sim M7$ のサイズアップにつながる。

40

【0097】

そこで、第 4 実施形態の発振器 1 では、出力周波数が高い場合 ($VOUT_ADJ$ の上位ビットが 1 に設定される場合) だけでなく、温度補償回路 40 の調整時 (TP 端子がハ

50

イレベルの時)にもレベル補正回路24のPMOSトランジスタM5をオフ状態にする。図18は、第4実施形態の発振器1における振幅制御回路20の構成例を示す図である。図18に示すように、レベル補正回路24のPMOSトランジスタM5は、VOUT__ADJの上位ビットが1の時、又はTP端子がハイレベルの時にオフ状態になり、それ以外の場合はオン状態になる。

【0098】

第4実施形態における振幅制御回路20のその他の構成は、第3実施形態における振幅制御回路20と同様であるため、その説明を省略する。また、第4実施形態の発振器1の全体構成、振幅制御回路20以外の回路の構成及び発振器1の製造方法も、第3実施形態の発振器1と同様であるため、その図示及び説明を省略する。

10

【0099】

第4実施形態の発振器1によれば、温度補償回路40の調整時(TP端子がハイレベルのとき)、レプリカ回路22の電流Irepが減少しないため差動増幅器AMPの出力電圧Vgが低下せず、発熱回路21のNMOSトランジスタM3のゲート電圧Vgおよびソース電圧Vhtも低下しない。その結果、抵抗回路25の抵抗R1~R7の抵抗値や、NMOSトランジスタM1~M7のオン抵抗をさらに低くしなくても、抵抗回路25に流れる電流Ihtの比精度を保ちながら、発熱回路21に十分な電流Ihtを流すことができる。従って、NMOSトランジスタM1~M7のサイズアップを避けることができる。

【0100】

20

なお、第4実施形態の発振器1では、出力周波数が低い場合(VOUT__ADJの上位ビットが0に設定される場合)、かつ温度補償回路40の調整時(TP端子がハイレベルのとき)、第3実施形態の発振器1と比較して、レプリカ回路22に流れる電流Irepが大きくなり、IrepとIoutとの比がずれてしまうが、出力周波数が低い場合は通常動作時に出力回路30で消費される電流が小さいので、差分電流の増加は比較的少なく済む。従って、出力周波数が低い場合にIrepとIoutとの比がずれても周波数温度補償の誤差の増加は抑制され、結果的に良好な精度での周波数温度補償が可能になる。

【0101】

1-5. 第5実施形態

図19は、第5実施形態の発振器1における振幅制御回路20の構成例を示す図である。図19に示すように、第5実施形態における振幅制御回路20は、第3実施形態と同様に、デコード回路23において、図11に示すメモリー60が初期状態、特にIOSC__ADJの設定値が初期状態のときに発振器1の消費電流が中心値付近になると同様の関係性を保ち、IOSC__ADJの設定値に応じた発熱回路21の電流設定がデコードされるように構成されている。そして、温度補償回路40の調整時(TP端子がハイレベルに設定された時)、発熱回路21が動作状態になり、発振段電流調整レジスタIOSC__ADJの上位2ビットと分周切替レジスタDIVの1ビットの組み合わせにより、発熱回路21の抵抗値が選択される。さらに、分周切替レジスタDIVが1に設定される場合は、抵抗R2, R2aからなる並列抵抗群が非選択状態になり、抵抗R1, R1aからなる並列抵抗群に電流が流れるように選択することができる。なお、抵抗R1はIOSC__ADJの設定値によらずオン状態となり、発熱回路21のオフセット電流量を決める働きをする。分周切替レジスタDIVが0に設定される場合は、抵抗R2, R2aからなる並列抵抗群も選択可能な状態となり発熱回路21の電流が増加する。

30

40

【0102】

抵抗R1aとNMOSトランジスタM1a、抵抗R2aとNMOSトランジスタM2aは、発振段電流調整レジスタIOSC__ADJの上位2ビットの変化に合わせて発熱回路21の電流が変化するように一定の比が保たれており、IOSC__ADJの設定値により発熱回路21に流す電流が制御される。

【0103】

第5実施形態における振幅制御回路20のその他の構成は、第3実施形態における振幅

50

制御回路 20 と同様であるため、その説明を省略する。また、第 5 実施形態の発振器 1 の全体構成、振幅制御回路 20 以外の回路の構成及び発振器 1 の製造方法も、第 3 実施形態の発振器 1 と同様であるため、その図示及び説明を省略する。

【0104】

第 3 実施形態の発振器 1 では、抵抗回路 25 の抵抗が直列接続されているため、発振段電流調整レジスタ $IOSC_ADJ$ を n ビット増やすと、デコード回路 23 の回路素子数が約 2^n 倍に増えるが、第 5 実施形態の発振器 1 によれば、発熱回路 21 の抵抗が並列接続されているので、発振段電流調整レジスタ $IOSC_ADJ$ のビット数を増やしてもデコード回路 23 の規模を抑えることができる。一例として、図 20 に、発振段電流調整レジスタ $IOSC_ADJ$ を 6 ビットに拡張した場合の発熱回路 21 及びデコード回路 23 の構成例を示す。

10

【0105】

1 - 6 . 第 6 実施形態

ネットワーク関連機器や小型の無線基地局などで使用される TCXO では CMOS 出力形式が一般的である。例えば、 $V_{cc} = 0V \sim 3.3V$ の間でスイングする LV - CMOS 出力などが代表的である。そこで、第 6 実施形態の発振器 1 は、出力回路 30 を CMOS 出力回路として構成する。

【0106】

図 21 は第 6 実施形態の発振器 1 の構成図である。出力回路 30 は、発振用回路 10 からの発振信号あるいは当該発振信号を選択した後、電源 - GND 間でスイングする CMOS 出力波形を出力する。また、温度補償回路 40 の調整時は、出力回路 30 が消費する電流に合わせて発熱回路 21 が電流を消費し、発熱量の変動を抑える。

20

【0107】

図 22 は、第 6 実施形態の発振器 1 における出力回路 30 の構成例を示す図である。 V_{reg} 端子にはレギュレータ回路 50 の出力電圧 V_{reg} が印加され、 V_{cc} 端子には外部の電源電圧 V_{cc} が印加される。

【0108】

出力回路 30 は、一定電圧 V_{reg} で動作する分周回路及び MOS トランジスタ $M1 \sim M4$ から成るインバータを備えており、 DIV 端子の電圧レベルにより、 IN 端子に入力される信号（発振用回路 10 が出力する発振信号）を 2 分周するか否かを選択可能に構成されている。本実施形態では、分周切替レジスタ DIV の設定値が 0 のときは、 DIV 端子がローレベルに設定され、入力信号は、分周されず、MOS トランジスタ $M1 \sim M4$ から成るインバータで極性が反転された後、レベルシフターによりハイレベルが電源電圧 V_{cc} に変換されて NAND 回路 $NAND1$ および NOR 回路 $NOR1$ に伝達する。一方、分周切替レジスタ DIV の設定値が 1 のときは、 DIV 端子がハイレベルに設定され、入力信号は、分周回路で $1/2$ に分周された後、レベルシフターによりハイレベルが電源電圧 V_{cc} に変換されて NAND 回路 $NAND1$ および NOR 回路 $NOR1$ に伝達する。

30

【0109】

また、出力回路 30 は、 TP 端子がローレベルのときに動作可能状態、 TP 端子がハイレベルのときに動作停止状態になる。通常動作時は、 TP 端子がローレベルに設定され、入力端子 IN からの入力信号が、レベルシフターにより CMOS 出力波形の信号に変換されて OUT 端子から出力される。温度補償回路 40 の調整時は、 TP 端子がハイレベルに設定され、MOS トランジスタ $M2, M3$ がオフし、NAND 回路 $NAND1$ の出力ノード V_{BUF2} が電源電位、NOR 回路 $NOR1$ の出力ノード V_{BUF3} が接地電位になり、PMOS トランジスタ $M5, NMOS$ トランジスタ $M6$ がともにオフ状態となる。これにより、出力回路 30 は動作停止状態になる。

40

【0110】

図 23 は、第 6 実施形態の発振器 1 における発熱回路 21 及びデコード回路 23 の構成例を示す図である。本実施形態では出力回路 30 が CMOS 出力するため、消費電流も数

50

m A 程度と比較的高い。そのため、発熱回路 2 1 の電流もきめ細かく制御する必要がある
ので、発振段電流調整レジスタ I O S C _ A D J の全 4 ビットをフルに活用している。
すなわち、デコード回路 2 3 は、発振段電流調整レジスタ I O S C _ A D J の 4 ビット
と分周切替レジスタ D I V の 1 ビットを合わせた 5 ビットをデコードし、発熱回路 2 1
を制御している。

【 0 1 1 1 】

第 6 実施形態の発振器 1 のその他の構成は、第 1 実施形態の発振器 1 と同様であるため
、その説明を省略する。また、第 6 実施形態の発振器 1 の製造方法も、第 1 実施形態の発
振器 1 と同様であるため、その図示及び説明を省略する。

【 0 1 1 2 】

10

2 . 電子機器

図 2 4 は、本実施形態の電子機器の機能ブロック図である。また、図 2 5 は、本実施形
態の電子機器の一例であるスマートフォンの外観の一例を示す図である。

【 0 1 1 3 】

本実施形態の電子機器 3 0 0 は、発振器 3 1 0 、 C P U (Central Processing Unit)
3 2 0 、操作部 3 3 0 、 R O M (Read Only Memory) 3 4 0 、 R A M (Random Access Me
mory) 3 5 0 、通信部 3 6 0 、表示部 3 7 0 を含んで構成されている。なお、本実施形態
の電子機器は、図 2 4 の構成要素 (各部) の一部を省略又は変更し、あるいは、他の構成
要素を付加した構成としてもよい。

【 0 1 1 4 】

20

発振器 3 1 0 は、発振回路 3 1 2 と振動子 3 1 3 とを備えている。発振回路 3 1 2 は、
振動子 3 1 3 を発振させて発振信号を発生させる。この発振信号は発振器 3 1 0 の O U T
端子から C P U 3 2 0 に出力される。

【 0 1 1 5 】

C P U 3 2 0 は、 R O M 3 4 0 等に記憶されているプログラムに従い、発振器 3 1 0 から
入力される発振信号をクロック信号として各種の計算処理や制御処理を行う。具体的
には、 C P U 3 2 0 は、操作部 3 3 0 からの操作信号に応じた各種の処理、外部装置とデー
タ通信を行うために通信部 3 6 0 を制御する処理、表示部 3 7 0 に各種の情報を表示させ
るための表示信号を送信する処理等を行う。

【 0 1 1 6 】

30

操作部 3 3 0 は、操作キーやボタンスイッチ等により構成される入力装置であり、ユー
ザによる操作に応じた操作信号を C P U 3 2 0 に出力する。

【 0 1 1 7 】

R O M 3 4 0 は、 C P U 3 2 0 が各種の計算処理や制御処理を行うためのプログラムや
データ等を記憶している。

【 0 1 1 8 】

R A M 3 5 0 は、 C P U 3 2 0 の作業領域として用いられ、 R O M 3 4 0 から読み出さ
れたプログラムやデータ、操作部 3 3 0 から入力されたデータ、 C P U 3 2 0 が各種プロ
グラムに従って実行した演算結果等を一時的に記憶する。

【 0 1 1 9 】

40

通信部 3 6 0 は、 C P U 3 2 0 と外部装置との間のデータ通信を成立させるための各種
制御を行う。

【 0 1 2 0 】

表示部 3 7 0 は、 L C D (Liquid Crystal Display) 等により構成される表示装置であ
り、 C P U 3 2 0 から入力される表示信号に基づいて各種の情報を表示する。表示部 3 7
0 には操作部 3 3 0 として機能するタッチパネルが設けられていてもよい。

【 0 1 2 1 】

発振回路 3 1 2 として例えば上述した各実施形態の発振回路 2 を適用し、又は、発振器
3 1 0 として例えば上述した各実施形態の発振器 1 を適用することにより、信頼性の高い
電子機器を実現することができる。

50

【 0 1 2 2 】

このような電子機器 3 0 0 としては種々の電子機器が考えられ、例えば、パーソナルコンピュータ（例えば、モバイル型パーソナルコンピュータ、ラップトップ型パーソナルコンピュータ、タブレット型パーソナルコンピュータ）、スマートフォンや携帯電話機などの移動体端末、デジタルスチールカメラ、インクジェット式吐出装置（例えば、インクジェットプリンター）、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、リアルタイムクロック装置、ページャー、電子手帳（通信機能付も含む）、電子辞書、電卓、電子ゲーム機器、ゲーム用コントローラー、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS 端末、医療機器（例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡）、魚群探知機、各種測定機器、計器類（例えば、車両、航空機、船舶の計器類）、フライトシミュレーター、ヘッドマウントディスプレイ、モーショントレース、モーショントラッキング、モーションコントローラー、PDR（歩行者位置方位計測）等が挙げられる。

10

【 0 1 2 3 】

3. 移動体

図 2 6 は、本実施形態の移動体の一例を示す図（上面図）である。図 2 6 に示す移動体 4 0 0 は、発振器 4 1 0、エンジンシステム、ブレーキシステム、キーレスエントリーシステム等の各種の制御を行うコントローラー 4 2 0、4 3 0、4 4 0、バッテリー 4 5 0、バックアップ用バッテリー 4 6 0 を含んで構成されている。なお、本実施形態の移動体は、図 2 6 の構成要素（各部）の一部を省略し、あるいは、他の構成要素を付加した構成としてもよい。

20

【 0 1 2 4 】

発振器 4 1 0 は、不図示の発振回路と振動子とを備えており、発振回路は振動子を発振させて発振信号を発生させる。この発振信号は発振器 4 1 0 の外部端子からコントローラー 4 2 0、4 3 0、4 4 0 に出力され、例えばクロック信号として用いられる。

【 0 1 2 5 】

バッテリー 4 5 0 は、発振器 4 1 0 及びコントローラー 4 2 0、4 3 0、4 4 0 に電力を供給する。バックアップ用バッテリー 4 6 0 は、バッテリー 4 5 0 の出力電圧が閾値よりも低下した時、発振器 4 1 0 及びコントローラー 4 2 0、4 3 0、4 4 0 に電力を供給する。

30

【 0 1 2 6 】

発振器 4 1 0 が備える発振回路として例えば上述した各実施形態の発振回路 2 を適用し、又は、発振器 4 1 0 として例えば上述した各実施形態の発振器 1 を適用することにより、信頼性の高い移動体を実現することができる。

【 0 1 2 7 】

このような移動体 4 0 0 としては種々の移動体が考えられ、例えば、自動車（電気自動車も含む）、ジェット機やヘリコプター等の航空機、船舶、ロケット、人工衛星等が挙げられる。

40

【 0 1 2 8 】

本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 1 2 9 】

例えば、上述した各実施形態では、特性調整用回路として温度補償回路を有する発振器（TCXO）を例に挙げたが、本発明は、これ以外にも、特性調整用回路として周波数調整回路を有する発振器（SPXO等）、特性調整用回路としてAFC（Auto Frequency Control）回路を有する発振器（VCXOやVC-TCXO等）など、種々の発振器に適用することができる。

【 0 1 3 0 】

50

上述した実施形態および変形例は一例であって、これらに限定されるわけではない。例えば、各実施形態および各変形例を適宜組み合わせることも可能である。

【 0 1 3 1 】

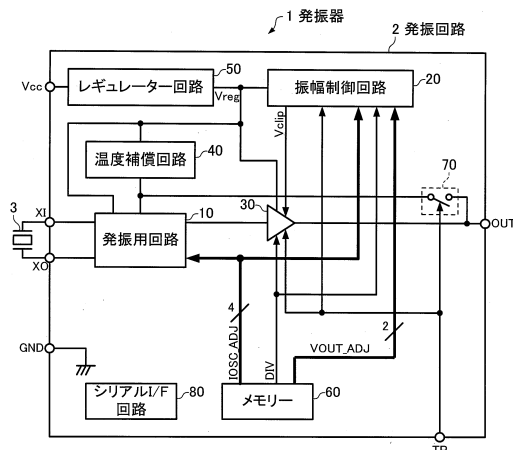
本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【 符号の説明 】

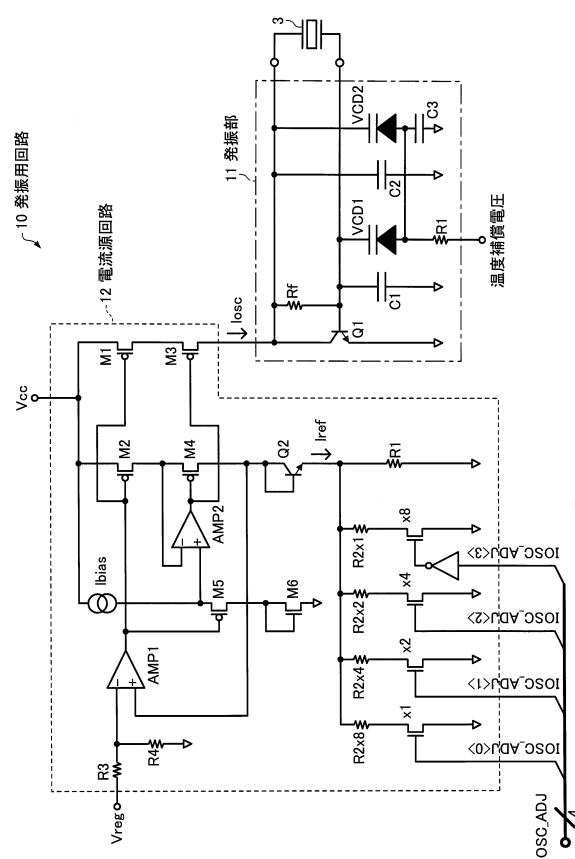
【 0 1 3 2 】

1 発振器、2 発振回路、3 振動子、10 発振用回路、11 発振部、12 電流源回路、20 振幅制御回路、21 発熱回路、22 レプリカ回路、23 デコード回路、24 レベル補正回路、25 抵抗回路、30 出力回路、40 温度補償回路、50 レギュレーター回路、60 メモリー、70 スイッチ回路、80 シリアルインターフェース（I/F）回路、300 電子機器、310 発振器、312 発振回路、313 振動子、320 CPU、330 操作部、340 ROM、350 RAM、360 通信部、370 表示部、400 移動体、410 発振器、420、430、440 コントローラー、450 バッテリー、460 バックアップ用バッテリー

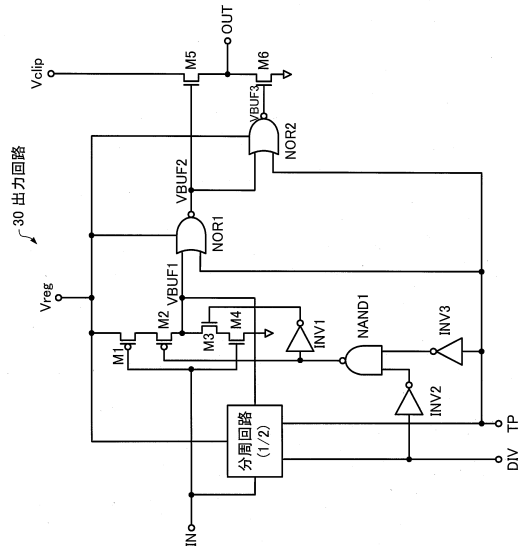
【 図 1 】



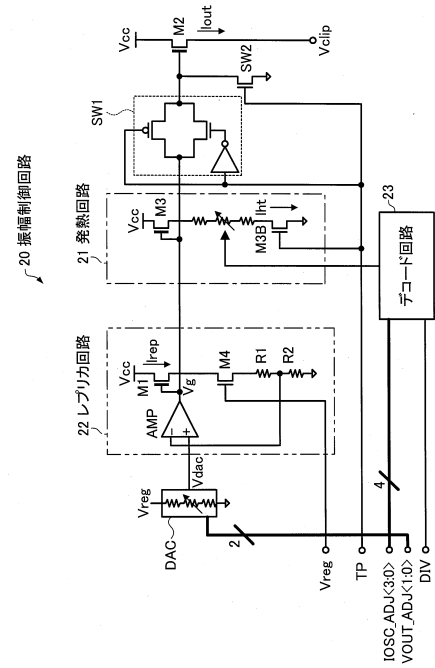
【 図 2 】



【図3】



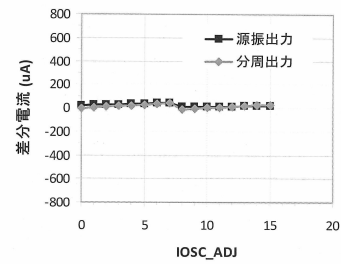
【図4】



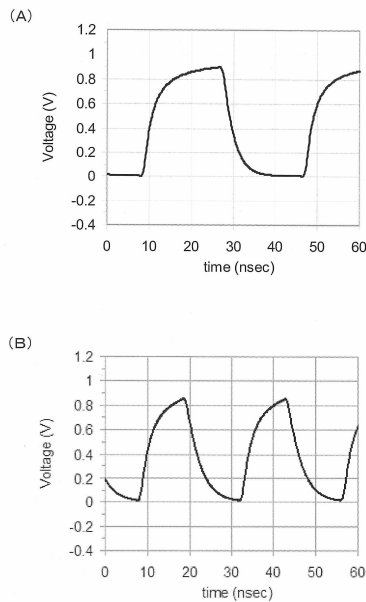
【図5】

10進表記	VOUT_ADJ<1>	VOUT_ADJ<0>	Vdac(V)	Vclip(V)
0	0	0	0.67	0.8
1	0	1	0.75	0.9
2	1	0	0.83	1.0
3	1	1	0.91	1.1

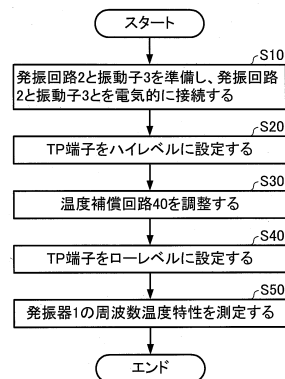
【図7】



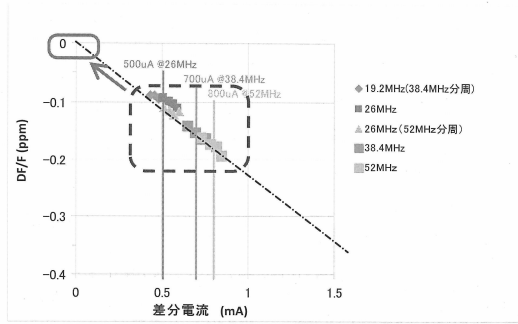
【図6】



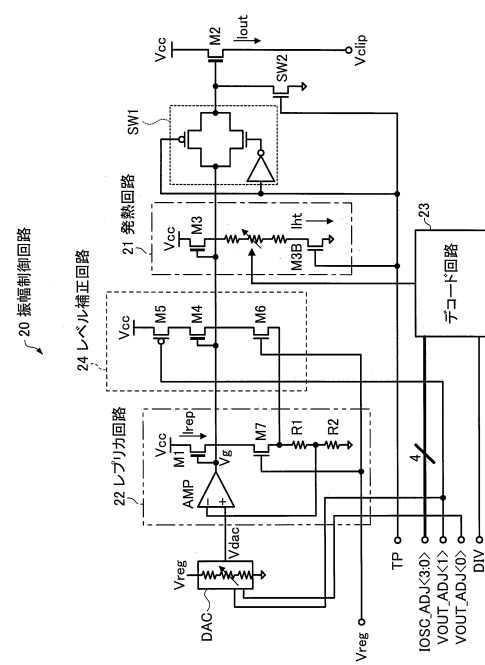
【図8】



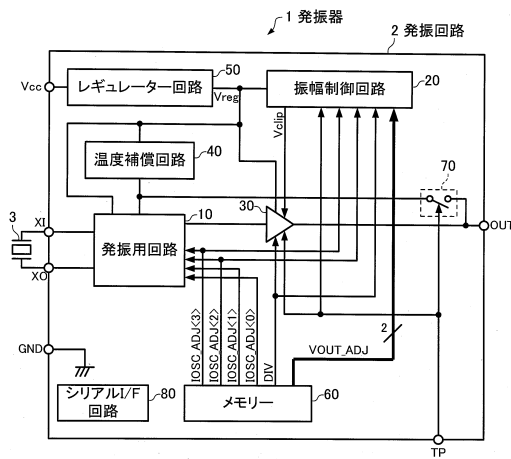
【図 9】



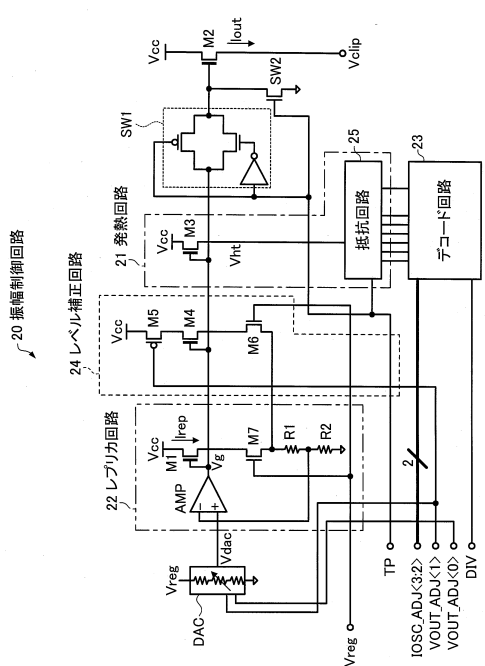
【図 10】



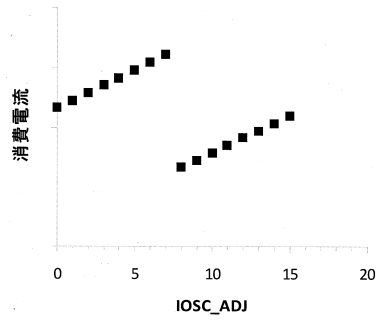
【図 11】



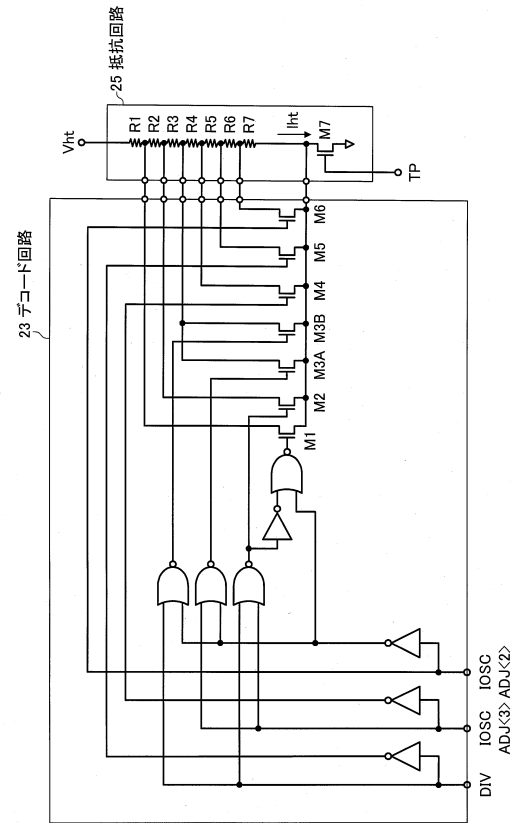
【図 12】



【図 13】



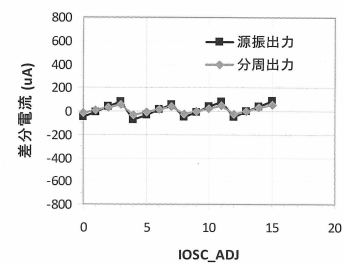
【図 14】



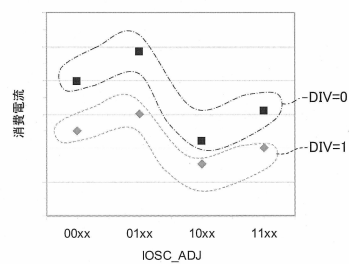
【図 15】

DIV	IOSC_ADJ<3>	IOSC_ADJ<2>	オンする MOS	抵抗値の合計
0	0	0	M2	R1+R2
0	0	1	M1	R1
0	1	0	M4	R1+R2+R3+R4+R5
0	1	1	M3A	R1+R2+R3
1	0	0	M3B	R1+R2+R3+R4
1	0	1	M3A	R1+R2+R3
1	1	0	M6	R1+R2+R3+R4+R5+R6+R7
1	1	1	M5	R1+R2+R3+R4+R5+R6

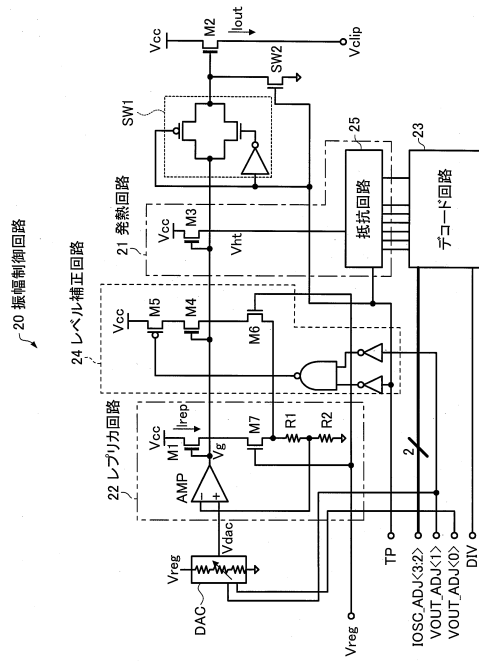
【図 17】



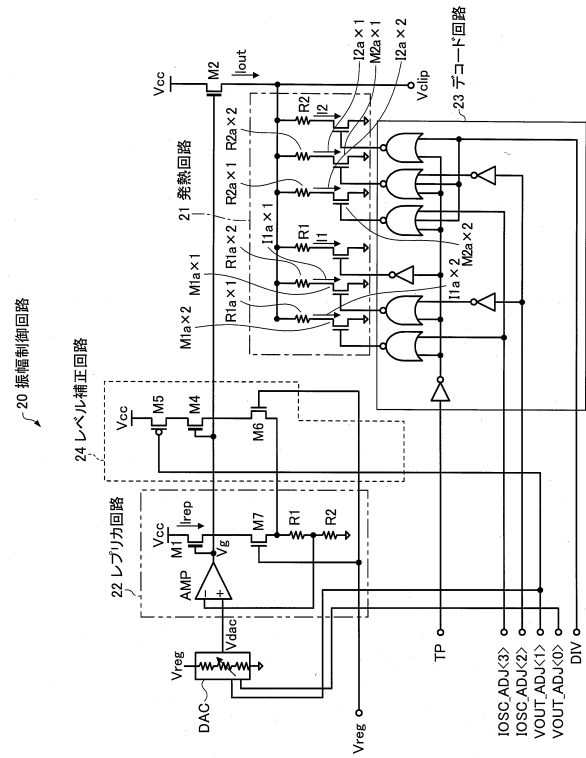
【図 16】



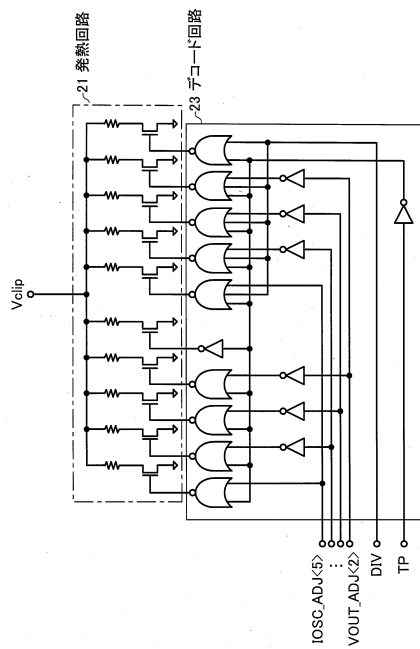
【図18】



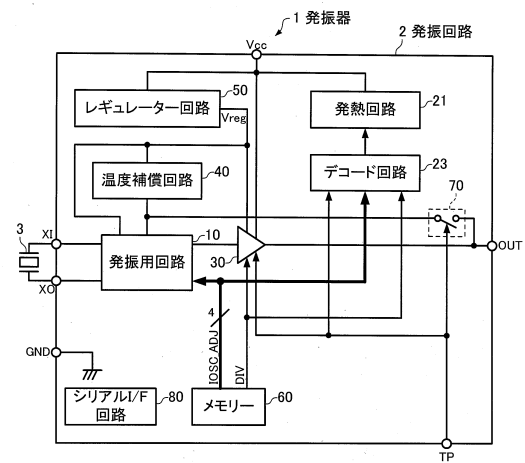
【図19】



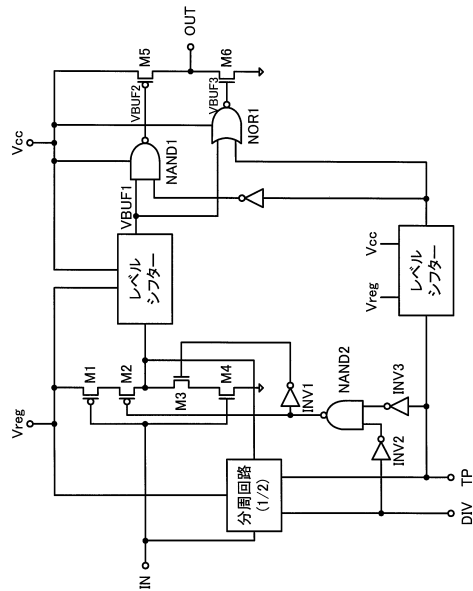
【図20】



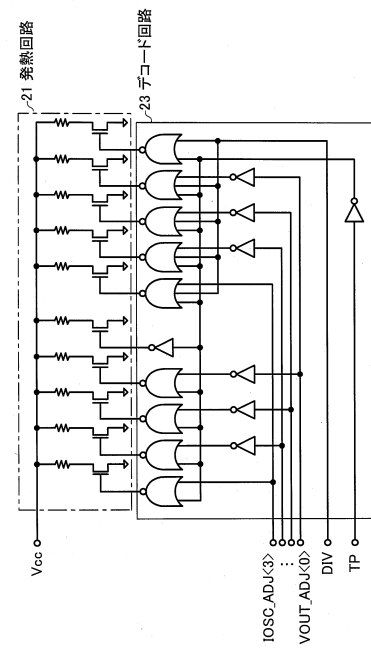
【図21】



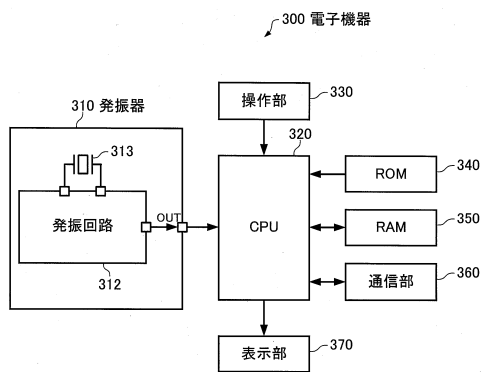
【図 22】



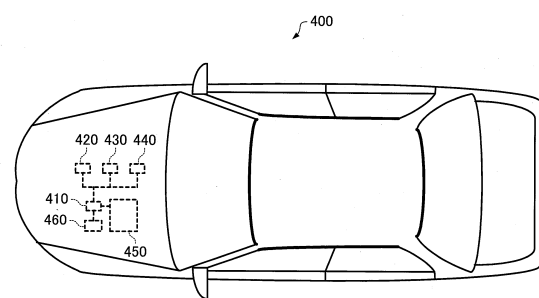
【図 23】



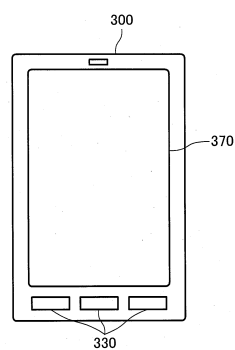
【図 24】



【図 26】



【図 25】



フロントページの続き

(56)参考文献 特開2009-225123(JP,A)
特開2013-162358(JP,A)
特開2002-076771(JP,A)
国際公開第2012/017572(WO,A1)
特開2009-071466(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03B 5/30 - 5/42
H03B 5/00 - 5/28