

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96.10.8232

※ 申請日期： 96.3.9

※IPC 分類：H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

包括在絕緣層上不同厚度之半導體島之電子裝置及其形成之方法
ELECTRONIC DEVICE INCLUDING SEMICONDUCTOR ISLANDS
OF DIFFERENT THICKNESSES OVER AN INSULATING LAYER AND
A PROCESS OF FORMING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 馬里安 G 沙達卡
SADAKA, MARIAM G.
2. 畢奇-顏 恩古言
NGUYEN, BICH-YEN
3. 辛文業
THEAN, VOON-YEW

國 籍：(中文/英文)

1. 黎巴嫩 LEBANON
2. 美國 U.S.A.
3. 新加坡 SINGAPORE

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年03月15日；11/375,893

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種形成一電子裝置之方法包括：在半導體層(106)上形成一疊加於一基板(100)上的經圖案化之抗氧化層(124)；及圖案化該半導體層以形成一半導體島(202、204、206、208)。該半導體島包括一第一表面及一與該第一表面相對之第二表面，且該第一表面比該第二表面更接近基板。該方法亦可包括沿該半導體島之一側面形成抗氧化材料(424)或沿該半導體島之一側面選擇性沈積半導體材料。該方法可進一步包括將經圖案化之抗氧化層及半導體島曝露至含氧環境，其中在將經圖案化之抗氧化層、半導體島及抗氧化材料曝露至含氧環境期間，半導體島沿第一表面之一第一部分被氧化。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

102	基底層
104	絕緣層
124	抗氧化層
202	半導體島
204	半導體島
206	半導體島
208	半導體島
424	抗氧化間隔物

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本揭示內容係關於電子裝置及方法，且更特定言之，本揭示內容係關於包括在絕緣層上不同厚度之半導體區域之電子裝置及形成該等電子裝置之方法。

【先前技術】

電子裝置之增加之效能正導致更為複雜之用於該等電子裝置中的結構。對於積體電路而言，使用不同厚度之不同半導體區域以便滿足所設計之效能規格。

一種用以在絕緣層上達成不同厚度之半導體區域的嘗試可包括使半導體層之若干部分選擇性變薄。在選擇性變薄之前，半導體層可具有大體上均勻之厚度。可將一或多個遮罩用於一或多個蝕刻操作以使半導體層中之一些部分但非所有部分變薄。在選擇性變薄之後，不同半導體區域之最上表面可位於主要表面上之不同高度處。所得拓撲可產生微影操作(例如，聚焦深度)及拋光操作之問題。

另一用以在絕緣層上形成不同厚度之半導體區域的嘗試可包括植氧分離("SIMOX")方法。半導體層在下層之絕緣層上具有大體上均勻之厚度。可在其中需要電晶體結構之較薄通道區域的一或多個區域處選擇性以氧植入半導體層。通常不贊成SIMOX方法，因為其會嚴重損壞正被植入之半導體層之一或多個部分，且退火可能不會將晶體缺陷降低得足夠低而用於高效能電晶體。

【發明內容】

一種形成一電子裝置之方法可包括：在半導體層上形成一疊加於基板之上的經圖案化之抗氧化層；及圖案化該半導體層以形成半導體島。該半導體島包括一第一表面及一與該第一表面相對之第二表面，且該第一表面比該第二表面更接近基板。該方法亦可包括沿該半導體島之一側面形成抗氧化材料或沿該半導體島之一側面選擇性沈積半導體材料。該方法可進一步包括將經圖案化之抗氧化層及半導體島曝露至含氧環境，其中在將經圖案化之抗氧化層、半導體島及抗氧化材料曝露至含氧環境期間，半導體島沿第一表面之一第一部分被氧化。該等實施例可幫助形成不同厚度之半導體島同時使半導體島之頂表面保持沿大體上相同平面且位於主要表面上之大體上相同高度處。

【實施方式】

在呈現下文所描述之實施例之細節之前，先界定或闡明某些術語。術語"高度"意欲意謂至一參考平面之最短距離。在一實施例中，參考平面可為基板之主要表面。

關於介電常數之術語"高k"意欲意謂至少8.0之介電常數。關於介電常數之術語"低k"意欲意謂低於8.0之介電常數。

當引用一物件時，術語"橫向尺寸"係指如自物件之俯視圖所見之尺寸。橫向尺寸可包括長度及寬度。在長度與寬度之間，寬度等於或小於長度。將圓之直徑認為係寬度，且為此說明書之目的，圓不具有長度。

術語"主要表面"意欲意謂基板之一表面或其一部分，隨

後自該主要表面或在該主要表面上形成一或多個電子組件。

如本文中所使用，術語"包含"、"包括"、"具有"或其任何其他變體意欲涵蓋一非排他性包括。舉例而言，包含一元件清單之方法、途徑、物件或設備不必受限於僅彼等元件，而是可包括未明確列出或為此方法、途徑、物件或設備所固有之其他元件。此外，除非明確陳述為相反，否則"或"係指代包含或而非互斥或。舉例而言，條件A或B由以下中之任一者滿足：A係正確的(或存在)且B係錯誤的(或不存在)，A係錯誤的(或不存在)且B係正確的(或存在)，及A與B兩者皆係正確的(或存在)。

另外，為清晰之目的且為給出本文中所描述之實施例之範疇的一般意義，利用"一"之用法來描述"一"所指代之一或多個物品。因此，無論何時使用"一"，皆應將該描述讀為包括一或至少一，且單數亦包括複數，除非顯而易見另外意指相反。

除非另外界定，否則本文中所使用之所有技術及科學術語具有與如通常由本發明所屬之技術領域的一般技術人員所理解之意義相同的意義。本文中所提及之所有公開案、專利申請案、專利及其他參考案皆以引用之方式全部併入本文中。在衝突之情況下，將以包括定義之本說明書為準。另外，材料、途徑及實例僅具有說明性而非意欲具有限制性。

本發明之其他特徵及優勢將自以下實施方式及申請專利

範圍而變得顯而易見。

就本文中未描述之範圍而言，關於特定材料、處理動作及電路之許多細節係習知的且可在半導體及微電子技術內之教科書及其他來源中找到。

圖1包括基板100之一部分之截面圖的說明。該基板100可包括基底層102、絕緣層104及半導體層106。基底層102可為支撐層且為其他層提供機械支撐並具有主要表面103。基底層102可包括：半導體材料，諸如矽、鍺、碳或其任何組合；絕緣材料，諸如石英、玻璃或氮化物；元素金屬、金屬合金或其任何組合。基底層102之晶體定向或結構可與半導體層106相同或不同。絕緣層104可為低k或高k介電，諸如二氧化矽、氮化物、氮氧化物、二氧化鈣、矽酸鈣、任何具有電絕緣特性之氧化物化合物或其任何組合，且具有在約5 nm至約1000 nm之範圍中的厚度。半導體層106可包括半導體元素或化合物合金，諸如矽、鍺、碳、SiGe、SiC、Si-Ge-C或其任何組合，且具有在約5 nm至約150 nm之範圍中的大體上均勻之厚度。在一特定實施例中，半導體層106大體上為單晶體。可使用p型摻雜劑或n型摻雜劑來摻雜半導體層106，或半導體層106可大體上未經摻雜。基板100可獲自一或多個市售源或可使用習知或專屬沈積或成長技術來形成基板100。

如圖1中所說明，將抗氧化層124及經圖案化之光罩層128形成於基板100之若干部分上。抗氧化層124可包括一材料，該材料在隨後之氧化期間幫助減少經抗氧化層124

至半導體層106之氧擴散或其他遷移。抗氧化層124可包括氮化矽、氮化鋁、金屬氮化物或其任何組合。在另一實施例中，抗氧化層124可包括氧化物，諸如氮氧化矽、氮氧化鋁、金屬氮氧化物或其任何組合。在又另一實施例中，抗氧化層可包括一大體上防止氧化作用經其而遷移至下層之半導體層106的金屬元素。舉例而言，抗氧化層124可包括在當處理SOI基板時所習知使用之溫度下大體上具有熱穩定性之 Al_2O_3 、 LaAlO_3 或另一金屬絕緣化合物或其任何組合。

在此特定實施例中，在形成抗氧化層124以減少擴散、反應或金屬元素與半導體層106之間非所要之相互作用的所有可能性之前，可在半導體層106上形成一相對較薄之氧化物或氮化物層(未說明)。

抗氧化層124之厚度可取決於用於該抗氧化層124之材料及隨後之氧化處理條件。抗氧化層124可具有在約10 nm至約10,000 nm之範圍中的厚度。在一特定實施例中，抗氧化層124可包括氮化物或氮氧化物，且具有在約30 nm至約500 nm之範圍中的厚度。可使用習知或專屬沈積或成長技術來形成抗氧化層124。

在抗氧化層124上形成光罩層128且使用習知或專屬微影技術來圖案化該光罩層128。光罩層128可包括一輻射可成像有機抗蝕劑材料。光罩層128之剩餘部分將大體上對應於其中半導體島將由半導體層106形成之區域。

在圖2中，將抗氧化層124及半導體層106之曝露部分移

除以形成經圖案化之抗氧化層 124 及半導體島 202、204、206 及 208。可使用一或多種習知或專屬蝕刻技術來執行移除。在一實施例中，絕緣層 104 可充當一蝕刻終止層。可使用習知或專屬技術來移除光罩層 128(圖 2 中未說明)。

圖 3 包括工件在該方法中之此點處的俯視圖之一說明。圖 3 中並未說明抗氧化層 124 及絕緣層 104 以改良對基底層 102 與半導體島 202、204、206 及 208 間之尺寸及位置關係的理解。半導體島 202、204、206 及 208 可具有相同或不同形狀、相同或不同大小或其任何組合。

半導體島 202、204 及 206 分別具有相應寬度 302、304 及 306。寬度 302、304 及 306 可足夠窄以允許氧化性物質擴散或以另外方式遷移至大體上所有半導體島 202、204、206 或其任何組合的下方。寬度 302、304 及 306 中之每一者可不大於約 1 微米，且在一特定實施例中，其可小於約 0.5 微米，且在一更特定之實施例中，其可小於約 0.2 微米。半導體島 208 顯著大於半導體島 202、204 及 206，且半導體島 208 之寬度可大於約 1.1 微米。因此，在隨後之氧化期間可僅氧化半導體島 208 的一部分(並非所有)。

如圖 4 中所說明，可在基板上及沿半導體島 202、204、206 及 208 之側面而形成一抗氧化材料，且蝕刻該抗氧化材料以形成鄰近於半導體島 202、204、206 及 208 之側面的抗氧化間隔物 424。該等抗氧化間隔物 424 可包括如先前關於抗氧化層 124 所描述之材料中之任何一或多者。抗氧化層 124 及抗氧化間隔物 424 可具有相同組合物或不同組合物。

抗氧化間隔物 424 可具有如關於抗氧化層 124 所描述之一厚度，但該厚度不大於半導體島 202、204、206、208 或其任何組合的厚度。抗氧化層 124 及抗氧化間隔物 424 可具有相同厚度或不同厚度。可使用習知或專屬沈積及蝕刻方法來形成抗氧化間隔物 424。

將包括經圖案化之抗氧化層 124、半導體島 202、204、206 及 208 以及抗氧化間隔物 424 之工件曝露至一含氧環境，該含氧環境氧化半導體島 202、204、206 及 208 之若干部分以分別形成氧化物部分 522、524、526 及 528，如圖 5 中所說明。該等氧化物部分 522、524、526 及 528 中之每一者可具有至少約 1 nm 之厚度。在一特定實施例中，該等氧化物部分 522、524、526 及 528 中之每一者可具有一在約 10 nm 至約 500 nm 之範圍中的厚度。在另一實施例中，該等氧化物部分 522、524 及 526 中之每一者可具有一厚度，該厚度係其上覆之半導體島 202、204 或 206 之剩餘厚度的至少約 1%。在一特定實施例中，該等氧化物部分 522、524 及 526 中之每一者可具有一在其上覆之半導體島 202、204 或 206 之剩餘厚度的約 20% 至約 300% 之範圍中的厚度。

含氧環境可包括氧、蒸氣、臭氧、一或多種其他合適之氧化性物質或其任何組合。在一實施例中，可在至少約 800°C 之溫度下執行氧化。在一特定實施例中，可在約 900°C 至約 1200°C 之範圍中執行氧化。

在氧化期間，來自含氧環境之氧化性物質可擴散或另外經由一部分絕緣層 104 而遷移並分別氧化半導體島 202、

204、206及208之底表面502、504、506及508。抗氧化層124及抗氧化間隔物424之存在大體上防止來自含氧環境之氧化性物質分別到達半導體島202、204、206及208之頂表面512、514、516及518。因此，可使半導體島202、204、206及208變薄而不會顯著影響其頂表面512、514、516及518，且因此，該等頂表面512、514、516及518可保持於基底層102之主要表面103上的大體上相同高度處。

與半導體島208相比，半導體島204及206之相對較小寬度304及306分別允許沿半導體島204及206之大體上底表面504及506的全部而形成氧化物部分524及526。半導體島208之相對較大之橫向尺寸允許僅沿半導體島208之一部分底表面508而非沿半導體島208之底表面508的全部而形成氧化物部分528。

如圖6中所說明，可在基板上形成抗氧化層624並圖案化該抗氧化層624。圖6中之抗氧化層624之剩餘部分幫助使半導體島206及208免於在隨後之氧化期間被顯著進一步氧化。抗氧化層624可包括如先前關於抗氧化層124所描述之材料中之任何一或多者。抗氧化層124及624可具有相同組合物或不同組合物。抗氧化層624可具有如關於抗氧化層124所描述之厚度。抗氧化層124及抗氧化層624可具有相同厚度或不同厚度。可使用習知或專屬沈積及蝕刻方法來形成抗氧化層624。

將工件曝露至一含氧環境，該含氧環境氧化半導體島202及204之若干部分以分別形成氧化物部分722及724，如

圖7中所說明。抗氧化層624之存在幫助大體上防止半導體島206及208被進一步氧化。氧化物部分722及724比氧化物部分526及528以及如最初所形成之氧化物部分522及524(圖5中)厚。氧化物部分722及724中之每一者可具有至少約2 nm之厚度。在一特定實施例中，氧化物部分722及724中之每一者可具有一在約10 nm至約500 nm之範圍中的厚度。在另一實施例中，氧化物部分722及724中之每一者可具有一厚度，該厚度係其上覆之半導體島202或204之剩餘厚度的至少約1%。在一特定實施例中，氧化物部分722及724中之每一者可具有一在其上覆之半導體島202或204之剩餘厚度之約20%至約300%之範圍中的厚度。含氧環境可包括氧、蒸氣、臭氧、一或多種其他合適之氧化性物質或其任何組合。在一實施例中，可在至少約800°C之溫度下執行氧化。在一特定實施例中，可在約900°C至約1200°C之範圍中執行氧化。

如圖8中所說明，使用習知蝕刻技術來移除抗氧化層124及624以及抗氧化間隔物424以曝露半導體島202、204、206及208。半導體島202、204、206及208之頂表面512、514、516及518分別位於大體上沿相同平面(被說明為圖8中之虛線802)且大體上平行於基底層102之主要表面103。因此，可形成不同厚度之半導體島且大體上防止可在該等半導體島之頂表面將位於顯著不同之高度處的情況下由於隨後之微影及拋光操作而發生之問題。

在如圖8中所說明之實施例中，半導體島202及204中之

每一者比半導體島206及208中之每一者薄，且半導體島206在自半導體島208之側壁間隔開的位置處(靠近圖8之右手部分)比半導體島208薄。電子組件(例如，電晶體)之效能可藉由相應地調整其對應半導體島之高度來特製。因此，可在相同積體電路上之不同半導體島中形成部分空乏及全空乏電晶體。高度亦可影響電晶體之飽和電流、電容器或電晶體之電容(跨過閘極介電質)、電阻器或電晶體之電阻(穿過通道區域)、一或多個其他合適之電參數或其任何組合。

如圖9中所說明，可在半導體島202、204、206及208之間形成場隔離區域922。在一實施例中，藉由習知或專屬沈積及拋光操作來形成場隔離區域922。拋光不均勻性可較少，因為半導體島202、204、206及208係位於大體上相同平面。儘管未予以說明，但可執行一或多個摻雜動作以改變該等半導體島中之一或多者的電導率類型、改變該等半導體島中之一或多者的摻雜劑濃度或其任何組合。

繼續處理以形成電子裝置1000之電晶體結構1024、1026及1028。可將電晶體結構1024、1026、1028或其任何組合組態為電晶體、電容器、電阻器或其類似物。電晶體結構1024、1026、1028或其任何組合可為p通道電晶體、n通道電晶體、增強模式電晶體、空乏模式電晶體、全空乏電晶體、部分空乏電晶體或其任何組合。

可使用習知或專屬技術來形成電晶體結構1024、1026及1028，該等技術包括使用習知或專屬材料而進行之成長、

沈積、蝕刻、摻雜或其任何組合。電晶體結構1024可包括閘極介電層10242、閘電極10244及源極/汲極("S/D")區域10248，電晶體結構1026可包括閘極介電層10262、閘電極10264及S/D區域10268，且電晶體結構1028可包括閘極介電層10282、閘電極10284及S/D區域10288。可在分別形成鄰近之閘電極10244、10264及10284之後及在分別形成鄰近之S/D 10248、10268及10288之前，形成側壁間隔物10246、10266及10286。在如圖10中所說明之實施例中，S/D區域10248與氧化物部分724相接，而S/D區域10268及10288分別自下層之氧化物部分726及728間隔開。

儘管未予以說明，但可執行額外處理以形成一大體上完成之電子裝置。可使用習知或專屬沈積、蝕刻、拋光或其任何組合操作來形成一絕緣層、一互連層次、一鈍化層、一晶粒塗佈層或其任何組合。

在另一實施例(未說明)中，可將電晶體結構1024、1026、1028或其任何組合形成為鰭型電晶體結構。在形成圖9中之場隔離區域922之後，可使用習知或專屬技術來蝕刻半導體島204、206、208或其任何組合以在形成電晶體結構之閘極介電層、閘電極及S/D區域之前形成鰭。因此，可形成所有平面電晶體結構、所有鰭型電晶體結構或平面電晶體與鰭型電晶體之組合。

在又另一實施例中，如圖11中所說明，可由一自半導體層106選擇性成長之層來替代抗氧化間隔物424。當圖案化半導體層106時，可執行相同蝕刻或一不同蝕刻以蝕刻經

曝露之絕緣層 104 中之某些部分從而將半導體島 202、204、206 及 208 更好地曝露至隨後之氧化。可使用習知或專屬技術來執行絕緣層 104 之蝕刻。

半導體部分 1202、1204、1206 及 1208 可使用習知或專屬技術而選擇性地成長或另外分別自半導體島 202、204、206 及 208 選擇性地沈積。在一實施例中，半導體部分 1202、1204、1206 及 1208 之厚度可在隨後沿半導體島 202、204、206 及 208 之底表面而形成之氧化物部分之厚度的約 30% 至約 60% 之範圍中。在另一實施例中，半導體部分 1202、1204、1206 及 1208 之厚度可在約 5 nm 至約 300 nm 之範圍中。半導體部分 1202、1204、1206 及 1208 可包括如關於半導體層 106 所描述之材料中之一或多者。與半導體層 106 相比，1202、1204、1206 及 1208 可具有相同組合物或不同組合物。

將工件曝露至一含氧環境，該含氧環境氧化半導體島 202、204、206 及 208 之若干部分以分別形成氧化物部分 1322、1324、1326 及 1328，如圖 13 中所說明。可形成該等氧化物部分 1322、1324、1326 及 1328 且其具有一如關於圖 5 中之氧化物部分 522、524、526 及 528 所描述之厚度。在氧化期間，亦可氧化半導體部分 1202、1204、1206 及 1208 以分別形成氧化物部分 1302、1304、1306 及 1308。在一實施例中，大體上所有半導體部分 1202、1204、1206 及 1208 被氧化(圖 13)，且在另一實施例中，僅部分(非全部)半導體部分 1202、1204、1206 及 1208 被氧化。處理可以場隔離

區域之形成(圖9)而繼續。可在形成場隔離區域922之前移除部分、所有氧化物部分1302、1304、1306及1308或不移除氧化物部分1302、1304、1306及1308。在一特定實施例中，半導體元素可自半導體部分1202、1204、1206、1208或其任何組合遷移至對應之半導體島202、204、206、208或其任何組合中。在一特定實施例中，半導體島202、204、206及208係矽島，且半導體部分1202、1204、1206及1208係矽鍺部分。在氧化期間，來自半導體部分1202、1204、1206及1208之鍺可擴散或以另外方式遷移至半導體島202、204、206及208中以增加半導體島202、204、206及208內之鍺濃度。

在進一步實施例(未說明)中，可使用抗氧化間隔物與半導體部分之一組合。在一特定實施例中，可鄰近於將被用於形成n通道電晶體之半導體島而形成抗氧化間隔物，且可鄰近於將被用於形成p通道電晶體之半導體島而形成矽鍺部分。

本文中所描述之實施例中之一或多者可允許不同電子組件設計有不同厚度之半導體島，其由於微影、拋光或其他處理考慮而具有降低之複雜化的可能性。電子裝置設計者可具有更大之靈活性來設計電子組件(在使用絕緣物上半導體基板時尤為如此)。

許多不同態樣及實施例係可行的。下文描述了某些彼等態樣及實施例。在閱讀了此說明書之後，熟練技工將瞭解，彼等態樣及實施例僅具有說明性且並不限制本發明之

範疇。

在第一態樣中，一種形成一電子裝置之方法可包括：在半導體層上形成一疊加於基板之上的經圖案化之抗氧化層；及圖案化該半導體層以形成第一半導體島。該第一半導體島可包括一第一表面及一與該第一表面相對之第二表面，且該第一表面與該第二表面相比更接近基板。該方法亦可包括：沿該第一半導體島之一側面形成抗氧化材料；及將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境。可在將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境期間氧化第一半導體島沿第一表面之第一部分。

在第一態樣之一實施例中，該方法可進一步包括在將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境之後移除經圖案化之抗氧化層。在一特定實施例中，該方法可進一步包括在將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境之後移除抗氧化材料。在另一實施例中，經圖案化之抗氧化層及抗氧化材料包括氮化物。在第一態樣之又另一實施例中，可在至少約800°C之溫度下執行將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境。

在進一步實施例中，可執行將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境，使得第一半導體島之第一部分位於沿大體上第一表面的全部。在一特定實施例中，執行圖案化半導體層，使得第一半導體島具有

一不大於約1微米之橫向尺寸。在一更特定之實施例中，圖案化半導體層亦形成第二半導體島，其中該第二半導體島包括一第三表面及一與該第三表面相對之第四表面，且該第三表面比該第四表面更接近基板。可執行將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境，使得第二半導體島之位於沿第三表面之第二部分被氧化，且第二半導體島之第二部分位於沿第三表面的部分但非全部。

在第一態樣之一甚至更特定之實施例中，執行圖案化半導體層，使得第二半導體島不具有小於約1微米之橫向尺寸。在另一甚至更特定之實施例中，在將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境之後，第一半導體島之第二表面與第二半導體島之第四表面位於大體上相同高度處。

在一第二態樣中，一種形成一電子裝置之方法可包括在半導體層上形成一疊加於基板之上的經圖案化之抗氧化層；及圖案化該半導體層以形成第一半導體島。該第一半導體島可包括一第一表面及一與該第一表面相對之第二表面，且該第一表面比該第二表面更接近基板。該方法亦可包括：沿第一半導體島之一側面選擇性沈積半導體材料；及將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境。可在將經圖案化之抗氧化層、第一半導體島及抗氧化材料曝露至含氧環境期間氧化半導體島沿第一表面之第一部分。

在第二態樣之一實施例中，選擇性沈積可包括在第一半導體島之側面處磊晶成長一矽層。在另一實施例中，選擇性沈積可包括在第一半導體島之側面處磊晶成長一矽鍺層。在一特定實施例中，在將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境期間，來自矽鍺層之鍺可遷移至第一半導體島中。在又另一實施例中，在至少約800°C之溫度下執行將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境。

在第二態樣之進一步實施例中，可執行將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境，使得第一半導體島之第一部分位於沿大體上第一表面的全部。在一特定實施例中，可執行圖案化半導體層，使得第一半導體島具有一不大於約1微米之橫向尺寸。在一更特定之實施例中，在將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境期間，第一半導體島之第二表面可未被顯著氧化。

在第二態樣之另一更特定之實施例中，圖案化半導體層亦可形成第二半導體島，其中該第二半導體島包括一第三表面及一與該第三表面相對之第四表面，且該第三表面比該第四表面更接近基板。可執行將經圖案化之抗氧化層、第一半導體島及半導體材料曝露至含氧環境，使得第二半導體島之位於沿第三表面之第二部分被氧化，且第二半導體島之第二部分位於沿第三表面的部分但非全部。在一甚至更特定之實施例中，執行圖案化半導體層，使得第二半

導體島不具有小於約1微米之橫向尺寸。

應注意，並不需要上文在概述或實例中所描述之所有活動，可能不需要一特定活動之一部分，及可執行除彼等所述活動之外的一或多個另外活動。此外，所列活動之次序不必為執行該等活動之次序。

本文中所描述之實施例之說明意欲提供對各種實施例之結構的一般理解。該等說明並不意欲充當利用本文中所描述之結構或途徑的設備及系統之所有元件及特徵之完整描述。對於熟習此項技術者而言，一校閱該揭示內容，許多其他實施例便可顯而易見。可利用其他實施例且該等其他實施例可獲自該揭示內容，使得在不背離該揭示內容之範疇的前提下可進行結構替代、邏輯替代或另一改變。另外，該等說明僅具有代表性且並未按比例繪製。可誇示該等說明內之某些比例，而可最小化其他比例。因此，該揭示內容及該等圖將被認作具有說明性而非限制性。

可僅為方便起見而在本文中由術語"發明"來個別地或共同地引用該揭示內容之一或多個實施例，且其並不意欲有意將此申請案之範疇限制至任何特定發明或發明性概念。此外，儘管已在本文中說明並描述了特定實施例，但應瞭解，可針對所展示之特定實施例來替代經設計以達成相同或類似目的之任何隨後之配置。此揭示內容意欲涵蓋各種實施例之任何及所有隨後之適應及改變。對於熟習此項技術者而言，一校閱該揭示內容，上文之實施例之組合及本文中未特定描述之其他實施例便顯而易見。

提供揭示內容之摘要以遵照 37 C.F.R. §1.72(b) 且提交該摘要並理解其並不將用於解釋或限制申請專利範圍之範疇或意義。另外，在以上實施方式中，可為簡化該揭示內容之目的而在單個實施例中集合或描述各種特徵。此揭示內容並不被解釋為反映所主張之標的物需要比每一申請專利範圍中明確敘述之特徵更多的特徵之意圖。相反，如以下申請專利範圍所反映，發明性標的物可針對少於任何所揭示之實施例之所有特徵。因此，將以下申請專利範圍併入實施方式，其中每一申請專利範圍堅持界定獨立主張之標的物。

上文已關於特定實施例而描述了益處、其他優勢及問題解決方案。然而，該等益處、優勢、問題解決方案及可導致產生任何益處、優勢或問題解決方案或使其變得更顯著之任何一或多個特徵並不解釋為任何或所有申請專利範圍之關鍵、所需或本質特徵。

將瞭解，亦可在單個實施例中組合提供為清晰起見而在本文中之獨立實施例之內容中所描述的某些特徵。相反，亦可獨立或以任何子組合提供為簡潔起見而在單個實施例之內容中描述的各種特徵。此外，對範圍中所陳述之值的參考包括在彼範圍內之每一值。

上文所揭示之標的物將被認為具有說明性而非限制性，且附加之申請專利範圍意欲涵蓋任何及所有此等修改、提高及在本發明之範疇內的其他實施例。因此，在法律允許之最大範圍中，本發明之範疇將由以下申請專利範圍及其

均等物之最廣可允許解釋來判定，且不應由以上實施方式來約束或限制。

【圖式簡單說明】

圖1包括一基板之一部分於在該基板上形成一抗氧化層及一光罩層之後的截面圖之一說明。

圖2包括圖1之基板於在該基板上圖案化該抗氧化層之後的截面圖之一說明。

圖3包括圖2之基板在圖案化半導體層以形成半導體島之後的俯視圖之一說明。

圖4包括圖3之基板在鄰近於半導體島處形成抗氧化間隔物之後的截面圖之一說明。

圖5包括圖4之基板在熱氧化半導體島之若干部分之後的截面圖之一說明。

圖6包括圖5之基板於在該基板之一部分上形成一抗氧化層之後的截面圖之一說明。

圖7包括圖6之基板在熱氧化半導體島之未由抗氧化層覆蓋之部分之後的截面圖之一說明。

圖8包括圖7之基板在移除抗氧化間隔物及抗氧化層之後的截面圖之一說明。

圖9包括圖8之基板於在該等半導體島之間形成場隔離區域之後的截面圖之一說明。

圖10包括圖9之基板在使用半導體島形成電晶體結構之後的截面圖之一說明。

圖11至圖13包括基板之一部分在使用根據一替代性實施

例之選擇性沈積方法時的截面圖之說明。

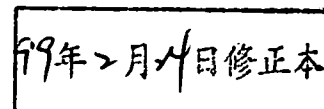
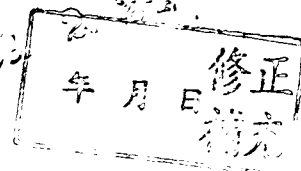
熟練技工應瞭解，為簡單及清晰起見而說明了圖中之元件且該等元件不必按比例繪製。舉例而言，某些元件在圖中之尺寸可相對於其他元件而被誇示以幫助改良對本發明之實施例的理解。

【主要元件符號說明】

100	基板
102	基底層
103	主要表面
104	絕緣層
106	半導體層
124	抗氧化層
128	經圖案化之光罩層
202	半導體島
204	半導體島
206	半導體島
208	半導體島
302	寬度
304	寬度
306	寬度
424	抗氧化間隔物
502	底表面
504	底表面
506	底表面

508	底表面
512	頂表面
514	頂表面
516	頂表面
518	頂表面
522	氧化物部分
524	氧化物部分
526	氧化物部分
528	氧化物部分
624	抗氧化層
722	氧化物部分
724	氧化物部分
802	虛線
922	場隔離區域
1000	電子裝置
1024	電晶體結構
1026	電晶體結構
1028	電晶體結構
1202	半導體部分
1204	半導體部分
1206	半導體部分
1208	半導體部分
1302	氧化物部分
1304	氧化物部分

1306	氧化物部分
1308	氧化物部分
1322	氧化物部分
1324	氧化物部分
1326	氧化物部分
1328	氧化物部分
10242	閘極介電層
10244	閘電極
10246	側壁間隔物
10248	源極/汲極(S/D)區域
10262	閘極介電層
10264	閘電極
10266	側壁間隔物
10268	源極/汲極(S/D)區域
10282	閘極介電層
10284	閘電極
10286	側壁間隔物
10288	源極/汲極(S/D)區域



十、申請專利範圍：

1. 一種形成一電子裝置之方法，其包含：

在一半導體層上形成一第一經圖案化之抗氧化層，其中該半導體層疊加於一絕緣層，該絕緣層疊加於一基層；

圖案化該半導體層以形成一第一半導體島，其中：

該第一半導體島包括一第一表面及一與該第一表面相對之第二表面；

該第一半導體島全部實質上鄰接且疊加於該絕緣層；

該第一表面比該第二表面更接近該基層；及

該第二表面自該絕緣層隔開；

沿該第一半導體島之一側面形成一抗氧化材料；及

將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至一第一含氧環境，其中在將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境期間，該第一半導體島沿該第一表面之一第一部分被氧化。

2. 如請求項1之方法，其進一步包含在將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境之後移除該第一經圖案化之抗氧化層。

3. 如請求項2之方法，其進一步包含在將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境之後移除該抗氧化材料。

4. 如請求項1之方法，其中該第一經圖案化之抗氧化層及該抗氧化材料包含一氮化物。
5. 如請求項1之方法，其中在至少約800℃之一溫度下執行將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境。
6. 如請求項1之方法，其中執行將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境，使得該第一半導體島之該第一部分位於沿大體上該第一表面的全部。
7. 如請求項1之方法，其中執行將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境，使得以一實質上垂直於該基層之一主表面的方向所測量之該第一半導體島之一厚度減少。
8. 如請求項7之方法，其中：

圖案化該半導體層亦形成一第二半導體島，其中：

該第二半導體島包括一第三表面及一與該第三表相對之第四表面；及

該第三表面比該第四表面更接近該基層；及

執行將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境，使得：

該第二半導體島之位於沿該第三表面之一第二部分被氧化；且

該第二半導體島之該第二部分位於沿該第三表面的部分但非全部。

9. 如請求項1之方法，其中：

圖案化該半導體層也形成一包括一第三表面及一與該第三表面相對之第四表面的第二半導體島，其中：

該第二半導體島全部實質上鄰接且疊加該絕緣層；

該第三表面位於比該第四表面更接近該基層之處；及

該第四表面自該絕緣層隔開；

該方法進一步包含：

形成一疊加於該第二半導體島但沒有疊加該第一半導體島之第二經圖案化之抗氧化層；及

將該第二經圖案化之抗氧化層、該第一半導體島及該第一經圖案化之抗氧化層的部分及該抗氧化材料曝露至一第二含氧環境，其中氧化緊鄰該絕緣層的該第一半導體島之另一部分，但該第二半導體島並未顯著氧化。

10. 如請求項8之方法，其中在將該第一經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至該第一含氧環境之後，該第一半導體島之該第二表面與該第二半導體島之該第四表面位於大體上一相同高度處。

11. 一種形成一電子裝置之方法，其包含：

在一半導體層上形成一疊加於一基板之上的經圖案化之抗氧化層；

圖案化該半導體層以形成一第一半導體島，其中：

該第一半導體島包括一第一表面及一與該第一表面相對之第二表面；及

該第一表面比該第二表面更接近該基板；

沿該第一半導體島之一側面選擇性沈積一半導體材料；及

將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境，其中在將該經圖案化之抗氧化層、該第一半導體島及該抗氧化材料曝露至一含氧環境期間，該第一半導體島沿該第一表面之一第一部分被氧化。

12. 如請求項11之方法，其中選擇性沈積包含在該第一半導體島之該側面處磊晶成長一矽層。
13. 如請求項11之方法，其中選擇性沈積包含在該第一半導體島之該側面處磊晶成長一矽鍍層。
14. 如請求項13之方法，其中在將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境期間，來自該矽鍍層之鍍遷移至該第一半導體島中。
15. 如請求項11之方法，其中在至少約800℃之一溫度下執行將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境。
16. 如請求項11之方法，其中執行將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境，使得該第一半導體島之該第一部分位於沿大體上該第一表面的全部。
17. 如請求項16之方法，其中執行圖案化該半導體層，使得該第一半導體島具有一不大於約1微米之橫向尺寸。

18. 如請求項17之方法，其中在將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境期間，該第一半導體島之該第二表面未被顯著氧化。

19. 如請求項17之方法，其中：

圖案化該半導體層亦形成一第二半導體島，其中：

該第二半導體島包括一第三表面及一與該第三表面相對之第四表面；及

該第三表面比該第四表面更接近該基板；及

執行將該經圖案化之抗氧化層、該第一半導體島及該半導體材料曝露至一含氧環境，使得：

該第二半導體島之位於沿該第三表面之一第二部分被氧化；及

該第二半導體島之該第二部分位於沿該第三表面的部分但非全部。

20. 如請求項19之方法，其中執行圖案化該半導體層，使得該第二半導體島不具有一小於約1微米之橫向尺寸。

十一、圖式：

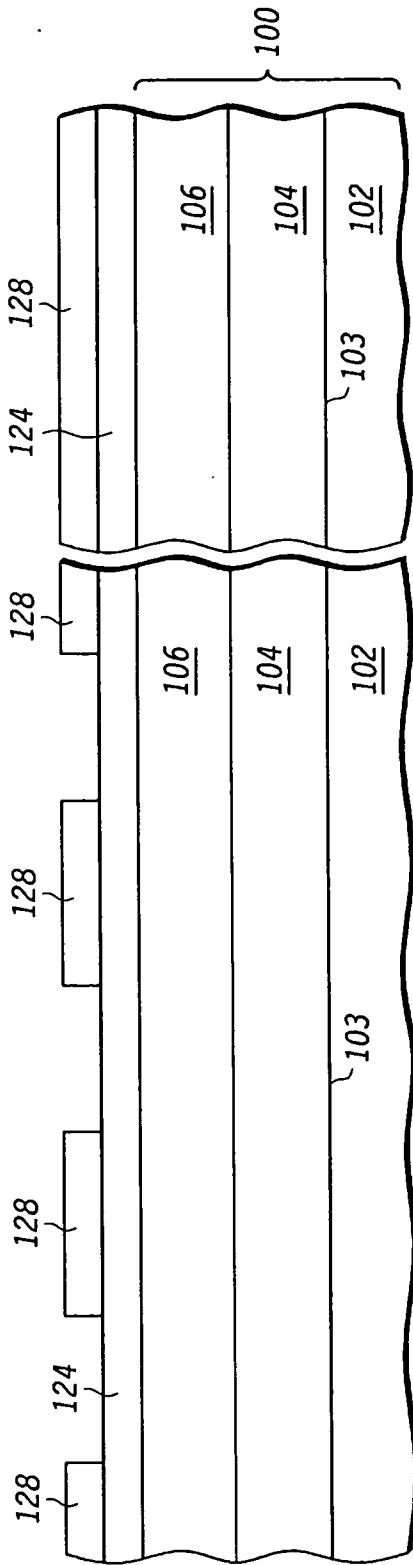


圖1

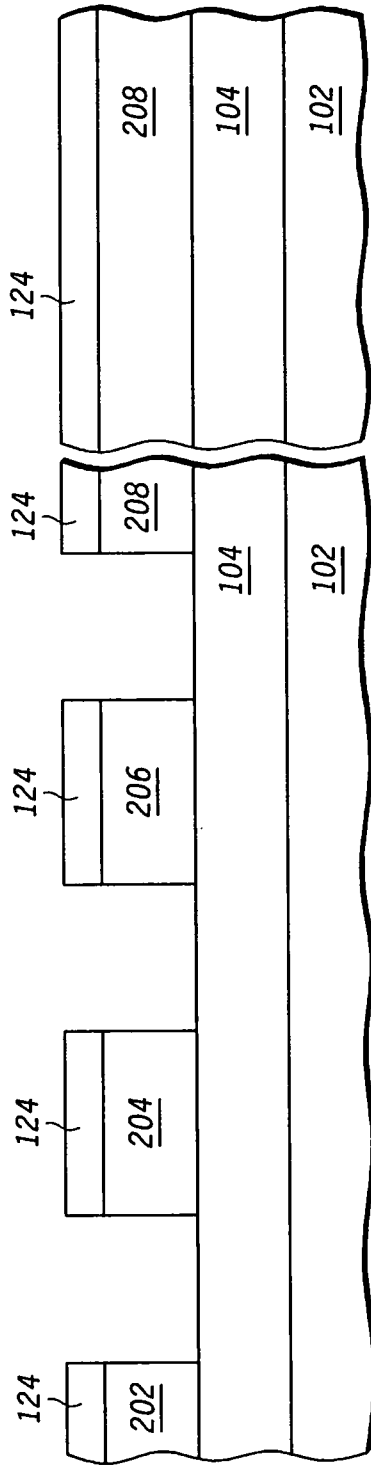


圖2

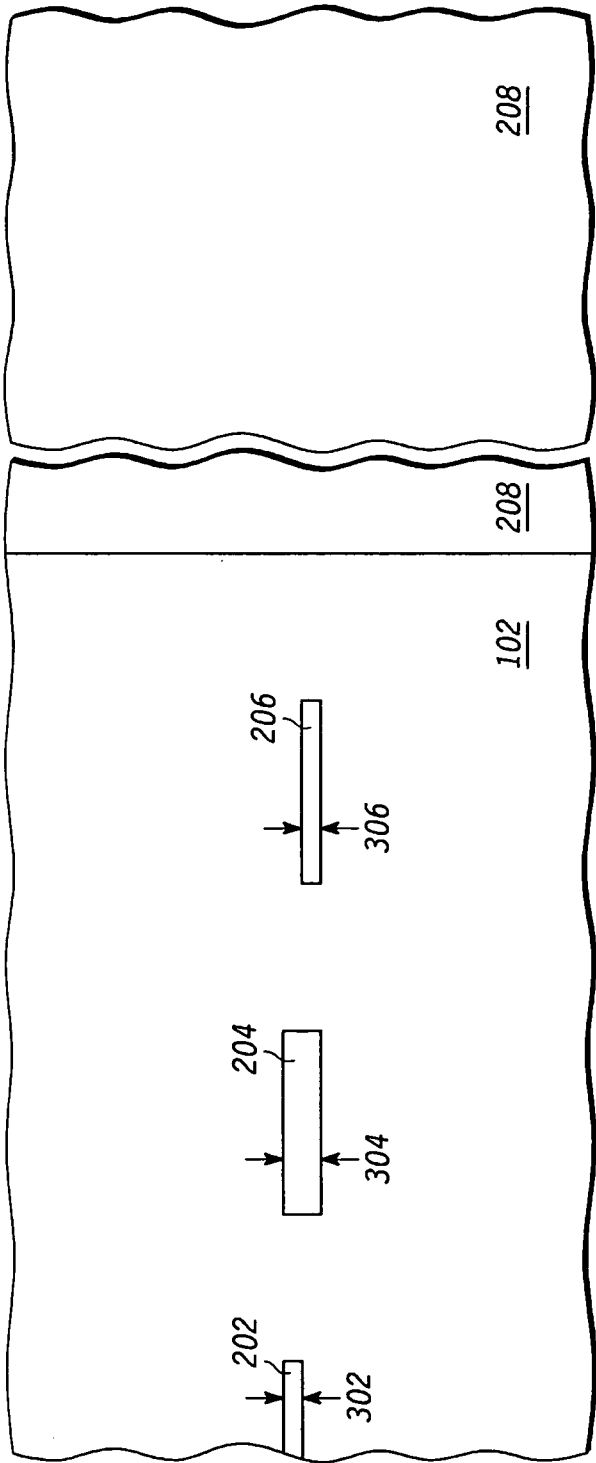


圖3

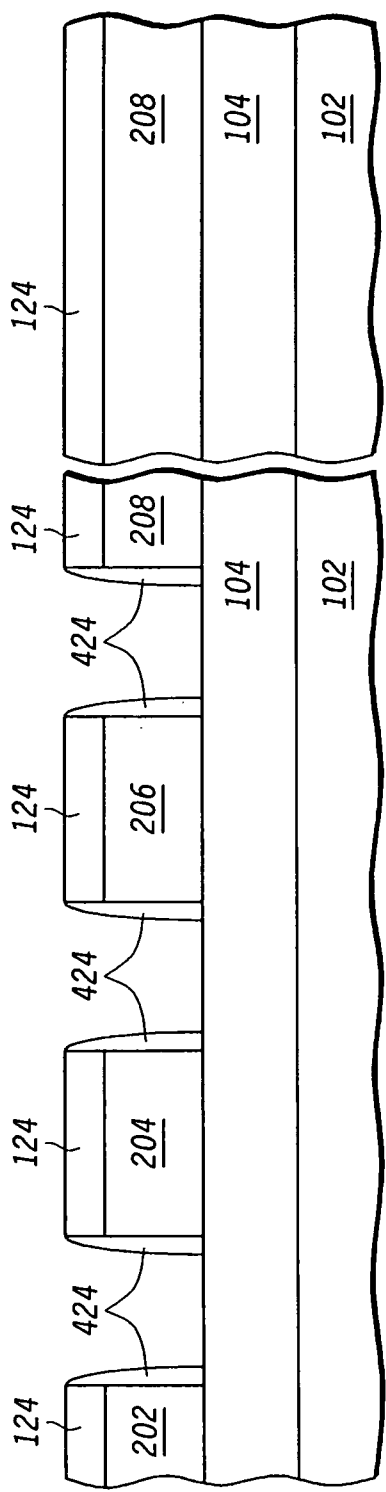


圖4

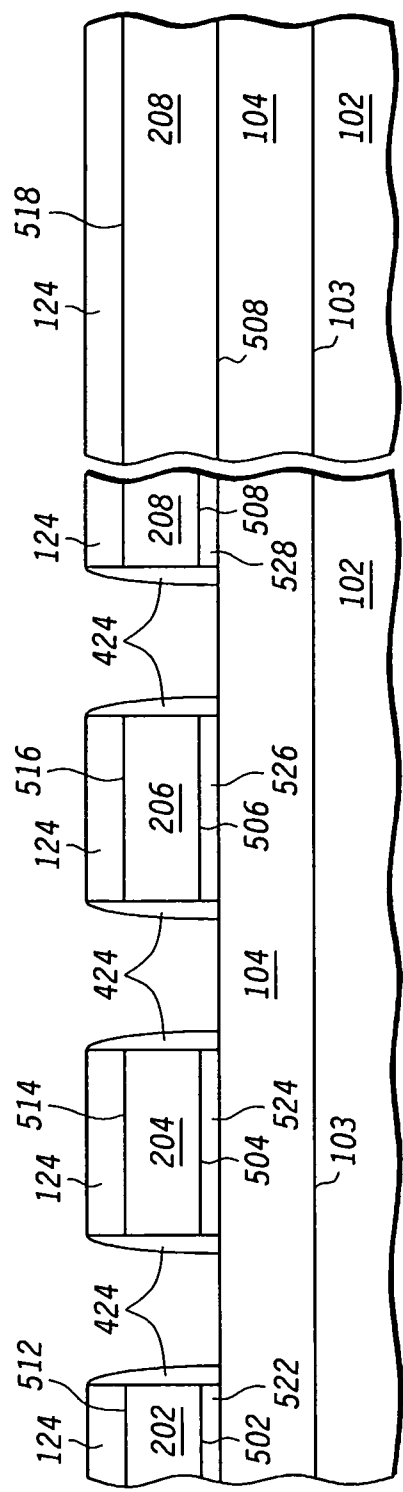


圖5

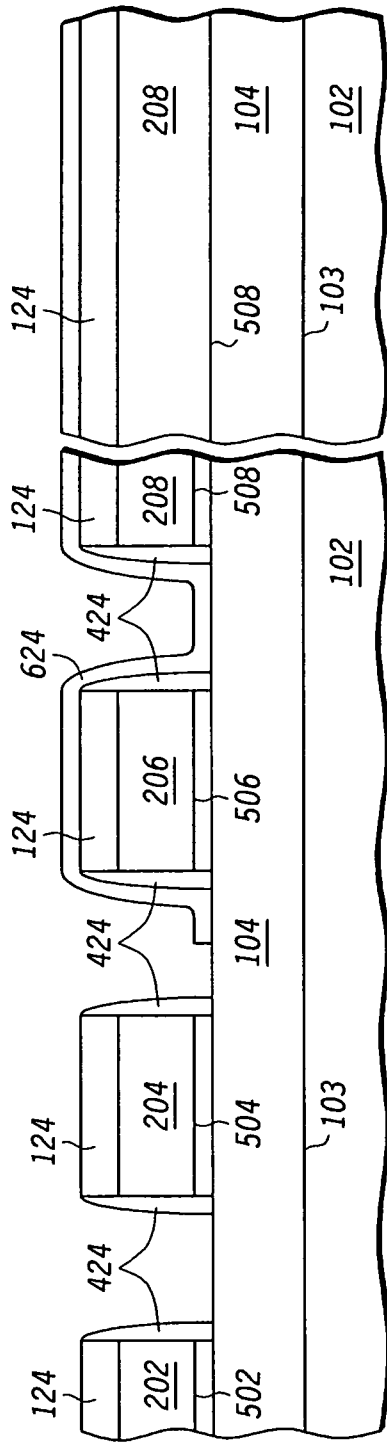


圖6

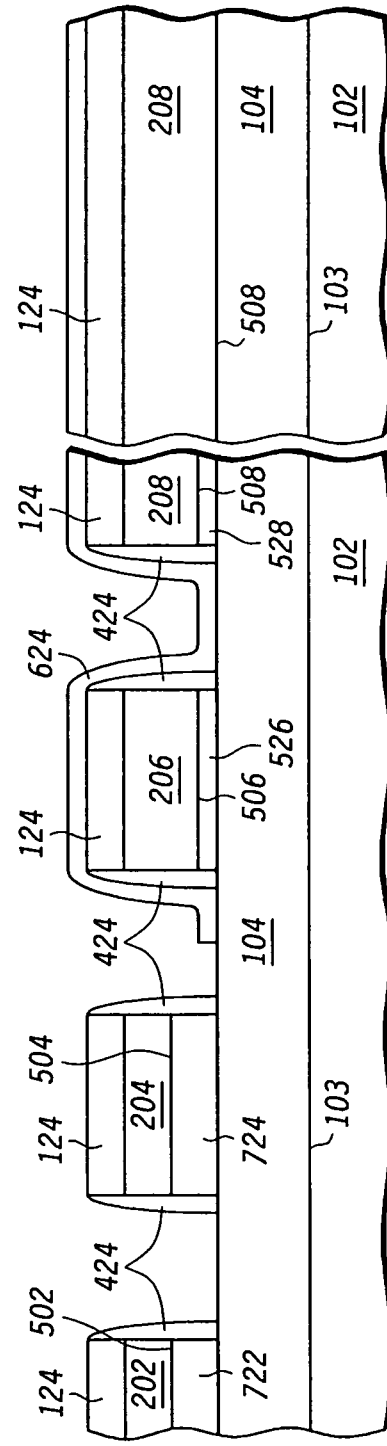


圖7

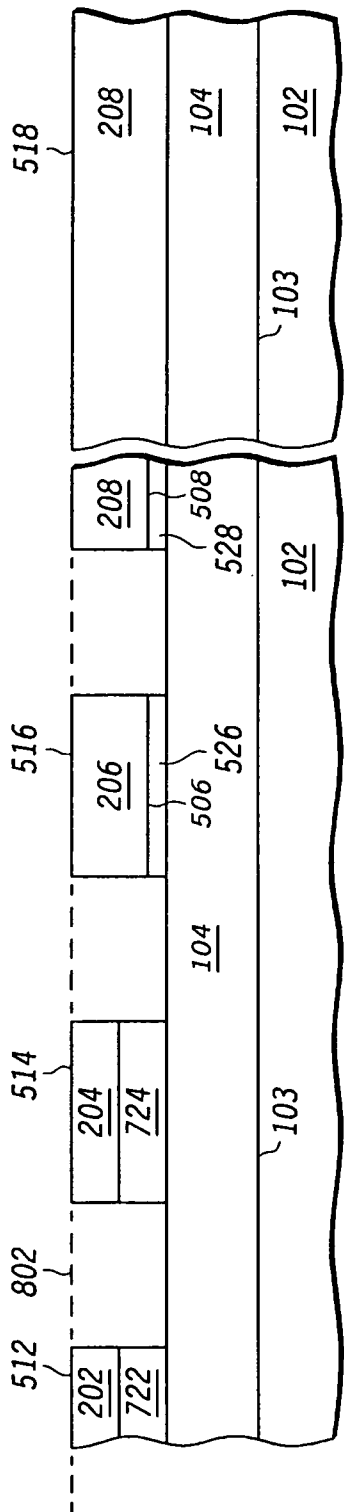


圖8

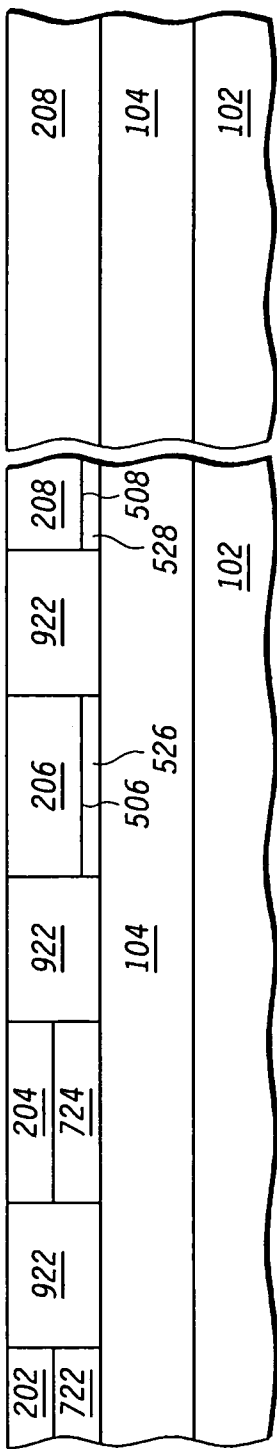


圖9

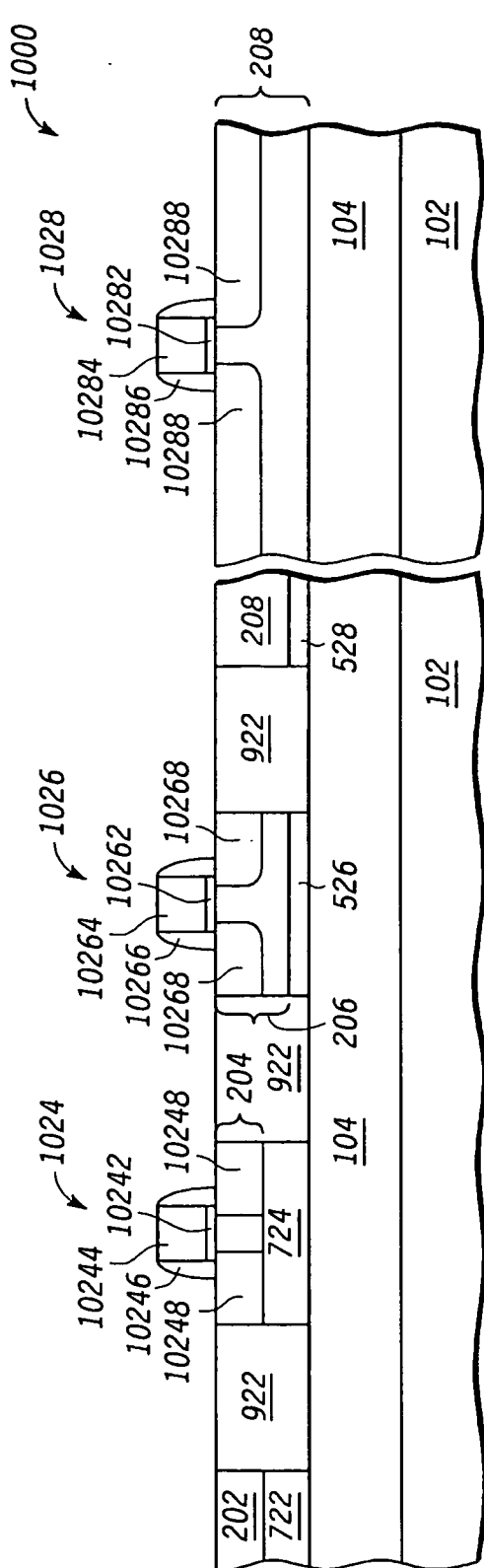


圖10

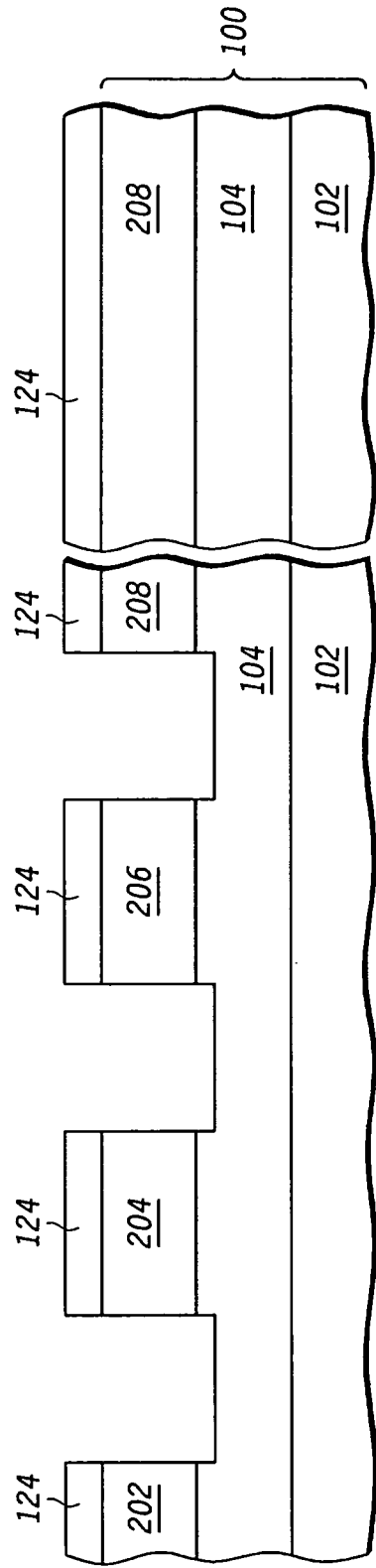


圖11

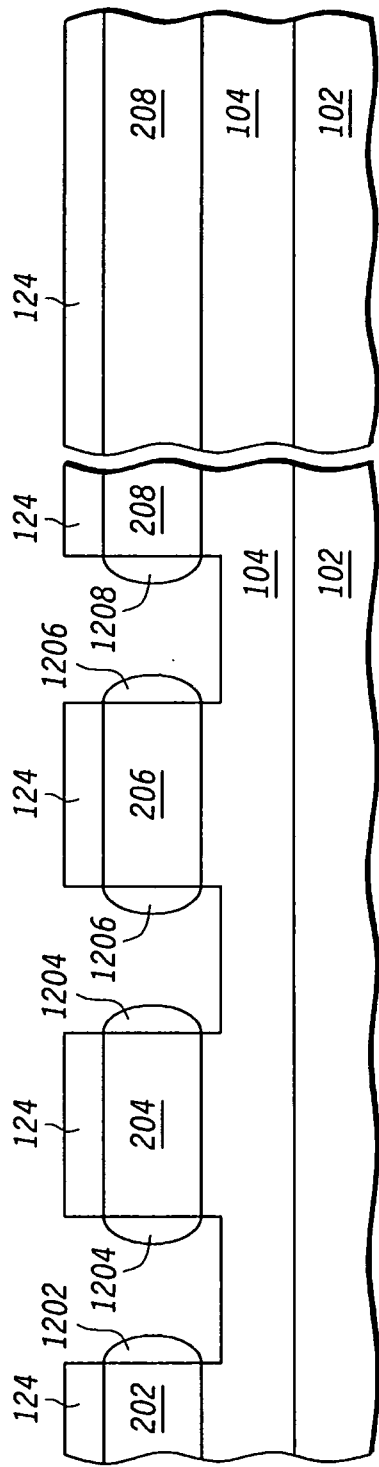


圖12

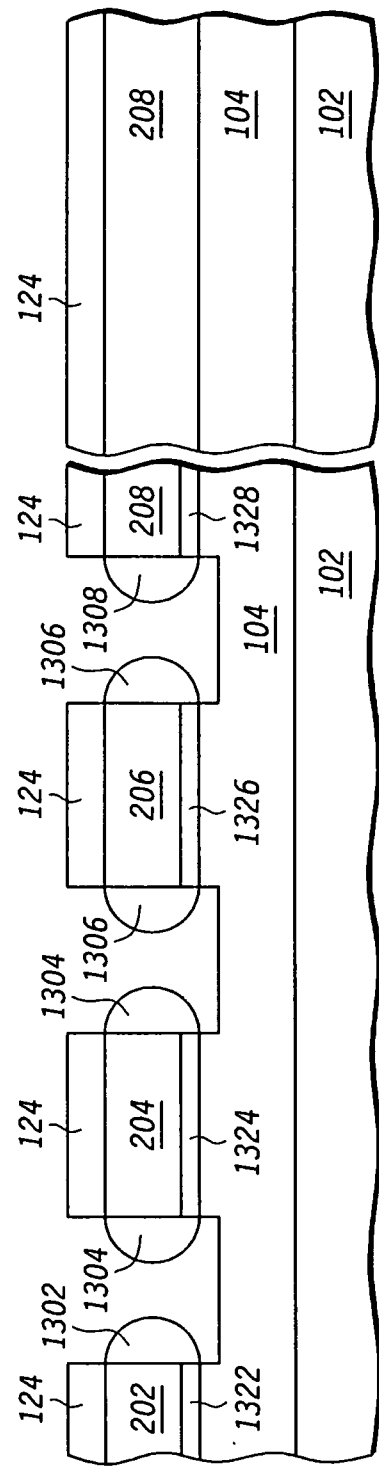


圖13