

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月9日(09.06.2022)



(10) 国際公開番号

WO 2022/118809 A1

(51) 国際特許分類:
H01L 27/1159 (2017.01) *H01L 27/11597* (2017.01)

(21) 国際出願番号: PCT/JP2021/043742

(22) 国際出願日: 2021年11月30日(30.11.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-202180 2020年12月4日(04.12.2020) JP

(71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

(72) 発明者: 小林 正治 (KOBAYASHI Masaharu); 〒1138654 東京都文京区本郷七丁目3番1

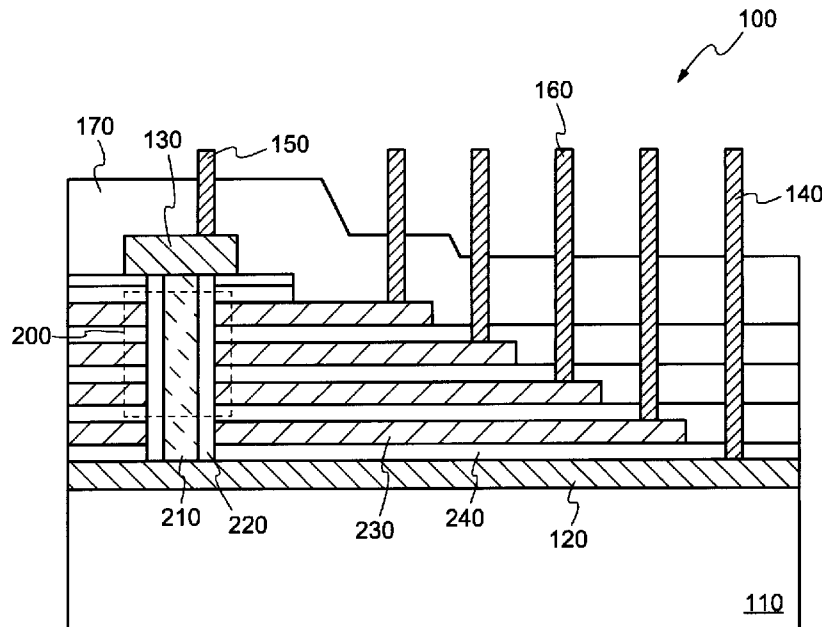
号 国立大学法人東京大学内 Tokyo (JP). 莫非 (MO Fei); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 平本 俊郎 (HIRAMOTO Toshiro); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: NONVOLATILE STORAGE DEVICE

(54) 発明の名称: 不揮発性記憶装置



(57) Abstract: This nonvolatile storage device has a three-dimensional multilayer structure wherein a plurality of non-volatile storage elements are arranged in series, and is provided with: a columnar semiconductor member that contains a metal oxide; a ferroelectric layer that contains hafnium oxide and surrounds the semiconductor member, while being in contact with the lateral surface of the semiconductor member; and a plurality of gate electrodes that face the lateral surface of the semiconductor member, with the ferroelectric layer being interposed therebetween, while being arranged in the longitudinal direction of the semiconductor member. Meanwhile, the semiconductor member continuously extends from the outer peripheral surface to the central axis.

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：不揮発性記憶装置は、複数の不揮発性記憶素子が直列に配置された3次元積層構造を有する不揮発性記憶装置であって、金属酸化物を含む柱状の半導体部材と、酸化ハフニウムを含み、前記半導体部材の側面に接して前記半導体部材を囲む強誘電体層と、前記強誘電体層を介して前記半導体部材の側面に対向すると共に前記半導体部材の長手方向に沿って配置された複数のゲート電極と、を備え、前記半導体部材は、外周面から中心軸に至るまで連続する部材である。

明 細 書

発明の名称：不揮発性記憶装置

技術分野

[0001] 本発明の一実施形態は、不揮発性記憶装置に関する。特に、複数の不揮発性記憶素子が直列に配置された３次元積層構造を有する不揮発性記憶装置に関する。

背景技術

[0002] 近年、半導体システムの高度化に伴い、日常生活の様々な場面において情報通信が必要となっている。いわゆるIoT（Internet of Things）の実現には、コンピュータ（例えば、サーバ）とインターネット接続品（エッジデバイスとも呼ばれる）との間で高速かつ大容量の情報通信が必要となる。そのためには、インターネット接続品に対し、高速かつ大容量なストレージメモリとしての不揮発性メモリが必要である。さらに、インターネット接続品の小型化に伴い、不揮発性メモリには、低消費電力であることが強く要求されている。

[0003] 不揮発性メモリの需要が拡大する中で、古くから知られている強誘電体メモリが新たな脚光を浴びている。例えば、酸化ハフニウム系材料を使用した強誘電体メモリは、CMOSプロセスとの整合性が高く、消去／プログラム速度が速く、かつ、低電圧動作で低消費電力であるという特徴がある。そのため、最近では、酸化ハフニウム系材料をゲート絶縁層として利用するFeFET（Ferroelectric Field Effect Transistor）の開発が盛んである（例えば、非特許文献１及び非特許文献２）。また、ストレージメモリのさらなる大容量化に向けて、複数のFeFETを三次元構造で集積化した高密度で低消費電力のメモリも提案されている（例えば、非特許文献３及び非特許文献４）。特に、非特許文献４に記載された三次元積層構造を有するメモリは、ゲート絶縁膜として酸化ハフニウム系材料を用い、チャンネル層として金属酸化物を含む半導体材料（例えば

、IGZO)を用いることにより、低消費電力で高い信頼性を有する。

先行技術文献

非特許文献

[0004] 非特許文献1: Min-Kyu Kim, Jang-Sik Lee, "Ferroelectric Analog Synaptic Transistors", [online]、2019年1月30日、American Chemical Society、[2019年2月13日検索]、インターネット<URL: <https://pubs.acs.org/doi/abs/10.1021/acs.nanolett.9b00180>> (2019年)

非特許文献2: Yuxing Li, Renrong Liang, Jiabin Wang, Ying Zhang, He Tian, Houfang Liu, Songlin Li, Weiquan Mao, Yu Pang, Yutao Li, Yi Yang, Tian-Ling Ren, "A Ferroelectric Thin Film Transistor Based on Annealing-Free HfZrO Film", 2017年7月26日、IEEE Journal of the Electron Devices Society, Volume 5, Page(s):378-383、(2017年)

非特許文献3: K. Florent, M. Pesic, A. Subirats, K. Banerjee, S. Lavizari, A. Arreghini, L. Di Piazza, G. Potoms, F. Sebaai, S. R. C. Mitchell, M. Popovici, G. Groeseneken, J. Van Houdt, "Vertical Ferroelectric HfO₂ FET based on 3-D NAND Architecture: Towards Dense Low-Power Memory", 2018 IEEE International Electron Devices Meeting (IEDM), Page(s):2.5.1-2.5.4、(2018年)

非特許文献4: 発行者: IEEE、刊行物名: 2019 Symposium on VLSI Technology Digest of Technical Papers、掲載ページ: T42-43、発行年月日(ダウンロード可能日): 2019年6月9日

発明の概要

発明が解決しようとする課題

[0005] 上述のように、近年では、強誘電体メモリを高密度に集積化することにより、低消費電力で高い信頼性を有する三次元積層構造のメモリが実現されつつある。しかしながら、インターネット接続品の小型化は、今後も急速に進むことが予想される。そのため、信頼性を損なうことなく、さらに低消費電

力で動作可能な不揮発性メモリの開発が求められている。

[0006] 本発明の課題の一つは、信頼性の高い不揮発性記憶装置を提供することにある。特に、本発明の課題の一つは、低消費電力で信頼性の高い不揮発性記憶装置を提供することにある。

課題を解決するための手段

[0007] 本発明の一実施形態における不揮発性記憶装置は、複数の不揮発性記憶素子が直列に配置された3次元積層構造を有する不揮発性記憶装置である。不揮発性記憶装置は、金属酸化物を含む柱状の半導体部材と、酸化ハフニウムを含み、前記半導体部材の側面に接して前記半導体部材を囲む強誘電体層と、前記強誘電体層を介して前記半導体部材の側面に対向すると共に前記半導体部材の長手方向に沿って配置された複数のゲート電極と、を備え、前記半導体部材は、外周面から中心軸に至るまで連続する部材である。ここで、「Aを介してBに対向するC」とは、Aの少なくとも一部、Bの少なくとも一部、及びCの少なくとも一部が満たすべき関係であり、Aの全部、Bの全部、又はCの全部が満たすべき関係に限定されるものではない。

[0008] 前記不揮発性記憶装置において、複数の不揮発性記憶素子は半導体部材を共有してもよい。また、半導体部材の直径は、20nm以下であってもよい。金属酸化物は、In、Ga、Zn、及びSnからなる群から選ばれる単数又は複数の金属からなる第一の酸化物が好ましい。例えば、前記金属酸化物は、IGZO（インジウム、ガリウム、亜鉛、酸素で構成される金属酸化物）、ITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）、ITZO（Indium Tin Zinc Oxide）、ZnO（Zinc Oxide）、又はInO（Indium Oxide）であってもよい。また、前記金属酸化物は、In、Al、及びZnからなる群から選ばれる複数の金属からなる第二の酸化物が好ましい。例えば、IAO（Indium Aluminum Oxide）、又はIAZO（Indium Alminum Zinc Oxide）であってもよい。また、前記金属酸化物は、In、及び元素X（Si、Hf、Z

r、T i、T a、W) からなる第三の酸化物、または第一の酸化物若しくは第二の酸化物に元素Xの少なくとも1つを加えた金属酸化物が好ましい。

[0009] 前記不揮発性記憶装置は、複数のゲート電極の間にそれぞれ設けられた複数の絶縁層をさらに備えてもよい。

[0010] 前記不揮発性記憶装置において、前記複数のゲート電極それぞれの幅は、 $1\ \mu\text{m}$ 以下であってもよい。

[0011] 前記不揮発性記憶装置において、強誘電体層の膜厚は、 $5\ \text{nm}$ 以上 $20\ \text{nm}$ 以下であってもよい。

図面の簡単な説明

[0012] [図1]本発明の一実施形態の不揮発性記憶装置における装置構造を示す断面図である。

[図2]本発明の一実施形態の不揮発性記憶装置における素子構造を示す断面斜視図である。

[図3]図2に示した不揮発性記憶素子における半導体部材及びゲート絶縁層の構成を示す斜視図である。

[図4]本発明の一実施形態の不揮発性記憶素子における $I_d - V_g$ 特性のシミュレーション結果を示す図である。

[図5]図4の $I_d - V_g$ 特性から求めたメモリウィンドウの幅とチャネル長とをプロットした図である。

[図6]図4の $I_d - V_g$ 特性から求めたSS値とドレイン電流との関係を示す図である。

[図7]本発明の一実施形態の不揮発性記憶素子におけるゲート絶縁層の分極電荷の分布を示す図である。

[図8]比較例1の不揮発性記憶素子におけるゲート絶縁層の分極電荷の分布を示す図である。

[図9]本発明の一実施形態の不揮発性記憶素子におけるゲート絶縁層の内部の電界分布のシミュレーションモデルを示す図である。

[図10]本発明の一実施形態の不揮発性記憶素子におけるゲート絶縁層の内部

の電界分布のシミュレーション結果を示す図である。

[図11]本発明の一実施形態の不揮発性記憶素子における $I_d - V_g$ 特性のシミュレーション結果を示す図である。

[図12]図 1 1 に示した $I_d - V_g$ 特性から求めたメモリウィンドウの幅とチャネルの直径との関係を示す図である。

[図13]図 1 1 に示した $I_d - V_g$ 特性から求めた SS 値とドレイン電流との関係を示す図である。

[図14]比較例 2 の不揮発性記憶素子における素子構造を示す断面図である。

[図15]比較例 2 の不揮発性記憶素子の $I_d - V_g$ 特性のシミュレーション結果を示す図である。

[図16]図 1 5 に示した $I_d - V_g$ 特性から求めたメモリウィンドウの幅とチャネル長との関係を示す図である。

[図17]図 1 5 に示した $I_d - V_g$ 特性から求めた SS 値とドレイン電流との関係を示す図である。

[図18]本発明の一実施形態の不揮発性記憶素子と比較例 2 の不揮発性記憶素子とにおけるチャネル長に対するメモリウィンドウの幅の依存性を比較した図である。

[図19]本発明の一実施形態の不揮発性記憶装置における素子構造の変形例を示す断面斜視図である。

[図20]図 1 9 に示した素子構造の不揮発性記憶素子におけるメモリウィンドウの幅とゲート絶縁層 220 の膜厚との関係を示す図である。

[図21]本発明の一実施形態の不揮発性記憶装置における素子構造の変形例を示す断面斜視図である。

[図22]図 2 1 に示した素子構造の不揮発性記憶素子におけるメモリウィンドウの幅と半導体部材の膜厚との関係を示す図である。

[図23]比較例 2 の不揮発性記憶素子における素子構造に対応する断面図である。

発明を実施するための形態

[0013] 以下、本発明の実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図面において、既出の図面に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0014] 以下に説明する実施形態において、シミュレーションの温度条件は、いずれも室温である。

[0015] [素子構造]

以下、本発明の一実施形態の不揮発性記憶装置 100 について説明する。

[0016] 図 1 は、本発明の一実施形態の不揮発性記憶装置 100 における装置構造を示す断面図である。図 1 に示す不揮発性記憶装置 100 は、複数の不揮発性記憶素子 20（図 2 参照）が立体的に集積化した 3 次元積層構造を有する。複数の不揮発性記憶素子 20 は、チャネルとして機能する柱状の半導体部材 210 を共通にして、半導体部材 210 の長手方向に沿って直列に配置される。本実施形態において、不揮発性記憶素子 20 は、強誘電体で構成されるゲート絶縁層を有する FeFET（Ferroelectric Field Effect Transistor）である。

[0017] 基板 110 の上には、ソース電極 120 が設けられている。基板 110 としては、絶縁表面を有するシリコン基板、又は、金属基板等を用いることができる。ソース電極 120 としては、チタン、アルミニウム、タングステン、タンタル、モリブデン、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。基板 110 として、n 型半導体基板（例えば、n 型シリコン基板）を用いてソースとして機能させた場合、図 1 に示すソース電極 120 は省略可能である。

[0018] 複数の不揮発性記憶素子 20 は、ソース電極 120 とドレイン電極 130

との間に直列に配置される。半導体部材 210 は、ソース電極 120 及びドレイン電極 130 に対して電氣的に接続される。すなわち、不揮発性記憶装置 100 において、複数の不揮発性記憶素子 20 は、半導体部材 210 に加えて、ソース電極 120 及びドレイン電極 130 も共有する。

[0019] ソース電極 120 は、金属材料で構成されるソース端子 140 に電氣的に接続される。ドレイン電極 130 は、金属材料で構成されるドレイン端子 150 に電氣的に接続される。ドレイン端子 150 は、不揮発性記憶装置 100 のビットライン（図示せず）に接続される。また、複数のゲート電極 230 は、それぞれゲート端子 160 に電氣的に接続される。複数のゲート端子 160 は、不揮発性記憶装置 100 のワードライン（図示せず）に接続される。ソース端子 140、ドレイン端子 150 及びゲート端子 160 は、パッシベーション層 170、又は、各ゲート電極 230 の間に設けられた絶縁層 240 に設けられたコンタクトホールを介して、それぞれソース電極 120、ドレイン電極 130 及びゲート電極 230 と電氣的に接続される。

[0020] 図 2 は、本発明の一実施形態の不揮発性記憶装置 100 における素子構造を示す断面斜視図である。具体的には、図 2 は、不揮発性記憶装置 100 において、枠線 200 で囲んだ部分（3つの不揮発性記憶素子 20 に対応する部分）を拡大した図である。図 3 は、図 2 に示した不揮発性記憶素子 20 における半導体部材 210 及びゲート絶縁層 220 の構成を示す斜視図である。

[0021] 図 2 に示すように、本実施形態の不揮発性記憶素子 20 は、半導体部材 210、ゲート絶縁層 220、及びゲート電極 230 で構成される F e F E T である。本実施形態の不揮発性記憶装置 100 において、複数の不揮発性記憶素子 20 は、半導体部材 210 及びゲート絶縁層 220 を共有する。

[0022] 半導体部材 210 は、不揮発性記憶素子 20 のチャネルとして機能する柱状の部材である。図 2 及び図 3 に示すように、半導体部材 210 は、内部に中空部分又は他の部材を実質的に有していない。ここで、「内部に中空部分又は他の部材を実質的に有していない」とは、例えば、半導体部材 210 の

内部に微小な中空部分又は他の部材が含まれ得ることを意味する。すなわち、半導体部材 210 の内部に素子特性に大きな影響を与えない程度の微小な中空部分又は他の部材が存在していても構わない。半導体部材 210 は、外周面から中心軸に至るまで連続する部材である。つまり、半導体部材 210 は、外周面から中心軸に至るまで連続的に同一材料（実質的に同一とみなせる材料を含む）で構成される。

[0023] 本実施形態では、半導体部材 210 を構成する材料として I G Z O と呼ばれる金属酸化物を用いる。I G Z O は、半導体特性を示す金属酸化物であり、インジウム、ガリウム、亜鉛、及び酸素で構成される化合物材料である。具体的には、I G Z O は、I n、G a 及び Z n を含む酸化物、又は、このような酸化物の混合物である。I G Z O の組成は、好ましくは、 $I n_{2-x} G a_x O_3 (Z n O)_m$ ($0 < x < 2$ 、 m は、0 又は 6 未満の自然数)、より好ましくは、 $I n G a O_3 (Z n O)_m$ (m は、0 又は 6 未満の自然数)、最も好ましくは、 $I n G a O_3 (Z n O)$ である。

[0024] 本実施形態において、半導体部材 210 は、円柱状である。しかし、この例に限らず、半導体部材 210 は、楕円柱状、又は、角柱状の部材であってもよい。本実施形態において、半導体部材 210 の直径 (D) は、8 nm である。半導体部材 210 の直径は、例えば、30 nm 以下（好ましくは 1 nm 以上 20 nm 以下、より好ましくは 4 nm 以上 10 nm 以下）の範囲で設定すればよい。半導体部材 210 が円柱状以外の形状である場合、半導体部材 210 とゲート絶縁層 220 との界面に略直交する方向における半導体部材 210 の径又は長さを、半導体部材 210 の直径とみなして設定すればよい。

[0025] 図 1 及び図 2 に示すように、本実施形態では、基板 110 に略直交する方向に長手方向を有する円柱状の半導体部材 210 を用いる。この場合、不揮発性記憶装置 100 を製造する際、例えば 30 nm 以下の直径を有する孔に対して金属酸化物材料を充填して半導体部材 210 を形成する。本実施形態において、半導体部材 210 は、A L D (A t o m i c L a y e r D e

position) 法を用いて形成する。しかし、この例に限らず、半導体部材210は、PLD (Pulsed Laser Deposition) 法、DCスパッタ法、RFスパッタ法、スピコーティング法、ディップコーティング法、ミストCVD (Mist Chemical Vapor Deposition) 法などを用いて形成することも可能である。特に、スピコーティング法のような溶液を用いる手法は、孔部に金属酸化物材料を充填する場合に適している。

[0026] ゲート絶縁層220は、本実施形態の不揮発性記憶素子20における強誘電体層に相当する。本実施形態では、ゲート絶縁層220を構成する強誘電体材料として、ジルコニウムを添加した酸化ハフニウム（以下「HZO」と表す。）を用いる。ただし、これに限らず、ゲート絶縁層220として、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどを添加した酸化ハフニウム等の他の強誘電体層を用いても良い。本実施形態では、ゲート絶縁層220をALD (Atomic Layer Deposition) 法を用いて、10nmの膜厚で形成する。ただし、ゲート絶縁層220の膜厚は、この例に限られるものではなく、例えば5nm以上22nm以下（好ましくは、10nm以上18nm以下）とすることができる。

[0027] ゲート絶縁層220は、半導体部材210の側面に接して半導体部材210を囲むように設けられる。すなわち、図3に示すように、ゲート絶縁層220は、直径(D)の円柱状の半導体部材210を内側に有する円筒状の部材と言える。このように、本実施形態のチャネル部分は、筒状のゲート絶縁層220の内側の空間が半導体部材210によって占められた構造となっている。

[0028] ゲート電極230は、不揮発性記憶素子20のプログラム動作又は消去動作を制御するゲートとして機能する。本実施形態では、ゲート電極230として窒化チタン(TiN)で構成される化合物層を用いる。しかし、これに限らず、ゲート電極230の材料としては、タングステン、タンタル、モリ

ブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。ゲート電極 230 は、例えばスパッタ法により形成することができる。

[0029] ゲート電極 230 の形成には、ゲートファースト方式、又は、ゲートラスト方式と呼ばれる技術を用いることができる。ゲートファースト方式では、基板上にポリシリコン層と酸化ケイ素等の絶縁層とを交互に積層して積層体を形成する工程、及び該積層体に垂直方向の複数の孔を形成して該複数の孔の内部に強誘電体層を形成した後にチャネル層を形成する工程（パンチアンドプラグ）を行った後、該ポリシリコン層をそのままゲート電極として用いる。ゲートラスト方式では、まず、窒化ケイ素などを材料とするダミー層と酸化ケイ素等の絶縁層とを交互に積層して積層体を形成する工程、及びパンチアンドプラグ工程を行う。その後、該ダミー層を選択的に除去する工程、及び該除去により形成された空間にタングステン等の金属材料を埋め込む工程を行い、埋め込まれた金属材料からなる金属層をゲート電極として用いる。ここで、孔の形成にはリソグラフィと反応性イオンエッチングを用いることができる。また、金属材料による空間の埋め込みには、CVD法やALD法を用いることができる。ゲートラスト方式は、プロセスが複雑である反面、ポリシリコンゲートよりも抵抗の低い金属ゲートを有する素子を製造できるという利点を有する。

[0030] 本実施形態の不揮発性記憶素子 20 において、ゲート電極 230 の幅は、不揮発性記憶素子 20 のチャネル長（L）に相当する。ゲート電極 230 の幅は、ゲート電極 230 として機能する窒化チタン層の膜厚である。本実施形態において、ゲート電極 230 の幅（すなわち、チャネル長）は、 $1\ \mu\text{m}$ 以下（好ましくは $50\ \text{nm}$ 以下）とする。後述するように、本実施形態の不揮発性記憶素子 20 は、チャネル長が $1\ \mu\text{m}$ 以下の場合において、安定したメモリウィンドウを確保することができる。

[0031] 絶縁層 240 は、互いに隣接する 2 つのゲート電極 230 の間を絶縁分離するための絶縁膜である。絶縁層 240 としては、酸化シリコン膜、窒化シ

リコン膜等の絶縁膜を用いることができる。本実施形態において、絶縁層240の膜厚は、10nm以上50nm以下（好ましくは、20nm以上40nm以下）であるが、この例に限られるものではない。絶縁層240の膜厚は、チャンネル長（すなわち、ゲート電極230の幅）との関係に応じて適宜決定すればよい。ただし、絶縁層240の膜厚が薄すぎると、隣接する不揮発性記憶素子20が互いに影響を及ぼし合い、動作不良を起こす要因となり得る。また、絶縁層240の膜厚が厚すぎると、隣接する不揮発性記憶素子20のチャンネル間の距離が長くなり、キャリア移動の障壁となり得る。

[0032] 上述したように、本実施形態の不揮発性記憶装置100は、複数の不揮発性記憶素子20を高密度で集積化した三次元積層構造を有する。また、各不揮発性記憶素子20は、チャンネルとしてIGZOと呼ばれる金属酸化物を用いるため、高い信頼性を有する。IGZOは、一般的にFETのチャンネルとして用いられるポリシリコンに比べて内部欠陥が少なく、キャリア移動度の低下を招きにくい。また、IGZOは、強誘電体層との界面に誘電率の低い界面層（low-k層）を形成することがないため、ゲート電極に電圧を供給した際に生じる電圧損失も低減できる。低品質なlow-k層が生成されないことは、電荷トラップ等による素子特性の劣化をも低減できることを意味する。これらの利点に加えて、IGZOは、成膜した状態（すなわち、アモルファス状態）で十分なキャリア移動度を有するため、アニール処理により多結晶とする必要性がなく、結晶粒界及び結晶欠陥の影響を受けることがない。また、IGZOをチャンネルとして用いた不揮発性記憶素子は、ジャンクションレスFET（pn接合がないトランジスタ）として動作させることができる。そのため、IGZOをチャンネルとするFETは、チャンネルボディ（チャンネルの中央付近）をキャリアが移動し、界面層付近の電荷トラップの影響を受けにくい。

[0033] 以上の理由から、本実施形態の不揮発性記憶素子20は、チャンネルとしてIGZOを用いることにより、高い信頼性を実現することができる。さらに、後述するように、本実施形態の不揮発性記憶装置100は、個々の不揮発

性記憶素子 20 が、低消費電力で動作可能である。そのため、本実施形態によれば、大容量、低消費電力かつ高信頼性の不揮発性記憶装置 100 を得ることができる。以下、不揮発性記憶素子 20 の素子特性について、シミュレーション結果を用いて説明する。

[0034] [素子特性]

図 4 は、本発明の一実施形態の不揮発性記憶素子 20 における $I_d - V_g$ 特性のシミュレーション結果を示す図である。具体的には、図 4 は、図 2 及び図 3 に示した構造を有する F e F E T におけるチャネル長に対する $I_d - V_g$ 特性の依存性を示している。図 5 は、図 4 の $I_d - V_g$ 特性から求めたメモリウィンドウの幅とチャネル長との関係を示す図である。図 6 は、図 4 の $I_d - V_g$ 特性から求めた S S 値とドレイン電流との関係を示す図である。

[0035] 図 4 に示す $I_d - V_g$ 特性において、半導体部材 210 のチャネル長 (L) は、それぞれ 10 nm、20 nm、50 nm、100 nm、200 nm、500 nm、又は 1 μ m に設定した。図 4 において、半導体部材 210 の直径及びゲート絶縁層 220 の膜厚は、それぞれ 8 nm 及び 10 nm に設定した。残留分極 (P_r) は、20 μ C / cm^2 に設定した。ソースドレイン間の電圧 (V_{ds}) は、50 mV に設定し、ソースゲート間の電圧（以下、「ゲート電圧」と呼ぶ）(V_g) は、-5 V から 5 V の範囲で掃引した。

[0036] 図 4 に示すシミュレーション結果によれば、チャネル長が 1 μ m 以下の範囲では、チャネル長の長さにかかわらず、十分な幅のメモリウィンドウが得られた。特に、チャネル長が 20 nm 以上 1 μ m 以下の範囲においては、ほぼ同等の安定した $I_d - V_g$ 特性が得られ、メモリウィンドウの幅に大きな変化はなかった。すなわち、図 4 に示すシミュレーション結果から、本実施形態の不揮発性記憶素子 20 は、チャネル長が 20 nm 以上 1 μ m 以下であれば、十分なメモリウィンドウを有し、メモリウィンドウの幅にほぼ変化がないことが分かった。

[0037] この点について図 5 に示すグラフで見ると、チャネル長が 20 nm 以上 1

μm 以下の範囲では、メモリウィンドウの幅が 1.0V 以上 1.3V 以下（具体的には、 1.05V 以上 1.25V 以下）の範囲で安定している。換言すれば、チャネル長が 20nm 以上 $1\mu\text{m}$ 以下の範囲では、メモリウィンドウの幅が $1.15\text{V} \pm 1.0\text{V}$ の範囲に収まっている。このように、本実施形態の不揮発性記憶素子20は、チャネル長が 20nm 以上 $1\mu\text{m}$ 以下の範囲において、チャネル長に依存することなく、安定したメモリウィンドウの幅を確保することができる。

[0038] 他方、図4に示すように、チャネル長が 10nm の場合には、他のチャネル長に比べて大きな幅を有するメモリウィンドウが得られた。具体的には、図5に示すように、チャネル長が 10nm の場合、メモリウィンドウの幅は、約 1.4V であった。この要因としては、ゲート絶縁層220におけるソース側電位とドレイン側電位のカップリングの影響が考えられる。

[0039] また、図6に示すように、チャネル長が 20nm 以上 $1\mu\text{m}$ 以下の範囲では、理想値に近い約 $60\text{mV}/\text{dec}$ のSS値が得られた。すなわち、不揮発性記憶素子20は、チャネル長が 20nm 以上 $1\mu\text{m}$ 以下の範囲において、安定したメモリウィンドウの幅を実現できると共に、優れたカットオフ特性を示すことが分かった。これに対し、チャネル長が 10nm の場合、SS値に若干の劣化が確認された。これらの事を踏まえると、本実施形態の不揮発性記憶素子20の場合、チャネル長が 20nm 未満になると、ソース側電位とドレイン側電位のカップリングの影響により、いわゆる短チャネル効果のような特性劣化が生じていると考えられる。

[0040] さらに、図4に示すように、本実施形態の不揮発性記憶素子20は、チャネル長が $1\mu\text{m}$ 以下の範囲において、チャネル長にかかわらず $\pm 1.0\text{V}$ 以下の低電圧で良好なスイッチング動作が得られている。特に、チャネル長が 20nm 以上 $1\mu\text{m}$ 以下の範囲では、 $\pm 0.5\text{V}$ 以下の低電圧で良好なスイッチング動作が得られている。このように、本実施形態の不揮発性記憶素子20は、低電圧で動作させることが可能であるため、低消費電力であるという特長を有する。

[0041] 次に、図7は、本発明の一実施形態の不揮発性記憶素子20におけるゲート絶縁層220の分極電荷の分布を示す図である。図8は、比較例1の不揮発性記憶素子50におけるゲート絶縁層220の分極電荷の分布を示す図である。図7及び図8に示すシミュレーションでは、ゲート電圧は、 -5 V に設定されている。ゲート絶縁層（強誘電体層）は、連続体モデルとして設定されている。図7及び図8は、チャンネル長が 50 nm である場合におけるゲート絶縁層の誘電分極モーメントを、 $0.2\text{ }\mu\text{C}/\text{cm}^2$ ステップで示している。図7及び図8において、チャンネルを表す「IGZO Channel」と記載された矩形の長辺の長さがチャンネル長に対応する。

[0042] 図7に示すように、不揮発性記憶素子20におけるゲート絶縁層220（「Ferroelectric layer」と記された領域）は、チャンネルに沿って連続的に自発分極の反転が生じている。すなわち、不揮発性記憶素子20におけるゲート絶縁層220は、ソースからドレインに亘って連続的に自発分極が反転する。なお、図7では、チャンネルの上側と下側とで自発分極の符号（ $\pm$ ）が逆になっているが、電界のベクトル方向が逆であることを意味している。また、チャンネルから離れた位置に自発分極の反転が生じていない部分が観測されているが、これは、強誘電体層を連続体モデルとして扱っていることに起因すると考えられる。

[0043] このように、不揮発性記憶素子20のゲート絶縁層220は、ソース側からドレイン側に亘って連続的に自発分極の反転が生じるため、良好な書き込み動作（プログラム動作及び消去動作）の制御を行うことが可能である。

[0044] 他方、図8は、チャンネルとしてIGZOを用い、ゲート絶縁層として強誘電体層を用いたプレーナ構造のFeFETのシミュレーション結果を示している。この場合、ゲート絶縁層の自発分極の反転は、左側と右側には観測されるものの、中央付近に近づくとも観測されない。すなわち、比較例1の不揮発性記憶素子におけるゲート絶縁層は、ソース近傍及びドレイン近傍では自発分極の反転が生じるが、ソース及びドレインから遠い部分では、自発分極の反転が生じない。

[0045] 本実施形態の不揮発性記憶素子 20 において、図 7 に示すような自発分極の反転が観測される理由について、以下に説明する。

[0046] 図 9 は、本発明の一実施形態の不揮発性記憶素子 20 におけるゲート絶縁層 220 の内部の電界分布のシミュレーションモデルを示す図である。具体的には、図 9 は、図 3 に示した半導体部材 210 及びゲート絶縁層 220 における長手方向に垂直な面の電界分布を表している。図 10 は、本発明の一実施形態の不揮発性記憶素子 20 におけるゲート絶縁層 220 の内部の電界分布のシミュレーション結果を示す図である。図 10 は、図 3 に示した半導体部材 210 及びゲート絶縁層 220 における長手方向に垂直な断面の中心点を通る直線における電界分布を示している。

[0047] 図 9 において、点線は、それぞれ等電位線 V_a 及び V_b を模式的に表している。等電位線 V_a 及び V_b については、近似的には、ガウスの定理により、 $\epsilon * E_1 * S_1 = \epsilon * E_2 * S_2$ と同様の大小関係が成立すると考えられる。ここで、 ϵ 、 E 及び S は、それぞれ誘電率、電界強度及び表面積を表す。つまり、ゲート絶縁層 220 の内部における電界強度（電界の強さ）は、半導体部材 210 に近づくほど大きくなる。図 10 には、ゲート絶縁層 220（HZO と記された領域）の内部における電界強度が半導体部材 210（IGZO と記された領域）に近づくにつれて大きくなっている様子が示されている。ゲート絶縁層 220 の内部において、チャネルとして機能する半導体部材 210 の近傍には大きな電界が形成される。そのため、図 7 に示したように、チャネルに沿って連続的に自発分極の反転が生じると考えられる。

[0048] 以上のとおり、本実施形態の不揮発性記憶素子 20 は、柱状の半導体部材 210 の周囲を円筒状のゲート絶縁層 220 で囲むという構造を有することにより、チャネル近傍におけるゲート絶縁層 220 において自発分極の反転が起こりやすいという特長を有している。すなわち、本実施形態では、三次元構造における電界集中によりチャネル近傍の電界が強まることを利用して、プログラム動作（特に消去動作）の特性を改善することが可能である。

[0049] 次に、本実施形態の不揮発性記憶素子 20 における半導体部材 210 の直

径に対する依存性について説明する。

[0050] 図11は、本発明の一実施形態の不揮発性記憶素子20における I_d-V_g 特性のシミュレーション結果を示す図である。具体的には、図11は、図2及び図3に示した構造を有するFeFETにおける半導体部材210の直径に対する I_d-V_g 特性の依存性を示している。図12は、図11に示した I_d-V_g 特性から求めたメモリウィンドウの幅と直径との関係を示す図である。図13は、図11に示した I_d-V_g 特性から求めたSS値とドレイン電流との関係を示す図である。

[0051] 図11に示す I_d-V_g 特性において、半導体部材210の直径(D)は、それぞれ8nm、16nm、又は24nmに設定した。図11において、半導体部材210のチャンネル長及びゲート絶縁層220の膜厚は、それぞれ50nm及び10nmに設定した。残留分極(P_r)は、 $20\mu C/cm^2$ に設定した。また、ソースドレイン間の電圧(V_{ds})は、50mVに設定し、ゲート電圧(V_g)は、-5Vから5Vの範囲で掃引した。

[0052] 図11に示すシミュレーション結果によれば、半導体部材210の直径(D)、すなわちチャンネルの直径が小さくなるほど、メモリウィンドウの幅が大きくなることが分かった。図12に示すように、不揮発性記憶素子20における半導体部材210の直径とメモリウィンドウの幅は、線形関係を有する。図12に示す関係を参照すると、例えば、半導体部材210の直径が20nm以下であれば、0.6V以上のメモリウィンドウの幅を確保できる。また、半導体部材210の直径を16nm以下とすれば、0.8V以上のメモリウィンドウの幅を確保できる。さらに、半導体部材210の直径を10nm以下とすれば、1.0V以上のメモリウィンドウの幅を確保できる。

[0053] また、図13に示すように、不揮発性記憶素子20のSS値は、半導体部材210の直径に依存せず、 $60mV/dec$ 以上 $65mV/dec$ 以下の範囲に収まることが分かった。また、不揮発性記憶素子20は、半導体部材210の直径が小さくなるほど、SS値も小さくなることが分かった。以上のことから、不揮発性記憶素子20のSS値は、半導体部材210の直径に

依らず、良好な値を示すことが分かった。

[0054] 以上説明したとおり、本実施形態の不揮発性記憶素子 20 は、図 2 及び図 3 に示したように、円筒状のゲート絶縁層 220 の内側が半導体部材 210 で占められた構造を有する。このような構造を採用することにより、不揮発性記憶素子 20 は、例えば、半導体部材 210 の直径 (D) が 20 nm 以下、かつ、チャネル長 (L) が 1 μ m 以下の範囲において、良好なメモリウィンドウの幅及び SS 値を得られる。

[0055] [比較例 2 の素子構造]

図 14 は、比較例 2 の不揮発性記憶装置 500 における素子構造を示す断面図である。図 14 に示すように、不揮発性記憶装置 500 は、複数の不揮発性記憶素子 50 が立体的に集積化した 3 次元積層構造を有する。複数の不揮発性記憶素子 50 は、チャネルとして機能する円筒状のチャネル層 510 を共通にして、チャネル層 510 の長手方向に沿って直列に配置される。不揮発性記憶素子 50 は、チャネル層 510、ゲート絶縁層 520、及びゲート電極 530 で構成される F e F E T である。チャネル層 510 及びゲート絶縁層 520 は、複数の不揮発性記憶素子 50 に対して共通である。本実施形態の不揮発性記憶素子 20 と、図 14 に示す不揮発性記憶素子 50 との相違点は、不揮発性記憶素子 50 は、チャネル層 510 が円筒形状であり、内側に絶縁材料で構成されるフィラー部材 550 を有する点である。フィラー部材 550 は、円筒形状のチャネル層 510 の内側を充填する充填部材として機能する。フィラー部材 550 としては、酸化シリコン、窒化シリコン、樹脂等の絶縁材料を用いることができる。本実施形態では、フィラー部材 550 として、酸化シリコンで構成される、直径 4 nm の部材を用いる。

[0056] 図 15 は、比較例 2 の不揮発性記憶素子 50 の $I_d - V_g$ 特性のシミュレーション結果を示す図である。具体的には、図 15 は、図 14 に示した構造を有する F e F E T におけるチャネル長に対する $I_d - V_g$ 特性の依存性を示している。図 16 は、図 15 に示した $I_d - V_g$ 特性から求めたメモリウィンドウの幅とチャネル長との関係を示す図である。図 17 は、図 15 に示

した $I_d - V_g$ 特性から求めた SS 値とドレイン電流との関係を示す図である。

[0057] 図15に示す $I_d - V_g$ 特性において、チャネル層510のチャネル長 (L) は、それぞれ20nm、50nm、100nm、200nm、500nm、又は1 μ mに設定した。図15において、チャネル層510の膜厚及びゲート絶縁層520の膜厚は、それぞれ8nm及び10nmに設定した。残留分極 (P_r) は、20 μ C/cm²に設定した。ソースドレイン間の電圧 (V_{ds}) は、50mVに設定し、ゲート電圧 (V_g) は、-5Vから5Vの範囲で掃引した。

[0058] 図15及び図16に示すシミュレーション結果によれば、チャネル長が500nm以下の範囲では、徐々にメモリウィンドウが開き、チャネル長が短くなるほどメモリウィンドウの幅が広がることがわかった。特に、チャネル長が50nm以上200nm以下の範囲では、メモリウィンドウの幅が約0.7V以上0.8V以下の範囲で安定している。他方、チャネル長が50nm以下になると、メモリウィンドウの幅が増加した。この要因としては、ソース側電位とドレイン側電位のカップリングの影響が考えられる。

[0059] また、図17に示すように、比較例2の不揮発性記憶素子50の SS 値は、チャネル長に依存せず、ほぼ60mV/dec前後に収まることが分かった。これに対し、チャネル長が20nmの場合、 SS 値に若干の劣化が確認された。これらの事を踏まえると、不揮発性記憶素子50の場合、チャネル長が50nm未満になると、ソース側電位とドレイン側電位のカップリングの影響により、いわゆる短チャネル効果のような特性劣化が生じていると考えられる。

[0060] 図18は、本発明の一実施形態の不揮発性記憶素子20と比較例2の不揮発性記憶素子50とにおけるチャネル長に対するメモリウィンドウの幅の依存性を比較した図である。図18において、「Embodiment」で表されるプロットは、本実施形態の不揮発性記憶素子20のメモリウィンドウの幅を示している。「Comparative example」で表され

るプロットは、比較例2の不揮発性記憶素子50のメモリウィンドウの幅を示している。「Comparative example」について、「D__channel__20nm」は、4nmの直径のフィラー部材の周囲に膜厚が8nmの円筒状のIGZOが設けられた構造を意味する。

[0061] 図18に示すように、チャネル長が1 μ m以下の範囲では、本発明の一実施形態の不揮発性記憶素子20のメモリウィンドウの幅は、比較例2の不揮発性記憶素子50のメモリウィンドウの幅よりも大きい。また、比較例2の不揮発性記憶素子50は、メモリウィンドウの幅の変動が大きいのに対し、本実施形態の不揮発性記憶素子20は、メモリウィンドウの幅が約1.2V前後に安定している。このように、本実施形態の不揮発性記憶素子20は、比較例2の不揮発性記憶素子50に比べて、大きなメモリウィンドウを、チャネル長に依らず安定して確保することが可能である。すなわち、本実施形態の不揮発性記憶素子20は、比較例2の不揮発性記憶素子50に比べて、大幅にメモリウィンドウを改善することができる。

[0062] (変形例1)

本変形例では、半導体部材210の外径とゲート絶縁層220の膜厚との関係について説明する。

[0063] 図19は、本発明の一実施形態の不揮発性記憶装置100における素子構造の変形例を示す断面斜視図である。具体的には、図19は、図1に示した不揮発性記憶装置100において、枠線200で囲んだ部分を拡大した図に対応する。

[0064] 図19に示す例では、半導体部材210の外径D1（すなわち、半導体部材210の直径）に比べて、強誘電体で構成されるゲート絶縁層220の膜厚D2の方が大きい。具体的には、半導体部材210の外径をD1とし、ゲート絶縁層220の膜厚をD2とすると、 $D1 \leq D2$ の関係が成立する。このような関係は、次に説明するシミュレーション結果から導かれる。

[0065] 図20は、図19に示した素子構造の不揮発性記憶素子におけるメモリウィンドウの幅とゲート絶縁層220の膜厚（図20では、「Thz0」と記

す)との関係を示す図である。図20において、半導体部材210のチャンネル長及び直径は、それぞれ50nm及び8nmに設定した。また、書き込み電圧は、5V、7.5V及び10Vとした。

[0066] 図20に示すように、ゲート絶縁層220の膜厚D2が10nm以上18nm以下の範囲では、書き込み電圧に依らず、ゲート絶縁層220の膜厚D2が増加するにつれて徐々にメモリウィンドウの幅が大きくなる傾向が観測された。他方、ゲート絶縁層220の膜厚D2が18nmを超えると、書き込み電圧が5Vの場合は、メモリウィンドウの幅が低下し、書き込み電圧が7.5Vの場合は、メモリウィンドウの幅にほとんど変化がみられなかった。

[0067] 書き込み電圧が5Vの場合、ゲート絶縁層220の膜厚D2が18nmを超えた場合に観測される傾向は、ゲート絶縁層220の膜厚が増加したことにより、不揮発性記憶素子に印加される書き込み電圧が不足したためと考えられる。そのため、書き込み電圧が10Vの場合は、ゲート絶縁層220の膜厚D2が18nmを超えてもメモリウィンドウの幅が増加している。すなわち、書き込み電圧を高くするほど、メモリウィンドウが極大に達するゲート絶縁層220の膜厚は大きくなると考えられる。ただし、書き込み電圧の増加は、不揮発性記憶装置100の消費電力の増加を招くため、書き込み電圧は、7.5V以下とすることが望ましい。

[0068] 以上のように、書き込み電圧が7.5V以下の場合、ゲート絶縁層220の膜厚D2が、少なくとも10nm以上18nm以下の範囲では、書き込み電圧に依らず線形的にメモリウィンドウの幅が増加し、かつ、少なくとも1.3V以上の幅を有するメモリウィンドウを確保できることが確認された。なお、図20に示す結果によれば、膜厚D2が10nm以下の範囲まで各グラフを外挿すると、少なくともゲート絶縁層220の膜厚D2が8nm以上の範囲では、1.3V以上の幅を有するメモリウィンドウを確保できると予想される。

[0069] これらの結果から、ゲート絶縁層220の膜厚D2が半導体部材210の

外径 D_1 （ここでは、8 nm）以上である場合、十分な幅のメモリウィンドウを確保できると言える。より好ましくは、ゲート絶縁層220の膜厚 D_2 が半導体部材210の外径 D_1 の1.4倍以上である。すなわち、図20に示す例の場合、ゲート絶縁層220の膜厚 D_2 は、8 nm以上（好ましくは、12 nm以上、さらに好ましくは16 nm以上）であることが望ましい。

[0070] 以上のように、図19に示した素子構造において、ゲート絶縁層220の膜厚 D_2 を、半導体部材210の外径 D_1 と等しくする、又は、半導体部材210の外径 D_1 より大きくすることにより、十分なメモリウィンドウの幅を確保することができる。

[0071] 本変形例に示した素子構造は、特にメモリホール（図19において、 D_3 を直径とする円筒形状の孔）の直径が50 nm程度の集積度である場合に有効な構造である。図12を用いて説明したように、図2に示した内部に中空部分又は他の部材を実質的に有していない素子構造は、半導体部材210の外径が小さくなるほど良好なメモリウィンドウの幅が得られる。しかしながら、メモリホールの直径が大きい場合、必然的に半導体部材210の外径も大きくなるため、メモリウィンドウの確保という観点からは望ましいものではない。これに対し、本変形例の素子構造は、半導体部材210の外径 D_1 を小さくしつつゲート絶縁層220の膜厚 D_2 を大きくすることにより、十分な幅のメモリウィンドウを確保しつつの直径50 nm程度のメモリホールにも十分に対応することができる。具体的には、メモリホールの直径が30 nm以上60 nm以下の範囲であると仮定すれば、半導体部材210の外径は、1 nm以上12 nm以下、ゲート絶縁層220の膜厚は15 nm以上22 nm以下であることが好ましい。

[0072] （変形例2）

本変形例では、半導体部材の中心に、半導体部材の外径よりも十分に径の小さい中空部分が存在する例について説明する。

[0073] 図21は、本発明の一実施形態の不揮発性記憶装置100における素子構造の変形例を示す断面斜視図である。具体的には、図21は、図1に示した

不揮発性記憶装置 100 において、枠線 200 で囲んだ部分を拡大した図に対応する。

[0074] 図 21 に示す例では、半導体部材 210a は、円筒形状である。つまり、半導体部材 210a は、中心に中空部分を有している。本変形例では、半導体部材 210a の中空部分が絶縁材料で構成されるフィラー部材 250a で充填されている。ただし、この例に限られるものではなく、半導体部材 210a の中空部分は、何もない空隙であってもよい。このとき、本変形例では、半導体部材 210a の外径 $D1$ （すなわち、半導体部材 210a の直径）に比べて、半導体部材 210a の内径 $D5$ （すなわち、フィラー部材 250a の外径）が十分に小さい。具体的には、半導体部材 210a の外径 $D1$ に対する半導体部材 210a の内径 $D5$ の割合は、15%以下（好ましくは、10%以下）である。このような関係は、次に説明するシミュレーション結果から導かれる。

[0075] 図 22 は、図 21 に示した素子構造の不揮発性記憶素子におけるメモリウィンドウの幅と半導体部材の膜厚 $D4$ （図 22 では、「 $Tigzo$ 」と記す）との関係を示す図である。ここで、半導体部材の膜厚とは、図 21 を例に示すと、フィラー部材 250a とゲート絶縁層 220a との間の距離に相当する。すなわち、図 21 に示す例では、 $D1 = 2 \times D4 + D5$ の関係が成立する。なお、図 22 において、半導体部材のチャネル長は 50 nm、ゲート絶縁層の膜厚は 10 nm に設定し、書き込み電圧は、5 V に設定した。また、半導体部材の外径 $D1$ （図 22 では、単に「 D 」と記す）は、8 nm、16 nm 及び 24 nm とした。

[0076] 図 22 に示す各グラフにおいて、右端に位置するプロット（ $Tigzo$ が最も大きいプロット）は、半導体部材に中空部分が無い素子構造、すなわち、図 2 に示した素子構造に対応する。例えば、 $D1 = 24$ nm に対応するグラフの場合、右端に位置するプロットにおける膜厚 $D4$ （ $Tigzo$ ）は 12 nm であり、中空部分の無い（ $D5 = 0$ ）半導体部材の半径に相当する。他方、右端に位置するプロット以外のプロットは、いずれも図 21 に示すよ

うに半導体部材に中空部分が存在する ($D_5 > 0$) 素子構造に対応する。

[0077] 図22に示す結果によれば、各グラフにおいて、右端に位置するプロットの近傍では、半導体部材の膜厚 (T_{igzo}) の変化に対するメモリウィンドウの幅の変化率が小さい。例えば、 $D_1 = 8 \text{ nm}$ に対応するグラフの場合、右端のプロット ($T_{igzo} = 4 \text{ nm}$) と隣接するプロット ($T_{igzo} = 3 \text{ nm}$) とでメモリウィンドウの幅 (約 1.35 V) は略同一である。この事は、 $D_1 = 8 \text{ nm}$ の場合、中空部分の無い半導体部材を有する素子構造 (図2に示す素子構造) におけるメモリウィンドウの幅と、 2 nm の中空部分を有する半導体部材を含む素子構造 (つまり、図21に示す素子構造) におけるメモリウィンドウの幅との間に、殆ど変化がないことを示している。

[0078] このように、 $D_1 = 8 \text{ nm}$ の場合、図21に示す素子構造においても、中空部分の体積が十分に小さい場合は、図2に示した素子構造と実質的に同等のメモリウィンドウの幅を確保できることが分かった。このことから、外径 D_5 が 2 nm 以下 (好ましくは 1 nm 以下) の中空部分を有する半導体部材を含む素子構造であれば、中空部分の無い半導体部材を有する素子構造 ($D_5 = 0$) と実質的に同等のメモリウィンドウの幅を確保することができると言える。例えば、 $D_1 = 16 \text{ nm}$ の場合、 $T_{igzo} = 7 \text{ nm}$ (つまり、中空部分の外径が 2 nm) のときにおけるメモリウィンドウの幅は、約 0.9 V であり、右端のプロットにおけるメモリウィンドウの幅 (約 0.85 V) と実質的な差異はない。また、 $D = 24 \text{ nm}$ の場合、 $T_{igzo} = 11 \text{ nm}$ (つまり、中空部分の外径が 2 nm) のときにおけるメモリウィンドウの幅は、約 0.55 V であり、右端のプロットにおけるメモリウィンドウの幅 (約 0.5 V) と実質的な差異はない。

[0079] 以上の結果から、半導体部材の外径 D_1 に対する半導体部材の内径 D_5 の割合が 15% 以下 (好ましくは、 10% 以下) であれば、図21に示す素子構造であった場合においても、図2に示した中空部分の無い半導体部材を含む素子構造と実質的に同等のメモリウィンドウの幅を実現でき、実用上問題がないことが分かった。

[0080] 上述の結果は、図2に示した素子構造のプロセスマージンが高いことを意味する。例えば、図2に示した素子構造の場合、30～50nm程度の直径を有する孔（トレンチ）を金属酸化物材料で充填することにより半導体部材210を形成するが、このとき、トレンチの内壁側から充填が進むため、半導体部材210の中心近傍に充填できない空隙が形成される場合がある。しかし、この場合であっても、空隙の体積が十分に小さい場合には、空隙の無い場合と実質的に同等のメモリウィンドウを確保できると考えられる。

[0081] ところで、図22に示す結果において、例えば、 $D = 16 \text{ nm}$ 、 $T_{igzo} = 4 \text{ nm}$ の場合、メモリウィンドウの幅は、約1.25Vである。このとき、ゲート絶縁層の膜厚は10nmであるため、メモリホール（図23のD3を直径とする円筒形状の孔）の直径は36nmである。このような素子構造は、図14に示した比較例2の素子構造に対応する。具体的には、図23を参照すると、半導体部材510の外径D1が16nm、ゲート絶縁層520の膜厚D2が10nm、メモリホールの直径D3が36nm、半導体部材510の膜厚D4が4nm、フィラー部材550の外径D5が8nmである。

[0082] これに対し、図19において、半導体部材210の膜厚（半導体部材210の外径D1の半分に相当する）とメモリホールの直径D3とが、図23に示す素子構造と同一である素子構造は、半導体部材210の外径D1が8nm、ゲート絶縁層220の膜厚D2が14nm、メモリホールの直径D3が36nmである。このような素子構造のメモリウィンドウの幅は、図20に示す結果によれば、約1.45Vである。つまり、図23に示す素子構造におけるメモリウィンドウの幅（約1.25V）よりも大きい。

[0083] 以上の事から、メモリホールの直径D3に占める半導体部材の膜厚の合計（図19に示す素子構造の場合はD1であり、図23に示す素子構造の場合はD4の2倍である）の割合が同じ条件で比較すると、図23に示す素子構造に比べて、図19に示す素子構造の方がメモリウィンドウの幅が大きいと言える。

[0084] 本発明の実施形態である不揮発性記憶装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0085] また、上述した実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

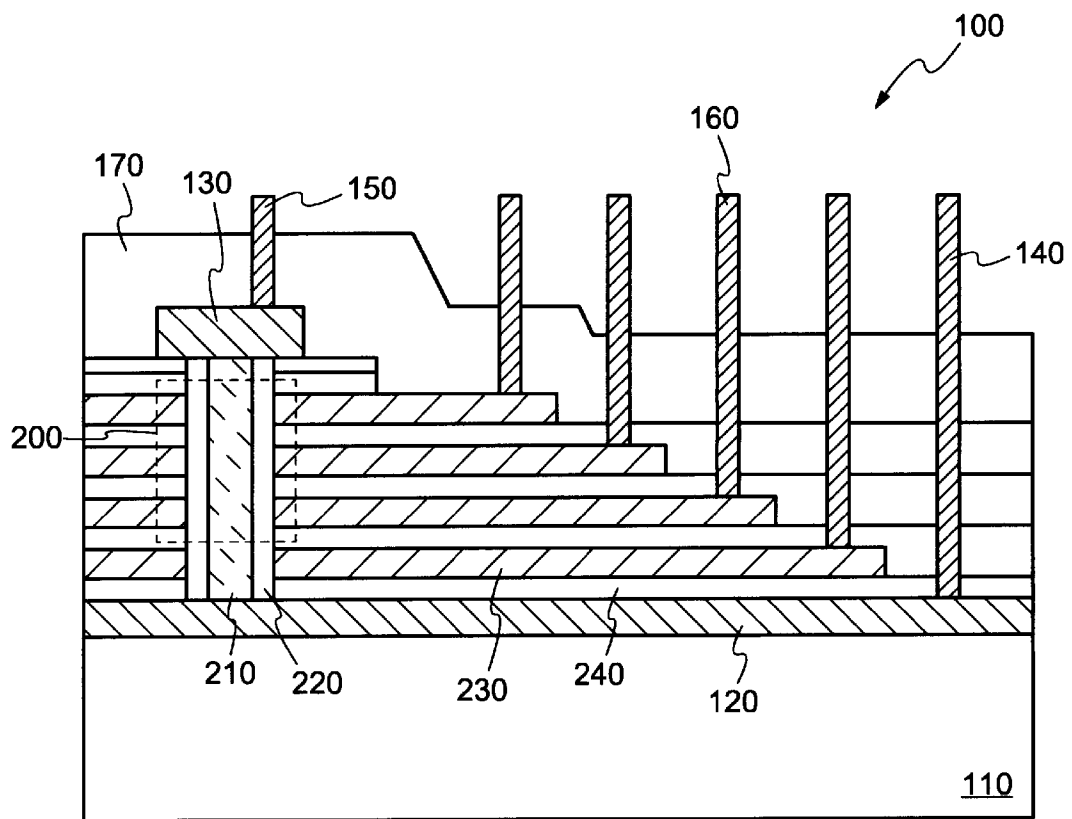
[0086] 1 0…不揮発性記憶素子、1 1 0…基板、1 2 0…ソース電極、1 3 0…ドレイン電極、1 4 0…ソース端子、1 5 0…ドレイン端子、1 6 0…ゲート端子、1 7 0…パッシベーション層、2 1 0…半導体部材、2 2 0…ゲート絶縁層、2 3 0…ゲート電極、2 4 0…絶縁層

請求の範囲

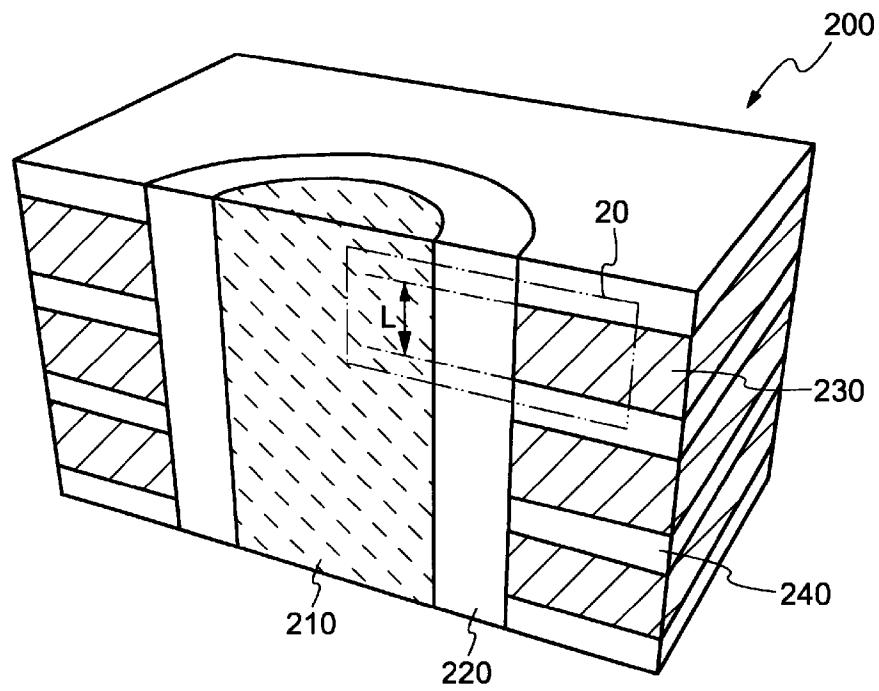
- [請求項1] 複数の不揮発性記憶素子が直列に配置された3次元積層構造を有する不揮発性記憶装置であって、
- 金属酸化物を含む柱状の半導体部材と、
- 酸化ハフニウムを含み、前記半導体部材の側面に接して前記半導体部材を囲む強誘電体層と、
- 前記強誘電体層を介して前記半導体部材の側面に対向すると共に前記半導体部材の長手方向に沿って配置された複数のゲート電極と、
- を備え、
- 前記半導体部材は、外周面から中心軸に至るまで連続する部材である、不揮発性記憶装置。
- [請求項2] 前記複数の不揮発性記憶素子は、前記半導体部材を共有する、請求項1に記載の不揮発性記憶装置。
- [請求項3] 前記半導体部材の直径が20nm以下である、請求項1又は2に記載の不揮発性記憶装置。
- [請求項4] 前記金属酸化物が、IGZO、ITO、IZO、又はITZOである、請求項1乃至3のいずれか一項に記載の不揮発性記憶装置。
- [請求項5] 前記複数のゲート電極の間にそれぞれ設けられた複数の絶縁層をさらに備える、請求項1乃至4のいずれか一項に記載の不揮発性記憶装置。
- [請求項6] 前記複数のゲート電極それぞれの幅が1μm以下である、請求項1乃至5のいずれか一項に記載の不揮発性記憶装置。
- [請求項7] 前記強誘電体層の膜厚が5nm以上20nm以下である、請求項1乃至6のいずれか一項に記載の不揮発性記憶装置。
- [請求項8] 前記強誘電体層の膜厚が前記半導体部材の外径以上である、請求項1乃至6のいずれか一項に記載の不揮発性記憶装置。
- [請求項9] 複数の不揮発性記憶素子が直列に配置された3次元積層構造を有する不揮発性記憶装置であって、

金属酸化物を含む円筒状の半導体部材と、
酸化ハフニウムを含み、前記半導体部材の側面に接して前記半導体部材を囲む強誘電体層と、
前記強誘電体層を介して前記半導体部材の側面に対向すると共に前記半導体部材の長手方向に沿って配置された複数のゲート電極と、
を備え、
前記半導体部材の外径に対する前記半導体部材の内径の割合が 1/5 %以下である、不揮発性記憶装置。

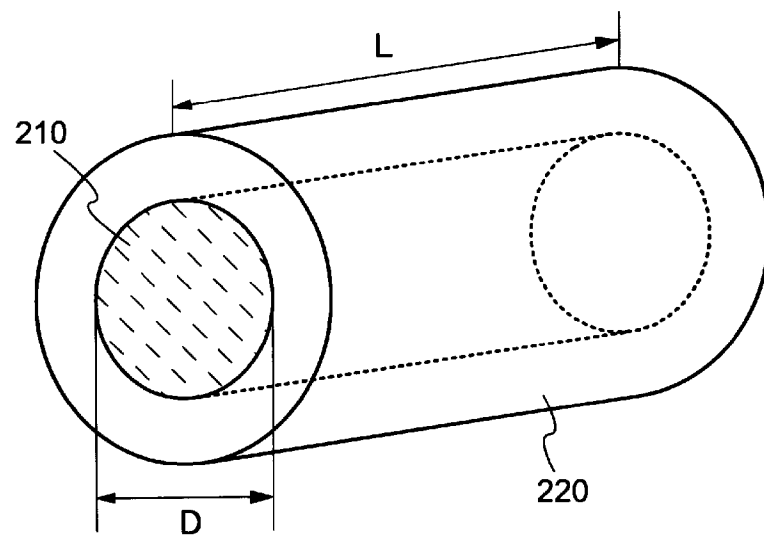
[図1]



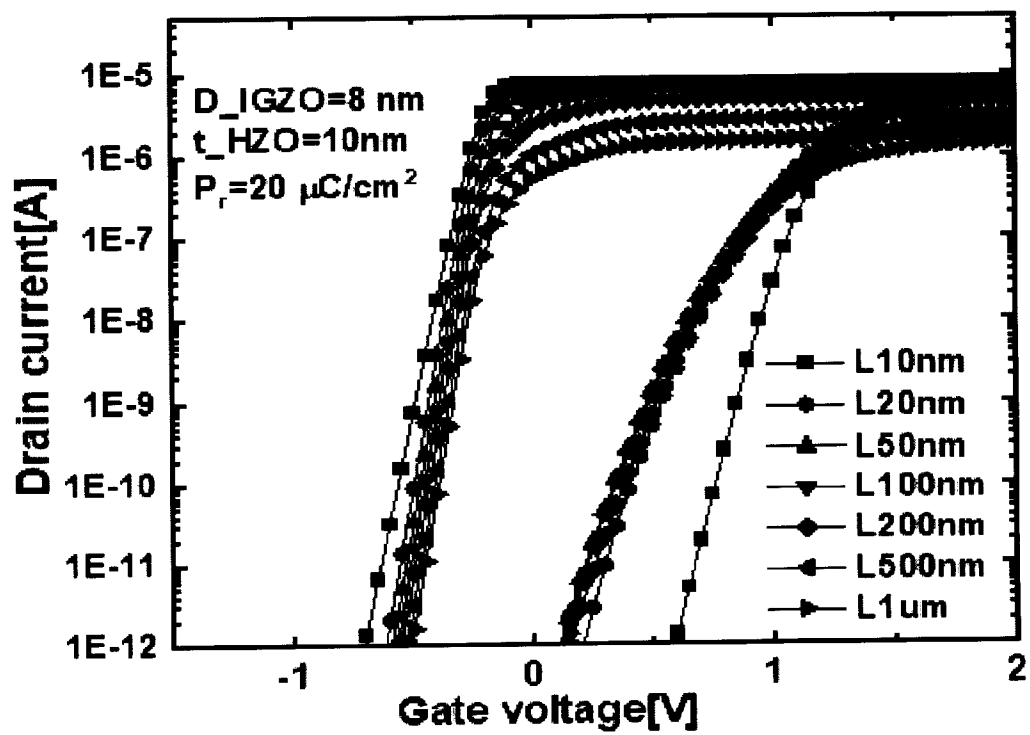
[図2]



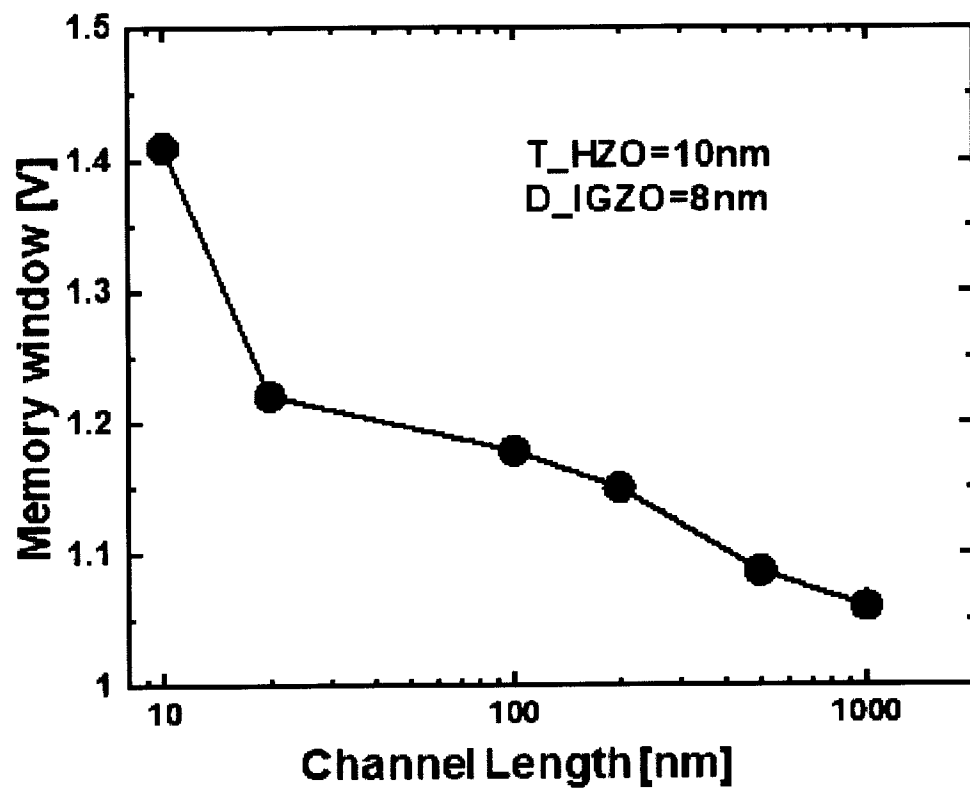
[図3]



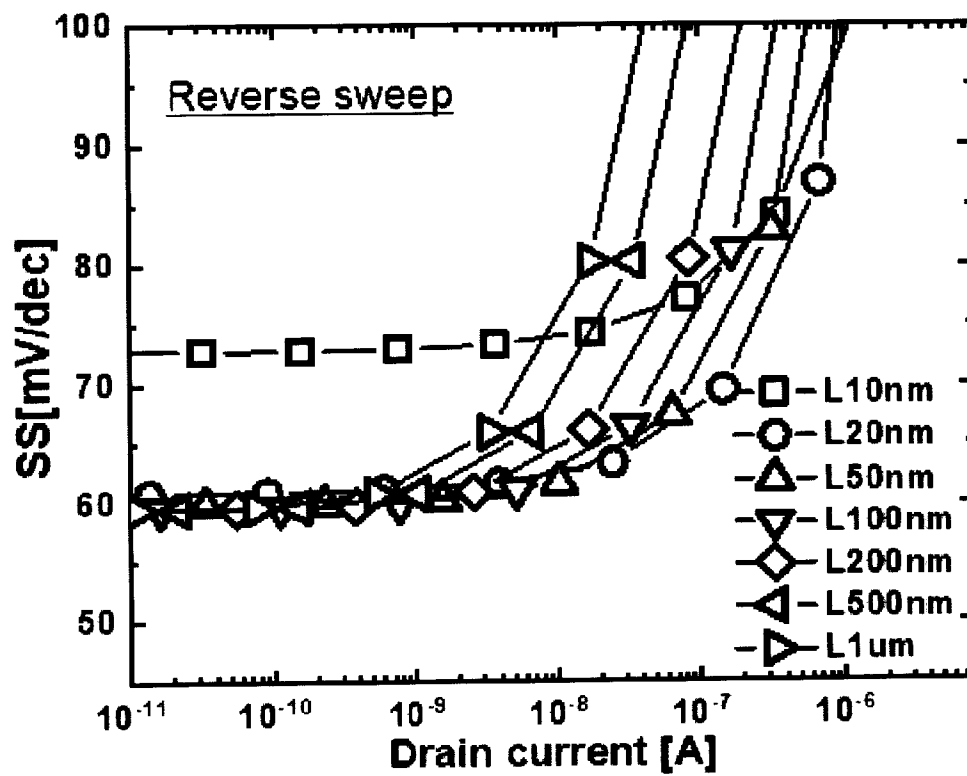
[図4]



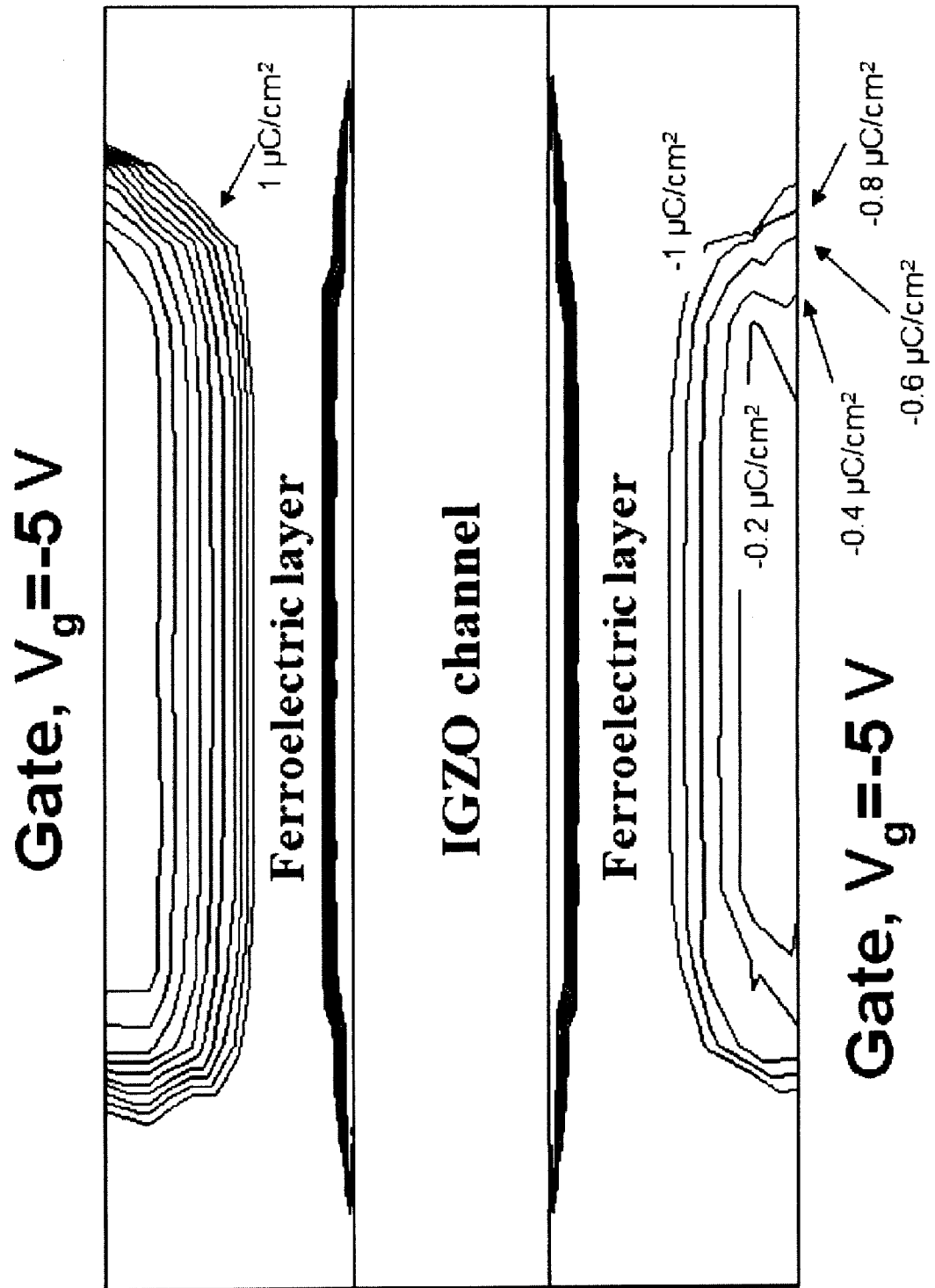
[図5]



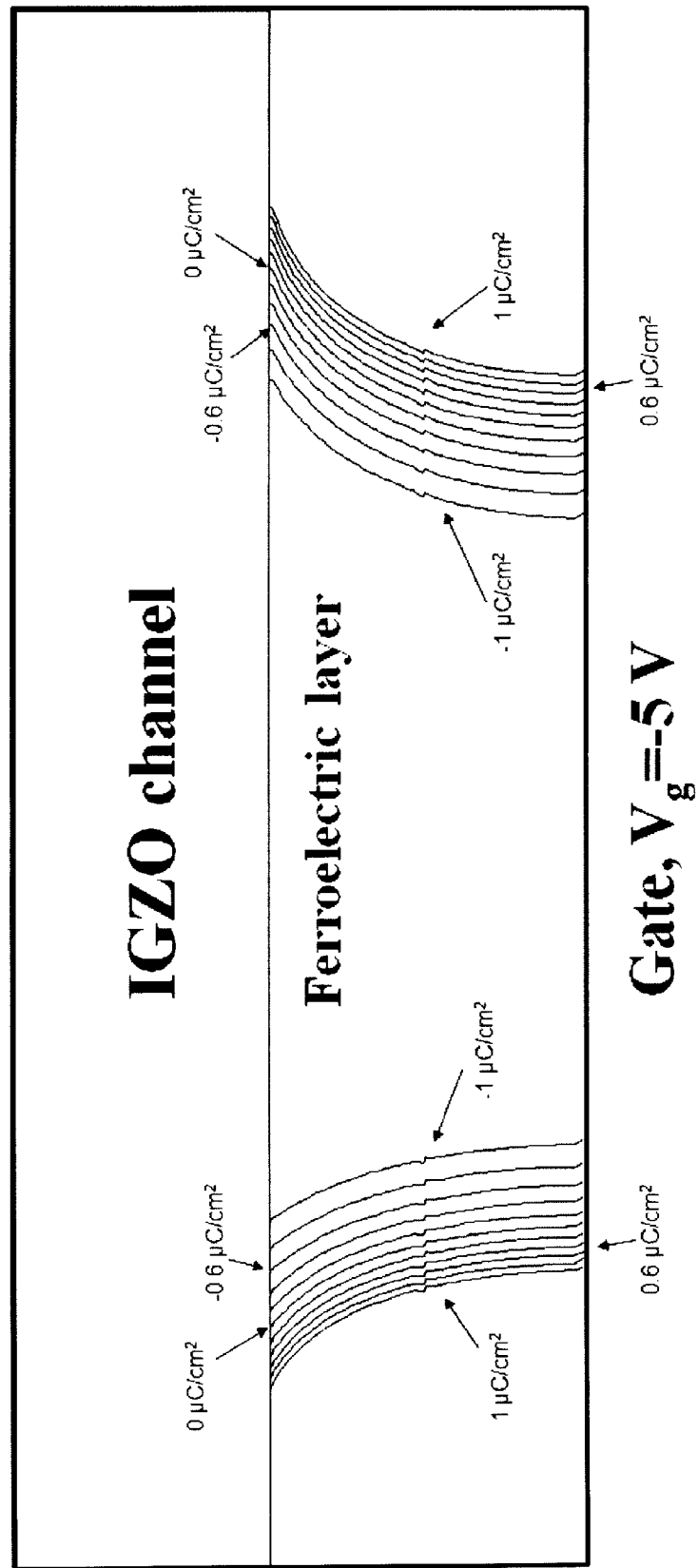
[図6]



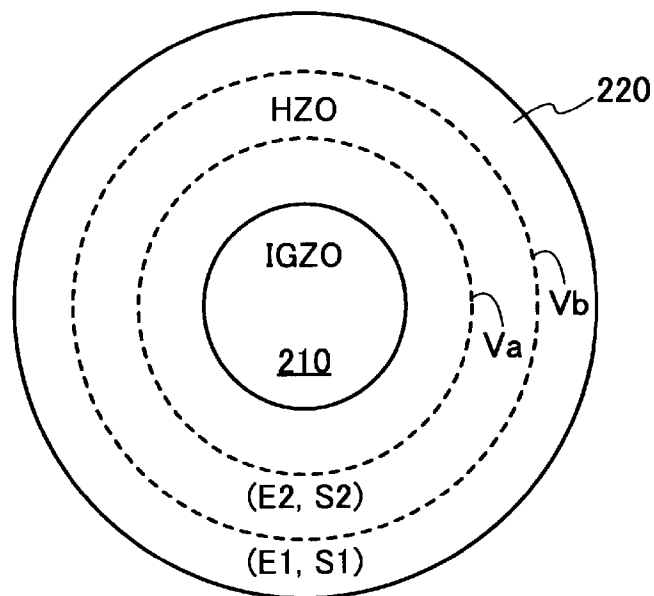
[図7]



[図8]

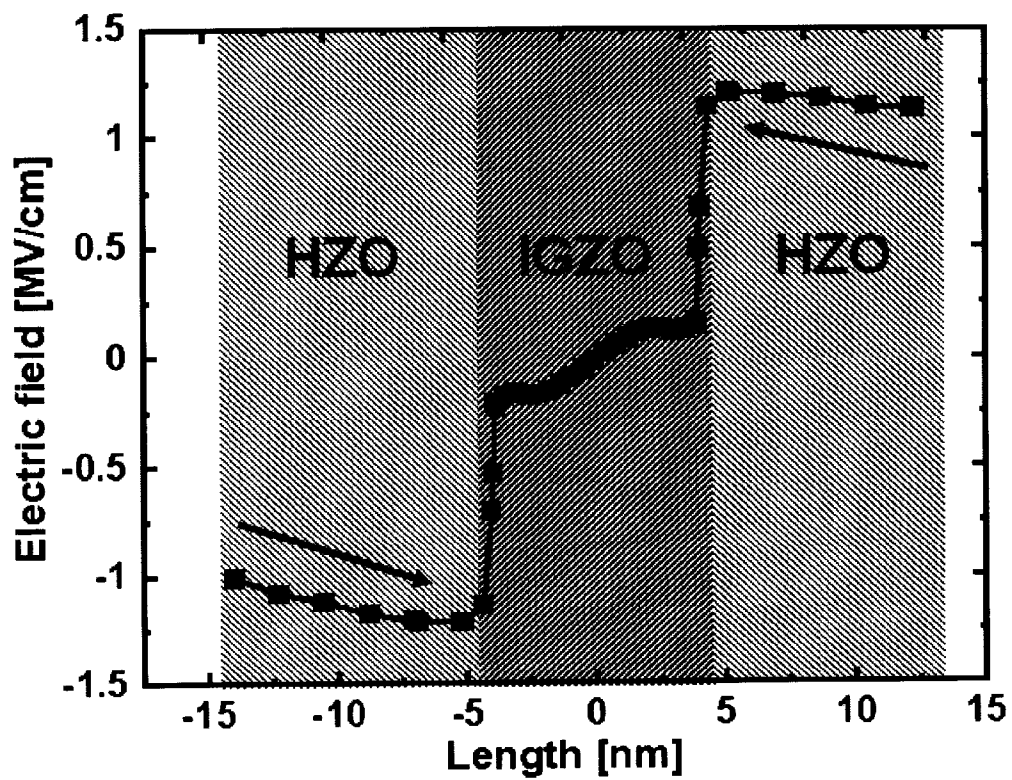


[図9]

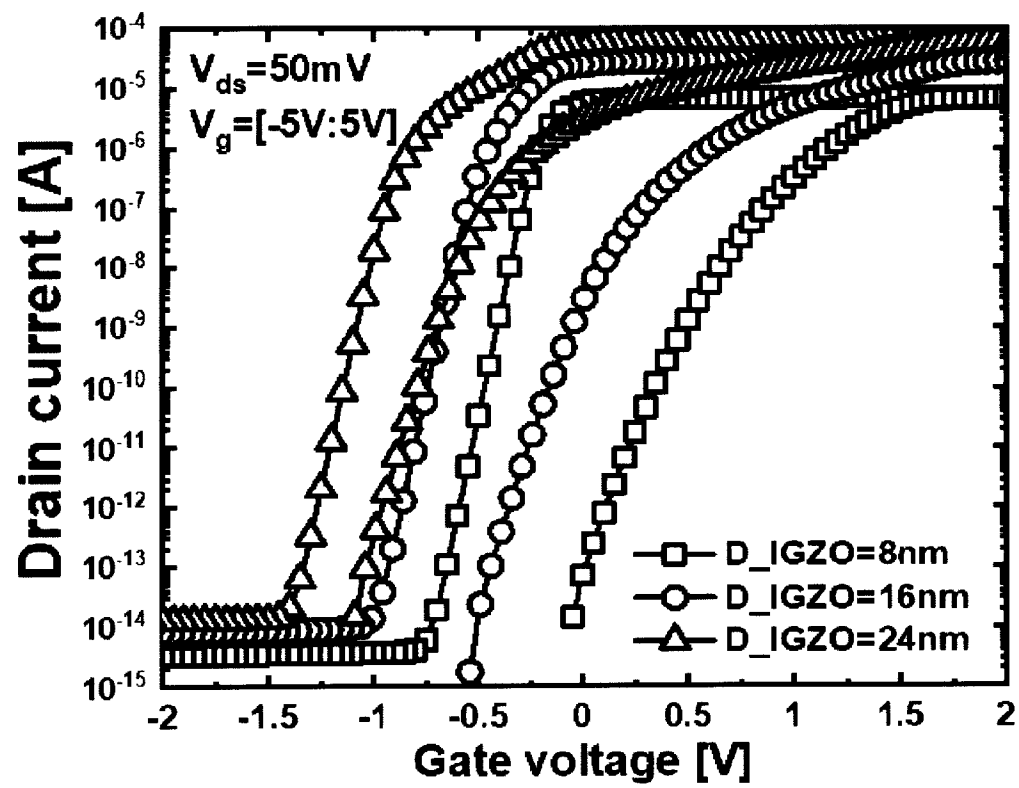


$$\varepsilon * E1 * S1 = \varepsilon * E2 * S2$$

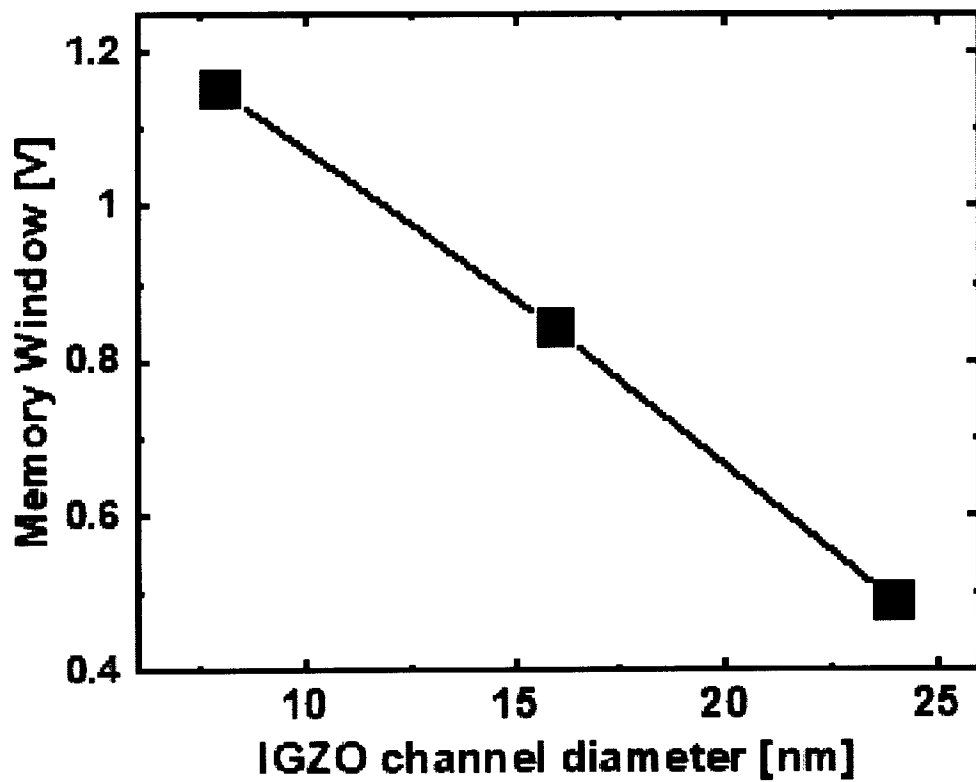
[図10]



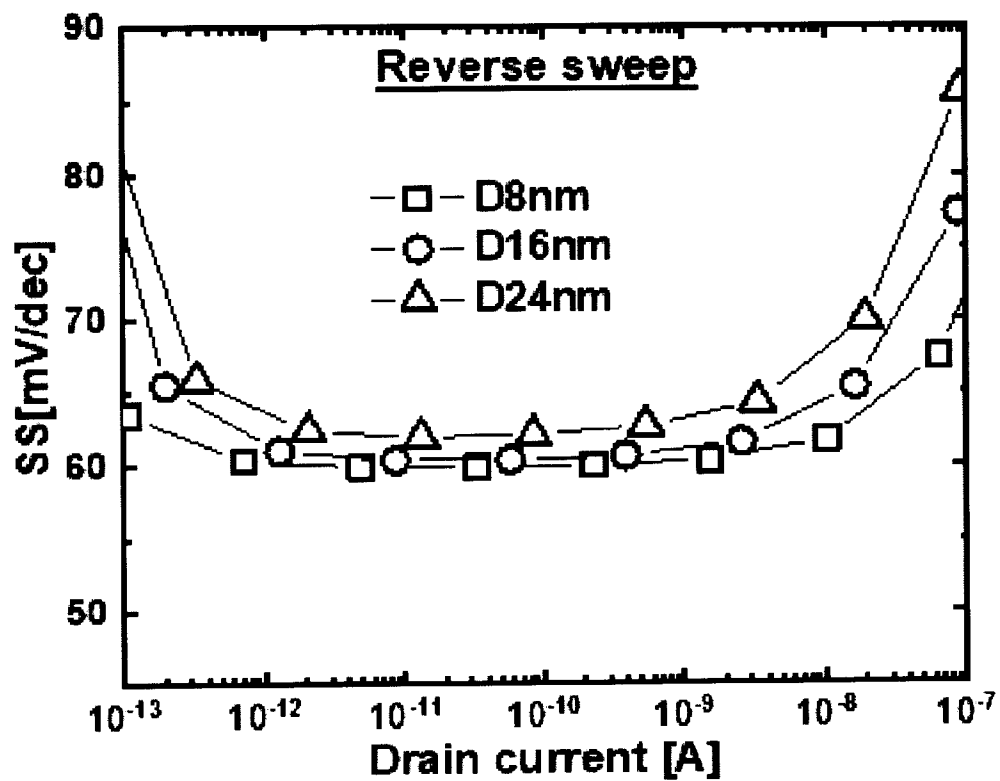
[図11]



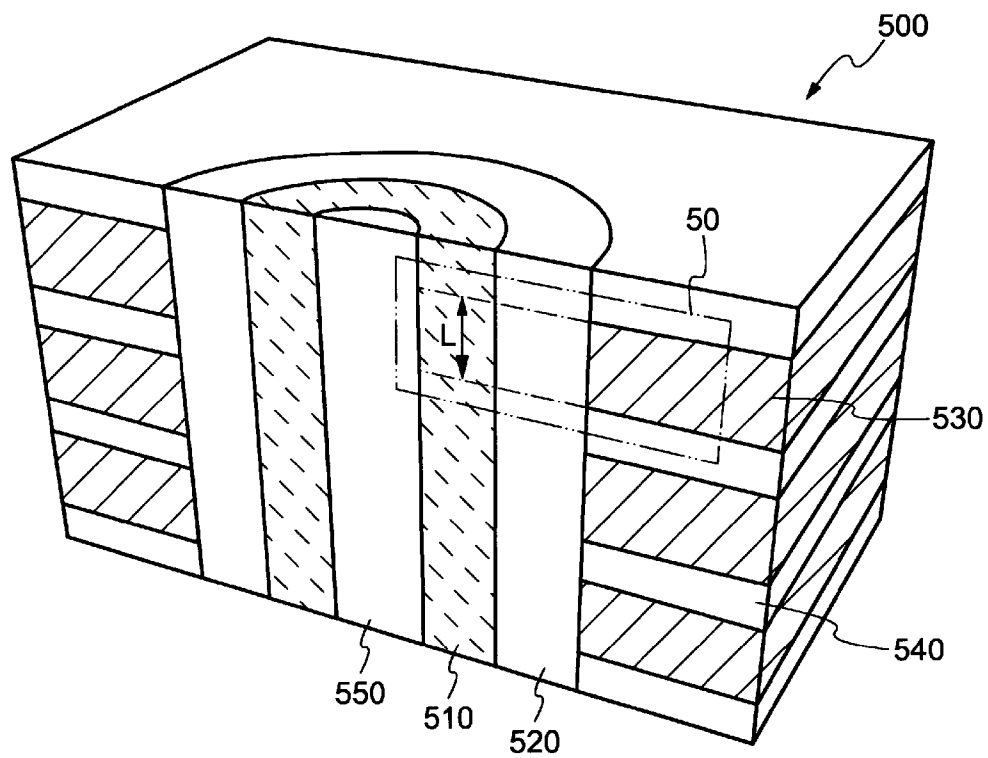
[図12]



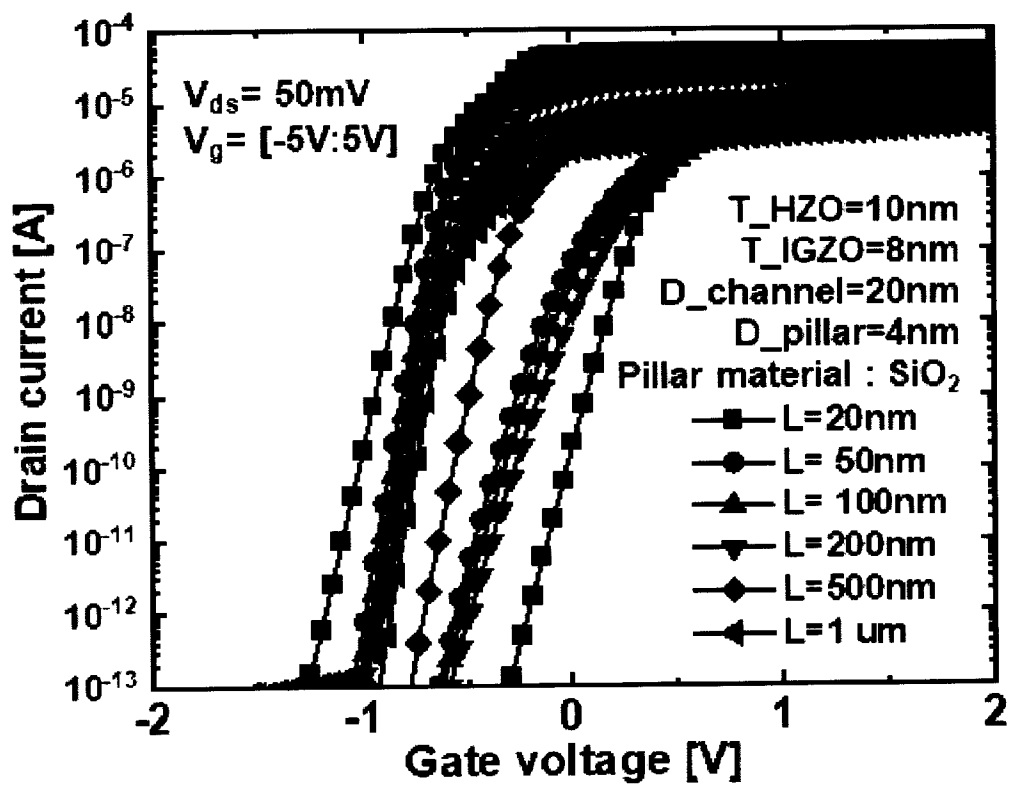
[図13]



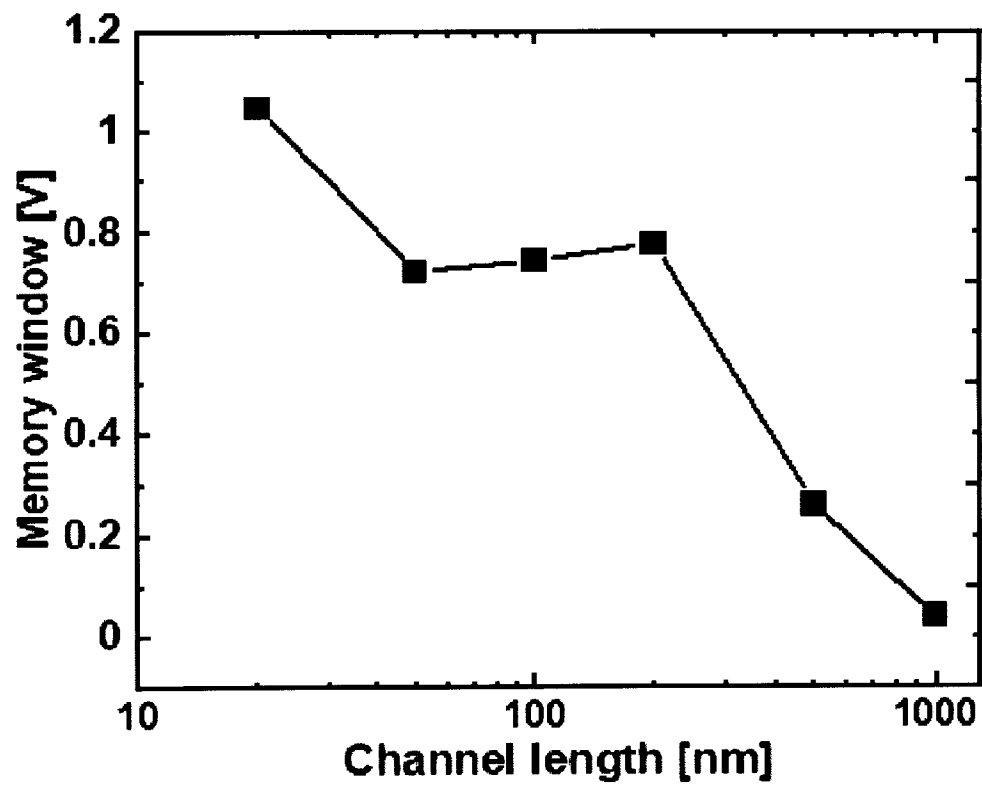
[図14]



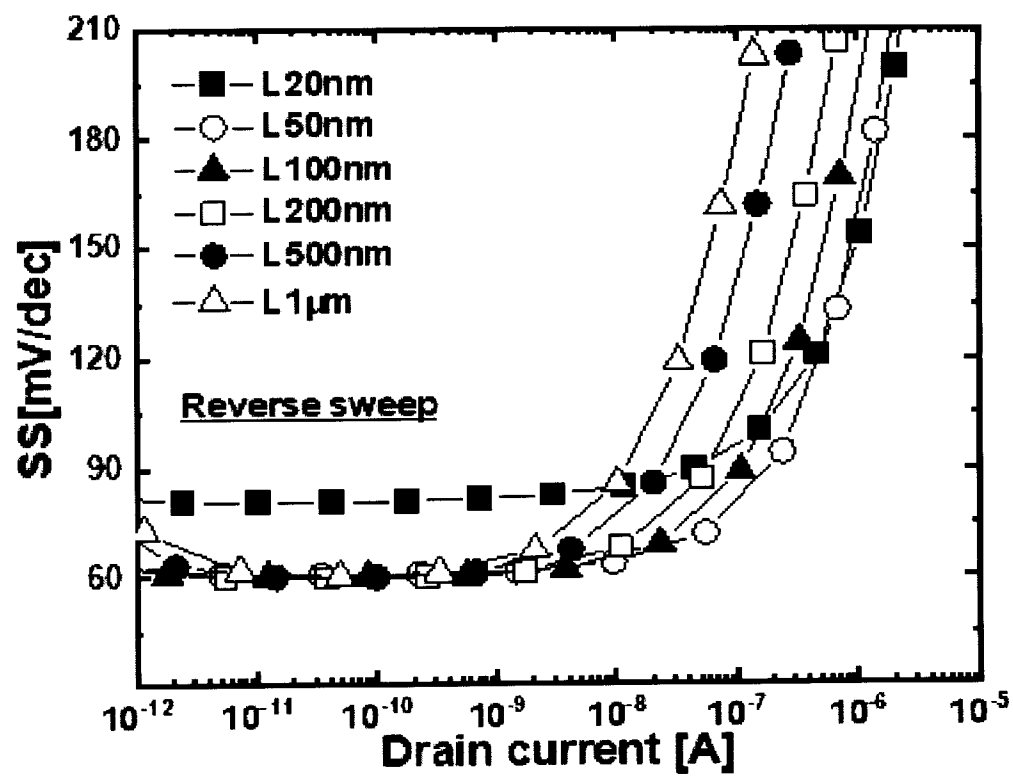
[図15]



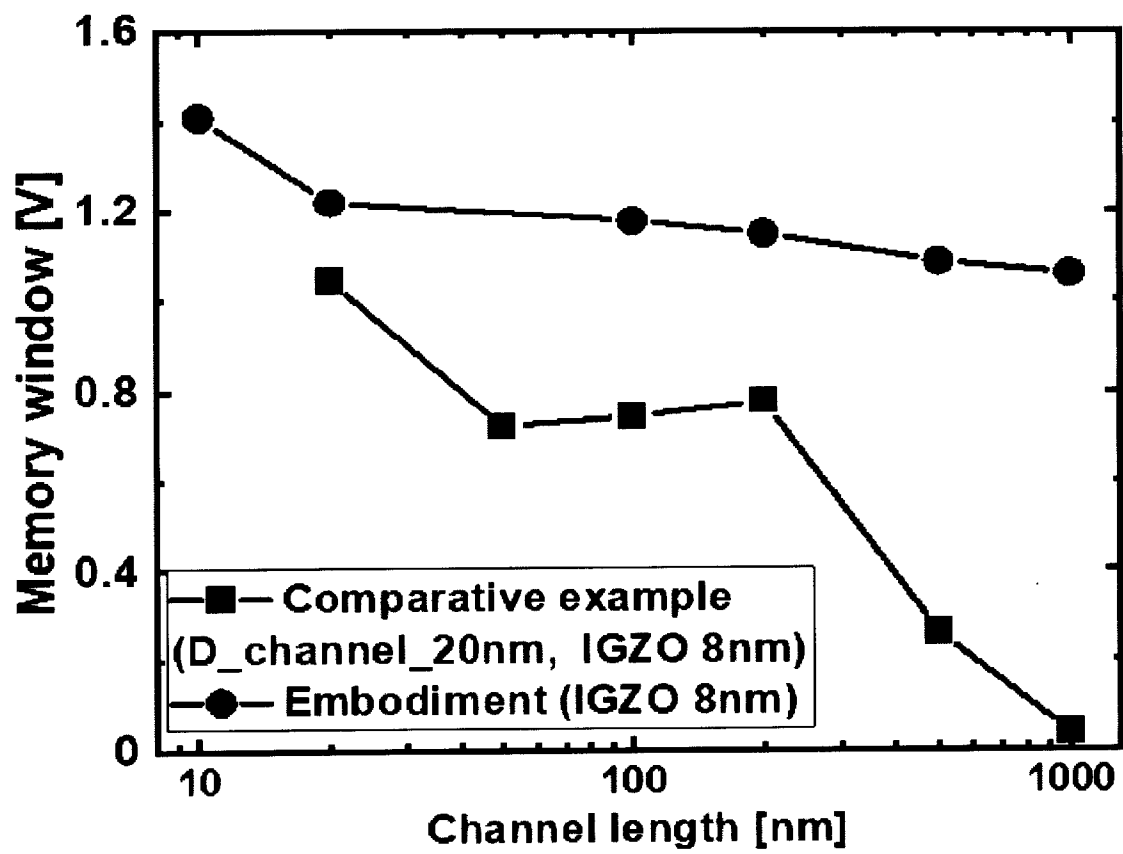
[図16]



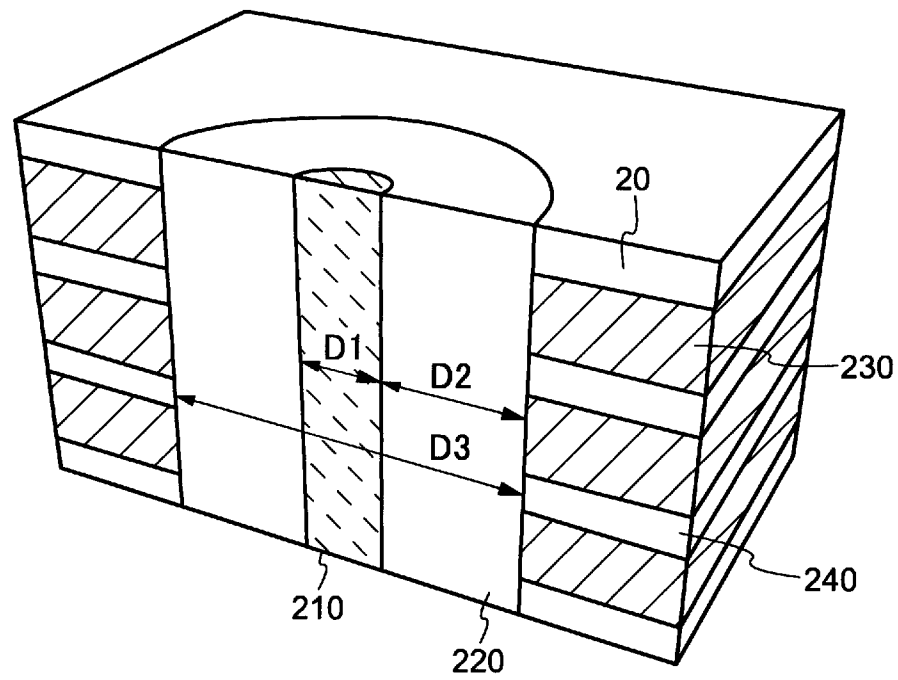
[図17]



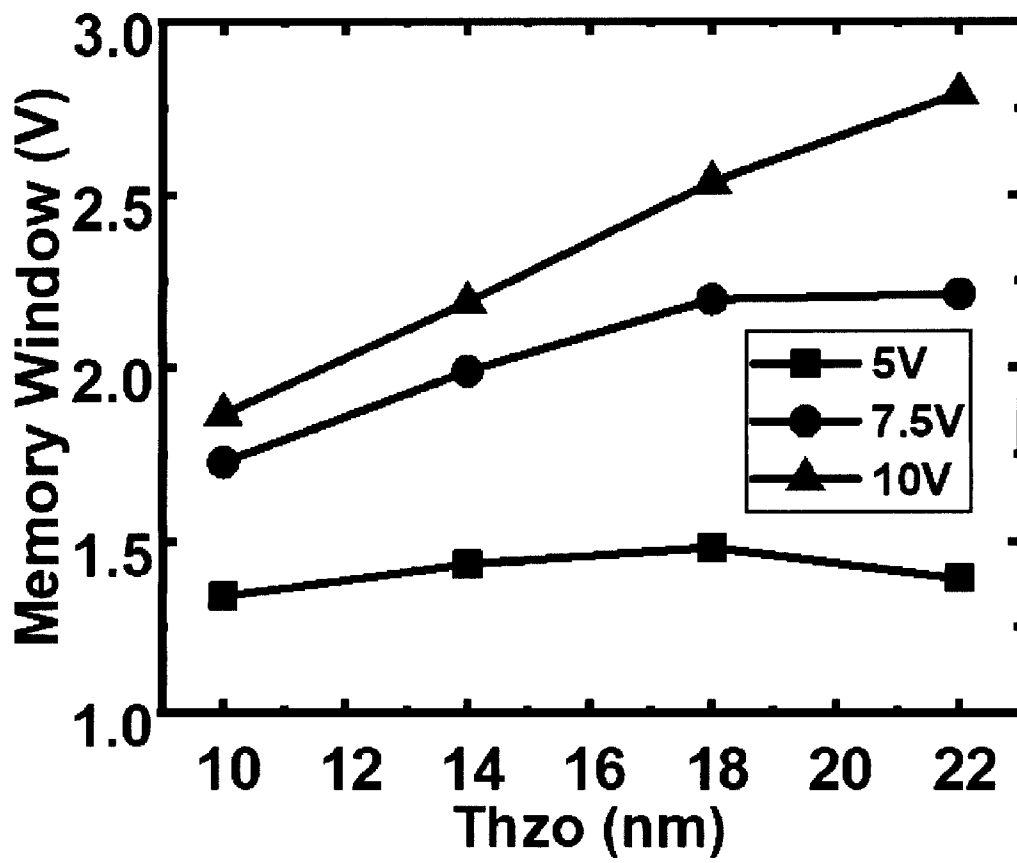
[図18]



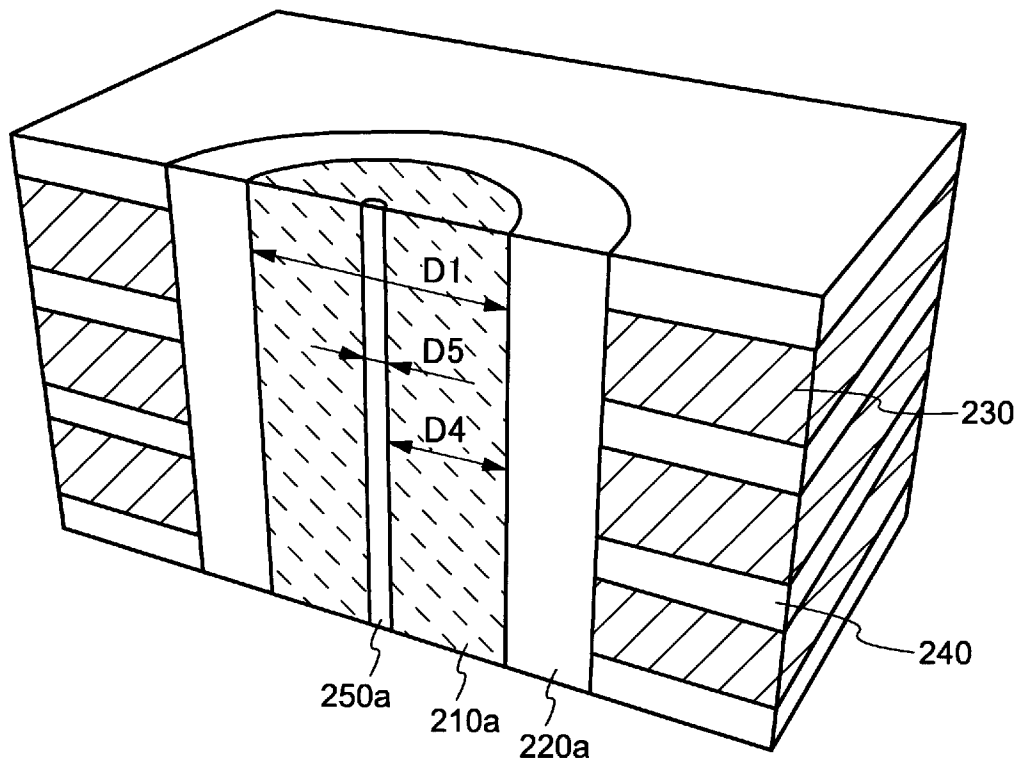
[図19]



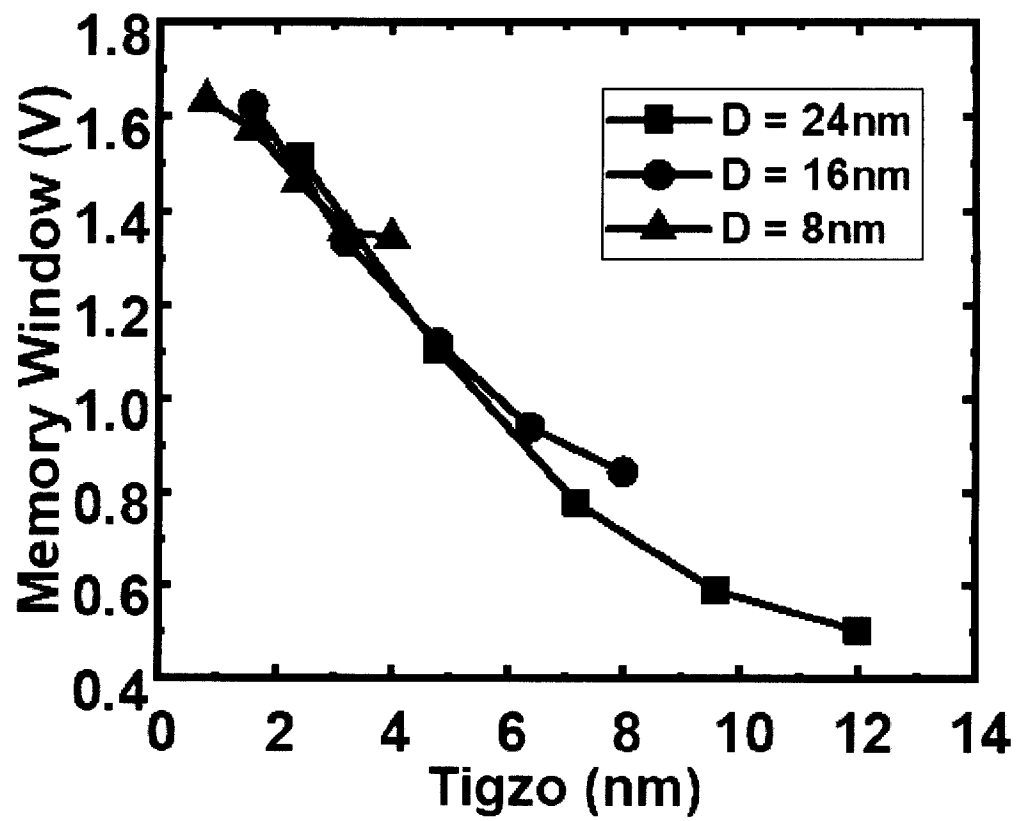
[図20]



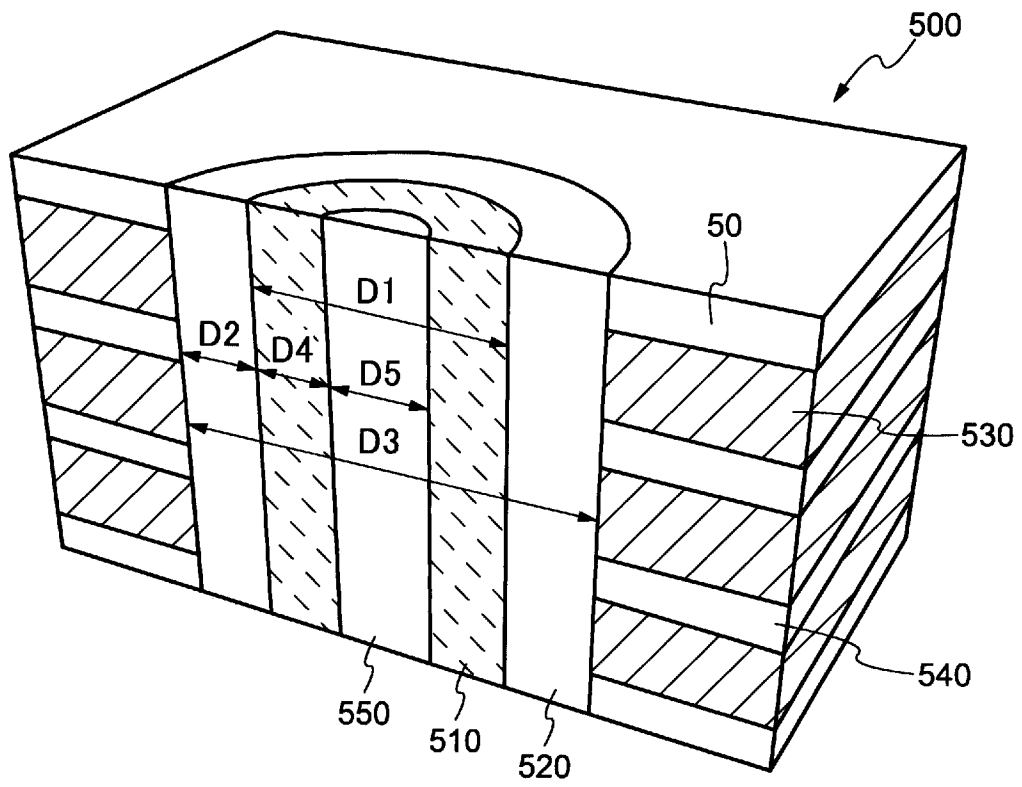
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/043742

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/1159**(2017.01)i; **H01L 27/11597**(2017.01)i

FI: H01L27/11597; H01L27/1159

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/1159; H01L27/11597

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-53571 A (TOSHIBA CORP) 20 March 2014 (2014-03-20) paragraphs [0005], [0105]-[0110], [0122], [0134], fig. 9, 14	1-3, 5-7
Y		4
A		8, 9
Y	JP 2016-63027 A (TOSHIBA CORP) 25 April 2016 (2016-04-25) paragraphs [0003], [0005], [0010]-[0019], [0027], [0028], fig. 2	4
A		1-3, 5-9
A	JP 2020-505790 A (LI, Weimin) 20 February 2020 (2020-02-20) entire text, all drawings	1-9
A	JP 2020-155644 A (KIOXIA CORP) 24 September 2020 (2020-09-24) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 February 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/043742

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-53571	A	20 March 2014	US 2014/0070290 A1 paragraphs [0004], [0156]- [0162], [0176], [0190], fig. 9, 14	
JP	2016-63027	A	25 April 2016	US 2016/0079268 A1 paragraphs [0004], [0005], [0021]-[0030], [0038], [0039], fig. 2	
JP	2020-505790	A	20 February 2020	JP 2020-505789 A US 2020/0227727 A1 entire text, all drawings WO 2018/136734 A1 WO 2018/136730 A1 KR 10-2019-0102295 A KR 10-2019-0105604 A CN 110326110 A CN 110326111 A	
JP	2020-155644	A	24 September 2020	US 2020/0303558 A1 entire text, all drawings CN 111725210 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/1159(2017.01)i; H01L 27/11597(2017.01)i FI: H01L27/11597; H01L27/1159		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/1159; H01L27/11597		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-53571 A（株式会社東芝）20.03.2014（2014-03-20） [0005], [0105] - [0110], [0122], [0134], 図9, 14	1-3, 5-7
Y		4
A		8, 9
Y	JP 2016-63027 A（株式会社東芝）25.04.2016（2016-04-25） [0003], [0005], [0010] - [0019], [0027], [0028], 図2	4
A		1-3, 5-9
A	JP 2020-505790 A（リ, ウエイミン）20.02.2020（2020-02-20） 全文, 全図	1-9
A	JP 2020-155644 A（キオクシア株式会社）24.09.2020（2020-09-24） 全文, 全図	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 03.02.2022		国際調査報告の発送日 15.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/043742

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-53571	A	20.03.2014	US 2014/0070290 A1 [0004], [0156] - [0162], [0176], [0190], 図9, 14	
JP	2016-63027	A	25.04.2016	US 2016/0079268 A1 [0004], [0005], [0021] - [0030], [0038], [0039], 図2	
JP	2020-505790	A	20.02.2020	JP 2020-505789 A US 2020/0227727 A1 全文, 全図 WO 2018/136734 A1 WO 2018/136730 A1 KR 10-2019-0102295 A KR 10-2019-0105604 A CN 110326110 A CN 110326111 A	
JP	2020-155644	A	24.09.2020	US 2020/0303558 A1 全文, 全図 CN 111725210 A	