

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 12 月 2 日 (02.12.2021)



(10) 国际公布号
WO 2021/237752 A1

(51) 国际专利分类号:
H01Q 1/22 (2006.01) *H01Q 21/29* (2006.01)
H01Q 1/38 (2006.01) *H01P 1/18* (2006.01)
H01Q 15/24 (2006.01)

(21) 国际申请号: PCT/CN2020/093541

(22) 国际申请日: 2020 年 5 月 29 日 (29.05.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 黄勇(HUANG, Yong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129

(CN)。 崔科技(CUI, Keji); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 卢磊(LU, Lei); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: RADIO-FREQUENCY CHIP

(54) 发明名称: 一种射频芯片

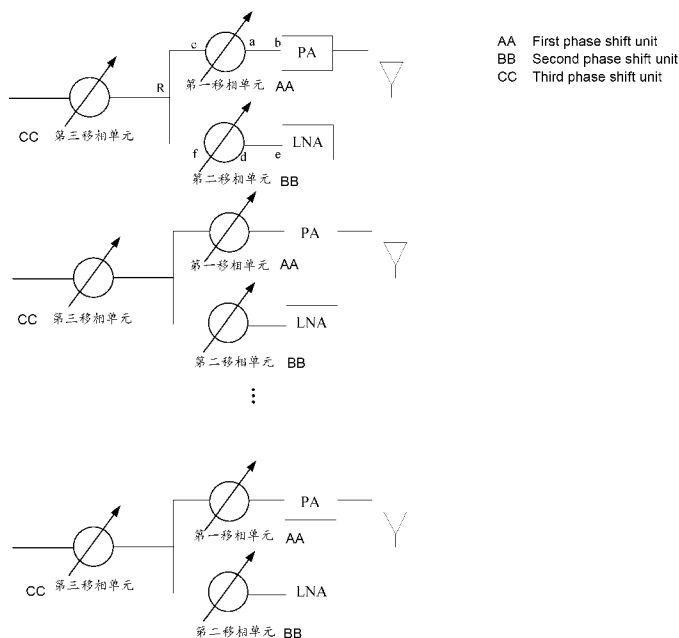


图 11

(57) Abstract: A radio-frequency chip, relating to the technical field of chips, and capable of reducing the device loss caused due to redundant devices of the radio-frequency chip. The radio-frequency chip comprises a phased array. The phased array comprises a plurality of branches. Each branch comprises a transmission path, a receiving path, a common path, and a phase shifter (11). The phase shifter (11) comprises a first phase shift unit, a second phase shift unit, and a third phase shift unit. The first phase shift unit is located on the transmission path, the second phase shift unit is located on the receiving path, and the third phase shift unit is located on the

WO 2021/237752 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

common path. The first phase shift unit is used for providing, according to a control signal, a phase shift or shutdown operation for a signal transmitted on the transmission path, and the second phase shift unit is used for providing, according to a control signal, a phase shift or shutdown operation for a signal transmitted on the receiving path.

(57) 摘要: 一种射频芯片, 涉及芯片技术领域, 能够减少射频芯片的多余器件带来的器件损耗。该射频芯片包括相控阵, 相控阵包括多个支路, 每个支路包括发射路径、接收路径、公共路径以及移相器(11), 移相器(11)包括第一移相单元、第二移相单元和第三移相单元; 第一移相单元位于发射路径上; 第二移相单元位于接收路径上; 第三移相单元位于公共路径上。第一移相单元用于根据控制信号为发射路径传输的信号提供移相或关断操作, 第二移相单元用于根据控制信号为接收路径传输的信号提供移相或关断操作。

一种射频芯片

5 技术领域

本申请涉及芯片技术领域，尤其涉及一种射频芯片。

背景技术

10 目前，第五代移动通信技术（5th generation mobile networks, 5G）的高频通信可以覆盖毫米波频段，毫米波由于其丰富的频谱资源受到广泛研究，但其高的路径损耗限制了它的发展，而相控阵波束合成技术提供了一种解决方案。在该技术中，移相器（phase shifter, PS）是重要模块，对于射频移相相控阵，移相器位于相控阵射频前端收发（transmitter receiver, TR）组件中，射频前端可位于射频芯片中，用于数据的接收和发送。

15 图1为一种常见的相控阵射频前端TR组件和天线的示意图，TR组件包括接收路径和发射路径。接收路径由低噪声放大器（low noise amplifier, LNA）和移相器（phase shifter, PS）组成，发射路径由功率放大器（power amplifier, PA）和PS组成。接收路径和发射路径可使用单刀双掷开关（single pole double throw, SPDT）实现TR切换。但是这种TR组件的结构由于使用了两个PS和一个单刀双掷开关，射频芯片的器件损耗较大。

20 发明内容

本申请实施例提供一种射频芯片，可减少射频芯片的多余器件带来的器件损耗。

为达到上述目的，本申请实施例采用如下技术方案：

25 第一方面，提供一种射频芯片，射频芯片包括相控阵，相控阵包括多个支路，多个支路中每个支路包括发射路径、接收路径、公共路径以及移相器，移相器包括第一移相单元、第二移相单元和第三移相单元；第一移相单元位于发射路径上；第二移相单元位于支路的接收路径上；第三移相单元位于公共路径上；其中，移相器具有控制接口，控制接口用于为第一移相单元和第二移相单元分别提供相应的移相控制信号和关断控制信号。也可以理解为，控制接口用于接收底层的控制信号，再将该控制信号转发给第一移相单元和第二移相单元，控制信号可以为移相控制信号或关断控制信号。
30 其中，第一移相单元用于根据控制信号为发射路径传输的信号提供移相或关断操作，第二移相单元用于根据控制信号为所接收路径传输的信号提供移相或关断操作。

由于移相器的第一移相单元位于发射路径上，第二移相单元位于接收路径上，可见，本申请将移相器的部分移相单元放置在了发射路径和接收路径上，发射路径和接收路径上的移相单元可同时具备移相和开关的作用，这样在实现TR切换时，可减少
35 额外引入的开关，减少了插损，降低了路径损耗。

在一种可能的设计中，第一移相单元的移相精度与第二移相单元的移相精度相同，且第一移相单元对应的移相精度与第三移相单元对应的移相精度不同。可以理解，第一移相单元与第二移相单元对应的数字控制比特位相同，第一移相单元和第三移相单

元对应的数字控制比特位不同，不同的数字控制比特位对应的移相单元的移相精度不同。例如，第一移相单元对应的移相精度为 180° ，第三移相单元对应的移相精度为 90° 。这样，可通过数字控制比特位控制对应的移相单元是否实现移相，以得到不同的移相相位。

5 在一种可能的设计中，移相器为数字移相器，移相控制信号包括多个数字控制比特位，其中，第一移相单元对应的数字控制比特位高于第三移相单元对应的数字控制比特位。例如移相器对应的数字控制比特位为 10，则比特位“1”对应的移相单元为第一移相单元，比特位“0”对应的移相单元为第三移相单元。

10 在一种可能的设计中，第一移相单元对应的数字控制比特位与第二移相单元对应的数字控制比特位相同。例如移相器对应的数字控制比特位为 AB，则比特位“A”对应的移相单元为第一移相单元和第二移相单元。

15 在一种可能的设计中，第一移相单元、第二移相单元和第三移相单元共同连接于同一节点；相控阵的支路用于发射信号时，第一移相单元移相后的发射信号通过同一节点进入第三移相单元；即第一移相单元和第三移相单元用于发射路径上的移相，发射路径的移相相位包括第一移相单元和第三移相单元的移相精度；相控阵的支路用于接收信号时，第三移相单元移相后的接收信号通过同一节点进入第二移相单元，即第二移相单元和第三移相单元用于接收链路上的移相，接收路径的移相相位包括第二移相单元和第三移相单元的移相精度。

20 在一种可能的设计中，第一移相单元为差分信号结构，第一移相单元包括差分输入端和差分输出端，差分输入端包括第一输入端和第二输入端，差分输出端包括第一输出端和第二输出端；第一输入端和第一输出端之间耦合有第一开关，第二输入端和第二输出端之间耦合有第二开关，第一输入端和第二输出端之间耦合有第三开关，第二输入端和第一输出端之间耦合有第四开关。移相控制信号用于为第一组开关和第二组开关提供互为反向的控制信号，关断控制信号用于为第一组开关和第二组开关提供互为同向的控制信号；第一组开关包括第一开关和所述第二开关，第二组开关包括第三开关和第四开关。

30 可以理解为，第一移相单元由两组交叉开关组成。若将第一移相单元的第一开关和第二开关的控制字记为 V_{ctrl} ，将第三开关和第四开关的控制字记为 V_{ctrl_m} ，则当 V_{ctrl} 和 V_{ctrl_m} 互为反向控制信号（例如 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 或 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ ）时，第一移相单元正常工作，并可通过第一组开关（第一开关和第二开关）和第二组开关（第三开关和第四开关）的交替导通实现 180° 相位移相。当第一移相单元的两组开关都关断时，即 $V_{ctrl}=0$ ， $V_{ctrl_m}=0$ 时，第一移相单元关断，第一移相单元这时可提供一个高的关断阻抗，起到隔离作用。由此，第二移相单元的差分信号结构可与第一移相单元相同，当第一移相单元移相，第二移相单元关断，或第一移相单元关断，第二移相单元移相时，可实现 TR 切换。

35 在一种可能的设计中，第一移相单元包括输入端和输入端，输入端和输出端之间耦合有第一开关和第二开关，移相控制信号用于为第一开关和第二开关的提供互为反向的控制信号，关断控制信号用于为第一开关和第二开关提供同向的控制信号。

以上个举例为例，第一开关的控制字记为 V_{ctrl} ，第二开关的控制字记为 V_{ctrl_m} ，

当 $V_{ctrl}=0$, $V_{ctrl_m}=1$ 或 $V_{ctrl}=1$, $V_{ctrl_m}=0$ 时, 第一开关和第二开关的控制信号为互为反向的控制信号, 这时, 第一开关和第二开关提供的是移相的作用; 当 $V_{ctrl}=0$, $V_{ctrl_m}=0$ 时, 第一开关和第二开关的控制信号为同向的控制信号, 这时, 第一开关和第二开关提供的是高的关断阻抗。

5 在一种可能的设计中, 第一移相单元和第三移相单元用于移相, 第二移相单元用于关断时, 发射路径工作, 接收路径关断; 第二移相单元和第三移相单元用于移相, 第一移相单元用于关断时, 发射路径关断, 接收路径工作。

也就是说, 当第一移相单元移相时, 第二移相单元关断, 第二移相单元移相时, 第一移相单元关断, 因此, 本申请可以复用发射路径上的第一移相单元的开关作用, 10 和复用接收路径上的第二移相单元的开关作用, 可降低开关器件的插损。

在一种可能的设计中, 第一移相单元包括第一组开关和第二组开关, 第一组开关包括第一开关和第二开关, 第二组开关包括第三开关和第四开关; 第一组开关的栅极电压和第二组开关的栅极电压互为反向电压时, 第一移相单元用于移相; 第一组开关的栅极电压和第二组开关的栅极电压均为低电位或高电位时, 第一移相单元用于关断。

15 其中的第一组开关和第二组开关中的每个开关可以为 MOS 管。第一组开关和第二组开关可以为差分信号结构的移相网络中的开关, 也可以是单端输入和单端输出的移相网络中的开关。以第一组开关和第二组开关可以为差分信号结构为例, 若将第一移相单元的第一组开关的控制字记为 V_{ctrl} , 将第二组开关的控制字记为 V_{ctrl_m} , 当 $V_{ctrl}=0$, $V_{ctrl_m}=1$ 或 $V_{ctrl}=1$, $V_{ctrl_m}=0$ 时, 第一移相单元正常工作, 并可通过第一组开关和第二组开关的交替导通实现 180° 相位移相差。当两组开关都关断时, 即 $V_{ctrl}=0$, $V_{ctrl_m}=0$ 时, 第一移相单元关断, 第一移相单元这时可提供高的关断阻抗, 起到隔离作用。由此, 第二移相单元的差分信号结构可与第一移相单元相同, 当第一移相单元移相, 第二移相单元关断, 或第一移相单元关断, 第二移相单元移相时, 可实现 TR 切换。

25 在一种可能的设计中, 第一移相单元为单端输入和单端输出结构; 其中, 第一移相单元包括第三路径和第四路径, 第一组开关在第三路径上, 第二组开关在第四路径上, 第三路径和第四路径并联; 第三路径还包括与第一组开关串联的 T 型高通电路, T 型高通电路由电容和电感组成; 第四路径还包括与第二组开关串联的 π 型低通电路, π 型低通电路由电容和电感组成。

30 若 T 型高通电路中的开关的控制字记为 V_{ctrl} , π 型低通电路中的开关的控制字记为 V_{ctrl_m} , 当 $V_{ctrl}=0$, $V_{ctrl_m}=1$ 或者 $V_{ctrl}=1$, $V_{ctrl_m}=0$ 时, 可利用 T 型高通电路和 π 型低通电路分别产生 $\pm 90^\circ$ 相对移相, 实现 180° 的移相差。当 V_{ctrl} 和 V_{ctrl_m} 的控制信号均为 0 时, 该单端输入单端输出结构的第一移相单元可实现开关的功能。

35 在一种可能的设计中, 第一移相单元的至少一个开关的衬底耦合至偏置电压模块, 偏置电压模块用于给开关的衬底提供偏置电压, 用于提升开关的关断阻抗, 例如偏置电压为高电平。其中, 衬底可以通过电阻耦合至偏置电压模块, 也可以通过二极管耦合至偏置电压模块。偏置电压模块可以是一个, 也可以是多个。

在一种可能的设计中, 偏置电压模块还用于为至少一个开关的源极和漏极提供偏置电压。

例如偏置电压模块提供的高电平为 0.5V，这样在移相时，至少一个开关的栅极的电压被抬高。假设开关的工艺标准电压为 0.9V，由于开关的源极、漏极和衬底的电压存在偏置电压 0.5V，那么开关导通时，开关的栅极进一步叠加偏置电压，即开关导通时栅极的电压会在工艺标准电压 0.9V 的基础上抬高 0.5V，即为 1.4V。但是由于开关的栅极和源极的电压均被抬高相同的电压幅度，因此，开关的栅极与源极的电势差在抬压前和抬压后保持不变，因此被抬压的至少一个开关的导通性能与抬压前的导通性保持不变。在将至少一个开关关断时，至少一个开关的栅极的电压为 0，源极、漏极以及衬底的电压继续被抬压，那么至少一个开关的栅极与源极的电势差小于抬压前至少一个开关的栅极与源极的电势差，因此，至少一个开关关断时的阻抗大于抬压前至少一个开关关断时的阻抗，也就是说，抬压技术可使得每个开关获得更高的关断阻抗，使得开关关断的更加彻底。

在一种可能的设计中，第一移相单元的至少一个开关的源极和漏极分别通过电阻耦合至偏置电压模块，偏置电压模块用于提供高电平；第一移相单元的至少一个开关的衬底通过电阻耦合至可调偏置电压模块，可调偏置电压模块用于提供可选的高电平或者低电平。也可以理解为，衬底的偏置电压可调。其中，衬底的偏置电压可以根据开关的导通和关闭状态进行调整。

举例来说，开关导通时，开关的源极、漏极以及衬底均抬压 0.5V，那么栅极相应的在标准电压 0.9V 的基础上也抬压 0.5V 至 1.4V，开关关断时，源极和漏极电压不变，继续为 0.5V，栅极电压为 0 V，衬底电压由 0.5V 改为 0V，此时，开关的源极和衬底的电势差 V_{bs} 为 -0.5V，这时，由于背栅效应，开关的阈值电压 V_{th} 会提高。当开关关断，栅极与源极的电势差 V_{gs} 一定时，阈值电压 V_{th} 的提高，可进一步使得开关获得更高的关断阻抗，使得开关关断的更彻底。

第二方面，提供一种移相方法，应用于射频芯片，射频芯片包括相控阵，相控阵包括多个支路，多个支路中每个支路包括发射路径、接收路径、公共路径以及移相器，移相器包括第一移相单元、第二移相单元和第三移相单元，第一移相单元位于发射路径上，第二移相单元位于接收路径上，第三移相单元位于公共路径上，移相器具有控制接口，控制接口用于为所第一移相单元和第二移相单元分别提供相应的移相控制信号和关断控制信号，该方法包括：为第一移相单元提供移相控制信号，触发第一移相单元为发射路径传输的信号提供移相，并为第二移相单元提供关断控制信号，触发第二移相单元为接收路径传输的信号提供关断操作；或者，为第一移相单元提供关断控制信号，触发第一移相单元为发射路径传输的信号提供关断操作，并为第二移相单元提供移相控制信号，触发第二移相单元为接收路径传输的信号提供移相。

第二方面的移相方法的有益效果可以参见第一方面。

在一种可能的设计中，第一移相单元的移相精度与第二移相单元的移相精度相同，且第一移相单元对应的移相精度与第三移相单元对应的移相精度不同。

在一种可能的设计中，移相器为数字移相器，移相控制信号包括多个数字控制比特位，其中，第一移相单元对应的数字控制比特位高于第三移相单元对应的数字控制比特位。

在一种可能的设计中，第一移相单元、第二移相单元和第三移相单元共同连接于

同一节点；该方法还包括：控制相控阵的支路用于发射信号时，触发第一移相单元移相后的发射信号通过同一节点进入第三移相单元；控制相控阵的支路用于接收单元时，触发第三移相单元移相后的接收信号通过同一节点进入第二移相单元。

5 在一种可能的设计中，第一移相单元为差分信号结构，第一移相单元包括差分输入端和差分输出端，差分输入端包括第一输入端和第二输入端，差分输出端包括第一输出端和第二输出端；第一输入端和第一输出端之间耦合有第一开关，第二输入端和第二输出端之间耦合有第二开关，第一输入端和第二输出端之间耦合有第三开关，第二输入端和第一输出端之间耦合有第四开关。移相控制信号用于为第一组开关和第二组开关提供互为反向的控制信号，关断控制信号用于为第一组开关和第二组开关提供
10 互为同向的控制信号；第一组开关包括第一开关和第二开关，第二组开关包括第三开关和第四开关。

在一种可能的设计中，第一移相单元包括输入端和输出端，输入端和输出端之间耦合有第一开关和第三开关，移相控制信号用于为第一开关和第二开关的提供互为反向的控制信号，关断控制信号用于为第一开关和第二开关提供同向的控制信号。

15 在一种可能的设计中，第一移相单元和第三移相单元用于移相，第二移相单元用于关断时，发射路径工作，接收路径关断；第二移相单元和第三移相单元用于移相，第一移相单元用于关断时，发射路径关断，接收路径工作。

在一种可能的设计中，第一移相单元的至少一个开关的衬底通过耦合至偏置电压模块，偏置电压模块用于提供高电平。该方法还包括：控制偏置电压模块对开关的衬底提供偏置电压，用于提升开关的关断阻抗。

在一种可能的设计中，该方法还包括：控制偏置电压模块为至少一个开关的源极和漏极提供偏置电压。

20 第三方面，提供一种电子设备，包括收发器、存储器和处理器，其中，收发器包括如第一方面、和/或第一方面的任一种可能的设计、和/或第二方面和/或第二方面的任一种可能的设计所述的射频芯片。

附图说明

图 1 为一种相控阵射频前端 TR 组件的结构示意图；

图 2 为本申请实施例提供的一种射频芯片的结构示意图；

图 3 为本申请实施例提供的一种相控阵架构的结构示意图；

30 图 4 为本申请实施例提供的一种支路上的移相器的结构示意图；

图 5 为本申请实施例提供的一种采用高/低通移相网络的单端 180 度移相单元的结构示意图；

图 6 为本申请实施例提供的一种低比特位的移相单元的移相网络的结构示意图；

图 7 为本申请实施例提供的一种低比特位的移相单元的多个移相状态的示意图；

35 图 8 为本申请实施例提供的一种高比特位和低比特位的移相单元的结构示意图；

图 9 为一种相控阵射频前端的支路的结构示意图；

图 10 为本申请实施例提供的一种对图 9 的支路的结构进行演进得到本申请提出的支路的结构演进的示意图；

图 11 为本申请实施例提供的一种射频芯片的相控阵的结构示意图；

图 12 为本申请实施例提供的一种一个支路上的移相器为差分信号结构时的结构示意图；

图 13 为本申请实施例提供的一种移相器的第一移相单元的结构示意图；

图 14 为本申请实施例提供的一种差分 4bit 的移相器的结构示意图；

5 图 15 为本申请实施例提供的一种移相器为 4bit 的数字控制比特位的 16 种比特组合的示意图；

图 16 为本申请实施例提供的一种为差分信号结构的移相器搭建的测试电路的示意图；

图 17 为本申请实施例提供的一种接收路径和发射路径的仿真结果示意图；

10 图 18 为本申请实施例提供的一种路径上的移相单元采用 NMOS 管实现时使用抬压技术的示意图；

图 19 为本申请实施例提供的一种复用移相单元本身的开关隔离作用实现 TR 切换的方案，与图 1 和图 9 所示的移相器在射频芯片面积上的对比示意图；

图 20 为本申请实施例提供的一种电子设备的结构示意图；

15 图 21 为本申请实施例提供的一种终端设备的结构示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述。其中，在本申请实施例的描述中，除非另有说明，“/”表示或的意思，例如，A/B 可以表示 A 或 B；本文中的“和/或”仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，在本申请实施例的描述中，“多个”是指两个或两个以上。

25 以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

本申请实施例可以用于相控阵波束合成技术中。

30 该技术可以用于射频芯片。射频芯片可用于接收和发射。如图 2 所示，射频芯片与天线连接。射频芯片中可包括相控阵的接收机和发射机。图 2 中的 (a) 示例的是接收机，图 2 中的 (b) 示例的是发射机。接收机与发射机均包括多个支路，每个支路包括移相器。当接收机通过天线接收到不同方向的波束时，可以通过接收机中的多个移相器将对应天线接收到的不同相位的波束信号进行移相，得到特定方向的波束信号。当发射机通过天线发射不同方向的波束时，可以通过发射机中的多个移相器将一个相位的信号进行不同相位的移相，得到特定方向的波束信号。

35 可以理解，相控阵可实现相位扫描。由于相控阵系统需要较大的扫描角度，对于每个支路的移相器的移相精度和移相范围都有一定的要求。为了便于系统控制，相控阵通常采用数字移相器的技术。每个支路需要在由 n bit 实现的移相范围内，通过改变数字控制比特位调节每个支路的相位，以实现相位扫描。参考图 3，图 3 示出的相控阵架构包括 8 个支路，为了实现全范围覆盖，每个支路需要实现 3bit 位的数字移相器，也就是 8 个支路实现的相位范围为 $0-7\Phi$ ，8 个支路对应数字控制比特位 000-111 的移

相范围。不同的比特位具有不同的移相精度，以 3bit 为例，其中最低的比特位对应的移相精度为 $2^0\Phi=\Phi$ ，中间的比特位对应的移相精度为 $2^1\Phi=2\Phi$ ，最高的比特位对应的移相精度为 $2^2\Phi=4\Phi$ 。

通常， $0-7\Phi$ 可以实现 360 度的移相范围，每个支路的最小移相精度 Φ 为 45 度。

5 为了实现更高的相位扫描精度，还可以增加 bit 位。例如，数字移相器还可以为 4bit 的数字移相器，每个支路的最小移相精度 Φ 可以为 22.5 度。

对于每个支路，为了实现 n bit 的移相范围，单个 bit 的移相精度，每个支路的移相器通常采用多级移相单元串联的方式实现。如图 4 所示，一个支路上的移相器可以由串联的一个或多个移相单元组成，图 4 中示出的是第一移相单元和第二移相单元串
10 联。第一移相单元和第二移相单元的移相精度不同，第一移相单元和第二移相单元对应的不同的数字控制比特位，n 个移相单元组合起来可以实现 n bit 的数字移相器的移相范围。

通常，n bit 中的高比特位的移相单元的实现方式可以采用高/低通 (high-pass/low-pass, HP/LP) 移相网络。图 5 示出的是一种采用高/低通移相网络的单端 180 度
15 移相单元的举例。这种利用高/低通移相网络的结构适用于产生大角度的移相。改变该高/低通移相网络的数字控制比特位对应的控制字 (例如 0 变为 1)，可使得信号分别通过高通信号支路和低通信号支路，高通信号支路的输出信号相较于输入信号可出现相位超前，低通信号支路的输出信号相较于输入信号可出现相位延迟。在该单端 180 度移相单元中，当 Vctrl 和 Vctrl_m 互为反向控制信号时 (Vctrl=0, Vctrl_m=1 或者
20 Vctrl=1, Vctrl_m=0) 时，该单端 180 度移相单元正常工作。其中，Vctrl=0, Vctrl_m=1 时信号通路为低通移相网络，可产生 -90° 移相，Vctrl=1, Vctrl_m=0 时信号通路为高通移相网络，可产生 $+90^\circ$ 移相。高/低通移相网络轮流导通，可得到该比特的移相单元的移相精度： $90^\circ - (-90^\circ) = 180^\circ$ ，即该比特可形成 180° 移相。

n bit 中的低比特位的移相单元的移相网络可以参见图 6 中的 (a) 和 (b)。图 6
25 中的 (a) 利用了 T 型低通网络实现移相，图 6 中的 (b) 利用了 π 型低通网络实现移相。图 6 中的 (a) 和 (b) 对应的移相单元中，Vctrl 和 Vctrl_m 互为反向时 (Vctrl=0, Vctrl_m=1 或者 Vctrl=1, Vctrl_m=0) 时，Vctrl=0 和 Vctrl=1 分别对应两个不同的移相状态，利用两种移相状态的差值可得到该移相单元对应的比特位的移相精度。例如，对于图 6 的 (a) 而言，Vctrl=0 (Vctrl_m=1) 对应的等效电路为 T 型低通网络的移相
30 状态，如图 7 中的 (a) 所示；Vctrl=1 (Vctrl_m=0) 对应的等效电路为信号直通的移相状态，如图 7 中的 (b) 所示；两种状态下的相位的差值为该比特位的移相精度；对于图 6 的 (b) 而言，Vctrl=0 (Vctrl_m=1) 对应的等效电路为 π 型低通网络的移相状态，如图 7 中的 (c) 所示；Vctrl=1 (Vctrl_m=0) 对应的等效电路为信号直通的移相状态，如图 7 中的 (d) 所示，两种状态下的相位的差值为 1bit 的移相精度。

35 结合上文对 n bit 中的高比特位和低比特位的移相单元的举例，图 8 示出的移相器包括串联的高比特位的第一移相单元和低比特位的第二移相单元。第一移相单元和第二移相单元的控制端分别对应 A 和 B 两个不同的 bit 位。举例来说，当 P (AB) = 00 时，B 端口的控制字 Vctrl=0， \overline{B} 端口的控制字 Vctrl_m=1，参考图 6 的 (a) 的工作原理，第二移相单元对应信号直通的移相状态；A 端口的 Vctrl_m=0， \overline{A} 端口的 Vctrl=1，

参考图 5 的工作原理，第一移相单元的信号通路为高通移相网络。基于该原理，以 4bit 的移相器为例，当 $P(AB) = 00$ 变为 $P(AB) = 10$ 时，图 8 示出的移相器可产生 180° 移相；当 $P(AB) = 00$ 变为 $P(AB) = 01$ 时，图 8 示出的移相器可产生 90° 或 45° 或 22.5° （具体与第二移相单元中的电感感值和电容的容值有关）移相；当 $P(AB) = 00$ 变为 $P(AB) = 01$ 时，图 8 示出的移相器可产生 90° 或 45° 或 22.5° 移相；当 $P(AB) = 11$ 变为 $P(AB) = 00$ 时，图 8 示出的移相器可产生 $180^\circ + (90^\circ$ 或 45° 或 $22.5^\circ)$ 移相。

在了解了射频芯片中的移相器的工作原理后，可以理解，在相控阵的射频芯片中，接收机与发射机的功能可通过多个上述支路的结构实现。为了实现接收机和发射机的功能，每个支路中可以包括接收路径和发射路径，接收路径和发射路径上均包括移相器。多个支路中的移相器在用于接收或发射时，可产生不同相位的移相。图 1 中示出的一个支路中，使用单刀双掷开关实现 TR 切换，且对支路上的移相器没有双向互易的要求，即接收路径上的移相器仅用于接收，发射路径上的移相器仅用于发送，移相器的实现较为容易。但是这种结构由于使用了两个移相器，器件损耗较大。

此外，还存在另一种相控阵射频前端的支路的结构。参考图 9，接收路径和发射路径共用一个移相器，并使用单刀双掷开关实现 TR 切换。该结构对移相器有双向互易的要求，即每个支路上的移相器既用于接收，也用于发射，该移相器一般采用无源结构实现。这种结构由于使用了一个移相器，相对图 1 的结构减小了射频芯片的器件数量，但是由于依然存在单刀双掷开关，器件损耗依然较大。

因此，本申请通过对图 9 示出的支路上的结构进行演进，提出一种复用移相器本身的开关隔离作用实现 TR 切换的电路结构，该结构可用于射频芯片，可减小多余器件使用带来的损耗。

参考图 10，图 10 为本申请对图 9 的支路的结构进行演进得到本申请提出的支路的结构。图 10 的 (a) 是目前常用的支路的结构图，该结构中，发射路径和接收路径共用一个移相器，使用单刀双掷开关实现切换。图 10 的 (b) 中将图 10 的 (a) 中的单刀双掷开关换为发射路径和接收路径上各有一个单刀单掷开关 (single pole single throw, SPST)。将图 10 的 (b) 公共路径上的移相器分成两部分，可得到图 10 中的 (c)，再将图 10 中的 (c) 的移相器的一部分移相单元放置在发射路径和接收路径上，可得到图 10 中的 (d) 所示的支路结构。如果将图 10 中的 (d) 中发射路径和接收路径上的 SPST 和移相单元的组合功能利用具有开关功能的特殊移相单元来实现，可以得到如图 10 中的 (e) 所示的支路的结构。图 10 中的 (e) 所示的支路的结构即为本申请提出的利用特殊移相单元本身的开关特性实现 TR 切换的电路结构。该电路结构由于在路径上减少了单刀双掷开关的使用，可以减小路径损耗。

因此，基于本申请对现有支路的结构演进，提出一种射频芯片，参考图 11，该射频芯片包括相控阵包括多个支路，多个支路中每个支路包括发射路径、接收路径公共路径以及移相器 11，移相器 11 包括第一移相单元、第二移相单元和第三移相单元；

第一移相单元位于发射路径上；

第二移相单元位于接收路径上；

第三移相单元位于公共路径上；其中，移相器具有控制接口，控制接口用于为第

一移相单元和第二移相单元分别提供相应的移相控制信号和关断控制信号。

第一移相单元用于根据控制信号为发射路径传输的信号提供移相或关断操作，第二移相单元用于根据控制信号为接收路径传输的信号提供移相或关断操作。

其中，图 11 中的 PA 位于发射路径上，LNA 位于接收路径上。

5 由于移相器 11 的第一移相单元位于发射路径上，第二移相单元位于接收路径上，可见，本申请将移相器的部分移相单元放置在了发射路径和接收路径上，发射路径和接收路径上的移相单元可同时具备移相和开关的作用，这样在实现 TR 切换时，可避免开关的使用，减少了插损，降低了路径损耗。

10 根据上文对移相器的工作原理的介绍，第一移相单元和第三移相单元对应的数字控制比特位不同，因此，第一移相单元对应的移相精度和第三移相单元对应的移相精度可不同。类似的，第二移相单元对应的移相精度和第三移相单元对应的移相精度也不同。例如第一移相单元或第二移相单元相同，可以为上述单端 180° 移相单元，其移相精度为 180° ，当关断单端 180° 移相单元的所有开关时，该单端 180° 移相单元可作为开关使用，处于关断状态。当单端 180° 移相单元的开关的控制信号互为反向时，可实现 180° 移相，具体的实现方式将在后文中阐述。第三移相单元可以为上述 T 型低通网络或 π 型低通网络，其移相精度可以为 22.5° 、 45° 或 90° 等。

15 需要说明的是，公共路径上的移相单元在包括第三移相单元以外，还可以包括其他多个数字控制比特位对应的移相单元，例如公共路径上还可以包括第四移相单元和第五移相单元等。

20 在一些实施例中，第一移相单元和第二移相单元对应数字移相器中的数字控制比特位相同。也可以说，第一移相单元的移相精度与第二移相单元的移相精度相同。当该数字控制比特位用于控制支路上的发射路径在工作时，接收路径关断，接收路径工作时，发射路径关断。其中，发射路径工作，接收路径关断时，该数字控制比特位用于控制第一移相单元工作，第二移相单元关断，发射路径关断，接收路径工作时，25 该数字控制比特位用于控制第一移相单元关断，第二移相单元工作，因此，可使用相同的数字控制比特位指示第一移相单元工作，第二移相单元关断，或第一移相单元关断，第二移相单元工作。

30 其中，移相器 11 可以为数字移相器，移相控制信号包括多个数字控制比特位。可以理解，第一移相单元对应的数字控制比特位高于第三移相单元对应的数字控制比特位。或者说，第一移相单元的移相精度与第三移相单元的移相精度不同。由于第一移相单元和第二移相单元的数字控制比特位相同，因此，也可以说，第二移相单元对应的数字比特位高于第三移相单元对应的数字控制比特位。例如移相器 11 对应的数字控制比特位为 10，则比特位“1”对应的移相单元为第一移相单元，比特位“0”对应的移相单元为第三移相单元。

35 在一些实施例中，第一移相单元用于通过改变数字控制比特位的开关控制信号实现串联信号路径的改变。可以理解，串联路径的改变是对第一移相单元的两个状态的调整，可以通过第一移相单元中的开关导通和关断实现两个信号路径通路的选择。

参考图 5，当第一移相单元为单端 180° 移相单元时，当 V_{ctrl} 和 V_{ctrl_m} 互为反向控制信号时，该单端 180° 移相单元正常工作。其中，当 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 时，

控制字为 V_{ctrl_m} 的两个开关导通，控制字为 V_{ctrl} 的两个开关关断，信号通路为控制字为 V_{ctrl_m} 的 π 型低通移相网络所在的串联信号路径；当 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ 时，控制字为 V_{ctrl} 的两个开关导通，控制字为 V_{ctrl_m} 的两个开关关断，信号通路为控制字为 V_{ctrl} 的 T 型高通移相网络所在的串联信号路径。

5 第三移相单元用于通过改变数字控制比特位的开关控制信号实现对地信号路径的改变。可以理解，对地信号路径的改变也是对第三移相单元的两个状态的调整，可以通过第三移相单元中的开关导通和关断实现对地信号的路径通路的选择。其中，对地信号是指对交流地的信号。

10 参考图 6 中的 (a)，当 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 时，对应图 7 中的 (a) 所示的 T 型低通网络的的对地的信号路径；当 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ 时，对应图 7 中的 (b) 所示的信号直通的的对地的信号路径。

参考图 11，从连接关系说，第一移相单元的第一端 a 与 PA 的一端 b 连接，第一移相单元的第二端 c 与第三移相单元连接；

15 第二移相单元的第一端 d 与 LNA 的一端 e 连接，第二移相单元的第二端 f 与第三移相单元连接。

第一移相单元、第二移相单元和第三移相单元共同连接于同一节点 R；

相控阵的支路用于发射信号时，第一移相单元移相后的发射信号通过同一节点 R 进入第三移相单元；

20 相控阵的支路用于接收信号时，第三移相单元移相后的接收信号通过同一节点 R 进入第二移相单元。

在一些实施例中，对于发射路径上的第一移相单元或接收路径上的第二移相单元来说，其实现方式可以有多种。例如第一移相单元和第二移相单元可以为差分信号结构，或者也可以为单端输入和单端输出结构。

25 以第一移相单元为差分信号结构为例，参考图 12，一个支路上的移相器 11 可以包括构成差分路径的第一路径 L1 和第二路径 L2，第一路径 L1 和第二路径 L2 包括多个串联的移相单元，多个串联的移相单元包括第三移相单元；图 11 中还示例出了与第三移相单元串联的第四移相单元和第 M 移相单元；该移相器 11 可以为 (M-1) bit 的数字控制比特位控制的移相器。

30 第一路径的输出端 g 与第一移相单元的输入端 h 耦合，且第一路径的输出端 g 与第二移相单元的输入端 i 耦合；

第二路径的输出端 j 与第一移相单元的输入端 k 耦合，且第二路径的输出端 j 与第二移相单元的输入端 l 耦合。

需要说明的是，本申请实施例中的输入端还可以作输出端使用，输入端还可以作输出端使用。

35 参考图 12 的差分信号结构原理，图 13 示出的是移相器 10 的第一移相单元的结构图，第二移相单元的结构图可以参见第一移相单元。

参考图 13，第一移相单元可以包括两组开关，第一组开关和第二组开关。第一组开关包括图 13 中的第一开关 51 和第二开关 52，第二组开关包括图 13 中的第三开关 53 和第四开关 54。第一移相单元还包括差分输入端和差分输出端，差分输入端包括第

一输入端 A 和第二输入端 B，差分输出端包括第一输出端 C 和第二输出端 D；第一输入端 A 和第一输出端 C 之间耦合有第一开关 51，第二输入端 B 和第二输出端 D 之间耦合有第二开关 52，第一输入端 A 和第二输出端 D 之间耦合有第三开关 53，第二输入端 B 和第一输出端 C 之间耦合有第四开关 54。

5 在一些实施例中，本申请涉及到的开关可以为 MOS 管，具体可以为 NMOS 管或 PMOS 管。

在一些实施例中，移相控制信号用于为第一组开关和第二组开关提供互为反向的控制信号，关断控制信号用于为第一组开关和第二组开关提供互为同向的控制信号。

可以理解，图 13 中示出的第一移相单元由两组交叉开关组成。若将第一移相单元
10 的第一开关 51 和第二开关 52 的控制信号记为 V_{ctrl} ，将第三开关 53 和第四开关 54 的控制信号记为 V_{ctrl_m} ，则当 V_{ctrl} 和 V_{ctrl_m} 互为反向控制信号（例如 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 或 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ ）时，第一移相单元正常工作，并可通过第一组开关和第二组开关的交替导通实现 180 度相位移相。当第一移相单元的两组开关都关断时，即 $V_{ctrl}=0$ ， $V_{ctrl_m}=0$ 时，第一移相单元关断，第一移相单元这时可提供高的关断
15 阻抗，起到隔离作用。由此，第二移相单元的差分信号结构可与第一移相单元相同，当第一移相单元移相，第二移相单元关断，或第一移相单元关断，第二移相单元移相时，可实现 TR 切换。

其中，对于移相，示例性的，假设差分输入的 A 端输入高电平“+”，B 端输入低电平“-”，高电平“+”和低电平“-”相差 180 度，那么当前一次控制 $V_{ctrl}=1$ ，
20 $V_{ctrl_m}=0$ 时，第一开关 51 和第二开关 52 导通，第三开关 53 和第四开关 54 关断，那么 C 端输出高电平“+”，D 端输出低电平“-”，此时，A 端输入高电平“+”=C 端输出高电平“+”，B 端输入低电平“-”=D 端输出低电平“-”；当后一次控制 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 时，第一开关 51 和第二开关 52 关断，第三开关 53 和第四开关 54 导通，那么 C 端输出低电平“-”，D 端输出高电平“+”，此时，A 端输入高电平“+”=D
25 端输出高电平“+”，B 端输入低电平“-”=C 端输出低电平“-”，C 端和 D 端输出与上一次开关导通时的输出反相，可实现了 180 度相位移相。

由此，如果发射路径上的第一移相单元与接收路径上的第二移相单元的结构相同，当第一移相单元的第一组开关和第二组开关交替导通时，发射路径正常工作，即第一移相单元用于移相；如果第一移相单元的第一组开关和第二组开关都关断时，第一移
30 相单元用于关断。类似的，当第二移相单元的第一组开关和第二组开关交替导通时，接收路径正常工作，即第二移相单元用于移相；如果接收路径上的第一组开关和第二组开关都关断时，第二移相单元用于关断。

对于第三移相单元至第 M 移相单元中的每个移相单元，其可以采用上述图 6 的 (a) 或图 6 的 (b) 所示的低比特位的移相单元的移相网络实现。

35 其中，对于图 6 中的 (a) 示出的 T 型低通网络的移相单元和图 6 中的 (b) 示出的 π 型低通网络的移相单元，这两种移相器都有无源电感和电容跨接在第三移相单元的输入端 IN 和输出端 OUT，不能提供一个很高的关断阻抗，因此不能复用来做 TR 切换。

参考图 6 中的 (a)，第三移相单元包括第九开关 101 和第十开关 102，第九开关

101 和第十开关 102 的控制信号互为反向控制信号;第九开关 101 的控制字记为 V_{ctrl} , 第十开关 102 的控制字记为 V_{ctrl_m} 。

其中, 第九开关 101 和第十开关 102 之间连接有 T 型低通网络;

T 型低通电路由电容和电感组成。

5 在一些实施例中, T 型低通网络包括第四电感 103、第五电感 104 以及连接在第四电感 103 和第五电感 104 的公共路径上的第十三开关 105。与第十开关 102 的源极和漏极并联有第六电感 106 和第七电感 107。

其中, 第四电感 103 和第五电感 104 串联在信号路径上, 图 6 中的 (a) 示出的第三移相单元为低通电路结构。

10 参考图 6 中的 (b), 第三移相单元包括第十一开关 108 和第十二开关 109, 第十一开关 108 和第十二开关 109 的控制信号互为反向控制信号; 第十一开关 108 的控制字记为 V_{ctrl} , 第十二开关 109 的控制字记为 V_{ctrl_m} 。

其中, 第十一开关 108 和第十二开关 109 之间连接有 π 型低通网络;

π 型低通电路由电容和电感组成。

15 在一些实施例中, π 型低通电路包括与第十一开关 108 连接的第六电容 110 和第七电容 111。第三移相单元还包括与第十一开关 108 连接的第六电感 112 和第七电感 113, 与第十二开关 109 连接的第八电感 114 和第九电感 115。

由于图 6 中的 (b) 的第六电感 112 和第七电感 113 串联在信号路径上, 因此, 图 6 中的 (b) 示出的第三移相单元为低通电路结构。

20 无论是图 6 中的 (a) 所示的第三移相单元还是图 6 中的 (b) 所示的第三移相单元, 根据上文对低比特位的移相单元的介绍, 当 $V_{ctrl}=0$, $V_{ctrl_m}=1$ 时, 或当 $V_{ctrl}=1$, $V_{ctrl_m}=0$ 时, 可实现相位的移相。

在上文对第一移相单元和第三移相单元的介绍的基础上, 以移相器 11 为差分 4bit 信号结构为例, 并以每个移相单元中的开关均为 NMOS 管为例, 在图 12 示出的移相器的结构的基础上, 如果第一移相单元和第二移相单元采用图 13 示出的差分 180 结构的移相单元, 第三移相单元、第四移相单元和第五移相单元采用图 6 的 (a) 所示的低比特位的移相单元, 图 12 的移相器结构可以如图 14 所示。

图 14 示出的移相器 11 包括构成差分路径的第一路径和第二路径, 第一路径和第二路径包括的移相单元有第三移相单元、第四移相单元和第五移相单元, 发射路径上的移相单元为第一移相单元, 接收路径上的移相单元为第二移相单元。

其中, 第三移相单元的输出端 g 与第一移相单元的输入端 h 耦合, 且第三移相单元的输入端 g 与第二移相单元的输入端 i 耦合;

第三移相单元的输出端 j 与第一移相单元的输入端 k 耦合, 且第三移相单元的输出端 j 与第二移相单元的输入端 l 耦合。

35 可以理解, 对于第一移相单元, 当第一组开关的栅极控制信号 V_{ctrl} 和第二组开关的栅极控制信号 V_{ctrl_m} 互为反向控制信号时, 第一移相单元用于移相;

第一组开关的栅极控制信号 V_{ctrl} 和第二组开关的栅极控制信号 V_{ctrl_m} 均为低电位时, 第一移相单元用于关断。类似的, 如果 NMOS 管换为 PMOS 管, 当第一组开关的栅极控制信号 V_{ctrl} 和第二组开关的栅极控制信号 V_{ctrl_m} 均为高电位时, 第一移相

单元用于关断。

对于第三移相单元在第一路径上的部分，当 $V_{ctrl}=0$ ， $V_{ctrl_m}=1$ 时对应 T 型低通网络的移相状态，如图 7 中的 (a) 所示； $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ 时对应信号直通的移相状态，两种状态下的相位的差值为 1bit 的移相精度。图 14 中示出的第三移相单元的 1bit 的移相精度为 90° 。类似的，图 14 示出的第四移相单元的 1bit 的移相精度为 22.5° ，第五移相单元的 1bit 的移相精度为 45° 。

示例性的，根据图 14 的差分 4bit 信号结构的移相器 11 的举例，图 14 所示的移相器 11 的 4bit 的数字控制比特位可以有图 15 所示的 16 种比特组合：0000~1111。如果以相控阵包括 8 个支路为例，8 个支路上的差分 4bit 的移相器的数字控制比特位可以是这 16 种比特组合中的某 8 种比特组合。

对于一个移相器 11，当 4bit 的数字控制比特位为 0000 时，意味着移相器 11 移相的相位为 0° ；当 4bit 的数字控制比特位为 1111 时，意味着移相器 11 移相的相位为 337.5° ，即移相器 11 中的每个移相单元均处于移相状态。

举例来说，如果某个支路上的移相器 11 要实现 90° 的相位移相，那么该支路上的移相器 11 的数字比特控制位为 0100。即第三移相单元中，前一时刻和后一时刻的 V_{ctrl} 和 V_{ctrl_m} 均互为反向控制信号，例如前一时刻第三移相单元的 $V_{ctrl}=0.9V$ ， $V_{ctrl_m}=0V$ ，后一时刻第三移相单元的 $V_{ctrl}=0V$ ， $V_{ctrl_m}=0.9V$ ，前一时刻和后一时刻的相位的差值为 90° 。这种情况下，如果要使得发射路径工作，接收路径关断，第一移相单元需实现信号直通，此时第一组开关的控制信号可以为 $V_{ctrl}=0.9V$ ， $V_{ctrl_m}=0V$ ，第二移相单元要实现关断阻抗，第二移相单元的第一组开关和第二组开关在前一时刻和后一时刻其 $V_{ctrl}=V_{ctrl_m}=0V$ 。第四移相单元和第五移相单元在前一时刻和后一时刻其 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ 。即第四移相单元和第五移相单元也实现的是信号直通。这样，发射路径输出的信号的相位移相相对数字比特控制位为 0000 的移相器的相位移相为 90° 。

再例如，如果某个支路上的移相器 11 要实现 270° 的相位移相，那么该支路上的移相器 11 的数字比特控制位为 1100。如果要实现发射路径工作，接收路径关断，那么第一移相单元的前一时刻和后一时刻的 V_{ctrl} 和 V_{ctrl_m} 均互为反向控制信号。例如前一时刻第一移相单元的 $V_{ctrl}=0.9V$ ， $V_{ctrl_m}=0V$ ，后一时刻第一移相单元的 $V_{ctrl}=0V$ ， $V_{ctrl_m}=0.9V$ ，前一时刻和后一时刻的相位的差值为 180° 。此时，第二移相单元要实现关断阻抗，第二移相单元的第一组开关和第二组开关在前一时刻和后一时刻其 $V_{ctrl}=V_{ctrl_m}=0V$ 。同时，第三移相单元在前一时刻的 $V_{ctrl}=0.9V$ ， $V_{ctrl_m}=0V$ ，后一时刻的 $V_{ctrl}=0V$ ， $V_{ctrl_m}=0.9V$ ，前一时刻和后一时刻的相位的差值为 90° 。第四移相单元和第五移相单元在前一时刻和后一时刻其 $V_{ctrl}=1$ ， $V_{ctrl_m}=0$ 。即第四移相单元和第五移相单元实现的是信号直通。这样，发射路径输出的信号的相位移相相对数字比特控制位为 0000 的移相器的相位移相为 270° 。

通过以上对差分 4bit 信号结构的移相器 11 的举例说明，将移相器 11 中的差分 180° 的第一移相单元置于发射路径上，差分 180° 的第二移相单元置于接收路径上时，第一移相单元和第二移相单元可实现移相和关断的作用，这样，在实现移相的同时，也复用了第一移相单元和第二移相单元的开关的作用，可省去 SDPT，减少了开关损

耗。

图 16 为本申请提供的一种为差分信号结构的移相器搭建的测试电路。其中，接收路径（图 16 中示出的 RX）和发射路径（图 16 中示出的 TX）各使用一个移相单元，发射路径上的第一移相单元处于正常工作模式（working mode），接收路径上的第二移相单元处于关断模式（off mode），端口（port）1、端口 2 和端口 3 为 3 个测试端口。

经测试，28nm CMOS 工艺下，图 14 示出的接收路径和发射路径的仿真结果如图 17 所示。如图 17 中的（a）所示，在射频芯片处于 28GHz 频率处，正常工作的发射路径插损 S21 为 2dB，处于关断状态的接收路径插损 S31 高达 324dB，接收路径和发射路径之间的隔离度 S32 高达 326dB。图 17 中的（b）为接收路径的关断阻抗，由图 17 中的（b）可知，在很宽的带宽范围内关断阻抗都处于高阻区，在 20-30GHz 范围内关断阻抗的实部高达 4.88-2.94k Ω 。

由图 17 的仿真结果可知，图 13 列举的差分信号结构的第一移相单元在开关都关断时可以提供足够高的关断阻抗起到隔离的作用，可用来实现 TR 切换。

如果第一移相单元或第二移相单元为单端输入和单端输出结构，图 14 中的差分信号结构的第一移相单元和第二移相单元可以替换为图 8 示出的高/低通移相网络的单端 180 度移相单元。

图 8 示出的第一移相单元中，第一移相单元包括第三路径 L3 和第四路径 L4，第一组开关（第五开关 81 和第六开关 82）在第三路径 L3 上，第二组开关（第七开关 83 和第八开关 84）在第四路径 L4 上，第三路径 L3 和第四路径 L4 并联；

第三路径 L3 还包括与第一组开关串联的 T 型高通电路，T 型高通电路由电容和电感组成；第四路径 L4 还包括与第二组开关串联的 π 型低通电路， π 型低通电路由电容和电感组成。

基于图 8 示出的高/低通移相网络的单端 180 度移相单元的移相器，在一些实施例中，若第五开关 81 和第六开关 82 的控制字记为 Vctrl，第七开关 83 和第八开关 84 的控制字记为 Vctrl_m，当 Vctrl=0，Vctrl_m=1 或者 Vctrl=1，Vctrl_m=0 时，可利用 T 型高通电路和 π 型低通电路分别产生 $\pm 90^\circ$ 相位，实现 180° 的移相。

当单端 180 度移相单元中的第五开关 81 和第六开关 82 的控制信号 Vctrl，以及第七开关 83 和第八开关 84 的控制信号 Vctrl_m 均为 0 时，该单端 180 度移相单元可实现开关的功能。

上文已经提到，无论本申请提出的发射路径和接收路径上的第一移相单元和第二移相单元是差分信号结构，还是单端 180 度移相单元的结构，路径上的移相单元中的开关可以是 MOS 管。对于 CMOS 工艺，路径上的移相单元可以使用图 18 所示的 NMOS 管实现。在该 NMOS 管中，其栅极、源极、漏极以及衬底均连接有电阻，为了更好的实现 TR 切换，可以使用抬压技术，或使用抬压技术和衬底（bulk）电压可选技术结合提升开关关断时的关断阻抗。

如图 18 的（a）所示，抬压技术是指对第一移相单元和第二移相单元在用于移相和关断时，对第一移相单元和第二移相单元的至少一个开关的源极、漏极和衬底的电压进行抬压。其实现方式可以为：第一移相单元的至少一个开关的衬底耦合至偏置电

压模块，偏置电压模块用于给开关的衬底提供偏置电压，用于提升开关的关断阻抗。在一些实施例中，偏置电压模块还用于为至少一个开关的源极和漏极提供偏置电压。第二移相单元与第一移相单元的实现方式相同。

5 例如偏置电压模块提供的高电平为 0.5V，这样在移相时，至少一个开关的栅极的电压被抬高，也就是说，栅极电压在导通时，会在工艺标准电压的基础上被抬压，即开关导通时，开关的栅极进一步叠加了偏置电压。假设开关的工艺标准电压为 0.9V，由于开关的源极、漏极和衬底的电压均存在偏置电压 0.5V，那么开关导通时栅极的电压会在工艺标准电压 0.9V 的基础上抬高 0.5V，即为 1.4V。但是由于开关的栅极和源极的电压均被抬高相同的电压幅度，因此，开关的栅极与源极的电势差在抬压前和抬压后保持不变，因此被抬压的至少一个开关的导通性能与抬压前的导通性保持不变。

10 在将至少一个开关关断时，至少一个开关的栅极的电压为 0，源极、漏极以及衬底的电压继续被抬压，那么至少一个开关的栅极与源极的电势差小于抬压前至少一个开关的栅极与源极的电势差，因此，至少一个开关关断时的阻抗大于抬压前至少一个开关关断时的阻抗，也就是说，抬压技术可使得每个开关获得更高的关断阻抗，使得开关关断的更加彻底。

15 如图 18 的 (b) 所示，抬压技术和 bulk 电压可选技术结合的实现方式可以理解为：第一移相单元的至少一个开关的源极和漏极分别通过电阻耦合至偏置电压模块，偏置电压模块用于提供高电平。第一移相单元的至少一个开关的衬底通过电阻耦合至可调偏置电压模块，可调偏置电压模块用于提供可选的高电平或者低电平。也就是说，衬底的偏置电压可调。

20 在一些实施例中，衬底的偏置电压可以根据开关的导通和关闭状态进行调整。例如，在开关导通时抬压的基础上，将开关关断时的衬底的电压由高电平可以改为低电平。也就是说，第一移相单元和第二移相单元在用于移相和关断时，对第一移相单元和第二移相单元的至少一个开关的源极和漏极的电压进行抬压；其中，移相时，对至少一个开关的衬底电压也进行抬压，使至少一个开关的栅极的电压被抬高，至少一个开关的栅极与源极的电势差不变，至少一个开关的导通性不变；关断时，至少一个开关的栅极的电压变为 0V 的同时，至少一个开关的衬底的电压也变为 0V，使得至少一个开关关断时的阻抗大于至少一个开关关断时衬底电压不变时的阻抗。

25 举例来说，开关导通时，开关的源极、漏极以及衬底均抬压 0.5V，那么栅极相应的在标准电压 0.9V 的基础上也抬压 0.5V 至 1.4V，开关关断时，源极和漏极电压不变，继续为 0.5V，栅极电压为 0 V，衬底电压由 0.5V 改为 0V，此时，开关的源极和衬底的电势差 V_{bs} 为 -0.5V，这时，由于背栅效应，开关的阈值电压 V_{th} 会提高。当开关关断，栅极与源极的电势差 V_{gs} 一定时，阈值电压 V_{th} 的提高，可进一步使得开关获得更高的关断阻抗，使得开关关断的更彻底。

30 其中，背栅效应可以理解为：在很多情况下，开关的源极和衬底的电位并不相同。对 NMOS 管而言，衬底通常接电路的最低电位，有 $V_{bs} \leq 0$ 。开关的阈值电压 V_{th} 的大小和耗尽层的电荷量有关，耗尽层的电荷量越多，NMOS 管的开启就越困难，阈值电压 V_{th} 越大，也就是开启 NMOS 需要的电压就越高。当 $V_{bs} < 0$ 时，栅极和衬底之间的电位差加大，耗尽层的厚度也变大，耗尽层内的电荷量增加，所以造成阈值电压变

大。随着 V_{bs} 变小，阈值电压 V_{th} 上升，在 V_{GS} 和 V_{DS} 不变的情况下，漏极电流变小。因而衬底和栅极的作用类似，也能控制漏极电流的变化，这就称为“背栅”作用。

由此，本申请提出的复用移相器的差分结构的电路或单端输入单端输出结构的电路，其能够用于 TR 切换，是由于该电路除了移相的正常功能以外，还可以通过开关电压的适当的逻辑组合得到一个很高的关断阻抗，从而可以达到很好的隔离效果。

参考图 19，为本申请提出的复用移相单元本身的开关隔离作用实现 TR 切换的方案，与图 1 和图 9 所示的移相器在射频芯片面积上的对比图。图 19 中的 (a) 为图 1 对应的现有的移相器所在的射频芯片面积示意图，可以看出，接收路径和发射路径各使用一个移相单元，且使用单刀双掷开关 SPDT 实现 TR 切换，占用的射频芯片面积最大。图 19 中的 (b) 为图 9 对应的移相器的射频芯片面积示意图，可以看出，接收路径和发射路径共用一个移相单元，接收路径和发射路径使用的单刀双掷开关实现 TR 切换，相较于图 19 中的 (a)，少使用一个移相单元，射频芯片面积相较于图 19 中的 (a) 的移相单元有所减小。图 19 中的 (c) 即为本申请实施例提供的一种 TR 切换组件，在接收路径和发射路径上各置一个复用开关作用的移相单元，并在接收路径和发射路径的公共路径上放置一个仅用于移相的移相单元。由于本申请提出的 TR 切换组件中，复用了移相单元的开关功能，能够省去一个 SPDT，可使得射频芯片面积大大减小，同时也避免了 SPDT 带来的器件损耗，这对于毫米波电路设计至关重要。

需要说明的是，本申请实施例是以移相器本身的开关特性实现 TR 切换，也可以利用具有特殊功能的 PA 或 LNA 本身的开关特性实现 TR 切换。

本申请实施例还提供一种电子设备 20，参考图 20，该电子设备 20 可以包括收发器 201、存储器 202 和处理器 203，其中，收发器 201 包括射频芯片 2011，其中，射频芯片 2011 包括相控阵 20111，该相控阵 20111 的结构可以参见图 2 示出的结构，即相控阵包括多个支路，每个支路包括发射路径、接收路径、公共路径以及移相器，移相器包括多个移相单元，其中：

参见图 11，移相单元包括第一移相单元、第二移相单元和第三移相单元；第一移相单元位于发射路径上；第二移相单元位于接收路径上；第三移相单元位于公共路径上。移相器具有控制接口，控制接口用于为第一移相单元和第二移相单元分别提供相应的移相控制信号和关断控制信号。第一移相单元用于根据控制信号为发射路径传输的信号提供移相或关断操作，第二移相单元用于根据控制信号为接收路径传输的信号提供移相或关断操作。

图 20 示出的电子设备 20 可以为终端设备或网络设备等。

当电子设备 20 为终端设备时，为了便于说明，图 21 仅示出了终端设备的主要部件。如图 21 所示，终端设备 21 包括处理器 2102、存储器 2103、控制电路、天线以及输入输出装置。处理器 2102 主要用于对通信协议以及通信数据进行处理，以及对整个终端设备进行控制，执行软件程序，处理软件程序的数据，例如用于支持终端设备 21 执行上述方法实施例中所描述的动作。存储器 2103 主要用于存储软件程序和数据。控制电路主要用于基带信号与射频信号的转换以及对射频信号的处理。控制电路和天线一起也可以叫做收发器 2101，主要用于收发电磁波形式的射频信号。该控制电路可以包括本申请体提供的射频芯片 2011；输入输出装置，例如触摸屏、显示屏，键盘等主

要用于接收用户输入的数据以及对用户输出数据。

5 当终端设备开机后，处理器 2102 可以读取存储器的软件程序，解释并执行软件程序的指令，处理软件程序的数据。当需要通过无线发送数据时，处理器 2102 对待发送的数据进行基带处理后，输出基带信号至射频电路，射频电路将基带信号进行射频处理后将射频信号通过天线以电磁波的形式向外发送。当有数据发送到终端设备时，射频电路通过天线接收到射频信号，将射频信号转换为基带信号，并将基带信号输出至处理 2102 器，处理器 2102 将基带信号转换为数据并对该数据进行处理。

10 本领域技术人员可以理解，为了便于说明，图 21 仅示出了一个存储器和一个处理器。在实际的终端设备中，可以存在多个处理器和多个存储器。存储器也可以称为存储介质或者存储设备等。存储器可以为与处理器处于同一射频芯片上的存储元件，即片内存储元件，或者为独立的存储元件，本申请实施例对此不做限定。

15 以上内容，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种射频芯片，其特征在于，包括：

相控阵，所述相控阵包括多个支路，所述多个支路中每个支路包括发射路径、接收路径、公共路径以及移相器，所述移相器包括：

5 第一移相单元、第二移相单元和第三移相单元，所述第一移相单元位于所述发射路径上，所述第二移相单元位于所述接收路径上，所述第三移相单元位于所述公共路径上；其中，所述移相器具有控制接口，所述控制接口用于为所述第一移相单元和所述第二移相单元分别提供相应的移相控制信号和关断控制信号；

10 所述第一移相单元用于根据所述控制信号为所述发射路径传输的信号提供移相或关断操作，所述第二移相单元用于根据所述控制信号为所述接收路径传输的信号提供移相或关断操作。

2、根据权利要求1所述的射频芯片，其特征在于，所述第一移相单元的移相精度与所述第二移相单元的移相精度相同，且所述第一移相单元的移相精度与所述第三移相单元的移相精度不同。

15 3、根据权利要求1或2所述的射频芯片，其特征在于，所述移相器为数字移相器，所述移相控制信号包括多个数字控制比特位，其中，所述第一移相单元对应的所述数字控制比特位高于所述第三移相单元对应的所述数字控制比特位。

4、根据权利要求1-3任一项所述的射频芯片，其特征在于，所述第一移相单元、所述第二移相单元和所述第三移相单元共同连接于同一节点；

20 所述相控阵的支路用于发射信号时，所述第一移相单元移相后的发射信号通过所述同一节点进入所述第三移相单元；

所述相控阵的支路用于接收信号时，所述第三移相单元移相后的接收信号通过所述同一节点进入所述第二移相单元。

25 5、根据权利要求4所述的射频芯片，其特征在于，所述第一移相单元为差分信号结构，所述第一移相单元包括差分输入端和差分输出端，所述差分输入端包括第一输入端和第二输入端，所述差分输出端包括第一输出端和第二输出端；

所述第一输入端和所述第一输出端之间耦合有第一开关，所述第二输入端和所述第二输出端之间耦合有第二开关，所述第一输入端和所述第二输出端之间耦合有第三开关，所述第二输入端和所述第一输出端之间耦合有第四开关；

30 所述移相控制信号用于为第一组开关和第二组开关提供互为反向的控制信号，所述关断控制信号用于为所述第一组开关和所述第二组开关提供互为同向的控制信号；所述第一组开关包括所述第一开关和所述第二开关，所述第二组开关包括所述第三开关和所述第四开关。

35 6、根据权利要求1-4任一项所述的射频芯片，其特征在于，所述第一移相单元包括输入端和输出端，所述输入端和所述输出端之间耦合有第一开关和第二开关，所述移相控制信号用于为所述第一开关和所述第二开关的提供互为反向的控制信号，

所述关断控制信号用于为所述第一开关和所述第二开关提供同向的控制信号。

7、根据权利要求1-6任一项所述的射频芯片，其特征在于，所述第一移相单元的至少一个开关的衬底耦合至偏置电压模块，所述偏置电压模块用于给所述开关的衬底

提供偏置电压，用于提升所述开关的关断阻抗。

8、根据权利要求7任一项所述的射频芯片，其特征在于，所述衬底的偏置电压可调。

9、根据权利要求8所述的射频芯片，其特征在于，所述衬底的偏置电压根据所述开关的导通和关闭状态进行调整。

10、根据权利要求7-9任一项所述的射频芯片，其特征在于，所述开关导通时，所述开关的栅极进一步叠加所述偏置电压。

11、根据权利要求7-10任一项所述的射频芯片，其特征在于，所述偏置电压模块还用于为所述至少一个开关的源极和漏极提供偏置电压。

12、一种移相方法，其特征在于，应用于射频芯片，所述射频芯片包括相控阵，所述相控阵包括多个支路，所述多个支路中每个支路包括发射路径、接收路径、公共路径以及移相器，所述移相器包括：第一移相单元、第二移相单元和第三移相单元，所述第一移相单元位于所述发射路径上，所述第二移相单元位于所述接收路径上，所述第三移相单元位于所述公共路径上，所述移相器具有控制接口，所述控制接口用于为所述第一移相单元和所述第二移相单元分别提供相应的移相控制信号和关断控制信号，所述方法包括：

为所述第一移相单元提供所述移相控制信号，触发所述第一移相单元为所述发射路径传输的信号提供移相，并为所述第二移相单元提供关断控制信号，触发所述第二移相单元为所述接收路径传输的信号提供关断操作；

或者，为所述第一移相单元提供所述关断控制信号，触发所述第一移相单元为所述发射路径传输的信号提供给关断操作，并为所述第二移相单元提供移相控制信号，触发所述第二移相单元为所述接收路径传输的信号提供移相。

13、根据权利要求12所述的方法，其特征在于，第一移相单元的移相精度与所述第二移相单元的移相精度相同，且所述第一移相单元移相精度与所述第三移相单元移相精度不同。

14、根据权利要求12或13所述的方法，其特征在于，所述移相器为数字移相器，所述移相控制信号包括多个数字控制比特位，其中，所述第一移相单元对应的所述数字控制比特位高于所述第三移相单元对应的所述数字控制比特位。

15、根据权利要求12-14任一项所述的方法，其特征在于，所述第一移相单元、所述第二移相单元和所述第三移相单元共同连接于同一节点；所述方法还包括：

控制所述相控阵的支路用于发射信号时，触发所述第一移相单元移相后的发射信号通过所述同一节点进入所述第三移相单元；

控制所述相控阵的支路用于接收单元时，触发所述第三移相单元移相后的接收信号通过所述同一节点进入所述第二移相单元。

16、根据权利要求15所述的方法，其特征在于，所述第一移相单元为差分信号结构，所述第一移相单元包括差分输入端和差分输出端，所述差分输入端包括第一输入端和第二输入端，所述差分输出端包括第一输出端和第二输出端；

所述第一输入端和所述第一输出端之间耦合有第一开关，所述第二输入端和所述第二输出端之间耦合有第二开关，所述第一输入端和所述第二输出端之间耦合有第三

开关，所述第二输入端和所述第一输出端之间耦合有第四开关；

所述移相控制信号用于为第一组开关和第二组开关提供互为反向的控制信号，所述关断控制信号用于为所述第一组开关和所述第二组开关提供互为同向的控制信号；所述第一组开关包括所述第一开关和所述第二开关，所述第二组开关包括所述第三开关和所述第四开关。

5

17、根据权利要求 12-15 任一项所述的方法，其特征在于，所述第一移相单元包括输入端和输出端，所述输入端和所述输出端之间耦合有第一开关和第二开关，所述移相控制信号用于为所述第一开关和所述第二开关提供互为反向的控制信号，所述关断控制信号用于为所述第一开关和所述第二开关提供同向的控制信号。

10 18、根据权利要求 12-17 任一项所述的方法，其特征在于，所述第一移相单元的至少一个开关的衬底耦合至偏置电压模块；所述方法还包括：

控制所述偏置电压模块对所述开关的衬底提供偏置电压，用于提升所述开关的关断阻抗。

19、根据权利要求 12-18 任一项所述的方法，其特征在于，所述方法还包括：

15 控制所述偏置电压模块为所述至少一个开关的源极和漏极提供偏置电压。

20、一种电子设备，其特征在于，包括收发器、存储器和处理器，其中，所述收发器包括如权利要求 1-11 任一项所述的射频芯片。

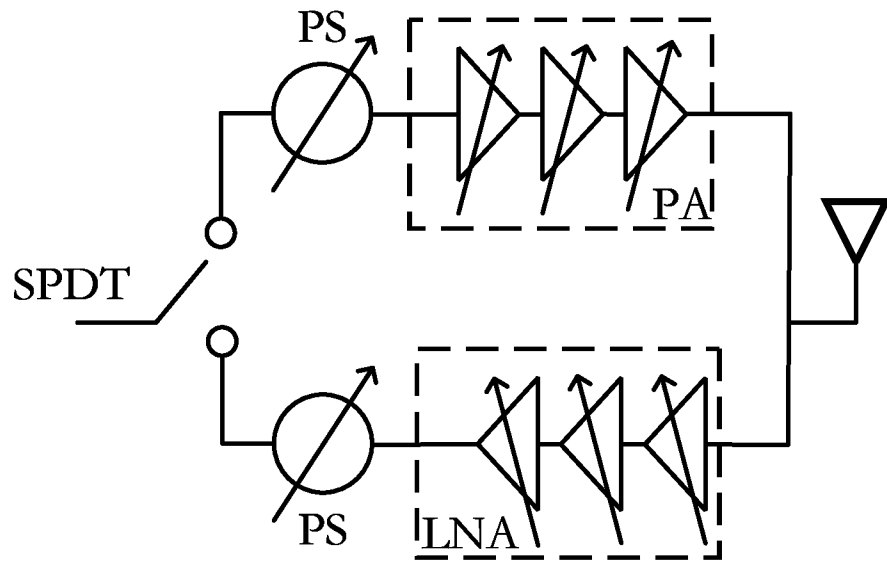


图 1

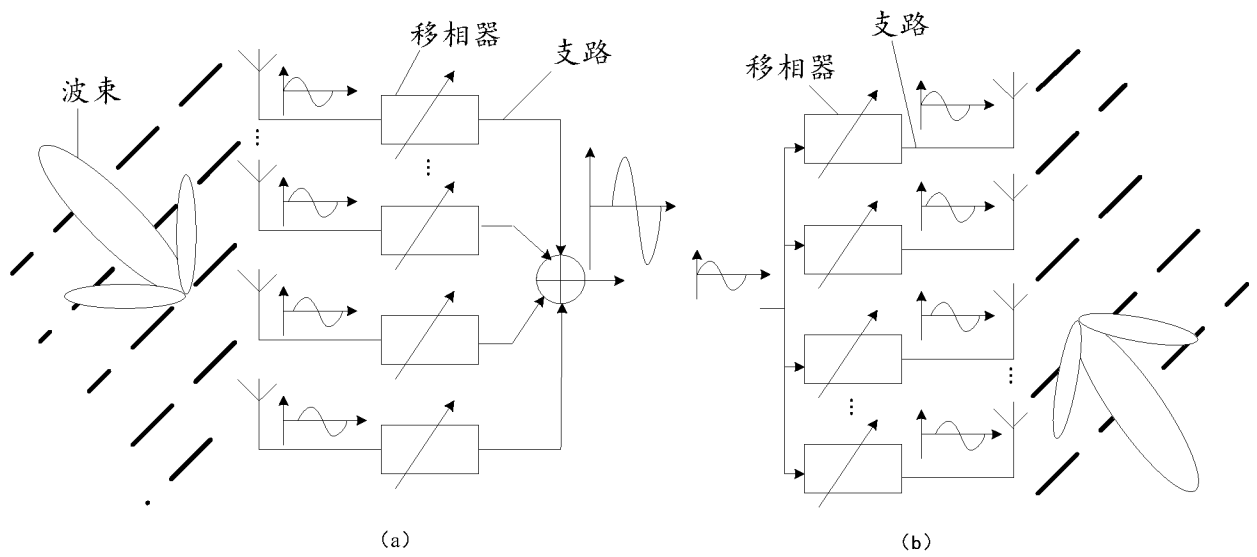


图 2

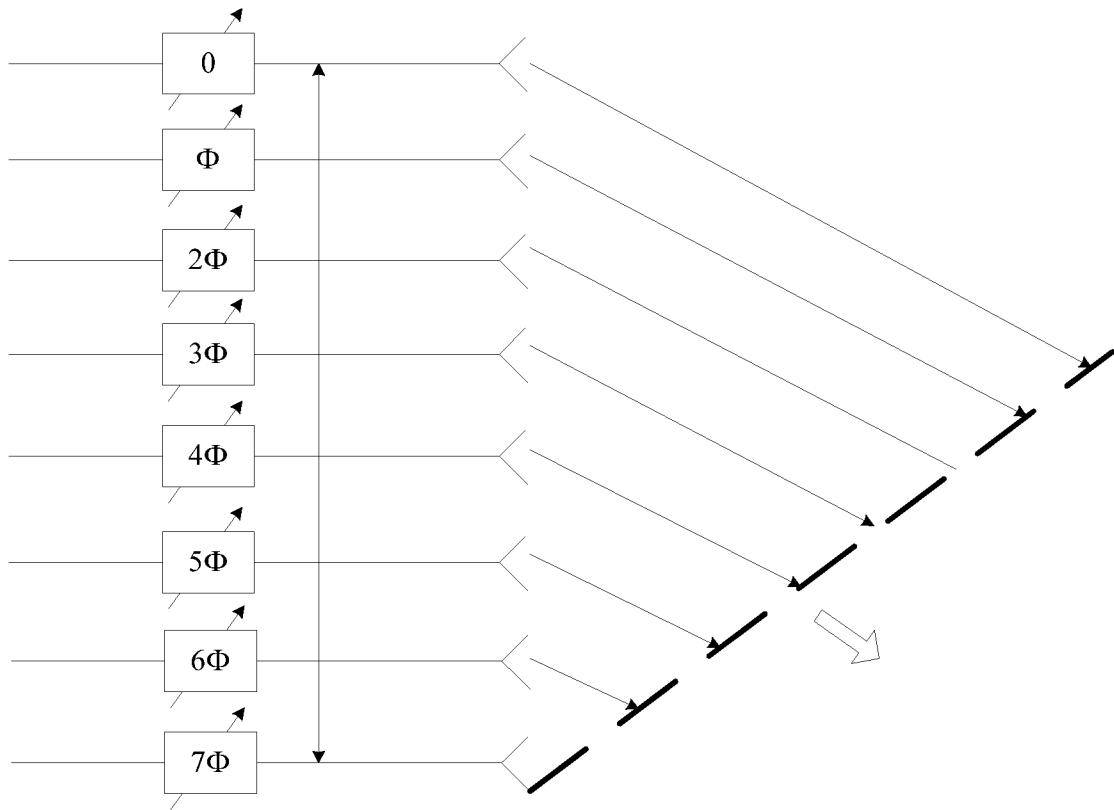


图 3

支路移相器

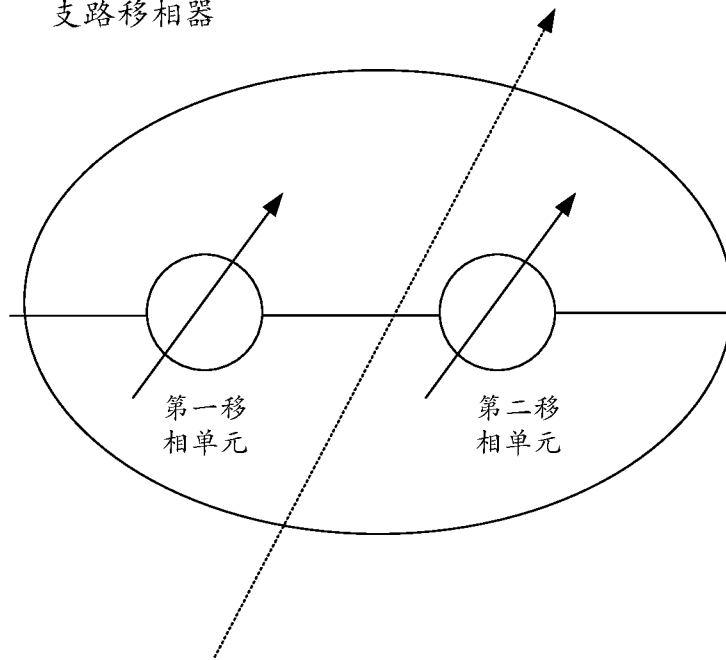


图 4

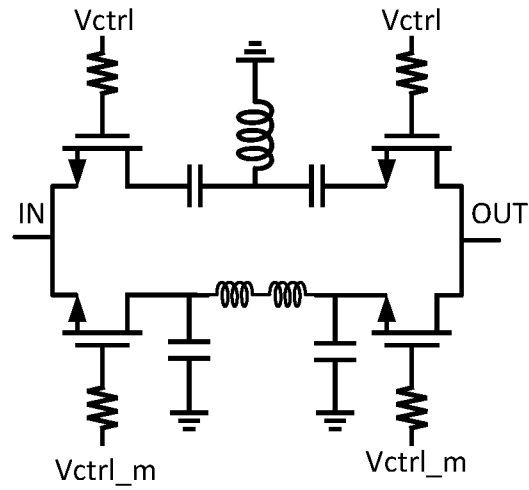


图 5

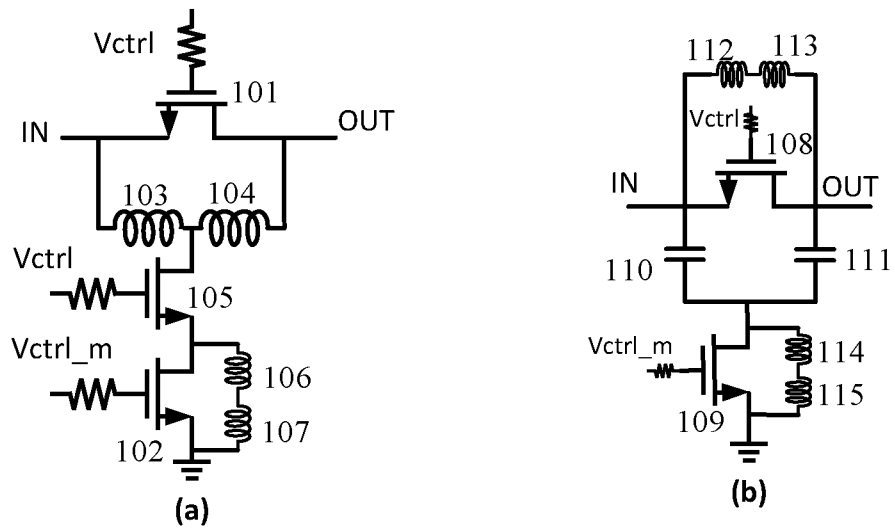


图 6

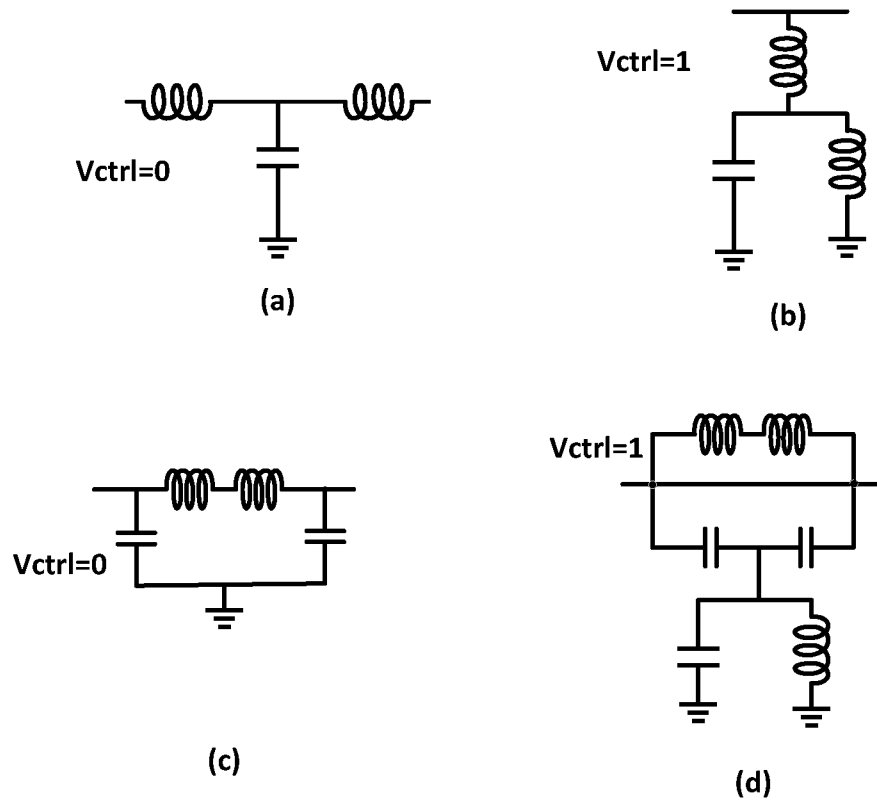


图 7

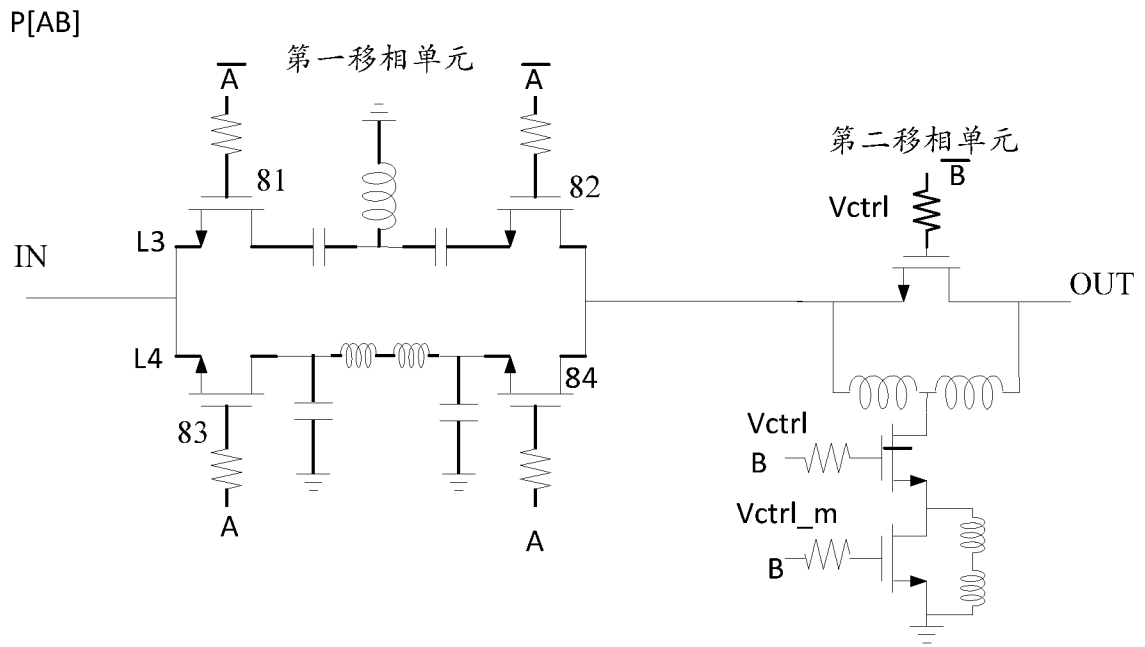


图 8

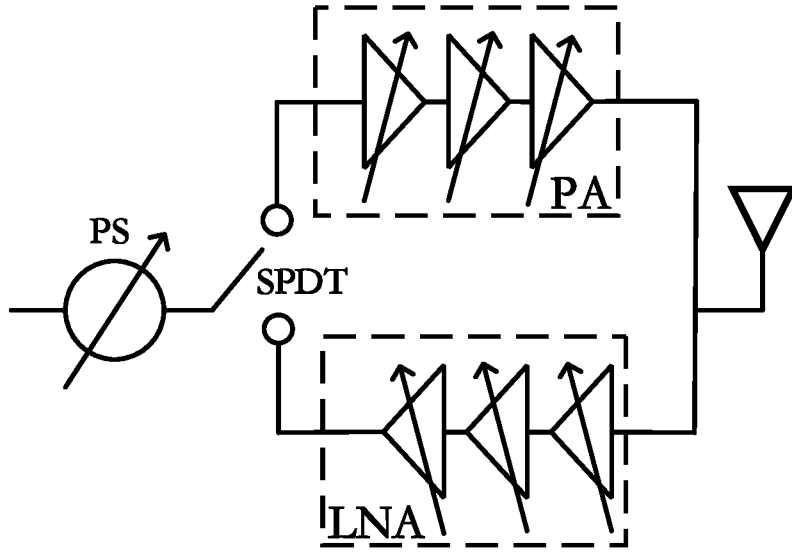


图 9

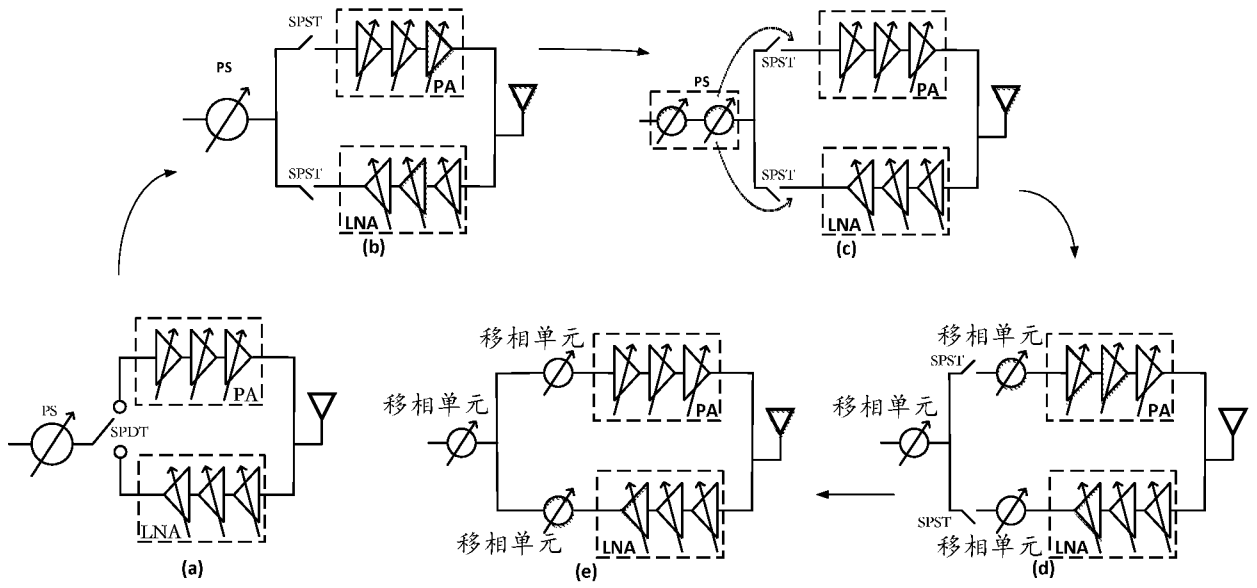


图 10

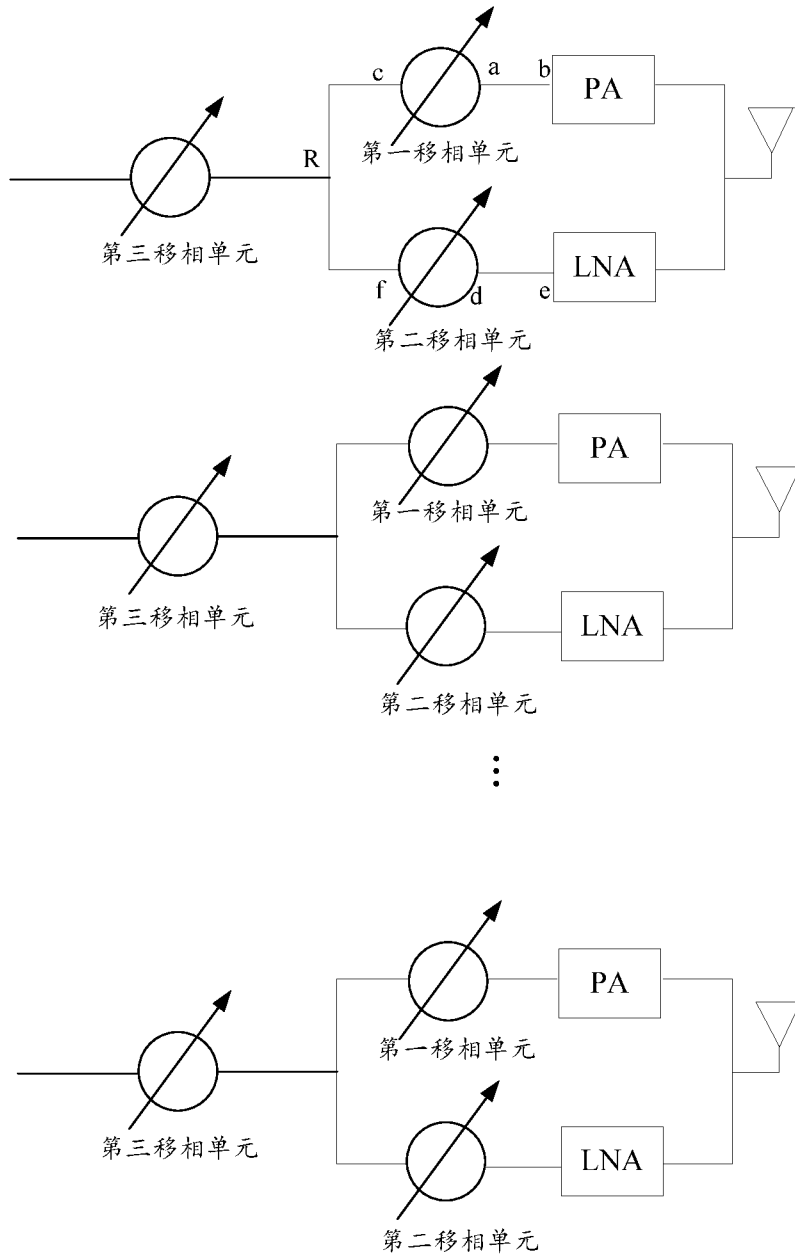


图 11

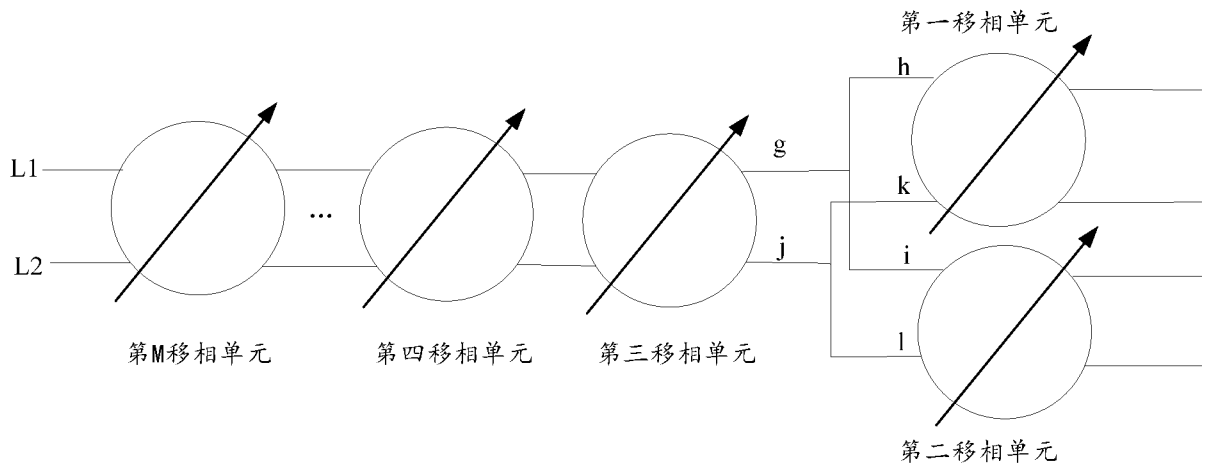


图 12

移相状态: $V_{ctrl} = \overline{V_{ctrl_m}}$
 关断状态: $V_{ctrl} = V_{ctrl_m} = 0$

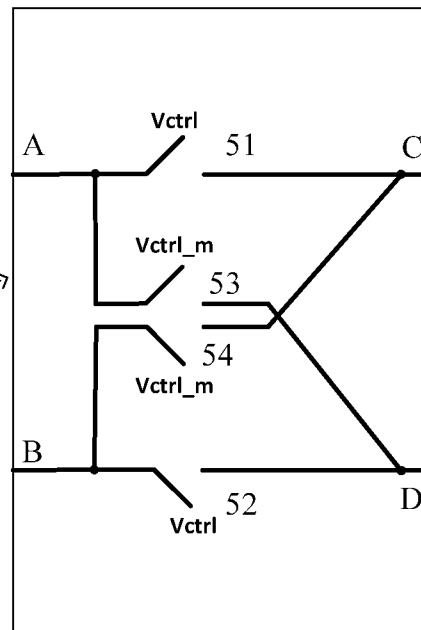
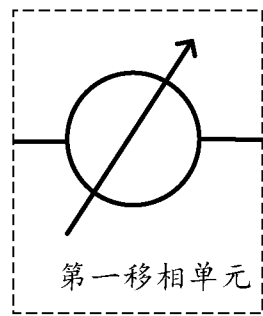


图 13

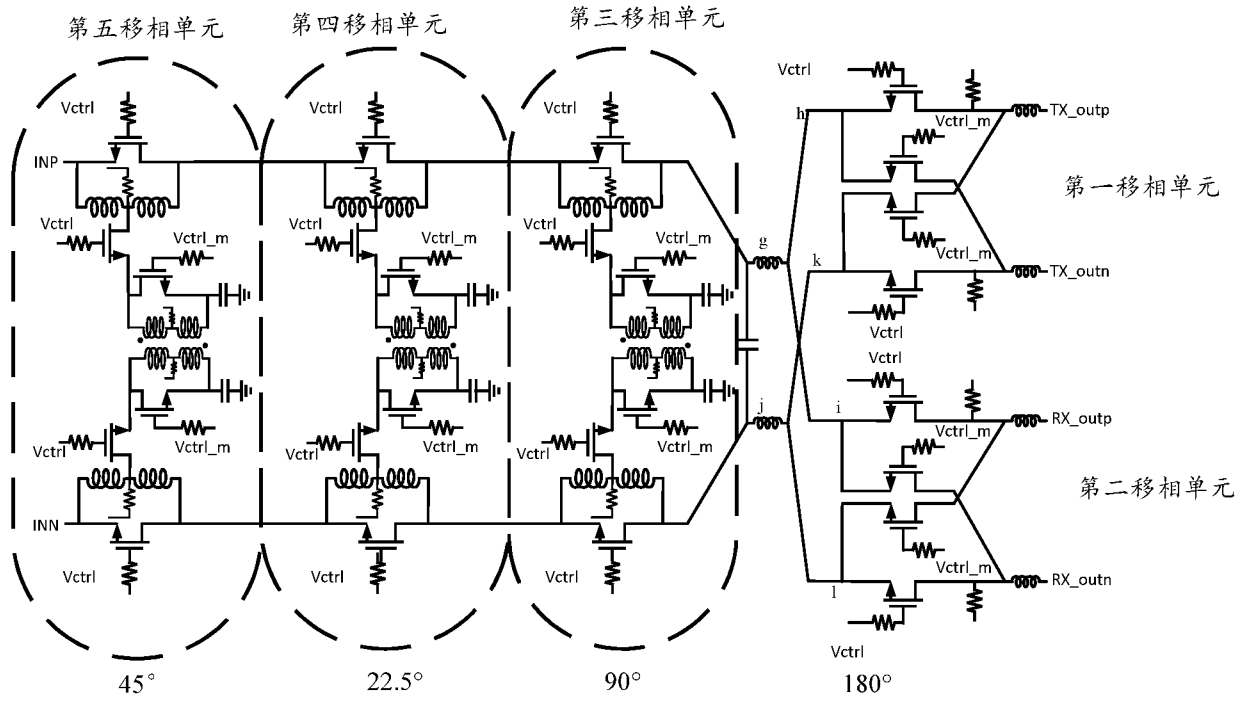


图 14

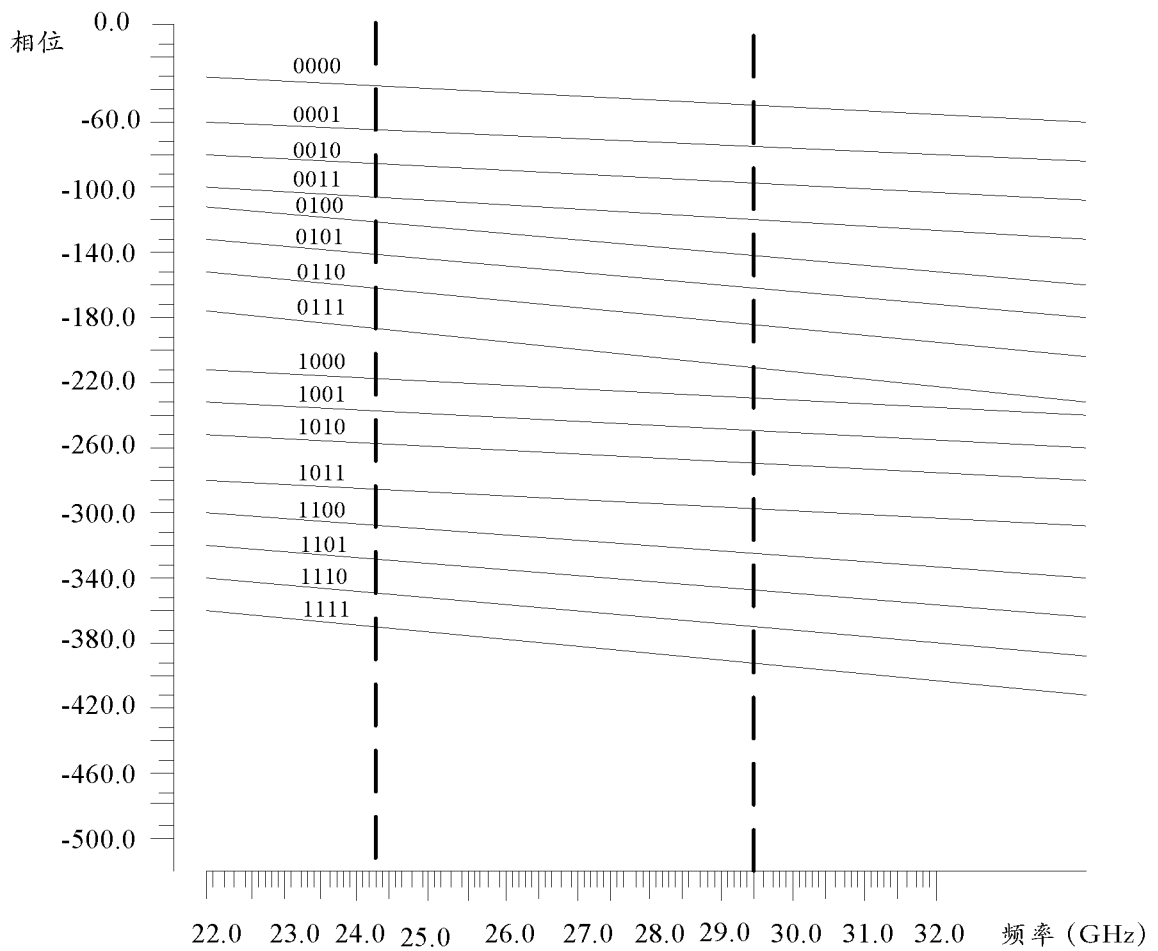


图 15

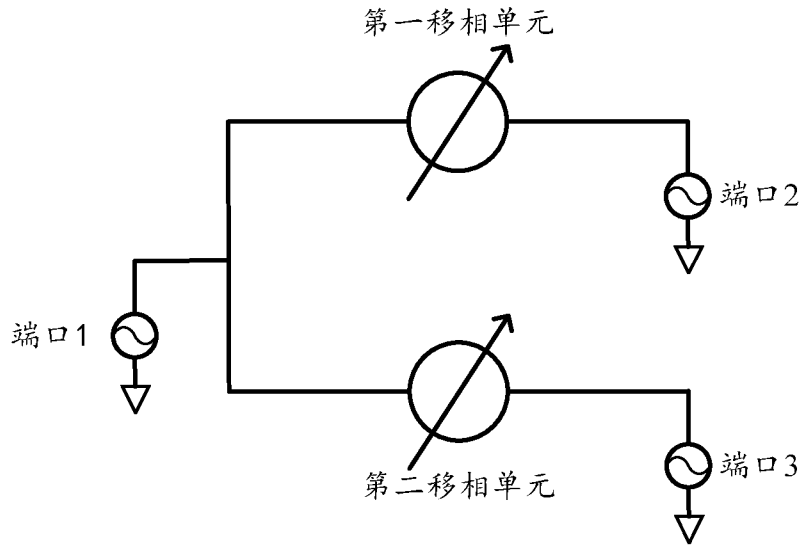


图 16

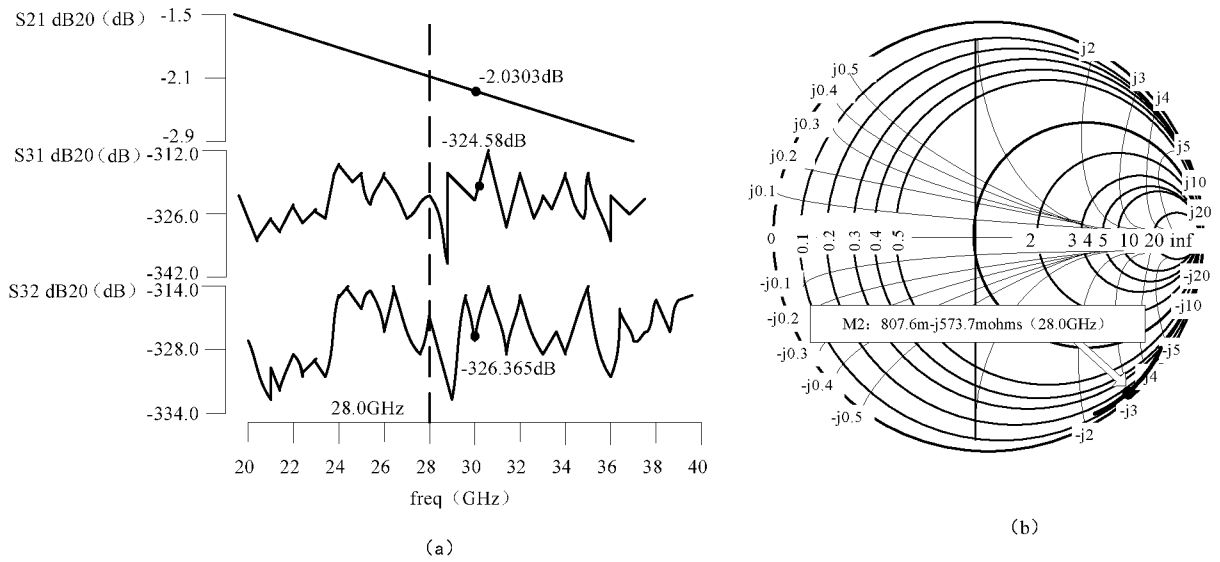


图 17

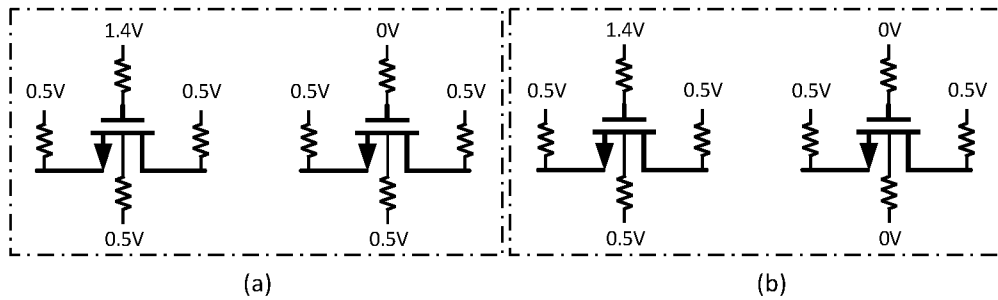


图 18

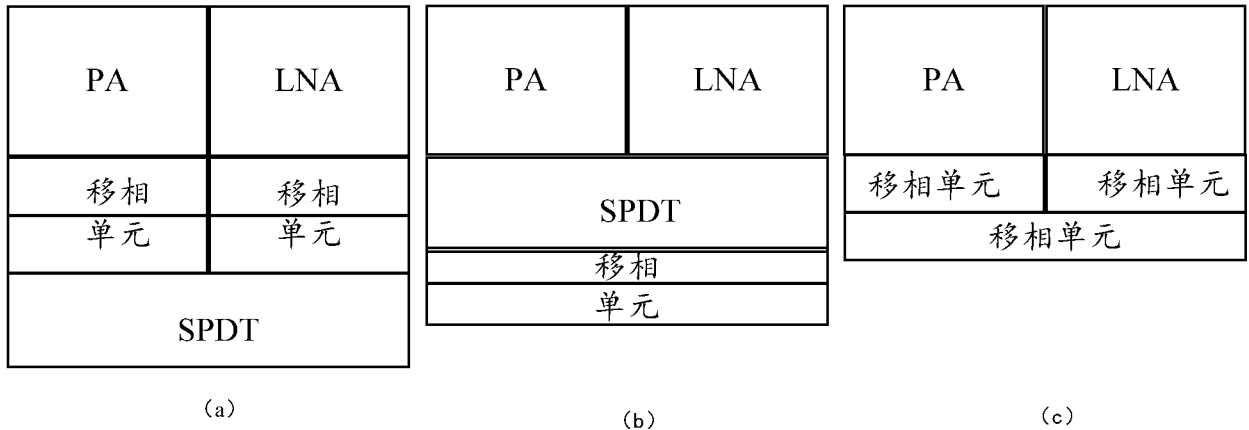


图 19

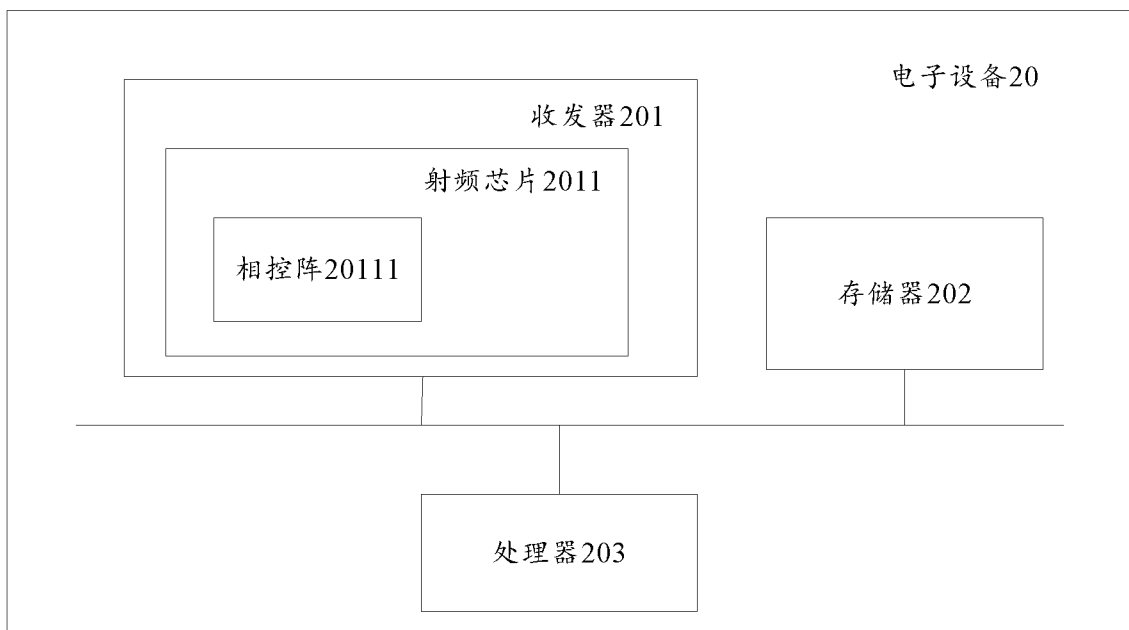


图 20

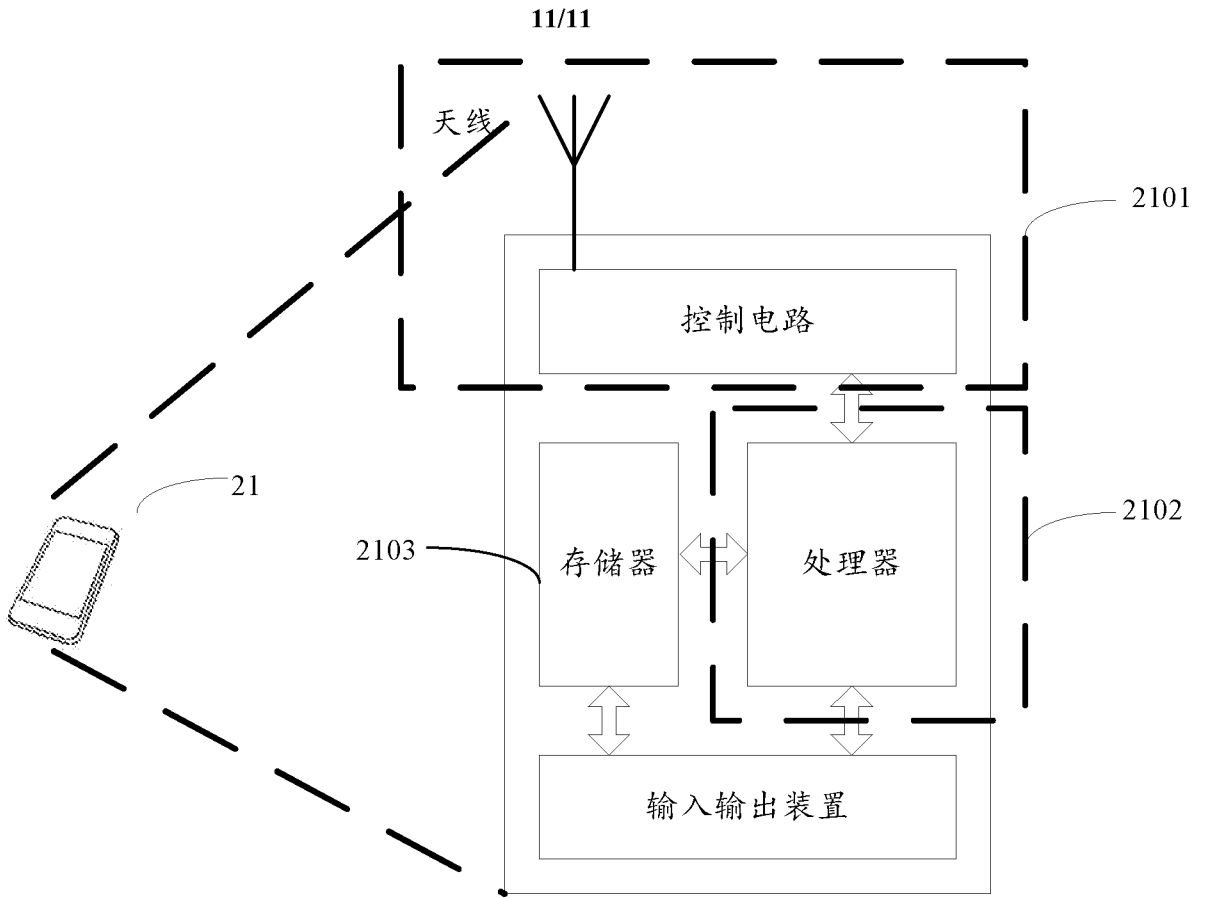


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/093541

A. CLASSIFICATION OF SUBJECT MATTER		
H01Q 1/22(2006.01)i; H01Q 1/38(2006.01)i; H01Q 15/24(2006.01)i; H01Q 21/29(2006.01)i; H01P 1/18(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01Q,H01P		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, WPI, EPODOC, CNKI: 射频, RF, 相控阵, 移相, 开关, 关断, 控制, 差分, 反向, radio frequency, phase? w array, phase shift+, switch+, clos+, control+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 110534870 A (SAMSUNG ELECTRONICS CO., LTD.) 03 December 2019 (2019-12-03) description, paragraphs [0042]-[0062] and figure 6	1-20
A	CN 109687885 A (SAMSUNG ELECTRONICS CO., LTD.) 26 April 2019 (2019-04-26) entire document	1-20
A	CN 108777369 A (HUNAN GUOKE RUICHENG ELECTRONIC TECHNOLOGY CO., LTD.) 09 November 2018 (2018-11-09) entire document	1-20
A	CN 109616723 A (SHANGHAI QINXIN INFORMATION TECHNOLOGY CO., LTD.) 12 April 2019 (2019-04-12) entire document	1-20
A	CN 105280991 A (NANJING MILLIWAY MICROELECTRONIC SCIENCE AND TECHNOLOGY CO., LTD.) 27 January 2016 (2016-01-27) entire document	1-20
A	US 2017041038 A1 (ERIDAN COMMUNICATIONS, INC.) 09 February 2017 (2017-02-09) entire document	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 February 2021		Date of mailing of the international search report 24 February 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		Authorized officer
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/093541

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110534870	A	03 December 2019	US	2019363453	A1	28 November 2019
				DE	102019107258	A1	28 November 2019
				US	10826197	B2	03 November 2020
CN	109687885	A	26 April 2019	US	2020336121	A1	22 October 2020
				US	2019115880	A1	18 April 2019
				US	10715091	B2	14 July 2020
CN	108777369	A	09 November 2018	None			
CN	109616723	A	12 April 2019	None			
CN	105280991	A	27 January 2016	WO	2017080263	A1	18 May 2017
				US	2017279174	A1	28 September 2017
				US	10270146	B2	23 April 2019
				RU	2664776	C1	22 August 2018
				CN	105280991	B	29 May 2018
US	2017041038	A1	09 February 2017	WO	2017007525	A2	12 January 2017
				US	10686487	B2	16 June 2020
				US	2020304166	A1	24 September 2020

国际检索报告

国际申请号

PCT/CN2020/093541

<p>A. 主题的分类</p> <p>H01Q 1/22(2006.01)i; H01Q 1/38(2006.01)i; H01Q 15/24(2006.01)i; H01Q 21/29(2006.01)i; H01P 1/18(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01Q, H01P</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPDOC, CNKI: 射频, RF, 相控阵, 移相, 开关, 关断, 控制, 差分, 反向, radio frequency, phase? w array, phase shift+, switch+, clos+, control+</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 110534870 A (三星电子株式会社) 2019年 12月 3日 (2019 - 12 - 03) 说明书第[0042]-[0062]段及图6</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 109687885 A (三星电子株式会社) 2019年 4月 26日 (2019 - 04 - 26) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 108777369 A (湖南国科锐承电子科技有限公司) 2018年 11月 9日 (2018 - 11 - 09) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 109616723 A (上海秦芯信息科技有限公司) 2019年 4月 12日 (2019 - 04 - 12) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105280991 A (南京米乐为微电子科技有限公司) 2016年 1月 27日 (2016 - 01 - 27) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2017041038 A1 (ERIDAN COMMUNICATIONS, INC.) 2017年 2月 9日 (2017 - 02 - 09) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 110534870 A (三星电子株式会社) 2019年 12月 3日 (2019 - 12 - 03) 说明书第[0042]-[0062]段及图6	1-20	A	CN 109687885 A (三星电子株式会社) 2019年 4月 26日 (2019 - 04 - 26) 全文	1-20	A	CN 108777369 A (湖南国科锐承电子科技有限公司) 2018年 11月 9日 (2018 - 11 - 09) 全文	1-20	A	CN 109616723 A (上海秦芯信息科技有限公司) 2019年 4月 12日 (2019 - 04 - 12) 全文	1-20	A	CN 105280991 A (南京米乐为微电子科技有限公司) 2016年 1月 27日 (2016 - 01 - 27) 全文	1-20	A	US 2017041038 A1 (ERIDAN COMMUNICATIONS, INC.) 2017年 2月 9日 (2017 - 02 - 09) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 110534870 A (三星电子株式会社) 2019年 12月 3日 (2019 - 12 - 03) 说明书第[0042]-[0062]段及图6	1-20																					
A	CN 109687885 A (三星电子株式会社) 2019年 4月 26日 (2019 - 04 - 26) 全文	1-20																					
A	CN 108777369 A (湖南国科锐承电子科技有限公司) 2018年 11月 9日 (2018 - 11 - 09) 全文	1-20																					
A	CN 109616723 A (上海秦芯信息科技有限公司) 2019年 4月 12日 (2019 - 04 - 12) 全文	1-20																					
A	CN 105280991 A (南京米乐为微电子科技有限公司) 2016年 1月 27日 (2016 - 01 - 27) 全文	1-20																					
A	US 2017041038 A1 (ERIDAN COMMUNICATIONS, INC.) 2017年 2月 9日 (2017 - 02 - 09) 全文	1-20																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2021年 2月 3日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 2月 24日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>邵文</p> <p>电话号码 86-(10)-53962475</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/093541

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110534870	A	2019年 12月 3日	US	2019363453	A1	2019年 11月 28日
				DE	102019107258	A1	2019年 11月 28日
				US	10826197	B2	2020年 11月 3日
CN	109687885	A	2019年 4月 26日	US	2020336121	A1	2020年 10月 22日
				US	2019115880	A1	2019年 4月 18日
				US	10715091	B2	2020年 7月 14日
CN	108777369	A	2018年 11月 9日	无			
CN	109616723	A	2019年 4月 12日	无			
CN	105280991	A	2016年 1月 27日	WO	2017080263	A1	2017年 5月 18日
				US	2017279174	A1	2017年 9月 28日
				US	10270146	B2	2019年 4月 23日
				RU	2664776	C1	2018年 8月 22日
				CN	105280991	B	2018年 5月 29日
US	2017041038	A1	2017年 2月 9日	WO	2017007525	A2	2017年 1月 12日
				US	10686487	B2	2020年 6月 16日
				US	2020304166	A1	2020年 9月 24日