

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年6月6日(06.06.2019)



(10) 国際公開番号

WO 2019/106948 A1

(51) 国際特許分類:

H01L 21/76 (2006.01) *H01L 27/088* (2006.01)
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
H01L 21/822 (2006.01) *H01L 29/78* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/04 (2006.01) *H01L 29/868* (2006.01)
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/JP2018/036982

(22) 国際出願日: 2018年10月3日(03.10.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-230807 2017年11月30日(30.11.2017) JP

(71) 出願人: 住友電気工業株式会社
(SUMITOMO ELECTRIC INDUSTRIES, LTD.)
[JP/JP]; 〒5410041 大阪府大阪市中央区北浜
四丁目5番33号 Osaka (JP).

(72) 発明者: 日吉 透(HIYOSHI, Toru); 〒5410041 大
阪府大阪市中央区北浜四丁目5番33号 住
友電気工業株式会社内 Osaka (JP).

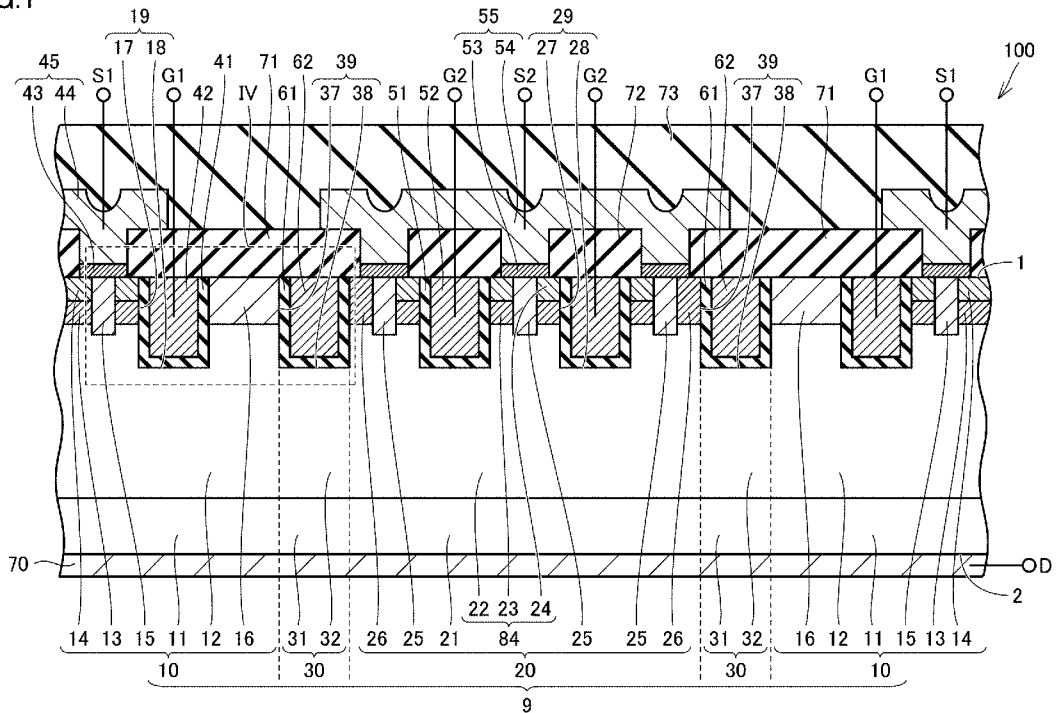
(74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大
阪市北区中之島三丁目2番4号 中之島フェス
ティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: GATE INSULATION-TYPE TRANSISTOR

(54) 発明の名称: ゲート絶縁型トランジスタ

FIG.1



(57) Abstract: This gate insulation-type transistor has an active region, a sense region, a separation trench, a first insulating film, a first conductor, a second insulating film, and a second conductor. The sense region is spaced apart from the active region. The separation trench surrounds the sense region and separates the sense region and the active region. A first gate trench, which is defined by a first side surface and a first bottom surface connected to the first side surface, is provided in the active region. The first insulating film is in contact with both the first side surface and the first bottom surface. The

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

first conductor is provided on the first insulating film. The second insulating film is provided inside the separation trench. The second conductor is provided on the second insulating film. The separation trench reaches a first impurity region. The first insulating film is composed of the same material as the second insulating film. The first conductor is composed of the same material as the second conductor, and electrically separated from the second conductor.

(57) 要約: ゲート絶縁型トランジスタは、活性領域と、センス領域と、分離トレンチと、第1絶縁膜と、第1導電体と、第2絶縁膜と、第2導電体とを有している。センス領域は、活性領域から離間している。分離トレンチは、センス領域を取り囲み、かつセンス領域と活性領域とを分離している。活性領域には、第1側面と、第1側面に連なる第1底面とにより規定される第1ゲートトレンチが設けられている。第1絶縁膜は、第1側面および第1底面の双方に接している。第1導電体は、第1絶縁膜上に設けられている。第2絶縁膜は、分離トレンチ内に設けられている。第2導電体は、第2絶縁膜上に設けられている。分離トレンチは、第1不純物領域に達している。第1絶縁膜は、第2絶縁膜と同じ材料により構成されている。第1導電体は、第2導電体と同じ材料により構成され、かつ第2導電体から電氣的に分離されている。

明 細 書

発明の名称： ゲート絶縁型トランジスタ

技術分野

[0001] 本開示は、ゲート絶縁型トランジスタに関する。本出願は、2017年11月30日に出願した日本特許出願である特願2017-230807号に基づく優先権を主張する。当該日本特許出願に記載された全ての記載内容は、参照によって本明細書に援用される。

背景技術

[0002] 特開2014-150126号公報（特許文献1）には、メインセル領域と、センスセル領域とを有するMOSFET（Metal Oxide Semiconductor Field Effect Transistor）が開示されている。メインセル領域とセンスセル領域との間において、素子分離層が形成されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-150126号公報

発明の概要

[0004] 本開示に係るゲート絶縁型トランジスタは、活性領域と、センス領域と、分離トレンチと、第1絶縁膜と、第1導電体と、第2絶縁膜と、第2導電体とを備えている。センス領域は、活性領域から離間している。分離トレンチは、センス領域を取り囲み、かつセンス領域と活性領域とを分離している。活性領域は、第1導電型を有する第1不純物領域と、第1不純物領域上に設けられ、第1導電型と異なる第2導電型を有する第2不純物領域と、第1不純物領域から隔てられるように第2不純物領域上に設けられ、かつ第1導電型を有する第3不純物領域とを含んでいる。活性領域には、第1側面と、第1側面に連なる第1底面とにより規定される第1ゲートトレンチが設けられている。第1側面は、第1不純物領域と、第2不純物領域と、第3不純物領

域とにより構成されている。第1底面は、第1不純物領域により構成されている。第1絶縁膜は、第1側面および第1底面の双方に接している。第1導電体は、第1絶縁膜上に設けられている。第2絶縁膜は、分離トレンチ内に設けられている。第2導電体は、第2絶縁膜上に設けられている。分離トレンチは、第1不純物領域に達している。第1絶縁膜は、第2絶縁膜と同じ材料により構成されている。第1導電体は、第2導電体と同じ材料により構成され、かつ第2導電体から電氣的に分離されている。

図面の簡単な説明

[0005] [図1]図1は、第1実施形態に係るゲート絶縁型トランジスタの構成を示す断面模式図であり、図3のⅠ－Ⅰ線矢視断面模式図に対応する。

[図2]図2は、第1実施形態に係るゲート絶縁型トランジスタが有する炭化珪素基板の構成を示す平面模式図である。

[図3]図3は、第1実施形態に係るゲート絶縁型トランジスタの構成を示す平面模式図である。

[図4]図4は、図1の領域ⅠⅤの拡大図である。

[図5]図5は、図3のⅤ－Ⅴ線矢視断面模式図である。

[図6]図6は、第2実施形態に係るゲート絶縁型トランジスタの構成を示す断面模式図であり、図7のⅤⅠ－ⅤⅠ線矢視断面模式図に対応する。

[図7]図7は、第2実施形態に係るゲート絶縁型トランジスタの構成を示す平面模式図である。

[図8]図8は、第3実施形態に係るゲート絶縁型トランジスタの構成を示す断面模式図である。

[図9]図9は、図10のⅩ－Ⅹ線矢視断面模式図である。

[図10]図10は、第3実施形態に係るゲート絶縁型トランジスタの構成を示す平面模式図である。

発明を実施するための形態

[0006] [本開示が解決しようとする課題]

特開2014-150126号公報に記載のMOSFETの一実施形態に

においては、素子分離層は酸化物などの絶縁体によって構成されている。素子分離層を絶縁体によって形成する方法としては、炭化珪素基板にトレンチを形成した後、当該トレンチの内部を絶縁体で埋めることが考えられる。しかしながら、上記形成方法を採用する場合には、プロセス的に工程数が大幅に増加してしまう。

[0007] 本開示の目的は、工程数を大幅に増加することなくセンス領域と活性領域とを分離可能なゲート絶縁型トランジスタを提供することである。

[0008] [本開示の効果]

本開示によれば、工程数を大幅に増加することなくセンス領域と活性領域とを分離可能なゲート絶縁型トランジスタを提供することができる。

[0009] [本開示の実施形態の概要]

まず、本開示の実施形態の概要について説明する。

[0010] (1) 本開示に係るゲート絶縁型トランジスタ100は、活性領域10と、センス領域20と、分離トレンチ39と、第1絶縁膜41と、第1導電体42と、第2絶縁膜61と、第2導電体62とを備えている。センス領域20は、活性領域10から離間している。分離トレンチ39は、センス領域20を取り囲み、かつセンス領域20と活性領域10とを分離している。活性領域10は、第1導電型を有する第1不純物領域12と、第1不純物領域12上に設けられ、第1導電型と異なる第2導電型を有する第2不純物領域13と、第1不純物領域12から隔てられるように第2不純物領域13上に設けられ、かつ第1導電型を有する第3不純物領域14とを含んでいる。活性領域10には、第1側面17と、第1側面17に連なる第1底面18とにより規定される第1ゲートトレンチ19が設けられている。第1側面17は、第1不純物領域12と、第2不純物領域13と、第3不純物領域14とにより構成されている。第1底面18は、第1不純物領域12により構成されている。分離領域30には、分離トレンチ39が設けられている。第1絶縁膜41は、第1側面17および第1底面18の双方に接している。第1導電体42は、第1絶縁膜41上に設けられている。第2絶縁膜61は、分離トレ

ンチ３９内に設けられている。第２導電体６２は、第２絶縁膜６１上に設けられている。分離トレンチ３９は、第１不純物領域１２に達している。第１絶縁膜４１は、第２絶縁膜６１と同じ材料により構成されている。第１導電体４２は、第２導電体６２と同じ材料により構成され、かつ第２導電体６２から電氣的に分離されている。

[0011] 上記（１）に係るゲート絶縁型トランジスタ１００によれば、活性領域１０には、第１側面１７と、第１側面１７に連なる第１底面１８とにより規定される第１ゲートトレンチ１９が設けられている。分離トレンチ３９は、センス領域２０と活性領域１０とを分離している。これにより、センス領域２０と活性領域１０とが電氣的に分離される。第１絶縁膜４１は、第１側面１７および第１底面１８の双方に接している。第１導電体４２は、第１絶縁膜４１上に設けられている。第２絶縁膜６１は、分離トレンチ３９内に設けられている。第２導電体６２は、第２絶縁膜６１上に設けられている。第１絶縁膜４１は、第２絶縁膜６１と同じ材料により構成されている。第１導電体４２は、第２導電体６２と同じ材料により構成されている。これにより、分離トレンチ３９を第１ゲートトレンチ１９と同時に形成することができる。そのため、工程数を増やすことなく、センス領域２０と活性領域１０とを分離することができる。また分離トレンチ３９を容易に埋めることができる。さらに分離トレンチ３９が第２絶縁膜６１および第２導電体６２によって埋められることで、分離トレンチ３９上に段差が発生することを抑制することができる。そのため、電極に電力を供給するためのアルミニウム配線を形成する際に、当該配線の付き回りの不具合が発生することを抑制することができる。

[0012] （２）上記（１）に係るゲート絶縁型トランジスタ１００において、センス領域２０は、電流センサ素子８４を有していてもよい。

[0013] （３）上記（２）に係るゲート絶縁型トランジスタ１００は、第３絶縁膜５１と、第３導電体５２とを備えていてもよい。電流センサ素子８４は、第１導電型を有しかつ第１不純物領域１２に電氣的に接続された第４不純物領

域 2 2 と、第 2 導電型を有しかつ第 4 不純物領域 2 2 上に設けられた第 5 不純物領域 2 3 と、第 4 不純物領域 2 2 から隔てられるように第 5 不純物領域 2 3 上に設けられかつ第 1 導電型を有する第 6 不純物領域 2 4 とを有していてもよい。センス領域 2 0 には、第 2 側面 2 7 と、第 2 側面 2 7 に連なる第 2 底面 2 8 とにより規定される第 2 ゲートトレンチ 2 9 が設けられていてもよい。第 2 側面 2 7 は、第 4 不純物領域 2 2 と、第 5 不純物領域 2 3 と、第 6 不純物領域 2 4 とにより構成されていてもよい。第 2 底面 2 8 は、第 4 不純物領域 2 2 により構成されていてもよい。第 3 絶縁膜 5 1 は、第 2 側面 2 7 および第 2 底面 2 8 の双方に接していてもよい。第 3 導電体 5 2 は、第 3 絶縁膜 5 1 上に設けられていてもよい。第 1 導電体 4 2 は、第 3 導電体 5 2 と電氣的に接続されていてもよい。

[0014] (4) 上記 (1) に係るゲート絶縁型トランジスタ 1 0 0 において、センス領域 2 0 は、温度センサ素子 8 5 を有していてもよい。

[0015] (5) 上記 (4) に係るゲート絶縁型トランジスタ 1 0 0 は、ソース電極 4 5 と、第 4 導電体 9 5 とを備えていてもよい。温度センサ素子 8 5 は、第 1 導電型を有しかつ第 1 不純物領域 1 2 に電氣的に接続された第 4 不純物領域 2 2 と、第 2 導電型を有しかつ第 4 不純物領域 2 2 上に設けられた第 5 不純物領域 2 3 と、第 2 導電型を有しかつ第 5 不純物領域 2 3 よりも高い不純物濃度を有する第 6 不純物領域 9 1 とを有していてもよい。ソース電極 4 5 は、第 3 不純物領域 1 4 と電氣的に接続されていてもよい。第 4 導電体 9 5 は、第 5 不純物領域 2 3 および第 6 不純物領域 9 1 の各々と電氣的に接続されていてもよい。ソース電極 4 5 は、第 4 導電体 9 5 から電氣的に分離されていてもよい。

[0016] (6) 上記 (1) ~ (5) のいずれかに係るゲート絶縁型トランジスタ 1 0 0 において、分離トレンチ 3 9 の深さは、第 1 ゲートトレンチ 1 9 の深さ以上であってもよい。これにより、活性領域 1 0 とセンス領域 2 0 とをより確実に分離することができる。

[0017] (7) 上記 (6) に係るゲート絶縁型トランジスタ 1 0 0 において、分離

トレンチ 39 の深さは、第 1 ゲートトレンチ 19 の深さと同じであってもよい。

[0018] (8) 上記 (1) ~ (7) のいずれかに係るゲート絶縁型トランジスタ 100 において、分離トレンチ 39 の延在方向に対して垂直な断面における分離トレンチ 39 の幅は、第 1 ゲートトレンチ 19 の延在方向に対して垂直な断面における第 1 ゲートトレンチ 19 の幅以上であってもよい。活性領域 10 とセンス領域 20 とをより確実に分離することができる。

[0019] (9) 上記 (1) ~ (8) のいずれかに係るゲート絶縁型トランジスタ 100 において、第 1 導電体 42 および第 2 導電体 62 の材料は、ポリシリコンであってもよい。

[0020] (10) 上記 (1) に係るゲート絶縁型トランジスタ 100 において、センス領域 20 は、電流センサ素子 84 と、温度センサ素子 85 とを有していてもよい。センス領域 20 には、電流センサ素子 84 と温度センサ素子 85 とを分離し、かつ分離トレンチ 39 に連なる境界トレンチ 67 が設けられていてもよい。

[0021] [本開示の実施形態の詳細]

以下、実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。本明細書中の結晶学的記載においては、個別方位を $[\]$ 、集合方位を $\langle \rangle$ 、個別面を $()$ 、集合面を $\{ \}$ でそれぞれ示している。また結晶学上の指数が負であることは、通常、“ $-$ ” (バー) を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付している。

[0022] (第 1 実施形態)

まず、第 1 実施形態に係るゲート絶縁型トランジスタ 100 の一例としての MOSFET 100 の構成について説明する。

[0023] 図 1 に示されるように、第 1 実施形態に係る MOSFET は、炭化珪素基板 9 と、第 1 絶縁膜 41 と、第 3 絶縁膜 51 と、第 2 絶縁膜 61 と、第 1 導電体 42 と、第 3 導電体 52 と、第 2 導電体 62 と、第 1 ソース電極 45 と

、第2ソース電極55と、第1層間絶縁膜71と、第2層間絶縁膜72と、パッシベーション層73とを主に有している。炭化珪素基板9は、第1主面1と、第2主面2と、活性領域10と、センス領域20と、分離領域30とを主に有している。センス領域20は、活性領域10と隔てられている。分離領域30は、活性領域10とセンス領域20との間にある。センス領域20および活性領域10は、分離領域30によって互いに隔てられている。第2主面2は、第1主面1の反対側にある。第1主面1および第2主面2の各々は、活性領域10とセンス領域20と分離領域30とにより構成されている。炭化珪素基板9は、たとえばポリタイプ4Hの六方晶炭化珪素から構成されている。

[0024] 第1主面1は、 $\{0001\}$ 面または $\{000\bar{1}\}$ 面がオフ方向に 8° 以下のオフ角だけ傾斜した面である。具体的には、第1主面1は、 $(000\bar{1})$ 面または $(000\bar{1})$ 面がオフ方向に 8° 以下のオフ角だけ傾斜した面である。オフ方向は、たとえば $\langle 11\bar{2}0 \rangle$ 方向であってもよいし、 $\langle 1\bar{1}00 \rangle$ 方向であってもよい。オフ角は、たとえば 1° 以上であってもよいし、 2° 以上であってもよい。オフ角は、 6° 以下であってもよいし、 4° 以下であってもよい。

[0025] 図1に示されるように、活性領域10は、第1ドリフト領域12（第1不純物領域12）と、第1ボディ領域13（第2不純物領域13）と、第1ソース領域14（第3不純物領域14）と、第1コンタクト領域15と、第1p型領域16と、第1基板部分11とを主に含んでいる。第1ドリフト領域12は、たとえば窒素（N）などのn型不純物を含み、n型（第1導電型）を有する。第1ドリフト領域12のn型不純物の濃度は、たとえば $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。第1ボディ領域13は、第1ドリフト領域12上に設けられている。第1ボディ領域13は、たとえばアルミニウム（Al）などのp型不純物を含み、n型と異なるp型（第2導電型）を有する。第1ボディ領域13のp型不純物の濃度は、第1ドリフト領域12のn型不純物の濃度よりも高くてもよい。第1ボディ領域13におけるp型不

純物の濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0026] 第1ソース領域14は、第1ドリフト領域12から隔てられるように第1ボディ領域13上に設けられている。第1ソース領域14は、たとえば窒素またはリン（P）などのn型不純物を含んでおり、n型を有する。第1ソース領域14は、たとえば第1主面1の一部を構成している。第1ソース領域14のn型不純物の濃度は、第1ボディ領域13のp型不純物の濃度よりも高くてもよい。第1ソース領域14のn型不純物の濃度は、たとえば $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

[0027] 第1コンタクト領域15は、たとえばアルミニウムなどのp型不純物を含んでおり、p型の導電型を有する。第1コンタクト領域15のp型不純物の濃度は、たとえば第1ボディ領域13のp型不純物の濃度よりも高い。第1コンタクト領域15は、たとえば第1ボディ領域13および第1ソース領域14の各々を貫通している。第1コンタクト領域15は、たとえば第1ドリフト領域12に接する。第1コンタクト領域15は、たとえば第1主面1の一部を構成している。第1コンタクト領域15のp型不純物の濃度は、たとえば $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0028] 第1p型領域16は、たとえばアルミニウムなどのp型不純物を含み、p型を有する。第1p型領域16は、第1ドリフト領域12上に設けられている。第1p型領域16は、たとえばアルミニウムなどのp型不純物を含み、p型を有する。第1p型領域16のp型不純物の濃度は、第1ボディ領域13のp型不純物の濃度と同じであってもよい。第1p型領域16は、たとえば分離領域30に接していてもよい。また、第1p型領域16は、ソース電極45（S1）に接続されていてもよい。第1基板部分11は、たとえば窒素（N）などのn型不純物を含み、n型（第1導電型）を有する。第1基板部分11は、たとえば第2主面2の一部を構成している。第1基板部分11のn型不純物の濃度は、第1ドリフト領域12のn型不純物の濃度よりも高くてもよい。第1ドリフト領域12は、たとえば第1基板部分11上に設けられている。

- [0029] 活性領域 10 には、第 1 側面 17 と、第 1 底面 18 とにより規定される第 1 ゲートトレンチ 19 が設けられている。第 1 底面 18 は、第 1 側面 17 に連なっている。第 1 側面 17 は、第 1 ドリフト領域 12 と、第 1 ボディ領域 13 と、第 1 ソース領域 14 とにより構成されている。第 1 底面 18 は、第 1 ドリフト領域 12 により構成されている。第 1 側面 17 は、第 1 ボディ領域 13 および第 1 ソース領域 14 の各々を貫通して第 1 ドリフト領域 12 に至っている。第 1 底面 18 は、たとえば第 2 主面 2 と平行な平面である。第 1 底面 18 に対する第 1 側面 17 の角度は、たとえば 90° である。
- [0030] 第 1 側面 17 は、第 1 底面 18 に対して垂直な平面に対して傾斜していてもよい。第 1 側面 17 は、第 1 底面 18 から第 1 主面 1 に向かうに従って、第 1 ゲートトレンチ 19 の幅が広がるように、第 1 底面 18 に対して傾斜していてもよい。第 1 ゲートトレンチ 19 は、たとえば第 2 主面 2 と平行な方向に沿ってストライプ状に伸長している。第 1 ゲートトレンチ 19 は、たとえばハニカム状に伸長していてもよいし、アイランド状に点在していてもよい。
- [0031] 第 1 絶縁膜 41 は、たとえばゲート酸化膜である。第 1 絶縁膜 41 は、たとえば二酸化珪素を含む材料により構成されている。第 1 絶縁膜 41 は、第 1 側面 17 および第 1 底面 18 の双方に接している。第 1 絶縁膜 41 は、第 1 底面 18 において第 1 ドリフト領域 12 と接している。第 1 絶縁膜 41 は、第 1 側面 17 において、第 1 ドリフト領域 12、第 1 ボディ領域 13 および第 1 ソース領域 14 の各々と接している。
- [0032] 第 1 導電体 42 は、たとえば第 1 ゲート電極である。第 1 導電体 42 は、第 1 絶縁膜 41 上に設けられている。第 1 導電体 42 は、たとえば導電性不純物を含むポリシリコンから構成されている。第 1 導電体 42 は、たとえば第 1 ゲートトレンチ 19 の内部に配置されている。
- [0033] 第 1 ソース電極 45 (第 1 電極 45) は、第 1 ソース領域 14 と電氣的に接続されている。第 1 ソース電極 45 は、たとえば第 1 主面 1 において、第 1 ソース領域 14 および第 1 コンタクト領域 15 の各々に接している。第 1

ソース電極 45 は、第 1 コンタクト電極 43 と、第 1 ソース配線 44 とを有している。第 1 ソース配線 44 は、第 1 コンタクト電極 43 上に設けられている。第 1 コンタクト電極 43 は、第 1 主面 1 において、第 1 ソース領域 14 および第 1 コンタクト領域 15 の各々に接していてもよい。第 1 コンタクト電極 43 は、たとえば Ti と、Al と、Si とを含む材料から構成されている。第 1 コンタクト電極 43 は、たとえば第 1 ソース領域 14 とオーミック接合している。第 1 コンタクト電極 43 は、第 1 コンタクト領域 15 とオーミック接合していてもよい。第 1 ソース配線 44 は、たとえばアルミニウムを含む材料から構成されている。

[0034] 分離領域 30 には、分離トレンチ 39 が設けられている。分離トレンチ 39 は、第 3 側面 37 と、第 3 底面 38 とにより規定されている。第 3 底面 38 は、第 3 側面 37 に連なっている。分離領域 30 は、たとえば第 3 ドリフト領域 32 と、第 3 基板部分 31 とを有している。第 3 底面 38 は、第 3 ドリフト領域 32 により構成されている。第 3 底面 38 は、たとえば第 2 主面 2 と平行な平面である。第 3 底面 38 に対する第 3 側面 37 の角度は、たとえば 90° である。第 3 側面 37 は、第 3 底面 38 に対して垂直な平面に対して傾斜していてもよい。第 3 側面 37 は、第 3 底面 38 から第 1 主面 1 に向かうに従って、分離トレンチ 39 の幅が広がるように、第 1 底面 18 に対して傾斜していてもよい。

[0035] 分離トレンチ 39 は、第 1 不純物領域 12 に達している。別の観点から言えば、分離トレンチ 39 の第 3 側面 37 の一部は、第 1 不純物領域 12 に接している。分離トレンチ 39 は、第 1 p 型領域 16 と、第 2 p 型領域 26 とに挟まれている。分離トレンチ 39 は、第 1 p 型領域 16 および第 2 p 型領域 26 の各々に接している。

[0036] 第 2 絶縁膜 61 は、たとえば酸化膜である。第 2 絶縁膜 61 は、たとえば二酸化珪素を含む材料により構成されている。第 1 絶縁膜 41 は、第 2 絶縁膜 61 と同じ材料により構成されている。第 2 絶縁膜 61 は、分離トレンチ 39 内に設けられている。第 2 絶縁膜 61 は、第 3 側面 37 および第 3 底面

38の双方に接している。第2絶縁膜61は、第3底面38において第3ドリフト領域32と接している。第2絶縁膜61は、たとえば第3側面37において、第1p型領域16および第1ドリフト領域12の各々に接している。

[0037] 第2導電体62は、第2絶縁膜61上に設けられている。第2導電体62は、たとえば導電性不純物を含むポリシリコンから構成されている。第2導電体62は、たとえば分離トレンチ39の内部に配置されている。第1導電体42は、第2導電体62と同じ材料により構成されている。第1導電体42は、第2導電体62から電氣的に分離されている。別の観点から言えば、第2導電体62は、フローティング電極である。

[0038] 図2に示されるように、第1主面1に対して垂直な方向から見て、分離トレンチ39は、センス領域20を取り囲んでいる。分離トレンチ39は、センス領域20と活性領域10とを分離している。分離トレンチ39は、分離領域30に設けられている。第1主面1に対して垂直な方向から見て、分離領域30は、たとえばセンス領域20の外周を取り囲んでいる。分離領域30は、たとえば環状である。活性領域10は、たとえば分離領域30の外周を取り囲んでいる。活性領域10は、たとえば環状である。第1主面1に対して垂直な方向から見て、センス領域20は、たとえば長方形の形状を有している。

[0039] センス領域20は、たとえば電流センサ素子84を有している。図1に示されるように、センス領域20は、第2ドリフト領域22（第4不純物領域22）と、第2ボディ領域23（第5不純物領域23）と、第2ソース領域24（第6不純物領域24）と、第2コンタクト領域25と、第2p型領域26と、第2基板部分21とを主に有している。第2ドリフト領域22と第2ボディ領域23と第2ソース領域24とは、たとえば電流センサ素子84を構成する。

[0040] 第2ドリフト領域22は、たとえば窒素などのn型不純物を含み、n型（第1導電型）を有する。第2ドリフト領域22は、第1ドリフト領域12に

電氣的に接続されている。第2ドリフト領域22のn型不純物の濃度は、第1ドリフト領域12のn型不純物の濃度と同じであってもよい。第2ボディ領域23は、たとえばアルミニウム（Al）などのp型不純物を含み、p型を有する。第2ボディ領域23は、第2ドリフト領域22上に設けられている。第2ボディ領域23のp型不純物の濃度は、第2ドリフト領域22のn型不純物の濃度よりも高くてもよい。第2ボディ領域23のp型不純物の濃度は、第1ボディ領域13のp型不純物の濃度と同じであってもよい。第2ボディ領域23は、たとえば第1ボディ領域13から電氣的に分離されている。

[0041] 第2ソース領域24は、第2ドリフト領域22から隔てられるように第2ボディ領域23上に設けられている。第2ソース領域24は、たとえば窒素またはリン（P）などのn型不純物を含んでおり、n型を有する。第2ソース領域24は、たとえば第1主面1の一部を構成している。第2ソース領域24のn型不純物の濃度は、第2ボディ領域23のp型不純物の濃度よりも高くてもよい。第2ソース領域24のn型不純物の濃度は、第1ソース領域14のn型不純物の濃度と同じであってもよい。第2ソース領域24は、たとえば第1ソース領域14から電氣的に分離されている。

[0042] 第2コンタクト領域25は、たとえばアルミニウムなどのp型不純物を含んでおり、p型の導電型を有する。第2コンタクト領域25のp型不純物の濃度は、たとえば第2ボディ領域23のp型不純物の濃度よりも高い。第2コンタクト領域25は、たとえば第2ボディ領域23および第2ソース領域24の各々を貫通している。第2コンタクト領域25は、たとえば第2ドリフト領域22に接する。第2コンタクト領域25は、たとえば第1主面1の一部を構成している。第2コンタクト領域25のp型不純物の濃度は、第1コンタクト領域15のp型不純物の濃度と同じであってもよい。第2コンタクト領域25は、たとえば第1コンタクト領域15から電氣的に分離されている。

[0043] 第2p型領域26は、第2ドリフト領域22上に設けられている。第2p

型領域 26 は、たとえばアルミニウムなどの p 型不純物を含み、p 型を有する。第 2 p 型領域 26 の p 型不純物の濃度は、第 2 ボディ領域 23 の p 型不純物の濃度と同じであってもよい。第 2 p 型領域 26 は、たとえば分離トレンチ 39 の第 3 側面 37 に接していてもよい。第 2 基板部分 21 は、たとえば窒素などの n 型不純物を含み、n 型を有する。第 2 基板部分 21 は、たとえば第 2 主面 2 の一部を構成している。第 2 基板部分 21 の n 型不純物の濃度は、第 2 ドリフト領域 22 の n 型不純物の濃度よりも高くてもよい。第 2 ドリフト領域 22 は、たとえば第 2 基板部分 21 上に設けられている。第 2 基板部分 21 は、第 1 基板部分 11 に連なっている。

[0044] センス領域 20 には、第 2 側面 27 と、第 2 底面 28 とにより規定される第 2 ゲートトレンチ 29 が設けられていてもよい。第 2 底面 28 は、第 2 側面 27 に連なっている。第 2 側面 27 は、たとえば第 2 ドリフト領域 22 と、第 2 ボディ領域 23 と、第 2 ソース領域 24 とにより構成されている。第 2 底面 28 は、たとえば第 2 ドリフト領域 22 により構成されている。第 2 側面 27 は、第 2 ボディ領域 23 および第 2 ソース領域 24 の各々を貫通して第 2 ドリフト領域 22 に至っている。第 2 底面 28 は、たとえば第 2 主面 2 と平行な平面である。第 2 底面 28 に対する第 1 側面 17 の角度は、たとえば 90° である。

[0045] 第 2 側面 27 は、第 2 底面 28 に対して垂直な平面に対して傾斜していてもよい。第 2 側面 27 は、第 2 底面 28 から第 1 主面 1 に向かうに従って、第 2 ゲートトレンチ 29 の幅が広がるように、第 2 底面 28 に対して傾斜していてもよい。第 2 ゲートトレンチ 29 は、たとえば第 2 主面 2 と平行な方向に沿ってストライプ状に伸長している。第 2 ゲートトレンチ 29 は、たとえばハニカム状に伸長していてもよいし、アイランド状に点在していてもよい。

[0046] 第 3 絶縁膜 51 は、たとえばゲート酸化膜である。第 3 絶縁膜 51 は、たとえば二酸化珪素を含む材料により構成されている。第 3 絶縁膜 51 は、たとえば第 2 側面 27 および第 2 底面 28 の双方に接している。第 3 絶縁膜 5

1 は、第2底面28において第2ドリフト領域22と接している。第3絶縁膜51は、第2側面27において、第2ドリフト領域22、第2ボディ領域23および第2ソース領域24の各々と接している。

[0047] 第3導電体52は、たとえば第2ゲート電極である。第3導電体52は、第3絶縁膜51上に設けられていてもよい。第3導電体52は、たとえば導電性不純物を含むポリシリコンから構成されている。第3導電体52は、たとえば第2ゲートトレンチ29の内部に配置されている。第1導電体42は、第3導電体52と電氣的に接続されている。第1導電体42および第2導電体62の材料は、同じである。第1導電体42および第3導電体52の材料も、同じであってもよい。

[0048] 第2ソース電極55は、第2ソース領域24と電氣的に接続されている。第2ソース電極55は、たとえば第1主面1において、第2ソース領域24および第2コンタクト領域25の各々に接している。第2ソース電極55は、第2コンタクト電極53と、第2ソース配線54とを有している。第2ソース配線54は、第2コンタクト電極53上に設けられている。第2コンタクト電極53は、第1主面1において、第2ソース領域24および第2コンタクト領域25の各々に接していてもよい。第2コンタクト電極53は、たとえばTiと、Alと、Siとを含む材料から構成されている。第2コンタクト電極53は、たとえば第2ソース領域24とオーミック接合している。第2コンタクト電極53は、第2コンタクト領域25とオーミック接合していてもよい。第2ソース配線54は、たとえばアルミニウムを含む材料から構成されている。第1ソース電極45は、たとえば第2ソース電極55から電氣的に分離されている。

[0049] 第1層間絶縁膜71は、たとえば第1ゲートトレンチ19および分離トレンチ39の各々を覆うように設けられている。第1層間絶縁膜71は、たとえば第1導電体42と、第1絶縁膜41と、第2導電体62と、第2絶縁膜61とに接して設けられている。第1層間絶縁膜71は、第1主面1において、第1ソース領域14と、第1p型領域16と、第2p型領域26とに接

していてもよい。第1層間絶縁膜71は、活性領域10、センス領域20および分離領域30の各々の上に設けられていてもよい。

[0050] 第2層間絶縁膜72は、たとえば第2ゲートトレンチ29を覆うように設けられている。第2層間絶縁膜72は、たとえば第3導電体52と、第3絶縁膜51とに接して設けられている。第2層間絶縁膜72は、第1主面1において、第2ソース領域24に接していてもよい。第2層間絶縁膜72は、たとえばセンス領域20上に設けられており、活性領域10および分離領域30の各々から離間していてもよい。

[0051] 第1層間絶縁膜71および第2層間絶縁膜72の各々は、たとえば二酸化珪素を含む材料から構成されている。第1層間絶縁膜71は、たとえば第1導電体42と第1ソース電極45とを電氣的に絶縁している。第2層間絶縁膜72は、たとえば第3導電体52と第2ソース電極55とを電氣的に絶縁している。パッシベーション層73は、第1ソース電極45と、第2ソース電極55と、第1層間絶縁膜71とに接して設けられている。パッシベーション層73は、たとえば窒化珪素(SiN)、二酸化珪素またはポリイミドなどの材料により構成されている。

[0052] ドレイン電極70(第2電極70)は、第2主面2に接している。別の観点から言えば、ドレイン電極70は、第2主面2において、第1基板部分11、第2基板部分21および第3基板部分31の各々と接している。ドレイン電極70は、第1ドリフト領域12、第2ドリフト領域22および第3ドリフト領域32の各々と電氣的に接続されている。ドレイン電極70は、たとえばN_iSiまたはTiAlSiを含む材料から構成されている。ドレイン電極70は、活性領域10、センス領域20および分離領域30の各々を覆うように設けられている。

[0053] 図3に示されるように、第1実施形態に係るMOSFETは、ゲートパッド80と、第1ゲートランナー81と、第2ゲートランナー82と、ソースパッド57と、ソース配線領域56とをさらに有していてもよい。第1ゲートランナー81は、ゲートパッド80の一方側に接続されている。第2ゲート

トランナー 8 2 は、ゲートパッド 8 0 の他方側に接続されている。図 3 に示されるように、第 2 主面 2 に対して垂直な方向から見て、第 1 ソース配線 4 4、ソースパッド 5 7 およびソース配線領域 5 6 の各々は、第 1 ゲートランナー 8 1 と、第 2 ゲートランナー 8 2 とに挟まれている。ゲートパッド 8 0 は、第 1 導電体 4 2 および第 3 導電体 5 2 の各々と電氣的に接続されている。

[0054] 第 1 ソース配線 4 4 は、第 2 ソース配線 5 4 から電氣的に分離されている。ソースパッド 5 7 は、ソース配線領域 5 6 を介して、第 2 ソース配線 5 4 に接続されている。ソースパッド 5 7 は、ゲートパッド 8 0 の隣に位置している。ソースパッド 5 7 は、ゲートパッド 8 0 から電氣的に分離されている。第 2 主面 2 に対して垂直な方向から見て、第 2 ソース配線 5 4 は、分離領域 3 0 に取り囲まれていてもよい。

[0055] 第 2 ソース配線 5 4 は、センス領域 2 0 上に配置されている。ソースパッド 5 7 は、活性領域 1 0 上に配置されていてもよい。ソース配線領域 5 6 は、活性領域 1 0、分離領域 3 0 およびセンス領域 2 0 の各々の上に配置されていてもよい。第 2 主面 2 に対して垂直な方向から見て、ソース配線領域 5 6 は、分離領域 3 0 の延在方向に対して概ね垂直な方向に分離領域 3 0 を横切るように設けられていてもよい。ゲートパッド 8 0、第 1 ゲートランナー 8 1、第 2 ゲートランナー 8 2 および第 1 ソース配線 4 4 の各々は、たとえば活性領域 1 0 上に配置されている。

[0056] 図 4 に示されるように、分離トレンチ 3 9 の深さ H 2 は、第 1 ゲートトレンチ 1 9 の深さ H 1 以上であってもよい。分離トレンチ 3 9 の深さは、第 1 ゲートトレンチ 1 9 の深さ H 1 と同じであってもよいし、第 1 ゲートトレンチ 1 9 の深さ H 1 よりも大きくてもよい。第 1 ゲートトレンチ 1 9 の深さ H 1 は、たとえば $0.5\ \mu\text{m}$ 以上 $3.0\ \mu\text{m}$ 以下である。分離トレンチ 3 9 の深さ H 2 は、たとえば $0.5\ \mu\text{m}$ 以上 $20.0\ \mu\text{m}$ 以下である。分離トレンチ 3 9 の深さは、第 2 ゲートトレンチ 2 9 の深さと同じであってもよいし、第 2 ゲートトレンチ 2 9 の深さよりも大きくてもよい。

[0057] 図4に示されるように、分離トレンチ39の延在方向に対して垂直な断面における分離トレンチ39の幅W2は、第1ゲートトレンチ19の延在方向に対して垂直な断面における第1ゲートトレンチ19の幅W1以上であってもよい。分離トレンチ39の幅W2は、第1ゲートトレンチ19の幅W1と同じであってもよいし、第1ゲートトレンチ19の幅W1よりも大きくてもよい。第1ゲートトレンチ19の幅W1は、たとえば0.2 μm 以上2.0 μm 以下である。分離トレンチ39の幅W2は、たとえば0.2 μm 以上200 μm 以下である。分離トレンチ39の幅は、第2ゲートトレンチ29の幅と同じであってもよいし、第2ゲートトレンチ29の幅よりも大きくてもよい。なお、トレンチの延在方向とは、トレンチの底面に平行な方向であって、かつトレンチの側面に平行な方向である。

[0058] 図5に示されるように、第1実施形態に係るMOSFETは、ゲート接続配線83と、第1絶縁層74と、第2絶縁層75と、第3層間絶縁膜76とをさらに有してもよい。活性領域10は、第3p型領域5をさらに有してもよい。第3p型領域5は、第1ドリフト領域12上に設けられている。第3p型領域5は、たとえばアルミニウムなどのp型不純物を含み、p型を有する。第3p型領域5のp型不純物の濃度は、第1ボディ領域13のp型不純物の濃度と同じであってもよい。第3p型領域5は、たとえば第1ゲートトレンチ19の第1側面17に接してもよい。

[0059] 第1絶縁層74は、第3p型領域5上に配置されている。第1絶縁層74は、第1主面1において、第3p型領域5に接している。ゲート接続配線83は、第1導電体42上に配置されている。ゲート接続配線83は、第1導電体42とゲートパッド80との間を繋いでいる。ゲートパッド80は、ゲート接続配線83に接している。ゲート接続配線83は、第1絶縁層74上に配置されていてもよい。第1絶縁層74は、第1絶縁膜41に接してもよい。ゲート接続配線83は、ゲートパッド80と第1絶縁層74との間に配置されていてもよい。

[0060] 第2絶縁層75は、たとえば第1絶縁層74上に配置されている。第2絶

縁層 75 は、ゲート接続配線 83 に接していてもよい。第 3 層間絶縁膜 76 は、たとえば第 1 ソース電極 45 とゲート接続配線 83 との間に配置されている。第 3 層間絶縁膜 76 は、たとえば第 1 ソース電極 45 とゲート接続配線 83 とを電氣的に絶縁している。第 3 層間絶縁膜 76 は、ゲート接続配線 83 上に配置されていてもよい。ゲートパッド 80 は、第 3 層間絶縁膜 76 および第 2 絶縁層 75 の各々上に配置されていてもよい。ゲートパッド 80 は、第 3 p 型領域 5 に対向して配置されていてもよい。

[0061] 次に、第 1 実施形態に係る MOSFET が有する電流センサの動作について説明する。

図 1 に示されるように、第 1 ソース配線 44 は、第 1 ソース端子 S1 に接続されている。第 2 ソース配線 54 は、第 2 ソース端子 S2 に接続されている。ドレイン電極 70 は、ドレイン端子 D に接続されている。第 1 ゲート電極 42 は、第 1 ゲート端子 G1 に接続されている。第 2 ゲート電極 52 は、第 2 ゲート端子 G2 に接続されている。第 1 ゲート端子 G1 は、第 2 ゲート端子 G2 と電氣的に接続されている。

[0062] 第 1 ゲート端子 G1 および第 2 ゲート端子 G2 の各々にゲート電圧を印加すると、第 1 ソース端子 S1 とドレイン端子 D との間に電流が流れ、かつ第 2 ソース端子 S2 とドレイン端子 D との間に電流が流れる。第 2 ソース端子 S2 とドレイン端子 D との間に流れる電流は、第 1 ソース端子 S1 とドレイン端子 D との間に流れる電流にほぼ比例する。たとえば、第 1 ソース端子 S1 とドレイン端子 D との間に 100 A の電流が流れる場合、第 2 ソース端子 S2 とドレイン端子 D との間には 1 mA の電流が流れる。第 2 ソース端子 S2 とドレイン端子 D との間に流れる電流は、セルの数およびゲート幅などを変更することによって調整することができる。

[0063] 第 2 ソース端子 S2 とドレイン端子 D との間に流れる電流と、第 1 ソース端子 S1 とドレイン端子 D との間に流れる電流との関係式は、予め求められている。第 2 ソース端子 S2 とドレイン端子 D との間に流れる電流は、図示しない電流計によってモニターされる。上記関係式に基づいて、第 2 ソース

端子S 2とドレイン端子Dとの間に流れる電流から第1ソース端子S 1とドレイン端子Dとの間に流れる電流が推定される。たとえば、第2ソース端子S 2とドレイン端子Dとの間に流れる電流が所定の値を超えた場合に、ゲート電圧の印加が停止されるようにMOSFET 100が制御されてもよい。

[0064] 次に、第1実施形態に係るMOSFETの作用効果について説明する。

第1実施形態に係るMOSFETによれば、活性領域10には、第1側面17と、第1側面17に連なる第1底面18とにより規定される第1ゲートトレンチ19が設けられている。分離トレンチ39は、センス領域20と活性領域10とを分離している。これにより、センス領域20と活性領域10とが電氣的に分離される。第1絶縁膜41は、第1側面17および第1底面18の双方に接している。第1導電体42は、第1絶縁膜41上に設けられている。第2絶縁膜61は、分離トレンチ39内に設けられている。第2導電体62は、第2絶縁膜61上に設けられている。第1絶縁膜41は、第2絶縁膜61と同じ材料により構成されている。第1導電体42は、第2導電体62と同じ材料により構成され、かつ第2導電体62から電氣的に分離されている。これにより、分離トレンチ39を第1ゲートトレンチ19と同時に形成することができる。そのため、工程数を増やすことなく、センス領域20と活性領域10とを分離することができる。また分離トレンチ39を容易に埋めることができる。さらに分離トレンチ39が第2絶縁膜61および第2導電体62によって埋められることで、分離トレンチ39上に段差が発生することを抑制することができる。そのため、電極に電力を供給するためのアルミニウム配線を形成する際に、当該配線の付き回りの不具合が発生することを抑制することができる。

[0065] また第1実施形態に係るMOSFETによれば、分離トレンチ39の深さは、第1ゲートトレンチ19の深さ以上であってもよい。これにより、活性領域10とセンス領域20とをより確実に分離することができる。

[0066] さらに第1実施形態に係るMOSFETによれば、分離トレンチ39の延在方向に対して垂直な断面における分離トレンチ39の幅は、第1ゲートト

レンチ 19 の延在方向に対して垂直な断面における第 1 ゲートレンチ 19 の幅以上であってもよい。活性領域 10 とセンス領域 20 とをより確実に分離することができる。

[0067] (第 2 実施形態)

次に、第 2 実施形態に係る MOSFET 100 の構成について説明する。第 2 実施形態に係る MOSFET は、電流センサ素子の代わりに温度センサを有している構成において、第 1 実施形態に係る MOSFET と異なっており、その他の構成については、第 1 実施形態に係る MOSFET とほぼ同じである。以下、第 1 実施形態に係る MOSFET と異なる構成を中心に説明する。

[0068] センス領域 20 は、温度センサ素子を有していてもよい。図 6 に示されるように、センス領域 20 は、第 4 不純物領域 22 と、第 5 不純物領域 23 と、第 3 コンタクト領域 91 (第 6 不純物領域 91) と、第 4 コンタクト領域 92 と、第 2 基板部分 21 とを主に有している。第 5 不純物領域 23 と、第 3 コンタクト領域 91 と、第 4 コンタクト領域 92 とは、たとえば温度センサ素子 85 を構成する。温度センサ素子 85 は、たとえば電気抵抗体である。電気抵抗体の温度依存性を利用して、電気抵抗体の抵抗値から温度を推定することができる。

[0069] 第 4 不純物領域 22 は、たとえば窒素などの n 型不純物を含み、n 型 (第 1 導電型) を有する。第 4 不純物領域 22 は、第 1 ドリフト領域 12 に電氣的に接続されている。第 4 不純物領域 22 の n 型不純物の濃度は、第 1 ドリフト領域 12 の n 型不純物の濃度と同じであってもよい。第 5 不純物領域 23 は、たとえばアルミニウム (Al) などの p 型不純物を含み、p 型を有する。第 5 不純物領域 23 は、第 4 不純物領域 22 上に設けられている。第 5 不純物領域 23 の p 型不純物の濃度は、第 4 不純物領域 22 の n 型不純物の濃度よりも高くてもよい。第 5 不純物領域 23 の p 型不純物の濃度は、第 1 ボディ領域 13 の p 型不純物の濃度と同じであってもよい。第 5 不純物領域 23 は、たとえば分離レンチ 39 の第 3 側面 37 に接していてもよい。第

5 不純物領域 2 3 は、たとえば第 1 ボディ領域 1 3 から電氣的に分離されている。

[0070] 第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々は、たとえばアルミニウムなどの p 型不純物を含んでおり、p 型の導電性を有する。第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々の p 型不純物の濃度は、たとえば第 5 不純物領域 2 3 の p 型不純物の濃度よりも高い。第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々は、第 5 不純物領域 2 3 に接する。第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々は、たとえば第 1 主面 1 の一部を構成している。第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々の p 型不純物の濃度は、第 1 コンタクト領域 1 5 の p 型不純物の濃度と同じであってもよい。

[0071] 第 2 基板部分 2 1 は、たとえば窒素などの n 型不純物を含み、n 型を有する。第 2 基板部分 2 1 は、たとえば第 2 主面 2 の一部を構成している。第 2 基板部分 2 1 の n 型不純物の濃度は、第 4 不純物領域 2 2 の n 型不純物の濃度よりも高くてもよい。第 4 不純物領域 2 2 は、たとえば第 2 基板部分 2 1 上に設けられている。第 2 基板部分 2 1 は、第 3 基板部分 3 1 に連なっている。

[0072] 第 2 実施形態に係る MOSFET は、第 4 導電体 9 5 と、第 4 電極 9 8 とをさらに有している。第 4 導電体 9 5 は、第 3 電極である。第 4 導電体 9 5 は、たとえば第 5 不純物領域 2 3、第 3 コンタクト領域 9 1 および第 4 コンタクト領域 9 2 の各々と電氣的に接続されている。第 4 導電体 9 5 は、たとえば第 1 主面 1 において、第 3 コンタクト領域 9 1 に接している。第 4 導電体 9 5 は、第 3 コンタクト電極 9 3 と、第 3 配線 9 4 とを有している。第 3 配線 9 4 は、第 3 コンタクト電極 9 3 上に設けられている。第 3 コンタクト電極 9 3 は、第 1 主面 1 において、第 3 コンタクト領域 9 1 に接していてもよい。第 3 コンタクト電極 9 3 は、たとえば Ti と、Al と、Si とを含む材料から構成されている。第 3 コンタクト電極 9 3 は、第 3 コンタクト領域 9 1 とオーミック接合していてもよい。第 3 配線 9 4 は、たとえばアルミニ

ウムを含む材料から構成されている。第4導電体95は、たとえば電源3に接続され得る。

[0073] 第4電極98は、たとえば第5不純物領域23、第3コンタクト領域91および第4コンタクト領域92の各々と電氣的に接続されている。第4電極98は、たとえば第1主面1において、第4コンタクト領域92に接している。第4電極98は、第4コンタクト電極96と、第4配線97とを有している。第4配線97は、第4コンタクト電極96上に設けられている。第4コンタクト電極96は、第1主面1において、第4コンタクト領域92に接していてもよい。第4コンタクト電極96は、たとえばTiと、Alと、Siを含む材料から構成されている。第4コンタクト電極96は、第4コンタクト領域92とオーミック接合していてもよい。第4配線97は、たとえばアルミニウムを含む材料から構成されている。第4電極98は、たとえば電流計4に接続され得る。第1ソース電極45は、第4導電体95および第4電極98の各々から電氣的に分離されている。

[0074] 第2層間絶縁膜72は、第1主面1の一部を覆うように設けられている。第2層間絶縁膜72は、第1主面1において、たとえば第5不純物領域23、第3コンタクト領域91および第4コンタクト領域92の各々に接して設けられている。第2層間絶縁膜72は、たとえばセンス領域20上に設けられており、活性領域10および分離領域30の各々から離間していてもよい。第2層間絶縁膜72は、たとえば二酸化珪素を含む材料から構成されている。第2層間絶縁膜72は、たとえば第4導電体95と第4電極98との間に位置している。

[0075] 図7に示されるように、第2実施形態に係るMOSFETは、第3パッド101と、第4パッド102と、第3接続配線103と、第4接続配線104とをさらに有していてもよい。図7に示されるように、第2主面2に対して垂直な方向から見て、第3パッド101、第4パッド102、第3接続配線103および第4接続配線104の各々は、第1ゲートランナー81と、第2ゲートランナー82とに挟まれていてもよい。

[0076] 第3パッド101は、第3配線94と電氣的に接続されている。第3パッド101は、第3接続配線103を介して、第3配線94に接続されている。第3パッド101は、ゲートパッド80の隣に位置している。第4パッド102は、第4配線97と電氣的に接続されている。第4パッド102は、第4接続配線104を介して、第4配線97に接続されている。第3パッド101および第4パッド102の各々は、ゲートパッド80から電氣的に分離されている。第3パッド101は、第4パッド102から物理的に分離されている。第3パッド101および第4パッド102の各々は、ソース配線44から電氣的に分離されている。

[0077] 第2主面2に対して垂直な方向から見て、第4導電体95および第4電極98の各々は、分離領域30に取り囲まれていてもよい。第4導電体95および第4電極98の各々は、センス領域20上に配置されている。第3パッド101および第4パッド102の各々は、活性領域10上に配置されていてもよい。第3配線94および第4配線97の各々は、活性領域10、分離領域30およびセンス領域20の各々の上に配置されていてもよい。第2主面2に対して垂直な方向から見て、第3接続配線103および第4接続配線104の各々は、分離領域30の延在方向に対して概ね垂直な方向に分離領域30を横切るように設けられていてもよい。第3接続配線103は、第4接続配線104とほぼ平行に延在していてもよい。第2実施形態に係るMOSFET100においても、第1実施形態に係るMOSFET100と同様の作用効果を有する。

[0078] 次に、第2実施形態に係るMOSFETが有する温度センサの動作について説明する。

図6に示されるように、第3電極95は、電源3の正極側に接続されている。第4電極98は、電源3の負極側に接続されている。第4電極98と、電源3の負極との間に、電流計4が設けられている。電源3を用いて、第3電極95と第4電極98との間に電圧が印加されると、第3コンタクト領域91と第5不純物領域23と第4コンタクト領域92とを通過して、第3電極

95と第4電極98との間を電流が流れる。第3電極95と第4電極98との間を流れる電流は、電流計4によって検出される。

[0079] 第3コンタクト領域91と、第5不純物領域23と、第4コンタクト領域92とは、温度センサ素子85を構成する。温度センサ素子85は、たとえば電気抵抗体である。温度センサ素子85の電気抵抗は、温度によって変化する。たとえば温度センサ素子85の温度が高くなると、温度センサ素子85の電気抵抗が大きくなる。結果として、電流計4によって測定される電流は、小さくなる。反対に、温度センサ素子85の温度が低くなると、温度センサ素子85の電気抵抗が小さくなる。結果として、電流計4によって測定される電流は、大きくなる。以上のように、電流計4によって測定される電流に基づいて、温度センサ素子85の温度を推定することができる。

[0080] 温度センサ素子85の温度と、電流計4によって測定される電流との関係式は、予め求められている。電流計4によって、温度センサ素子85を流れる電流がモニターされる。上記関係式に基づいて、電流計4によって測定される電流から温度センサ素子85の温度が推定される。たとえば、電流計4によって測定される電流が所定の値を超えた場合に、ゲート電圧の印加が停止されるようにMOSFET100が制御されてもよい。

[0081] (第3実施形態)

次に、第3実施形態に係るMOSFET100の構成について説明する。第3実施形態に係るMOSFETは、温度センサ素子がダイオードである構成において、第2実施形態に係るMOSFETと異なっており、その他の構成については、第2実施形態に係るMOSFETとほぼ同じである。以下、第2実施形態に係るMOSFETと異なる構成を中心に説明する。

[0082] 図8に示されるように、センス領域20は、第4不純物領域22と、第5不純物領域23と、n型領域6と、第5コンタクト領域7と、第2基板部分21とを主に有している。第5不純物領域23(p型領域)と、n型領域6とは、たとえば温度センサ素子85を構成する。温度センサ素子85は、たとえばダイオードである。

[0083] 第5不純物領域23は、たとえばアルミニウム（Al）などのp型不純物を含み、p型を有する。第5不純物領域23は、第4不純物領域22上に設けられている。第5不純物領域23のp型不純物の濃度は、第4不純物領域22のn型不純物の濃度よりも高くてもよい。第5不純物領域23のp型不純物の濃度は、第1ボディ領域13のp型不純物の濃度と同じであってもよい。第5不純物領域23は、たとえば分離トレンチ39の第3側面37に接していてもよい。第5不純物領域23は、第1ボディ領域13から電氣的に分離されている。

[0084] n型領域6は、第4不純物領域22から隔てられるように第5不純物領域23上に設けられている。n型領域6は、たとえば窒素またはリン（P）などのn型不純物を含んでおり、n型を有する。n型領域6は、たとえば第1主面1の一部を構成している。n型領域6のn型不純物の濃度は、第5不純物領域23のp型不純物の濃度よりも高くてもよい。n型領域6のn型不純物の濃度は、第1ソース領域14のn型不純物の濃度と同じであってもよい。n型領域6は、第4導電体95に接続している。

[0085] 第5コンタクト領域7は、たとえばアルミニウムなどのp型不純物を含んでおり、p型の導電性を有する。第5コンタクト領域7のp型不純物の濃度は、たとえば第5不純物領域23のp型不純物の濃度よりも高い。第5コンタクト領域7は、第5不純物領域23に接する。第5コンタクト領域7は、たとえば第1主面1の一部を構成している。第5コンタクト領域7のp型不純物の濃度は、第1コンタクト領域15のp型不純物の濃度と同じであってもよい。第5コンタクト領域7は、第4電極98に接続している。第3実施形態に係るMOSFET100においても、第1実施形態に係るMOSFET100と同様の作用効果を有する。

[0086] （第4実施形態）

次に、第4実施形態に係るMOSFET100の構成について説明する。第4実施形態に係るMOSFETは、電流センサ素子を有する第1実施形態に係るMOSFETと、温度センサを有する第2実施形態または第3実施形

態に係るMOSFETとを組み合わせた構成を有している。以下、第1～3実施形態の各々に係るMOSFETと異なる構成を中心に説明する。

[0087] 図9に示されるように、センス領域20は、電流センサ素子84と、温度センサ素子85とを有している。具体的には、センス領域20は、第2ドリフト領域22と、第2ボディ領域23と、第2ソース領域24と、第2コンタクト領域25と、第2p型領域26と、第2基板部分21と、第3コンタクト領域91と、第4コンタクト領域92とを有している。電流センサ素子84は、たとえば第2ドリフト領域22と第2ボディ領域23と第2ソース領域24とにより構成されている。温度センサ素子85は、たとえば第3コンタクト領域91と第2ボディ領域23と第4コンタクト領域92とにより構成されている。温度センサ素子85は、たとえば電気抵抗体である。

[0088] 図9に示されるように、センス領域20には、境界トレンチ67が設けられている。境界トレンチ67は、電流センサ素子84と温度センサ素子85とを分離している。センス領域20は、さらに第4ドリフト領域34と、第4基板部分33とを有している。第4ドリフト領域34は、第2ドリフト領域22に連なっている。第4基板部分33は、第2基板部分21に連なっている。境界トレンチ67は、第4側面65と、第4底面66とにより規定されている。第4側面65は、第2ドリフト領域22に接している。境界トレンチ67は、電流センサ素子84の第2ボディ領域23と温度センサ素子85の第2p型領域26とを電氣的に分離している。

[0089] 第4底面66は、第4側面65に連なっている。第4底面66は、第4ドリフト領域34により構成されている。第4底面66は、たとえば第2主面2と平行な平面である。第4底面66に対する第4側面65の角度は、たとえば90°である。第4側面65は、第4底面66に対して垂直な平面に対して傾斜していてもよい。第4側面65は、第4底面66から第1主面1に向かうに従って、境界トレンチ67の幅が広がるように、第4底面66に対して傾斜していてもよい。

[0090] 境界トレンチ67の内部には、第4絶縁膜63が設けられている。第4絶

縁膜 6 3 は、第 4 側面 6 5 および第 4 底面 6 6 の各々に接している。第 4 絶縁膜 6 3 上に第 5 導電体 6 4 が設けられている。第 5 導電体 6 4 は、境界トレンチ 6 7 の内部に配置されている。第 4 絶縁膜 6 3 の材料は、たとえば第 2 絶縁膜 6 1 の材料と同じである。第 5 導電体 6 4 の材料は、たとえば第 2 導電体 6 2 の材料と同じである。

[0091] 図 1 0 に示されるように、第 2 主面 2 に対して垂直な方向から見て、分離トレンチ 3 9 は、たとえば長形状である。境界トレンチ 6 7 は、分離トレンチ 3 9 に連なっている。境界トレンチ 6 7 は、分離トレンチ 3 9 によって囲まれた領域を 2 つに分断している。第 2 主面 2 に対して垂直な方向から見て、境界トレンチ 6 7 は、たとえば直線状である。境界トレンチ 6 7 の一端および他端の各々は、分離トレンチ 3 9 に連なっている。

[0092] ソースパッド 5 7 は、第 4 パッド 1 0 2 の隣に位置している。第 4 パッド 1 0 2 は、第 3 パッド 1 0 1 と、ソースパッド 5 7 との間に位置している。ソース配線領域 5 6 は、第 4 接続配線 1 0 4 の隣に位置している。第 4 接続配線 1 0 4 は、第 3 接続配線 1 0 3 と、ソース配線領域 5 6 との間に位置している。第 2 ソース配線 5 4 は、第 4 配線 9 7 の隣に位置している。第 4 配線 9 7 は、第 3 配線 9 4 と、第 2 ソース配線 5 4 との間に位置している。第 4 実施形態に係る MOSFET 1 0 0 においても、第 1 実施形態に係る MOSFET 1 0 0 と同様の作用効果を有する。

[0093] なお上記各実施形態では、n 型を第 1 導電型とし、かつ p 型を第 2 導電型として説明したが、p 型を第 1 導電型とし、かつ n 型を第 2 導電型としてもよい。また上記各実施形態では、ゲート絶縁型トランジスタ 1 0 0 として MOSFET を例に挙げて説明したが、ゲート絶縁型トランジスタ 1 0 0 は、たとえば IGBT (Insulated Gate Bipolar Transistor) などであってもよい。さらに上記各不純物領域における p 型不純物の濃度および n 型不純物の濃度は、たとえば SCM (Scanning Capacitance Microscope) または SIMS (Secondary Ion Mass Spectrometry) など

により測定可能である。また p 型領域と n 型領域 6 との境界面（つまり P N 界面）の位置は、たとえば S C M または S I M S などにより特定することができる。さらに上記第 1 ～第 3 実施形態では、センス領域 2 0 に電流センサまたは温度センサが配置されている場合について説明したが、第 4 実施形態に示されるように、センス領域 2 0 に電流センサおよび温度センサの双方が配置されていてもよい。

[0094] また上記各実施形態においては、炭化珪素基板 9 の代わりに、炭化珪素とは異なる半導体により構成された半導体基板が用いられてもよい。具体的な半導体としては、たとえば窒化ガリウム（G a N）、酸化ガリウム（G a₂O₃）、窒化アルミニウム（A l N）、珪素（S i）または窒化アルミニウムガリウム（A l G a N）などが利用可能である。

[0095] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0096] 1 第 1 主面、2 第 2 主面、3 電源、4 電流計、5 第 3 p 型領域、6 n 型領域、7 第 5 コンタクト領域、9 炭化珪素基板、1 0 活性領域、1 1 第 1 基板部分、1 2 第 1 不純物領域（第 1 ドリフト領域）、1 3 第 2 不純物領域（第 1 ボディ領域）、1 4 第 3 不純物領域（第 1 ソース領域）、1 5 第 1 コンタクト領域、1 6 第 1 p 型領域、1 7 第 1 側面、1 8 第 1 底面、1 9 第 1 ゲートトレンチ、2 0 センス領域、2 1 第 2 基板部分、2 2 第 4 不純物領域（第 2 ドリフト領域）、2 3 第 5 不純物領域（第 2 ボディ領域）、2 4 第 6 不純物領域（第 2 ソース領域）、2 5 第 2 コンタクト領域、2 6 第 2 p 型領域、2 7 第 2 側面、2 8 第 2 底面、2 9 第 2 ゲートトレンチ、3 0 分離領域、3 1 第 3 基板部分、3 2 第 3 ドリフト領域、3 3 第 4 基板部分、3 4 第 4 ドリフト領域、3 7 第 3 側面、3 8 第 3 底面、3 9 分離トレンチ、4 1 第

1 絶縁膜、42 第1導電体（第1ゲート電極）、43 第1コンタクト電極、44 第1ソース配線、45 第1ソース電極（ソース電極、第1電極）、51 第3絶縁膜、52 第3導電体（第2ゲート電極）、53 第2コンタクト電極、54 第2ソース配線、55 第2ソース電極、56 ソース配線領域、57 ソースパッド、61 第2絶縁膜、62 第2導電体、70 ドレイン電極（第2電極）、71 第1層間絶縁膜、72 第2層間絶縁膜、73 パッシベーション層、74 第1絶縁層、75 第2絶縁層、76 第3層間絶縁膜、80 ゲートパッド、81 第1ゲートランナー、82 第2ゲートランナー、83 ゲート接続配線、84 電流センサ素子、85 温度センサ素子、91 第6不純物領域（第3コンタクト領域）、92 第4コンタクト領域、93 第3コンタクト電極、94 第3配線、95 第4導電体（第3電極）、96 第4コンタクト電極、97 第4配線、98 第4電極、100 ゲート絶縁型トランジスタ（MOSFET）、101 第3パッド、102 第4パッド、103 第3接続配線、104 第4接続配線、D ドレイン端子、G1 第1ゲート端子、G2 第2ゲート端子、S1 第1ソース端子、S2 第2ソース端子。

請求の範囲

[請求項1]

活性領域と、
前記活性領域から離間したセンス領域と、
前記センス領域を取り囲み、かつ前記センス領域と前記活性領域とを分離する分離トレンチとを備え、
前記活性領域は、第1導電型を有する第1不純物領域と、前記第1不純物領域上に設けられ、前記第1導電型と異なる第2導電型を有する第2不純物領域と、前記第1不純物領域から隔てられるように前記第2不純物領域上に設けられ、かつ前記第1導電型を有する第3不純物領域とを含み、
前記活性領域には、第1側面と、前記第1側面に連なる第1底面とにより規定される第1ゲートトレンチが設けられており、
前記第1側面は、前記第1不純物領域と、前記第2不純物領域と、前記第3不純物領域とにより構成されており、
前記第1底面は、前記第1不純物領域により構成されており、
前記第1側面および前記第1底面の双方に接する第1絶縁膜と、
前記第1絶縁膜上に設けられた第1導電体と、
前記分離トレンチ内に設けられた第2絶縁膜と、
前記第2絶縁膜上に設けられた第2導電体とを備え、
前記分離トレンチは、前記第1不純物領域に達しており、
前記第1絶縁膜は、前記第2絶縁膜と同じ材料により構成され、
前記第1導電体は、前記第2導電体と同じ材料により構成され、かつ前記第2導電体から電氣的に分離されている、ゲート絶縁型トランジスタ。

[請求項2]

前記センス領域は、電流センサ素子を有する、請求項1に記載のゲート絶縁型トランジスタ。

[請求項3]

前記電流センサ素子は、前記第1導電型を有しかつ前記第1不純物領域に電氣的に接続された第4不純物領域と、前記第2導電型を有し

かつ前記第4不純物領域上に設けられた第5不純物領域と、前記第4不純物領域から隔てられるように前記第5不純物領域上に設けられかつ前記第1導電型を有する第6不純物領域とを有し、さらに、

前記センス領域には、第2側面と、前記第2側面に連なる第2底面とにより規定される第2ゲートトレンチが設けられており、

前記第2側面は、前記第4不純物領域と、前記第5不純物領域と、前記第6不純物領域とにより構成されており、

前記第2底面は、前記第4不純物領域により構成されており、さらに、

前記第2側面および前記第2底面の双方に接する第3絶縁膜と、

前記第3絶縁膜上に設けられた第3導電体とを備え、

前記第1導電体は、前記第3導電体と電氣的に接続されている、請求項2に記載のゲート絶縁型トランジスタ。

[請求項4] 前記センス領域は、温度センサ素子を有する、請求項1に記載のゲート絶縁型トランジスタ。

[請求項5] 前記温度センサ素子は、前記第1導電型を有しかつ前記第1不純物領域に電氣的に接続された第4不純物領域と、前記第2導電型を有しかつ前記第4不純物領域上に設けられた第5不純物領域と、前記第2導電型を有しかつ前記第5不純物領域よりも高い不純物濃度を有する第6不純物領域とを有し、さらに、

前記第3不純物領域と電氣的に接続されるソース電極と、

前記第5不純物領域および前記第6不純物領域の各々と電氣的に接続される第4導電体とを備え、

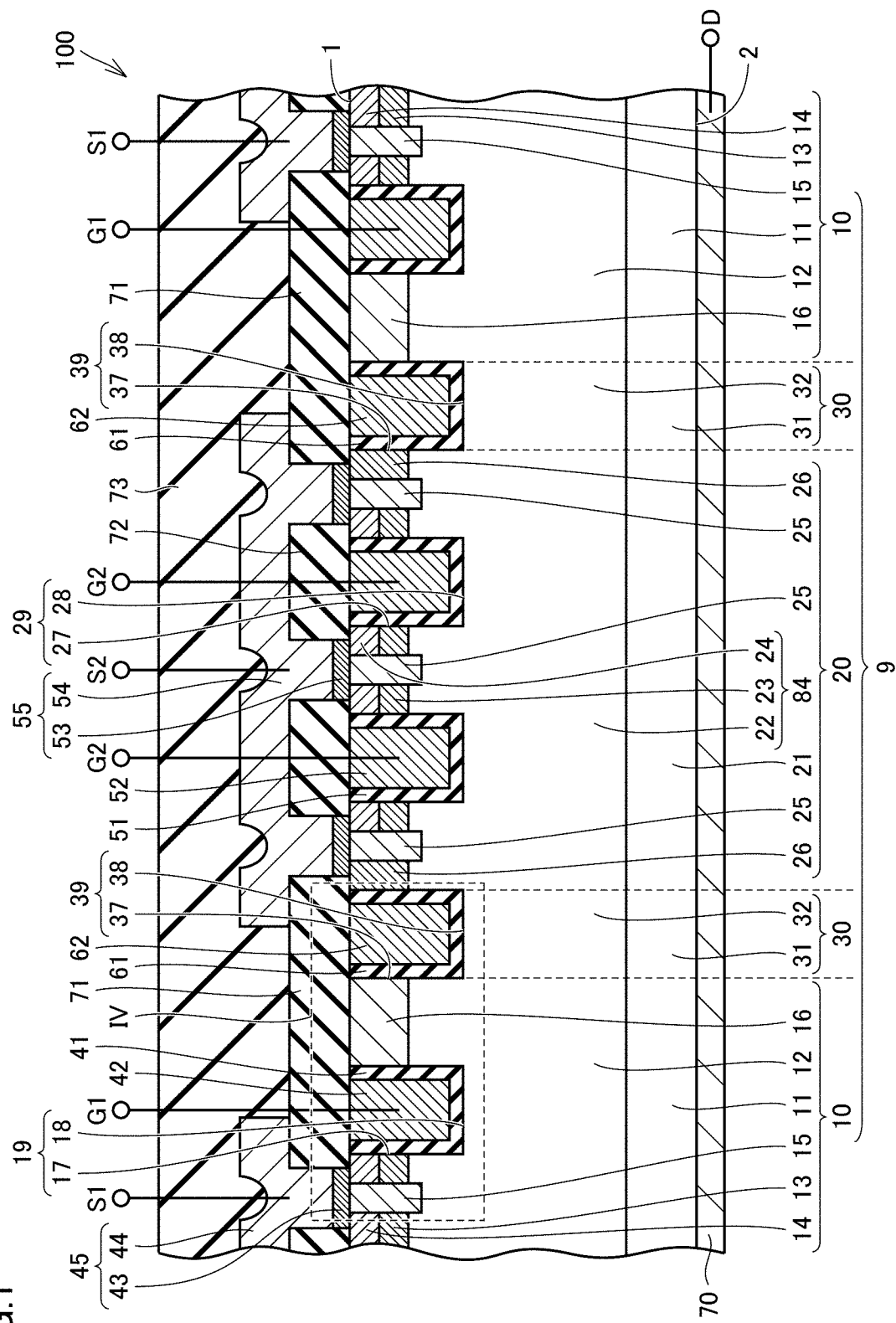
前記ソース電極は、前記第4導電体から電氣的に分離されている、請求項4に記載のゲート絶縁型トランジスタ。

[請求項6] 前記分離トレンチの深さは、前記第1ゲートトレンチの深さ以上である、請求項1～請求項5のいずれか1項に記載のゲート絶縁型トランジスタ。

- [請求項7] 前記分離トレンチの深さは、前記第1ゲートトレンチの深さと同じである、請求項6に記載のゲート絶縁型トランジスタ。
- [請求項8] 前記分離トレンチの延在方向に対して垂直な断面における前記分離トレンチの幅は、前記第1ゲートトレンチの延在方向に対して垂直な断面における前記第1ゲートトレンチの幅以上である、請求項1～請求項7のいずれか1項に記載のゲート絶縁型トランジスタ。
- [請求項9] 前記第1導電体および前記第2導電体の材料は、ポリシリコンである、請求項1～請求項8のいずれか1項に記載のゲート絶縁型トランジスタ。
- [請求項10] 前記センス領域は、電流センサ素子と、温度センサ素子とを有し、
前記センス領域には、前記電流センサ素子と前記温度センサ素子とを分離し、かつ前記分離トレンチに連なる境界トレンチが設けられている、請求項1に記載のゲート絶縁型トランジスタ。

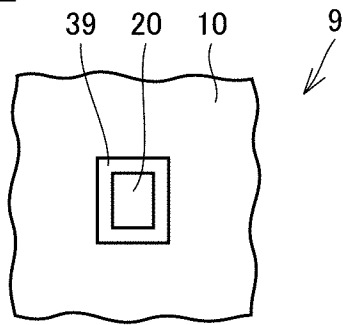
[図1]

FIG.1



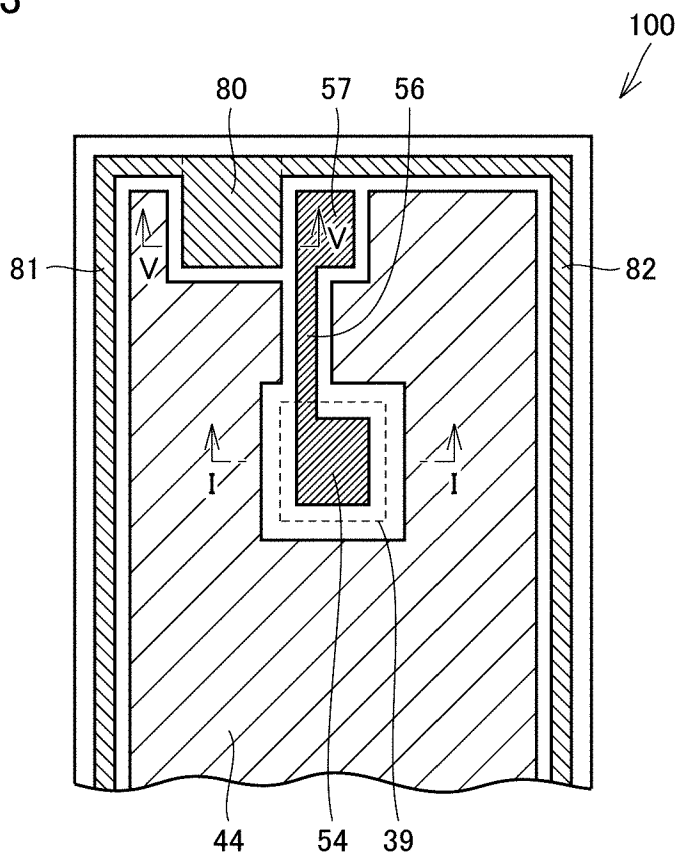
[図2]

FIG.2



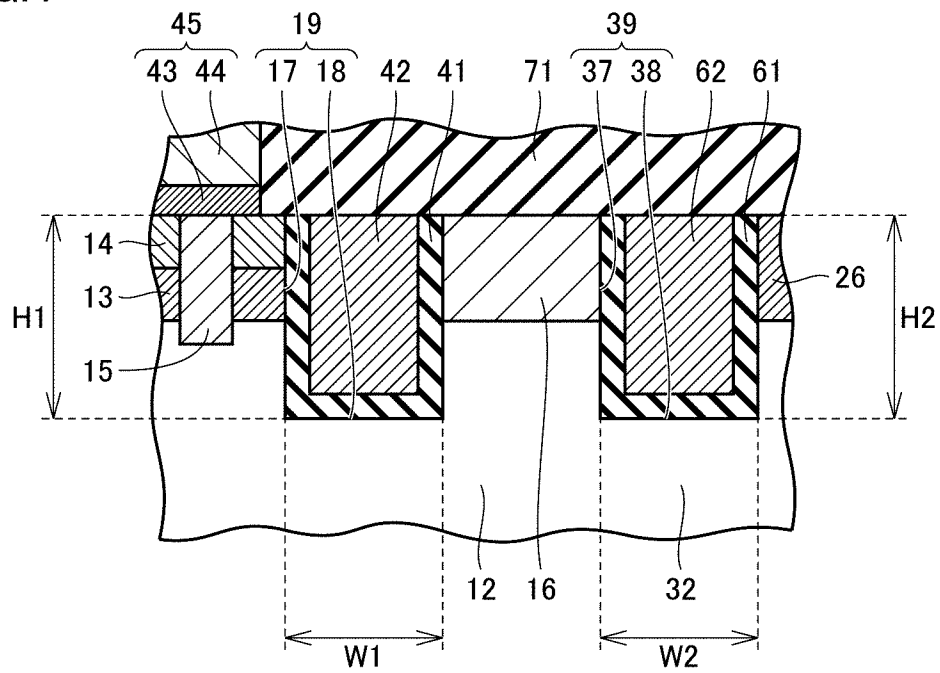
[図3]

FIG.3



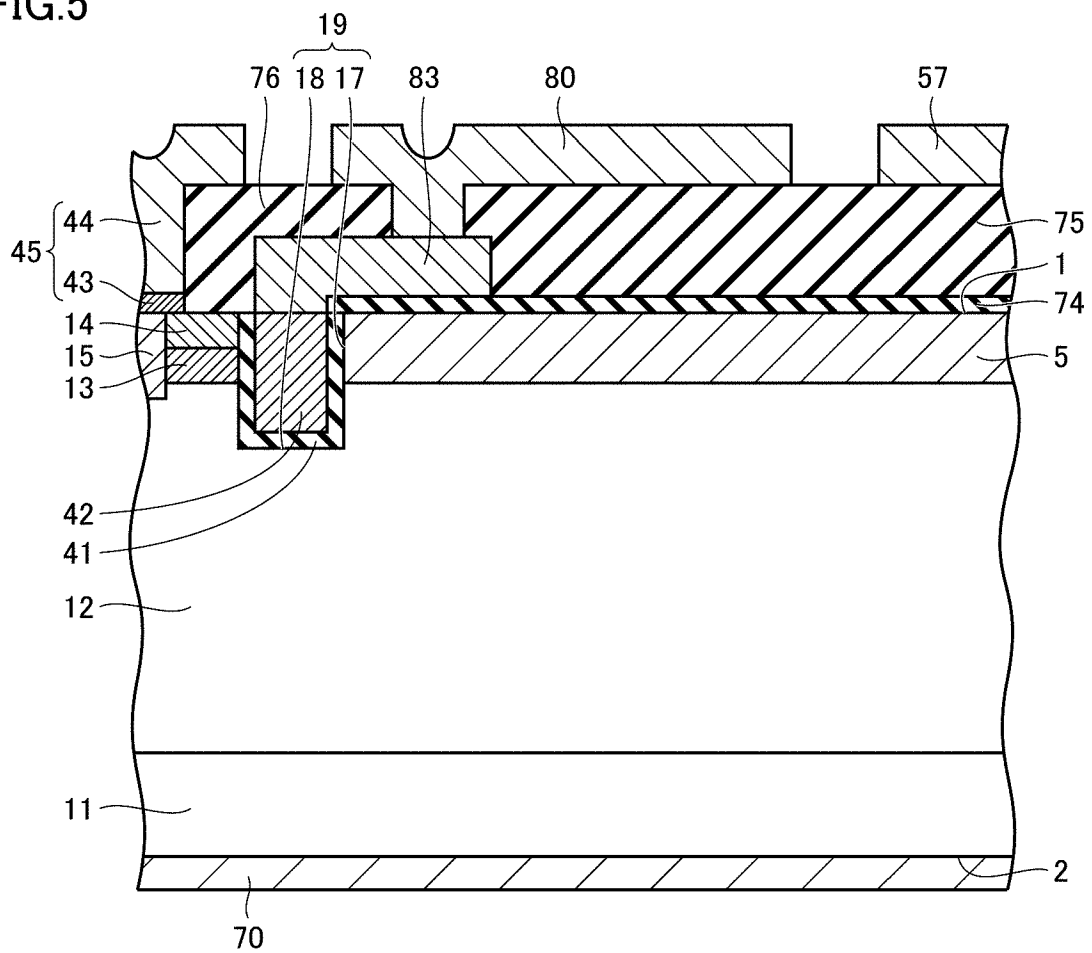
[図4]

FIG.4

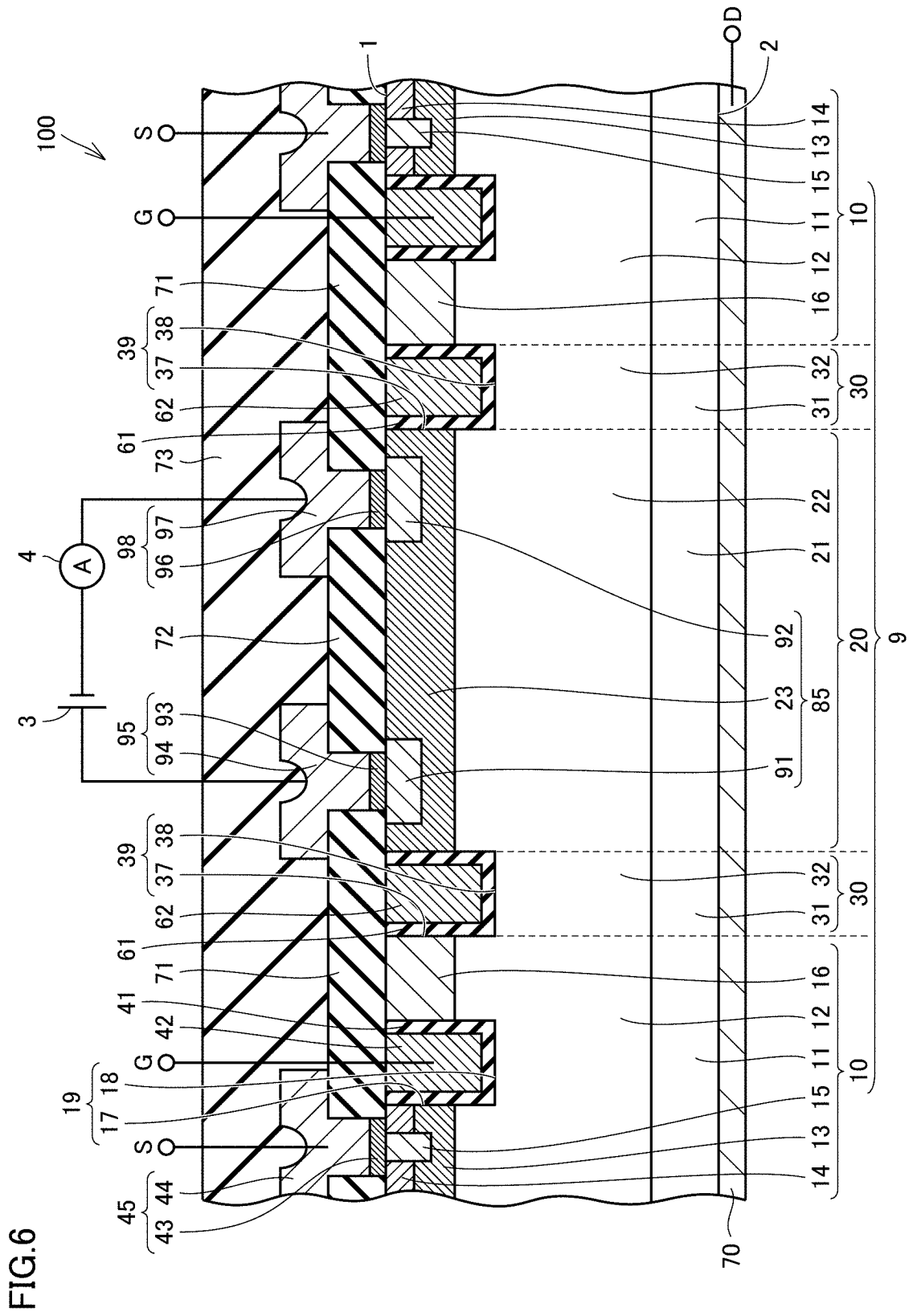


[図5]

FIG.5

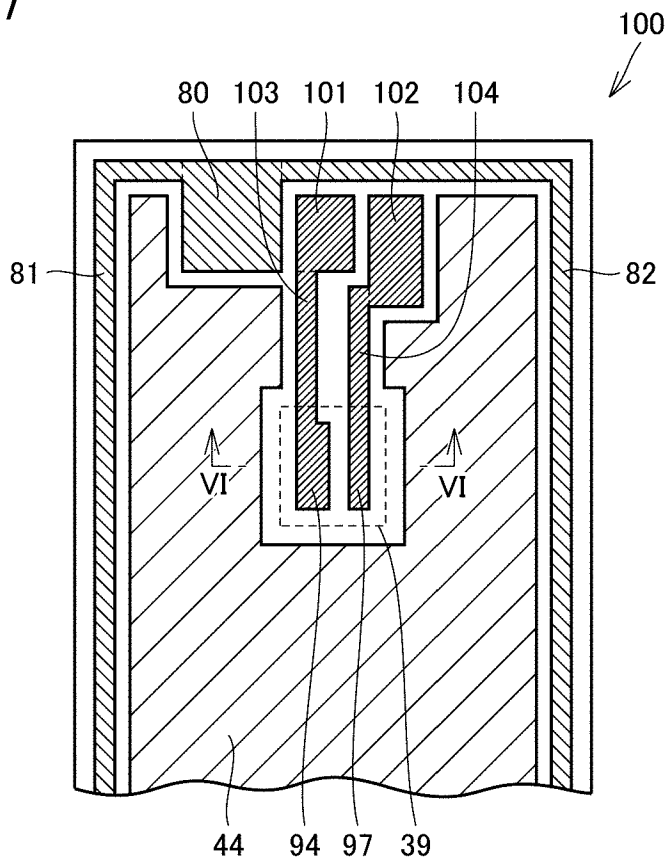


[図6]



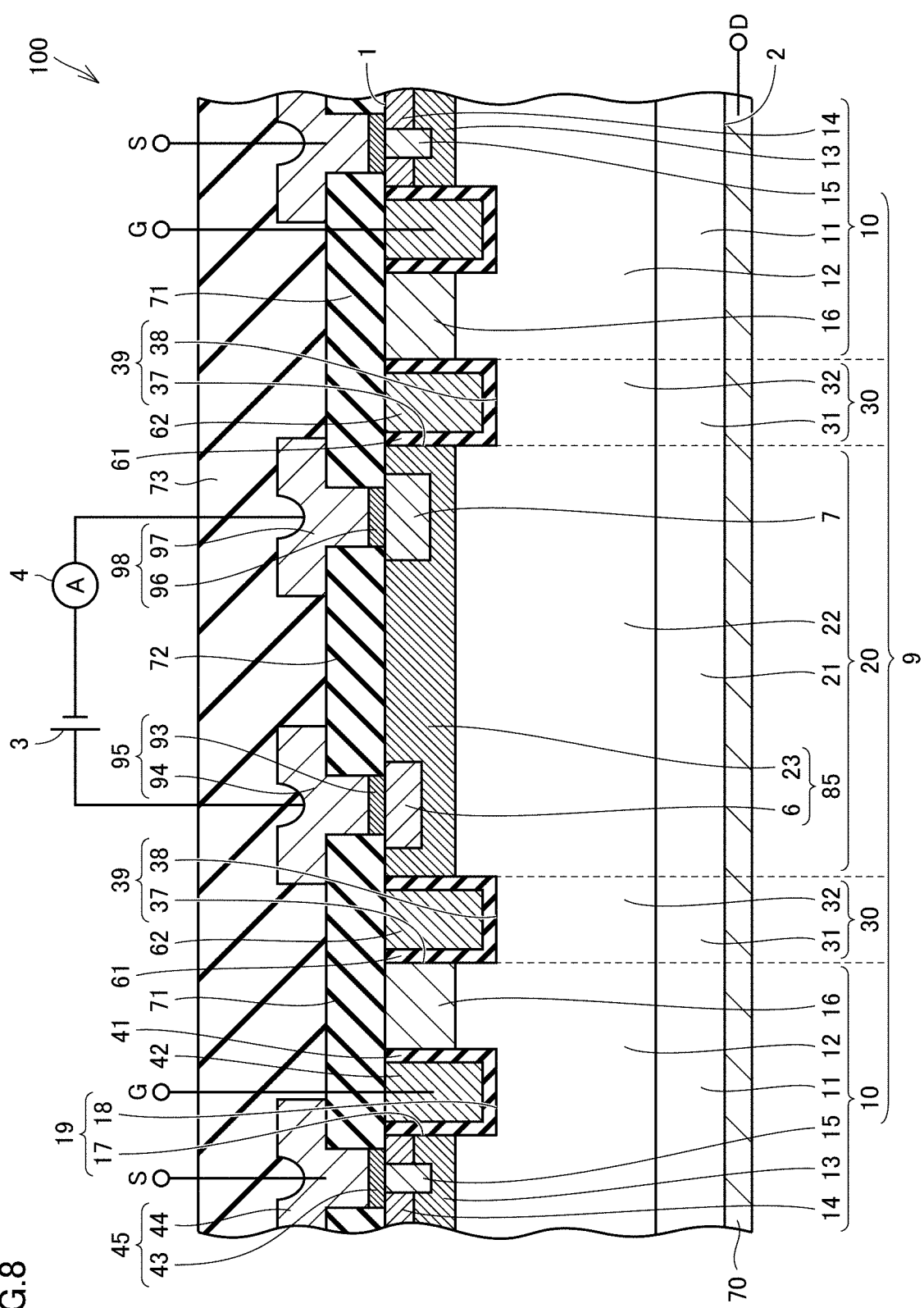
[図7]

FIG.7



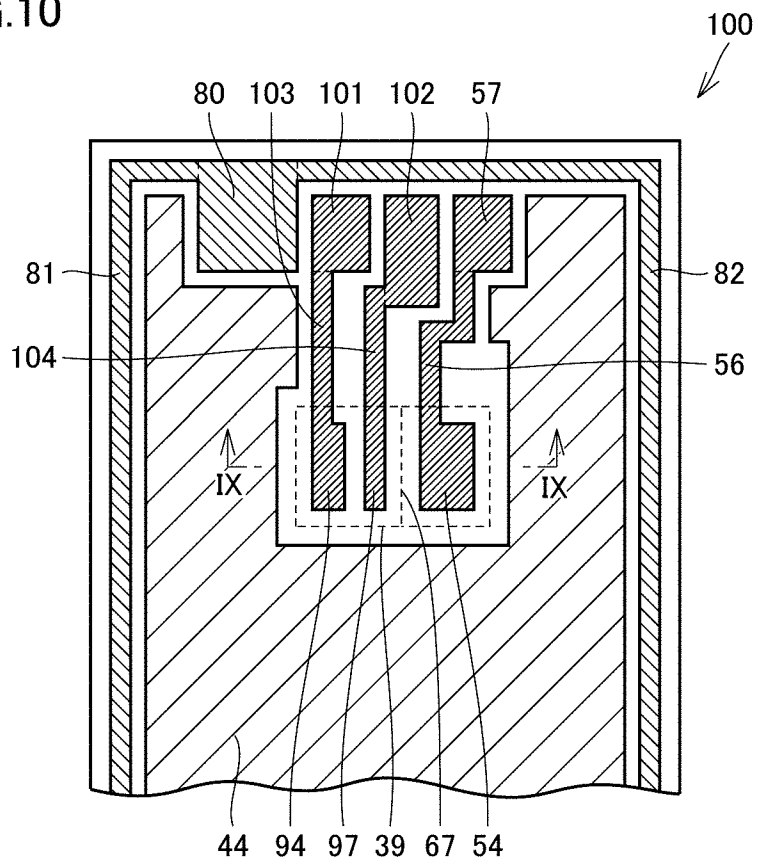
[図8]

FIG.8



[図10]

FIG.10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/036982

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/76(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/76, H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/12, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-326897 A (HITACHI, LTD.) 08 December 1998, paragraphs [0036]-[0048], fig. 11, 15 & US 6180966 B1, column 7, line 23 to column 9, line 13, fig. 11, 15	1-3 4-9 10
X Y A	JP 2016-063107 A (TOYOTA MOTOR CORPORATION; TOYOTA CENTRAL R&D LABS., INC.; DENSO CORPORATION) 25 April 2016, paragraphs [0008]-[0047], fig. 5 & US 2016/0087094 A1, paragraphs [0013]-[0052], fig. 5	1-3 4-7, 9 8, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07.11.2018

Date of mailing of the international search report
20.11.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/036982

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-216465 A (TOYOTA MOTOR CORPORATION, DENSO CORPORATION) 17 November 2014, paragraphs [0033]-[0045], fig. 2-6 & US 2014/0319540 A1, paragraphs [0041]-[0053], fig. 2-6	4-9 1-3, 10
A	JP 2006-271098 A (HITACHI, LTD.) 05 October 2006, paragraphs [0014]-[0021], fig. 1, 2 & US 2006/0215341 A1, paragraphs [0027]-[0032], fig. 1, 2 & DE 102006004420 A1	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/76(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/12(2006.01)i,
H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/76, H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/12,
H01L29/78, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 10-326897 A (株式会社日立製作所) 1998.12.08, 0036 段落 ないし 0048 段落、図 11 及び図 15 & US 6180966 B1, 第 7 欄第 23 行ないし第 9 欄第 13 行、図 11 及び図 15	1-3 4-9 10
X Y A	JP 2016-063107 A (トヨタ自動車株式会社、株式会社豊田中央研究 所、株式会社デンソー) 2016.04.25, 0008 段落ないし 0047 段落、 図 5 & US 2016/0087094 A1, 0013 段落ないし 0052 段落、図 5	1-3 4-7, 9 8, 10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

07.11.2018

国際調査報告の発送日

20.11.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-216465 A (トヨタ自動車株式会社、株式会社デンソー) 2014.11.17, 0033 段落ないし 0045 段落、図 2 ないし図 6 & US 2014/0319540 A1, 0041 段落ないし 0053 段落、図 2 ないし図 6	4-9 1-3, 10
A	JP 2006-271098 A (株式会社日立製作所) 2006.10.05, 0014 段落 ないし 0021 段落、図 1 及び図 2 & US 2006/0215341 A1, 0027 段落 ないし 0032 段落、図 1 及び図 2 & DE 102006004420 A1	1-10