



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월12일
(11) 등록번호 10-1361568
(24) 등록일자 2014년02월05일

(51) 국제특허분류(Int. Cl.)
G11C 11/15 (2006.01)
(21) 출원번호 10-2011-0136390
(22) 출원일자 2011년12월16일
심사청구일자 2011년12월16일
(65) 공개번호 10-2012-0069577
(43) 공개일자 2012년06월28일
(30) 우선권주장
12/973,536 2010년12월20일 미국(US)
(56) 선행기술조사문헌
US20100102406 A1
KR1020090119814 A
WO2010036573 A1

(73) 특허권자
시게이트 테크놀로지 엘엘씨
미국 캘리포니아 95104 쿠퍼티노 사우스 디 엔자
블러바드 10200
(72) 발명자
시, 하이웬
미국 95120 캘리포니아 샌어제이 치커리 코트
1111
코우에어, 안토인
미국 55124 미네소타 애플 밸리 드웰러스 웨이
15578
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 8 항

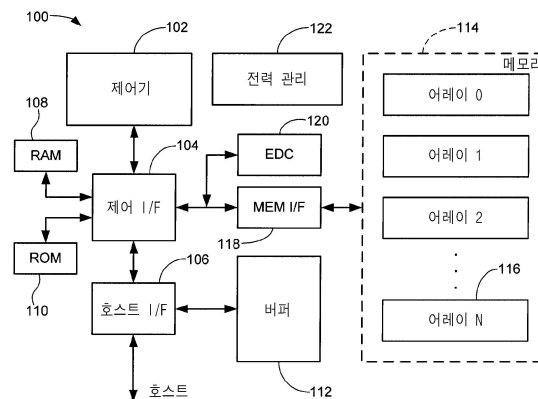
심사관 : 윤혜숙

(54) 발명의 명칭 **측방 피닝을 이용하는 비-휘발성 메모리**

(57) 요약

비-휘발성 메모리 셀, 이를 테면, STRAM 셀에 대한 장치 및 연관된 방법이 개시된다. 다양한 실시예들에 따라, 자기 프리층은 비-자성 스페이서층에 의해 반강자성층(AFM)으로부터 측방으로 분리되고 자기 터널 정선에 의해 합성 반강자성층(SAF)으로부터 중간위치에서(medially) 분리된다. AFM은 자기 터널링 정선 너머 측방으로 연장하는 SAF의 피닝 영역과의 접촉을 통해 SAF의 자화를 피닝한다.

대표도 - 도1



(72) 발명자

리, 브라이언

미국 02881 매사추세츠 보스턴 워싱턴 스트리트
1313 #705

라이언, 패트릭 제이.

미국 55116 미네소타 세인트 폴 웨퍼 애브뉴 1249

특허청구의 범위

청구항 1

비-자성 스페이서층에 의해 반강자성층(AFM)으로부터 측방으로 분리되고 자기 터널링 정선에 의해 합성 반강자성층(SAF)으로부터 수직으로 분리되는 자기 프리층을 제공하는 단계;

상기 자기 터널링 정선 너머 측방으로 연장하는 상기 SAF의 피닝 영역과의 접촉을 통해 상기 AFM으로 상기 SAF의 자화를 피닝하는 단계; 및

상기 자기 프리층과 SAF 사이의 터널 자기저항을 증가시키기 위해 평면내 자기장의 존재 하에 상기 자기 프리층, 자기 터널링 정선 및 SAF를 어닐링하는 단계를 포함하는,

방법.

청구항 2

제 1 항에 있어서,

상기 어닐링하는 단계는 상기 프리층, 터널링 정선 및 SAF의 터널 자기저항을 증가시키기 위해 상기 자기 프리층, 자기 터널링 정선 및 SAF에 대해 상승된 온도를 동시에 제공하는,

방법.

청구항 3

제 2 항에 있어서,

상기 피닝 영역은 어닐링하는 동안 자기적 휘발성 AFM원자들의 상기 SAF로의 확산을 억제시키는,

방법.

청구항 4

제 1 항에 있어서,

상기 AFM은 상기 스페이서층에 의해 상기 프리층 및 상부 전극으로부터 물리적으로 그리고 자기적으로 분리되도록 증착되는,

방법.

청구항 5

제 1 항에 있어서,

상기 AFM은 교환 바이어스 필드로 상기 SAF를 피닝하는,

방법.

청구항 6

제 1 항에 있어서,

상기 SAF는 제 1 폭을 가지고 증착되고,

상기 터널링 정선은 제 2 폭을 가지고,

상기 프리층은 제 3 폭을 가지고,

상기 피닝 영역은 상기 제 1 폭과 제 2 폭 사이의 차이에 의해 규정되는,

방법.

청구항 7

제 1 항에 있어서,
상기 SAF는 상기 프리층의 폭의 적어도 두 배인 폭을 갖는,
방법.

청구항 8

제 1 항에 있어서,
상기 피닝 영역은 상기 터널링 정선의 측방 부분들을 제거함으로써 형성되는,
방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술 분야

[0001] 본 발명의 다양한 실시예들은 일반적으로 측방 자화 피닝층으로 구성된 비-휘발성 메모리 셀에 관한 것이다.

발명의 내용

[0002] 다양한 실시예들에 따라, 자기 프리층은 비-자성 스페이서층에 의해 반강자성층(AFM)으로부터 측방으로 분리되며 자기 터널링 정선에 의해 합성 반강자성층(SAF)으로부터 중간위치에서(medially) 분리된다. AFM은 자기 터널링 정선 너머 측방으로 연장하는 SAF의 피닝 영역과의 접촉을 통해 SAF의 자화를 피닝한다.

[0003] 본 발명의 다양한 실시예들을 특징지우는 이러한 및 다른 특징들 및 장점들은 하기의 상세한 설명 및 첨부되는 도면들을 참조로 이해될 수 있다.

도면의 간단한 설명

[0004] 도 1은 본 발명의 다양한 실시예들에 따라 구성되고 동작되는 예시적인 데이터 저장 디바이스의 일반화된 기능도이다.

도 2는 도 1의 디바이스의 메모리 어레이로부터 데이터를 판독하고 메모리 어레이에 데이터를 기록하기 위해 사용되는 회로를 도시한다.

도 3은 메모리 어레이의 메모리 셀에 데이터가 기록될 수 있는 방식을 일반적으로 예시한다.

도 4는 도 3의 메모리 셀로부터 데이터가 판독될 수 있는 방식을 일반적으로 예시한다.

도 5는 본 발명의 다양한 실시예들에 따라 구성되고 동작되는 예시적 메모리 셀을 도시한다.

도 6은 본 발명의 다양한 실시예들에 따라 구성되고 동작되는 예시적 메모리 셀의 사시도를 도시한다.

도 7은 메모리 셀의 예시적인 대안적 구성을 표시한다.

도 8은 본 발명의 다양한 실시예들에 따라 수행되는 예시적인 셀 제조 루틴의 흐름도 및 대응하는 예시적 자기 스택들을 표시한다.

발명을 실시하기 위한 구체적인 내용

[0005] 본 개시물은 일반적으로 스핀 토크 랜덤 액세스 메모리(STRAM) 셀들과 같은 비-휘발성 메모리 셀들에 관한 것이다. 고체 상태 비-휘발성 메모리는 형태 인자(form factor)들이 감소하더라도 신뢰성있는 데이터 저장 및 빠른 데이터 전송 속도들을 제공하는데 목적을 둔 개발 기술이다. 그러나 큰 스위칭 전류, 낮은 동작 마진, 및 낮은 총 데이터 용량을 야기시키는 낮은 면적 밀도(areal density)와 같은, 고체 상태 셀들과 관련된 몇 가지 문제점들은 실행 애플리케이션을 억제(inhibit)한다. 최근 노력들에서, 높은 휘발성은 셀의 터널 자기저항(TMR) 효과를 감소시킴으로써 고체 상태 셀들을 더욱 손상시켰는데, 이는 감소된 셀 판독능력(readability) 및 기록능력(writeability)에 상응한다.

[0006] 따라서, 자기 프리층에 측방향으로 배치된 반강자성층(AFM)에 의해 자기적으로 피닝되는 합성 반강자성(SAF)층을 갖는 고체 상태 비-휘발성 메모리 셀은 판독능력 및 기록능력을 강화시키면서 휘발성을 감소시킨다. 프리층에 대한 AFM의 측방 배향은 고온 어닐링에 대해, AFM으로부터의 휘발성 원자 확산을 통해 동시에 휘발성을 증가시키지 않고도 셀의 TMR을 증가시키는 것을 가능케 한다. 또한, AFM의 이러한 측방 구성은 다양한 데이터 저장 디바이스들의 저장 용량을 증가시키도록 유도될 수 있는 보다 작은 전체 셀 두께를 제공한다.

[0007] 도 1은 본 발명의 다양한 실시예들에 따라 구성되고 동작되는 데이터 저장 디바이스(100)의 기능 블록도를 제공한다. 데이터 저장 디바이스는 PCMCIA 카드 또는 USB-스타일 외부 메모리 디바이스와 같은 휴대용 비휘발성 메모리 저장 디바이스를 포함하는 것으로서 고려된다. 그러나 디바이스(100)의 이러한 특징은 단지 특정 실시예를 예시하기 위한 것이며 청구 대상으로 제한되는 것은 아님이 인식될 것이다.

[0008] 디바이스(100)의 상부 레벨 제어는 프로그램가능한 또는 하드웨어 기반 마이크로제어기일 수 있는 적절한 제어기(102)에 의해 수행된다. 제어기(102)는 제어기 인터페이스(I/F) 회로(104) 및 호스트 I/F 회로(106)를 통해 호스트 디바이스와 통신한다. 랜덤 액세스 메모리(RAM)(108) 및 판독 전용 메모리(ROM)(110)를 통해 필수적인 명령들, 프로그래밍, 운용 데이터 등의 로컬(local) 저장이 제공된다. 버퍼(112)는 호스트 디바이스로부터의 입력 기록 데이터 및 호스트 디바이스로 전달할 때까지 재판독(readback) 데이터를 일시적으로 저장하는 역할을

한다.

- [0009] 다수의 메모리 어레이들(116)(어레이 0-N으로 표시됨)을 포함하는 것으로 메모리 공간이 114에 도시되지만, 요구에 따라 단일 어레이가 이용될 수 있다는 것이 인식될 것이다. 각각의 어레이(116)는 선택된 저장 용량(storage capacity)의 반도체 메모리의 블록을 포함한다. 제어기(102)와 메모리 공간(114) 간의 통신들은 메모리(MEM) I/F(118)를 통해 조정된다(coordinated). 요구에 따라, 작동중(on-the-fly) 에러 검출 및 교정(EDC) 인코딩 및 디코딩 동작들은 EDC 블록(120)에 의해 데이터 전달들 동안 실행된다.
- [0010] 제한되는 것은 아니지만, 일부 실시예들에서, 도 1에 도시된 다양한 회로들은 적절한 캡슐화부(encapsulation), 하우징 및 상호접속 피쳐들(features)(명확성을 위해 별도로 도시되지 않음)로 하나 이상의 반도체 다이들 상에 형성되는 단일 칩 세트로서 배열된다. 디바이스를 작동시키기 위한 입력 전력은 적절한 전력 관리 회로(122)에 의해 처리되며 적절한 소스, 이를 테면 배터리, AC 전력 입력 등으로부터 공급된다. 또한, 전력은 이를 테면 USB-스타일 인터페이스 등의 사용을 통해 호스트로부터 디바이스(100)에 직접 공급될 수 있다.
- [0011] 임의의 수의 데이터 저장 및 전달 프로토콜들, 이를 테면 논리 블록 어드레싱(LBA들)이 이용될 수 있고, 이로 인해 데이터가 (ECC, 스페어링(sparing), 헤더 정보 등에 대한 오버헤드 바이트들 플러스(plus) 사용자 데이터의 512 바이트들과 같은) 고정-크기 블록들에 배열 및 저장된다. 호스트 명령들은 LBA들과 관련하여 발행(issue)될 수 있고, 디바이스(100)는 데이터가 저장 또는 리트리브될 수 있는 연관된 위치들(locations)을 식별하고 서비스하기 위해 대응하는 LBA-대-PBA(물리적 블록 어드레스) 변환을 실행할 수 있다.
- [0012] 도 2는 도 1의 메모리 공간(114)의 선택된 양상들의 일반화된 도면을 제공한다. 데이터는 다양한 로우(row)(워드) 및 컬럼(column)(비트) 라인들에 의해 액세스가능한, 메모리 셀들(124)의 로우들 및 컬럼들의 어레이지먼트(arrangement)로서 저장된다. 셀들 및 셀들로의 액세스 라인들의 실제 구성들은 주어진 애플리케이션의 요구조건들과 관련될 수 있다. 그러나 일반적으로, 다양한 제어 라인들은 일반적으로 각각의 셀들의 값(들)의 개별적 기록 및 판독을 선택적으로 인에이블 및 디스에이블시키는 인에이블(enable) 라인들을 포함할 것이라는 것이 인식될 것이다.
- [0013] 제어 로직(126)은 각각 멀티-라인 버스 경로들(128, 130, 132)을 따라 데이터, 어드레싱 정보 및 제어/상태 값들을 수신 및 전달한다. X 및 Y 디코딩 회로(134, 136)는 적절한 셀들(124)에 액세스하기 위해 적절한 스위칭 및 다른 기능들(functions)을 제공한다. 기록 회로(138)는 데이터를 셀들(124)에 기록하기 위해 기록 동작들을 실행하도록 동작하는 회로 엘리먼트들을 나타내며, 판독 회로(140)는 셀들(124)로부터 재판독 데이터(readback data)를 획득하도록 상응하게 동작한다. 하나 이상의 로컬 레지스터들(144)을 통해 전달된 데이터 및 다른 값들의 로컬 버퍼링이 제공될 수 있다. 이 때, 도 2의 회로는 사실상 단지 예시적인 것이며, 주어진 애플리케이션의 요구조건들에 따른 요구에 따라 임의의 수의 대안적 구성들이 쉽게 이용될 수 있다는 것이 인식될 것이다.
- [0014] 일반적으로 도 3에 도시된 것처럼 데이터가 각각의 메모리 셀들(124)에 기록된다. 일반적으로, 기록 전력원(146)은 원하는 상태로 메모리 셀(124)을 구성하기 위해 필요한 입력을 (이를 테면, 전류, 전압, 자화 등의 형태로) 인가한다. 도 3은 단지 비트 기록 동작의 대표적인 예시라는 것이 인식될 수 있다. 기록 전력원(146), 메모리 셀(124), 및 레퍼런스 노드(148)의 구성은 각각의 셀에 선택된 논리 상태의 기록을 허용하도록 적절히 조작될 수 있다.
- [0015] 하기 설명되는 것처럼, 일부 실시예들에서, 메모리 셀(124)은 변형된 STRAM 구성을 취하며, 이 경우 기록 전력원(146)은 메모리 셀(124)을 통해 적절한 레퍼런스 노드(148), 이를 테면 접지(ground)에 연결되는 전류 구동기로서 특징화된다. 기록 전력원(146)은 메모리 셀(124)의 자기 물질을 통해 이동함으로써 스핀 분극되는 전력의 스트림을 제공한다. 분극된 스핀들의 결과적인 회전은 메모리 셀(124)의 자기 모멘트를 변화시키는 토크(torque)를 생성한다.
- [0016] 자기 모멘트에 따라, 셀(124)은 상대적으로 낮은 저항(R_L) 또는 상대적으로 높은 저항(R_H) 중 어느 하나를 취할 수 있다. 제한되는 것은 아니지만, 예시적인 R_L 값들은 약 100옴(Ω) 정도의 범위에 있을 수 있는 반면, 예시적인 R_H 값들은 약 100K Ω 정도의 범위에 있을 수 있다. 이러한 값들은 차후 기록 동작에 의해 상태가 변경되는 이러한 시간까지 각각의 셀들에 의해 보유된다. 제한되는 것은 아니지만, 본 예에서, 높은 저항 값(R_H)은 셀(124)에 의한 논리 1의 저장을 표시하며, 낮은 저항 값(R_L)은 논리 0의 저장을 표시한다.
- [0017] 각각의 셀(124)에 의해 저장되는 논리 비트 값(들)은 도 4에 예시되는 것과 같은 방식으로 결정될 수 있다. 판독 전력원(150)은 메모리 셀(124)에 적절한 입력(이를 테면, 선택된 판독 전압)을 인가한다. 셀(124)을 통해

흐르는 판독 전류(I_R)의 양은 셀의 저항(각각 R_L 또는 R_H)의 함수일 수 있다. 메모리 셀 양단의 전압 강하(전압 V_{MC})는 비교기(감지 증폭기)(154)의 포지티브(+) 입력에 의해 경로(152)를 통해 감지된다. 적절한 레퍼런스(이를 테면 전압 레퍼런스(V_{REF}))는 레퍼런스 소스(156)로부터 비교기(154)의 네거티브(-) 입력에 공급된다.

[0018] 메모리 셀(124) 양단의 전압 강하(V_{MC})가, 셀의 저항이 R_L 로 설정될 때는 V_{REF} 값보다 낮아지고, 셀의 저항이 R_H 로 설정될 때는 V_{REF} 값보다 높아지도록, 전압 레퍼런스(V_{REF})가 다양한 실시예들로부터 선택될 수 있다. 이런 방식으로, 비교기(154)의 출력 전압 레벨은 메모리 셀(124)에 의해 저장된 논리 비트 값(0 또는 1)을 표시할 것이다.

[0019] 도 5는 일반적으로 본 발명의 다양한 실시예들에 따른 비-휘발성 메모리 스택(160)을 예시한다. 스택(160)은 각각, 자기 터널 정션(164), 최상부 전극(166), 및 비-자성 스페이서층(168) 사이에 배치되는 자기 프리층(162)을 포함한다. 터널 정션(164)은 폭(170)으로 배향되며 합성 반강자성(SAF)층(172)의 중간 부분(medial portion)에 부착되고, 상기 합성 반강자성(SAF)층(172)은 접하게(contactingly) 인접하는 바닥부 전극(176)에 의해 공유되는 폭(174)을 갖는다.

[0020] 도시된 것처럼, 최상부 전극(166) 및 프리층(162) 각각은 터널 정션(170)의 폭 보다 짧은 폭(178)을 갖는다. 폭에서의 이러한 차는, X 축을 따라 측정되는 것처럼, 측방으로 인접한 반강자성층(AFM)(180)으로부터 프리층(162)을 분리하는 스페이서층(168)을 수용한다. AFM(180)은 터널 정션 폭(170)과 SAF 폭(174) 간의 폭의 차(184)에 의해 한정되는 SAF(172)의 피닝 영역(182)과의 접촉을 통해 SAF(172)의 자화를 피닝하는 자기 교환 바이어스를 제공한다. 피닝 영역들(182)의 이러한 측방 배치는, Y 축에서 측정되는 것처럼, 스택(160)에 임의의 두께를 추가하지 않고도, AFM 층들(180)이 프리층(162)의 마주하는 측방 면들(lateral sides) 상에 배치되게 허용한다.

[0021] 동작시, 프리층(162)은 층(162)에 포지티브 또는 네거티브 극성과 같은 자기 배향을 설정하는 미리결정된 프로그래밍 전류에 자기적으로 응답한다. 이러한 자기 배향은, 스택(160)에 저장될 0 또는 1과 같은 논리 상태를 제공하는 TMR 효과를 생성하기 위해, AFM(180)에 의해 미리결정된 자화로 피닝되는 자기적으로 비응답성인 SAF(172)와 함께 기능한다. 터널 정션(164)은 차후, SAF(172)와 프리층(162)의 자기 배향들이 상호작용하여 TMR 효과를 생성하도록 허용하며, 상기 자기 배향들은 프로그램된 논리 상태로서 판독될 수 있다.

[0022] 스택(160)의 기능은 TMR 효과를 증가시킴으로써 강화될 수 있는데, 이는 프리층(162)의 자기 배향을 설정 및 전환하기 위해 요구되는 더 낮은 프로그래밍 전류 및 프로그램된 논리 상태들 사이에서의 더 큰 자기 차에 상응한다. TMR 효과는 어닐링을 통해 상승된 온도들에 대한 노출로 증가될 수 있다. 그러나, 이러한 어닐링은 AFM(180)으로부터 반강자성 원자 이동(migration)을 통해 SAF(172) 및 프리층(162)의 자화들의 휘발성을 증가시킴으로써 스택(160)에 악영향을 미칠 수 있다.

[0023] 도 5의 메모리 스택(160)으로, SAF(172) 및 프리층(162)과 비교할 때 AFM(180)의 측방 배치로 인해 휘발성 증가 없이도 어닐링이 이루어질 수 있다. 즉, 비-자성 스페이서층(168)에 의한, AFM(180)과 프리층(162)의 분리는 피닝 영역(182)을 따르는, SAF(172)에 AFM(180)의 측방 부착과 결합되어, SAF(172) 및 프리층(162)으로 휘발성 AFM 원자들의 이동을 감소시킨다. 결과적으로, 스택(160)은 낮은 자기 휘발성과 함께, 어닐링으로 인해 강화된 TMR 효과를 통해 더 큰 판독능력 및 기록능력을 가질 수 있다.

[0024] 도 6은 다양한 실시예들에 따라 구성되는 예시적인 비-휘발성 메모리 셀(190)의 사시도를 표시한다. 자기 프리층(192)은 MgO 의 터널 정션(194)에 부착되는데, 이는 프리층(192)이 SAF 3중층(trilayer)(196)에 보다 가까워지게 하는 감소된 두께를 가짐으로써 TMR을 생성하는데 이롭게 기여할 수 있다. 프리층(192) 및 SAF 3중층(196)은, 제한되는 것은 아니지만, 셀(190)을 통해 전류를 전달할 수 있는 Ta 및 Cu와 같은 다양한 전류 전도 물질들일 수 있는 최상부 및 바닥부 전극들(198, 200)에 각각 개별적으로 부착된다.

[0025] 표시된 것처럼, SAF 3중층(196)은 쌍의 강자성층들(204) 사이에 배치되는 Ru와 같은 커플링 스페이서층(202)을 포함할 수 있고, 상기 쌍의 강자성층들은 Ni 및 Co와 같은 금속, CoFe 및 NiFe와 같은 합금들, 및 CoFeB와 같은 높은(high) 분극 비율 화합물들로 제한되지 않는 다양한 물질들일 수 있다. 이러한 강자성층들(204)은 AFM(208)으로부터 SAF(196)의 피닝 영역(206)을 따라 부과되는 교환 바이어스에 자기적으로 응답할 수 있으며, 상기 AFM(208)은 PtMn 및 IrMn과 같은 임의 반강자성으로 오더링된 물질일 수 있다.

[0026] 그러나, 망간(Manganese)은 특히 휘발성이고 어닐링될 때 원자들은 셀 전반에 쉽게 확산된다는 것이 발견되었다. 따라서, AFM(208)으로부터의 확산은 AFM(208)에 SAF(196)의 제한된 부착에 의해 조절(throttle)

된다. 다른 말로, 피닝 영역(206)의 제한된 표면적은 망간 원자들이 셀(190)을 통해 확산하고 자기 휘발성을 증가시키는 것을 억제한다. 확산은 프리층(192)과 최상부 전극(198)으로부터 물리적으로 그리고 자기적으로 AFM(208)을 분리하는 비-자성 스페이서층(210)에 의해 추가로 억제된다.

[0027] 이처럼, 셀(190)은 SAF(196)의 자화를 피닝하는 교환 바이어스를 생성하는 AFM(208)의 능력의 유지관리(maintenance) 및 Mn 원자들의 최소 이동으로 TMR 강화 어닐링을 경험할 수 있다. 판독 또는 기록 전류가 셀(190)을 통해 전달됨에 따라, 얇은 MgO 터널 정션(194), 측방 AFM(208) 배향, 및 어닐링의 조합은 더 얇은 셀에서 상승된 TMR 효과를 허용하며, 이는 데이터 저장 디바이스에서 논리 상태들, 더 낮은 프로그래밍 전류, 및 증가된 면적 밀도 사이에서 더 높은 마진을 산출한다.

[0028] 도 7에서, 또 다른 예시적 셀(210)은 도 6의 SAF 대신 단일의 강자성 핀드층(pinned layer)(212)으로 도시된다. 도 6의 셀(190)의 동작과 유사하게, 셀(210)은 측방으로 배치된 AFM 층들(214)과 함께 강자성 핀드층(212)의 자화를 피닝한다. 단일의 강자성 핀드층(212)의 사용은 셀(210)이 셀(190)에 비해 감소된 두께를 갖도록 허용하면서 여전히 어닐링 동안 비휘발성 원자들의 확산을 억제하고 증가된 TMR 효과를 통해 판독능력 및 기록능력을 강화시킨다.

[0029] 셀(210)은 단지 예시적인 것이며 도 7에 도시된 구성으로 제한되지 않는다. 사실상, 셀(210)의 크기, 형상, 물질들, 및 동작에 대한 다양한 변형들이 요구에 따라 구현될 수 있다. 도시된 것처럼, 이러한 하나의 변형은, 프리층(222) 및 최상부 전극(224)의 폭(220)의 2배 이상인 폭(218)으로의 피닝층(212) 및 바닥부 전극(216)의 연장일 수 있다. 이러한 구성은 상대적으로 큰 피닝 영역(226)을 제공하며 이는 결과적으로 AFM 층들(214)과 핀드층(212) 간의 피닝 접촉 및 표면적을 증가시킨다.

[0030] 또한, 터널 정션(230)의 폭(228)은 프리층(222)의 자기 자유도(magnetic freedom)를 보호하기 위해 AFM(214)과 프리층(222) 사이에, 증가된 양의 비-자성 스페이서 물질(232)(이를 테면 NiO)을 제공하도록 변형될 수 있다. 또 다른 변형에서, AFM(214)은 제거될 수 있고 핀드층(212)은 미리결정된 자기 배향을 개별적으로 유지(hold)하는 비대칭 SAF로 교체될 수 있다. 셀(210)에 대한 다양한 변형들은 구조 및 동작을 변화시킬 수 있지만, 핀드층(212)에 대한 AFM(214)의 측방 배향 및 접촉은 어닐링 동안 휘발성 원자 확산의 억제제(inhibitor)를 유지하며, 이는 증가된 TMR 및 개선된 셀(210) 기능을 허용한다.

[0031] 일반적으로 본 발명의 다양한 실시예들에 따라 예시적 메모리 셀을 형성하는 셀 제조 루틴(240) 및 대응하는 예시적 도면들이 도 8에 표시된다. 초기에, 단계(242)에서, 미리결정된 수의 층들이 적어도 2개의 폭들로 증착된다. 다양한 층들의 순서, 개수, 및 두께는 제한되지 않지만, 자기 스택(342)은 단계(242)로부터의 샘플 결과를 예시하며, 상기 자기 스택(342)에서 바닥부 전극, SAF, 및 터널 정션은 제 1 폭을 갖지만 프리층 및 최상부 전극은 보다 작은 제 2 폭을 공유한다.

[0032] 다음, 단계(244)는 상부 부분을 감싸기 위해(to encase) 이전에 증착된 층들 위에 마스크층을 증착한다. 스택(344)은 일부 실시예들에서 NiO와 같은 절연 물질인 이러한 마스크층의 예를 시각적으로 제공한다. 증착된 마스크층 및 터널 정션은 차후에 미리결정된 패턴으로 제거되어, 스택(346)에 도시된 것처럼, 프리층에 관해 선택된 양의 마스크층을 유지한다. 스택(346)은 터널 정션이 프리층 및 SAF의 측방 면들 상에 피닝 영역들을 한정하도록 제거되는 것을 추가로 도시한다.

[0033] 단계(248)에서 AFM 물질은 이전에 한정된 피닝 영역들 상의 SAF의 최소 접촉으로 현재상태의(existing) 자기 스택 위에 증착된다. AFM 층의 형상 및 물질은 제한되지 않지만, 샘플 형성은 AFM 물질이 SAF의 상부 및 측면들을 감싼다는 것을 도시하는 스택(348)에 의해 제공된다. 루틴(240)은 최상부 전극으로부터 AFM을 분리하는 미리결정된 패턴으로 단계(250)에서 AFM 물질의 부분들을 제거하도록 진행한다. 단계(250)는 AFM 물질을 제거하기 위해 밀링(milling) 동작을 요구하는 반면에, 이러한 동작은 스택(350)과 유사한 스택을 생성하기 위해 개별적으로 또는 조합하여 이용될 수 있는 연마 및 에칭과 같은 다양한 프로세스들로서 요구 또는 제한되지 않는다.

[0034] 형성되고 형상화된 셀의 다양한 컴포넌트 층들로, 단계(252)는 상승된 온도 및 평면내(in-plane) 자기장의 존재 하에 구조물을 어닐링한다. 앞서 논의된 것처럼, AFM 물질의 측방 위치는 어닐링 동안 SAF로 휘발성 반강자성 원자들의 최소 확산을 허용한다. 스택(352)은 어닐링이 셀의 이전 구성을 유지하는 것은 표시하지만 어닐링이 프리층, SAF 및 터널 정션 사이 간의 상호작용으로 인한 TMR 효과를 강화시킨다는 것은 예시할 수 없다. 마지막으로, 단계(254)에서, 셀을 통하는 판독 및 기록 전류를 지향시키는 전도성 경로를 제공하기 위해 최상부 전극 상에 비트 라인이 증착된다. 단계(254)는 비트 라인 물질의 증착 또는 성장을 위해 최상부 전극의 상부 표면을 마련하는 다수의 서브-단계들을 포함할 수 있다. 일반적으로 스택(354)은 단계(254)로부터 특정 자기 배

향으로 프로그램될 수 있고 재프로그래밍될 때까지 이러한 배향을 유지하는 완성된 셀을 예시한다.

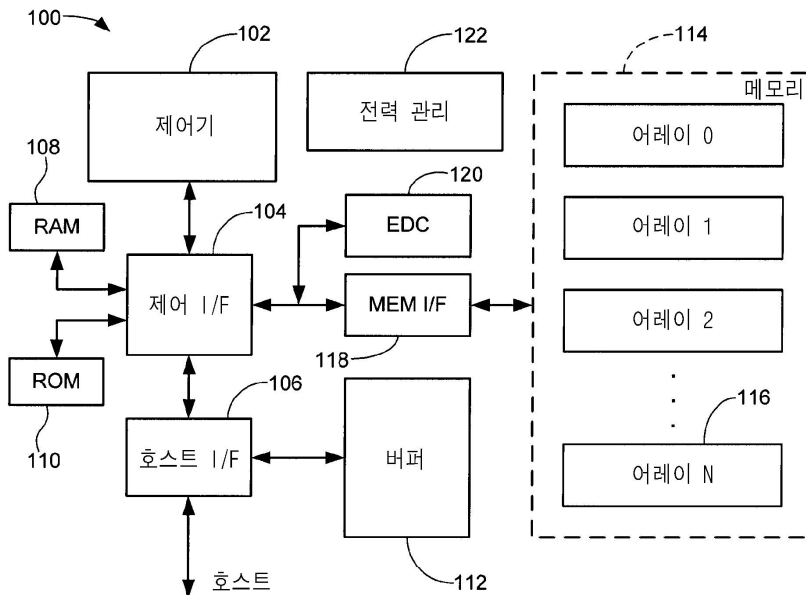
[0035] 제조 루틴(240)은 도 8에 도시된 단계들 및 해당하는 예시적 자기 스택들로 제한되지 않는다는 것을 주목해야 한다. 요구에 따라, 다양한 단계들이 변경 또는 생략될 수 있는 한편 새로운 단계들이 추가될 수 있다. 예를 써, 단계(242)는 스택(342)에 도시된 SAF 대신 단일의 강자성층의 증착을 포함하도록 변경될 수 있는 반면, 단계(252) 및 해당하는 스택(352)이 데이터를 저장하기 위해 어레이에 구현될 수 있는 완성된 셀이 되도록 단계(254)가 생략될 수 있다.

[0036] 당업자에게 인식될 수 있듯이, 본 명세서에 예시되는 다양한 실시예들은 메모리 셀 효율성 및 복잡도 모두에서 장점들을 제공한다. 어닐링을 통해 메모리 셀의 TMR 효과를 강화시키는 능력은 결과적으로 동작 마진을 증가시키면서 프로그래밍 전류를 덜 요구한다. 또한, AFM 층들의 측방 증착은 어닐링 동안 AFM 원자 확산과 연관된 자기 휘발성으로 인해 감소된 수의 에러들로 보다 얇은 메모리 디바이스 구조물이 허용된다. 그러나, 본 명세서에 개시된 다양한 실시예들은 다수의 잠재적인 애플리케이션들을 가지며 전자 매체의 특정 분야 또는 데이터 저장 디바이스들의 타입으로 제한되지 않는다는 것이 인식될 것이다.

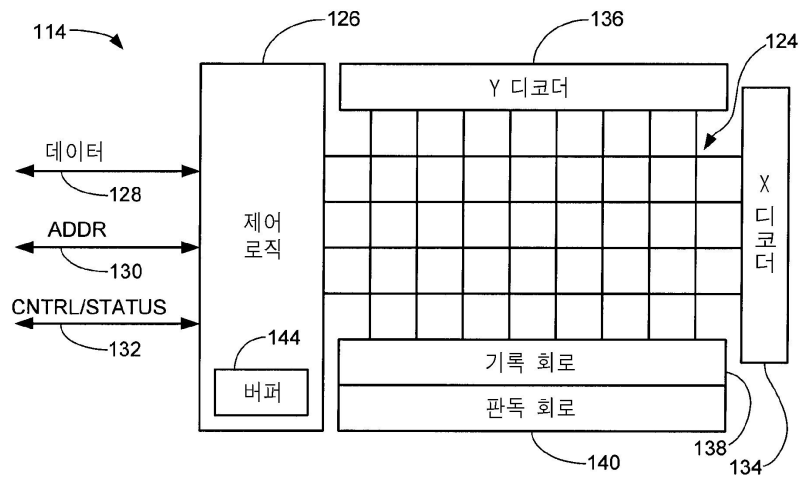
[0037] 본 발명의 다양한 실시예들의 다수의 특징들 및 장점들이 본 발명의 다양한 실시예들의 구조 및 기능의 상세사항들과 함께, 상기 설명부에서 개시되었지만, 본 상세 설명은 단지 예시적인 것이며, 특히 첨부되는 청구항들에 표현되는 용어의 광범위한 의미에 의해 표시되는 전체 범주에 대해 본 발명의 원리들 내에서 부품들의 어레이먼트들 및 구조와 관련하여 구체적인 변경들이 이루어질 수 있다는 것이 이해될 것이다.

도면

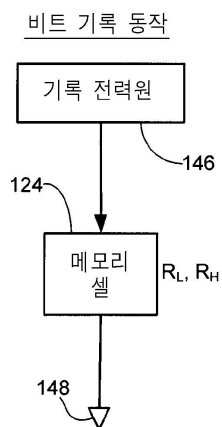
도면1



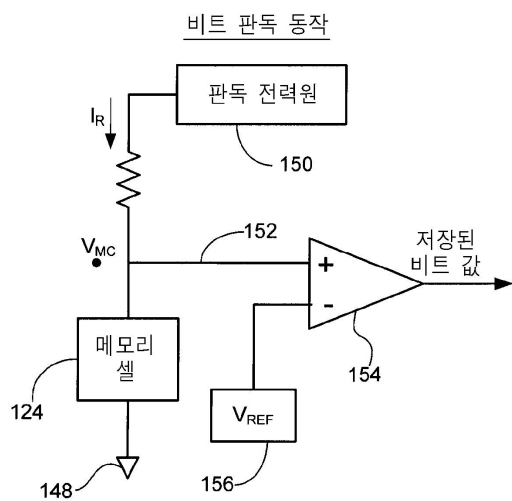
도면2



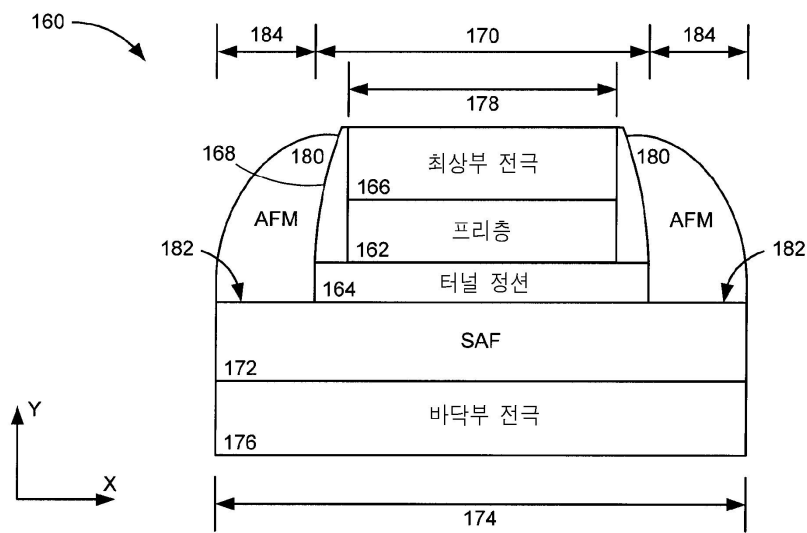
도면3



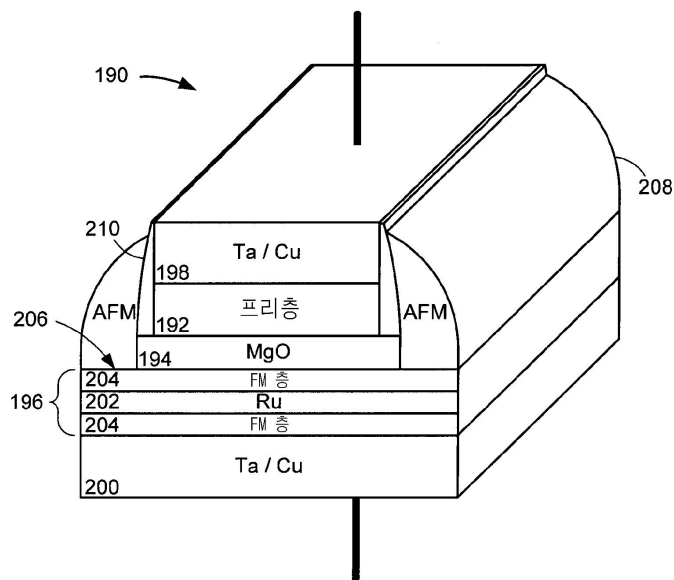
도면4



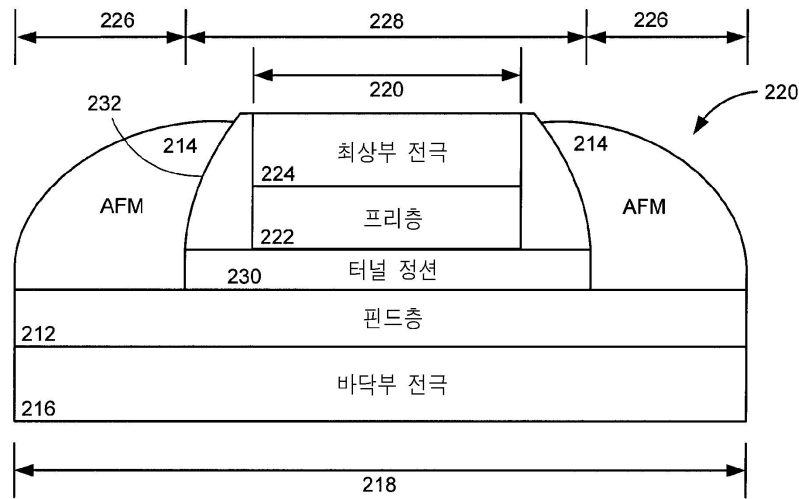
도면5



도면6



도면7



도면8

