

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

110384

Patent dodatkowy
do patentu nr _____

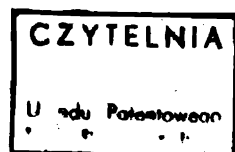
Zgłoszono: 14.11.77 (P. 202119)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 18.06.79

Opis patentowy opublikowano: 30.06.1981

Int. Cl.² G06F 3/05
H03K 13/02



Twórcy wynalazku: Jadwiga Godlewska, Michał Godlewski

Uprawniony z patentu: Politechnika Warszawska, Warszawa (Polska)

Przetwornik analogowo-cyfrowy kompensacyjny, zwłaszcza do współpracy z minikomputerem

1

Przedmiotem wynalazku jest przetwornik analogowo-cyfrowy kompensacyjny zwłaszcza do współpracy z minikomputerem. Znane są wyspecjalizowane kompensacyjne przetworniki analogowo-cyfrowe współpracujące z komputerami, wykorzystywane w systemach SMA i CAMAC. Kompensacyjny przetwornik analogowo-cyfrowy wykorzystywany do celów SMA znany jest z publikacji zamieszczonej w miesięczniku „Pomiary, automatyka, kontrola” nr 10 z 1974 r. Rozwiązanie to opiera się na konwerterze cyfrowo-analogowym, zbudowanym z sieci rezystorów R-2R, tranzystorowych kluczy analogowych i ich układów sterujących oraz źródła odniesienia. W rozwiązaniu tym konwerter cyfrowo-analogowy włączony jest między wyjścia rejestru wyjściowego a jedno z wejść komparatora. Do drugiego wejścia komparatora dołączony jest wzmacniacz napięcia przetwarzanego. Wyjście komparatora połączone jest z rejestrem wyjściowym poprzez układ wyjściowy.

Układ zawiera również rejestr przesuwany, który sterowany jest z układu startu i generatora. Wadą tego rozwiązania jest uzależnienie okresu zegara od czasu ustalania się przyrostu napięcia kompensującego od najbardziej znaczącego bitu (MSB) w wyniku cyfrowym. Sposób sterowania konwerterem cyfrowo-analogowym w znanych rozwiązaniach nie pozwala na uzyskanie małych cza-

2

sów przetwarzania rzędu kilkudziesięciu mikrosekund, przy zastosowaniu konwerterów cyfrowo-analogowych produkcji krajowej, serii HRY.

W rozwiązaniu według wynalazku, w celu uzyskania krótkiego czasu przetwarzania rzędu kilkudziesięciu mikrosekund niezależnie się okres przebiegu zegarowego od czasu ustalania się napięcia kompensującego, odpowiadającego przełączaniu się klucza najbardziej znaczącego bitu MSB w konwerterze cyfrowo-analogowym. Dzięki temu rozwiązanie to pozwala na zastosowanie modułu konwertera cyfrowo-analogowego serii HRY produkcji krajowej zachowując czas przetwarzania tego samego rzędu co w rozwiązaniach znanych.

Przerzutnik MSB rejestru wyjściowego sterujący odpowiednim kluczem konwertera pracuje w czasie dwóch taktów zegarowych. W tym celu przerzutnik MSB sterowany jest poprzez rejestr przesuwany o pojemności powiększonej o jeden względem rejestru wyjściowego. Każdy przerzutnik rejestru wyjściowego jest połączony z odpowiadającym mu bitem rejestru przesuwanego za pomocą dwu wejść, jednakże we wszystkich przerzutnikach z wyjątkiem przerzutnika MSB wejścia te są zwarte. W przerzutniku MSB natomiast, jedno wejście połączone jest z odpowiadającym mu bitem rejestru przesuwanego, a drugie wejście połączone jest z dodatkowym bitem rejestru przesuwanego.

Wyjścia rejestru wyjściowego połączone są z wejściami cyfrowymi konwertera cyfrowo-analogowego i wejściami informacyjnymi pamięci cyfrowej, której wyjścia informacyjne połączone są z wejściami informacyjnymi układu interface'u połączonego z układem sterującym. Wyjścia sterujące układu sterującego połączone są z wejściami sterującymi: układu pamięci cyfrowej, rejestru przesuwne, zegara taktującego ten rejestr i układu próbkująco-pamiętającego. Jedno wejście zegara połączone jest z wejściem rejestru przesuwne i układu opóźniającego, a drugie — połączone jest z wejściem strobuującym komparatora. Jedno wejście analogowe komparatora połączone jest z wyjściem układu próbkująco-pamiętającego a drugie — z wyjściem konwertera cyfrowo-analogowego. Wyjścia: komparatora i układu opóźniającego, połączone są z odpowiednimi wejściami rejestru wyjściowego. Wejście analogowe układu próbkująco-pamiętającego połączone jest z wyjściem układu przesuwu i wzmocnienia, którego wejście stanowi wejście analogowe przetwornika według wynalazku.

Wynalazek zostanie bliżej wyjaśniony w przykładzie wykonania przedstawionym na rysunku, na którym fig. 1 przedstawia schemat blokowy przetwornika analogowo-cyfrowego, fig. 2 przedstawia połączenia między $(n+1)$ -bitowym rejestrem przesuwym i n -bitowym rejestrem wyjściowym, natomiast fig. 3 przedstawia schemat ideowy połączonych między sobą w $(n+1)$ -bitowym rejestrze przesuwym przerzutnika MSB i następnych, w liczbie $(n-1)$.

W przetworniku analogowo-cyfrowym według fig. 1 każde wyjście $(n+1)$ -bitowego rejestru wyjściowego 6 połączone jest z jednym z wejść cyfrowych konwertera cyfrowo-analogowego 7 i jednym z wejść informacyjnych pamięci cyfrowej 9. Wyjścia informacyjne pamięci cyfrowej 9 połączone są z wejściami informacyjnymi układu interface'u 10, który może być podłączony do minikomputera. Układ interface'u 10 połączony jest z układem sterującym 11. Wyjścia układu sterującego 11 połączone są z wejściami sterującymi: układu pamięci cyfrowej 9, rejestru przesuwne 5, zegara 4 taktującego rejestr przesuwny i układu próbkująco-pamiętającego 2. Jedno wyjście zegara 4 połączone jest z wejściem rejestru przesuwne 5 i układu opóźniającego 8. Drugie wyjście zegara 4 połączone jest z wejściem strobuującym komparatora 3. Jedno z wejść analogowych komparatora 3 połączone jest z wyjściem konwertera cyfrowo-analogowego 7, a drugie — połączone jest z wyjściem układu próbkująco-pamiętającego 2. Wyjścia: komparatora 3, układu opóźniającego 8 i rejestru przesuwne 5 połączone są z odpowiednimi wejściami rejestru wyjściowego 6. Wejście analogowe układu 2 połączone jest z wyjściem układu przesuwu i wzmocnienia 1, którego wejście stanowi wejście analogowe przetwornika według wynalazku.

Jak przedstawia fig. 2 $(n+1)$ -bitowy rejestr przesuwny 5 posiada n -przerzutników, których wyjścia połączone są z odpowiadającym im prze-

rzutnikiem rejestru wyjściowego 6. Poza tym rejestr 5 posiada dodatkowy $(n+1)$ -przerzutnik, którego wyjście połączone jest z dodatkowym wejściem przerzutnika MSB rejestru wyjściowego 6. Jak to przedstawia fig. 3 wejścia a rejestru wyjściowego 6 podłączone są do wejść 1 bramki AND-c. Wejścia b zaś — do wejść 2 bramki AND-b. Dla przerzutnika MSB rejestru 6 wejścia a i b nie są połączone, natomiast dla wszystkich pozostałych przerzutników tego rejestru są zwarte. Wejścia 1 bramek AND-b dla wszystkich przerzutników rejestru 6 są podłączone do wejścia c, wejścia 1 bramek AND-f — do wejścia f, a wejścia 2 bramek AND-c — do wejścia d. Wejścia 2 bramek AND-e stanowią wejścia e rejestru wyjściowego 6. Wejście 2 bramek AND-f zwarte z wejściem bramki NOR-g w przypadku wszystkich przerzutników rejestru 6 stanowią wyjścia g rejestru wyjściowego 6.

Przy przetwarzaniu analogowo-cyfrowym w układzie według wynalazku dodatnie lub ujemne napięcie analogowe zamieniane jest w słowo cyfrowe zakodowane n -bitowym kodem binarnym. Sposób kodowania wartości napięcia wejściowego jest zdeterminowany przesuwem składowej stałej w układzie przesuwu i wzmocnienia 1. Układ ten zapewnia dopasowanie analogowych napięć wejściowych przetwornika do maksymalnych napięć wejściowych komparatora 3 w celu uzyskania jak największej dokładności przetwarzania. Początkiem wykonywania operacji jest zdekodowanie w układzie interface'u 10 adresu urządzenia. Powoduje ono wysłanie do minikomputera z rejestru stanu w układzie sterującym 11 stanu urządzenia — „wolne” lub „zajęte”.

Gdy urządzenie nie przetwarza — stan „wolne” — odebrany w układzie interface'u 10 rozkaz przetwarzania analogowo-cyfrowego powoduje wysłanie z pamięci cyfrowej 9 do minikomputera wyniku poprzedniego przetwarzania analogowo-cyfrowego. Otrzymanie z minikomputera sygnału strobuującego powoduje jednocześnie: zmianę stanu na „zajęte”, zapamiętanie w układzie próbkująco-pamiętającym 2 chwilowej wartości napięcia analogowego, start zegara 4 taktującego rejestr przesuwny 5. Włączenie zegara 4 powoduje, że pojawiają się kolejno na wyjściach $(n+1)$ -bitowego rejestru przesuwne 5 logiczna „1” wyznacza do pracy kolejno przerzutniki n -bitowego rejestru wyjściowego 6 sterujące kluczami konwertera cyfrowo-analogowego 7. W czasie jednego taktu zegarowego przerzutnik rejestru 6 włącza odpowiadający mu klucz konwertera 7 powodując powiększenie napięcia kompensującego na wyjściu konwertera 7 o wartość odpowiadającą wyznaczonemu kluczowi.

W komparatorze 3 napięcie przetwarzane porównywane jest z napięciem kompensującym i w zależności od ich wzajemnej relacji odpowiedź komparatora 3 powoduje wyłączenie wyznaczonego klucza konwertera 7 lub nie. Rejestr wyjściowy 6 służy doysterowania wejść cyfrowych konwertera 7. Rejestr ten zapewnia cztery różne sposoby sterowania kluczami konwertera 7: włącze-

nie ich równoczesne lub kolejne oraz wyłączenie ich równoczesne lub kolejne. Wspólne wejścia **a**, **b**, gdy pojawi się na nich logiczna „1” podawana z rejestru przesuwanego **5** wyznaczają do pracy dany klucz konwertera **7**. W tym przypadku odblokowuje się wejście kasujące **c** i ustawiające **d**. Minimalny, ale wystarczający odstęp między pracą klucza poprzedniego a następnego zapewnia układ opóźniający **8** zastosowany na wejściach **d** rejestru wyjściowego **6**. Odpowiedź komparatora **3** wyłącza klucz poprzez wejście **c** przerzutnika, lub nie.

Przerzutnik MSB rejestru **6** pracuje w czasie dwóch taktów zegarowych, wejścia **a**, **b** przerzutnika MSB nie są połączone ze sobą tak jak dla pozostałych przerzutników rejestru wyjściowego **6**. Podawana na wejściu **a** logiczna „1” podczas pierwszego impulsu zegarowego ustawia przerzutnik MSB w stan „1”, dopiero podczas drugiego impulsu zegarowego zostaje odblokowane wejście **c** przyjmujące odpowiedź komparatora **3**. Pozwala to na wydłużenie czasu potrzebnego do ustalenia się napięcia kompensującego dla MSB w stosunku do pozostałych przerzutników przy zachowaniu jednakowego dla wszystkich przerzutników czasu na odpowiedź komparatora i ewentualne wyłączenie wyznaczonego przez rejestr **6** klucza konwertera **7**.

Do sterowania przerzutnika MSB rejestru **6** wykorzystuje się dodatkowe wyjście rejestru przesuwanego **5** o powiększonej o jeden pojemności względem rejestru wyjściowego **6**. Ustawienie ostatniego klucza konwertera **7** odpowiadającego najmniej znaczącemu przerzutnikowi LSB w wyniku cyfrowym oznacza koniec porównania. Powoduje to jednocześnie: zatrzymanie zegara **4**, koniec pamiętania napięcia wejściowego i dalsze śledzenie jego zmian w układzie próbkująco-pamiętającym **2**, przepisanie wyniku przetwarzania z rejestru wyjściowego **6** do pamięci cyfrowej **9**. Zapamiętanie wyniku przetwarzania powoduje wyłączenie poprzez wejścia **f** rejestru **6** wszystkich kluczy konwertera **7**, zmianę w układzie sterującym

11 stanu urządzenia na „wolne” i wysłanie do minikomputera sygnału oznaczającego koniec przetwarzania.

Zastrzeżenia patentowe

5

1. Przetwornik analogowo-cyfrowy, kompensacyjny, zwłaszcza do współpracy z minikomputerem, zawierający konwerter cyfrowo-analogowy, którego wejścia cyfrowe połączone są z wyjściami rejestru wyjściowego, a wyjście połączone jest z wejściem komparatora, **znamienny tym**, że wyjście układu przesuwu i wzmocnienia **(1)** połączone jest z wejściem układu próbkująco-pamiętającego **(2)**, którego wyjście połączone jest z drugim wejściem komparatora **(3)**, a wejście sterujące układu próbkująco-pamiętającego **(2)** oraz wejścia sterujące zegara **(4)** taktującego rejestr przesuwany, rejestru przesuwanego **(5)** i układu pamięci cyfrowej **(9)** połączone są z wyjściami sterującymi układu sterującego **(11)**, przy czym jedno wyjście zegara **(4)** połączone jest z wejściem strobuującym komparatora **(3)**, a drugie wyjście zegara **(4)** połączone jest z wejściem rejestru przesuwanego **(5)** i układu opóźniającego **(8)**, natomiast wyjście układu opóźniającego **(8)**, rejestru przesuwanego **(5)** oraz komparatora **(3)** podłączone są do wejść rejestru wyjściowego **(6)**, którego wyjścia połączone są również z wejściami informacyjnymi pamięci cyfrowej **(9)**, przy czym wyjście pamięci cyfrowej **(9)** połączone jest z wejściem układu interface'u **(10)**, który połączony jest z układem sterującym **(11)**.

2. Przetwornik według zastrz. 1, **znamienny tym**, że rejestr przesuwany **(5)** posiada o jeden większą pojemność niż rejestr wyjściowy **(6)**.

3. Przetwornik według zastrz. 2, **znamienny tym**, że dwa wejścia bramek w przerzutnikach rejestru wyjściowego **(6)**, łączące odpowiadające przerzutniki rejestru przesuwanego **(5)**, w przypadku najbardziej znaczącego bitu MSB rejestru wyjściowego **(6)** nie są połączone ze sobą, natomiast w pozostałych bitach rejestru wyjściowego **(6)** wejścia te są zwarte.

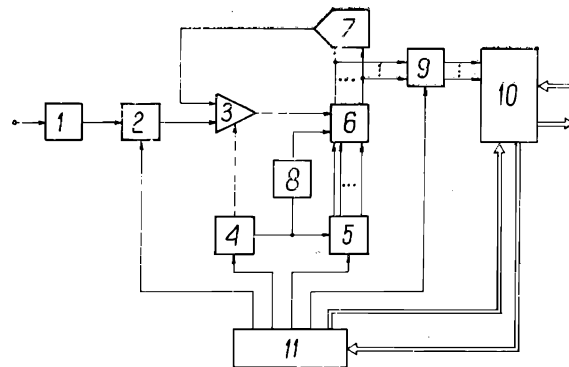


Fig. 1

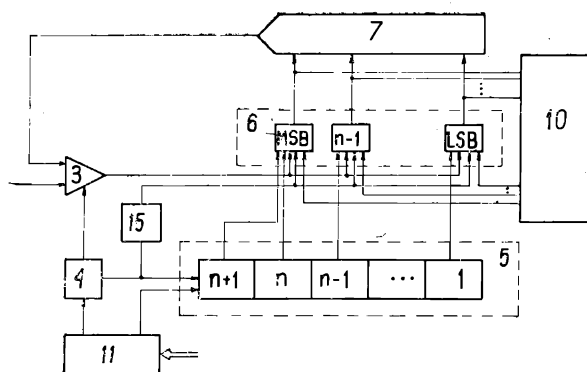


Fig. 2

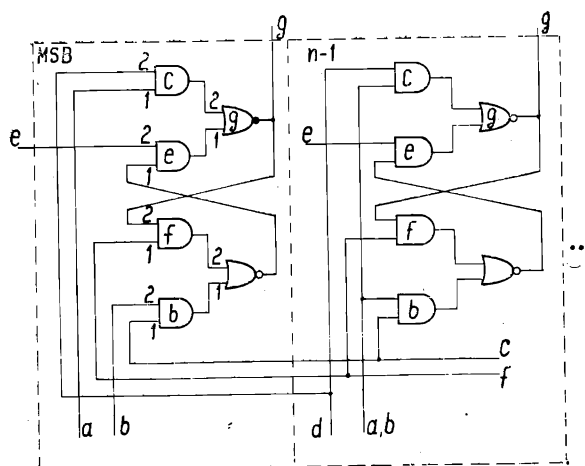


Fig. 3