

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-48403
(P2013-48403A)

(43) 公開日 平成25年3月7日(2013.3.7)

(51) Int.Cl.
H03M 1/82 (2006.01)

F I
H03M 1/82

テーマコード (参考)
5J022

審査請求 未請求 請求項の数 3 O L 外国語出願 (全 29 頁)

(21) 出願番号 特願2012-153911 (P2012-153911)
(22) 出願日 平成24年7月9日(2012.7.9)
(31) 優先権主張番号 13/179, 320
(32) 優先日 平成23年7月8日(2011.7.8)
(33) 優先権主張国 米国 (US)

(71) 出願人 391002340
テクトロニクス・インコーポレイテッド
TEKTRONIX, INC.
アメリカ合衆国 オレゴン州 97077
-0001 ビーバートン サウスウエ
スト カール・ブラウン・ドライブ 141
50
(74) 代理人 110001209
特許業務法人山口国際特許事務所
(72) 発明者 デイビッド・エル・ヒルトナー
アメリカ合衆国 オレゴン州 97006
ビーバートン サウスウエスト ヘイブ
ンクレスト・ストリート 13295
Fターム(参考) 5J022 AB08 CA07 CF07

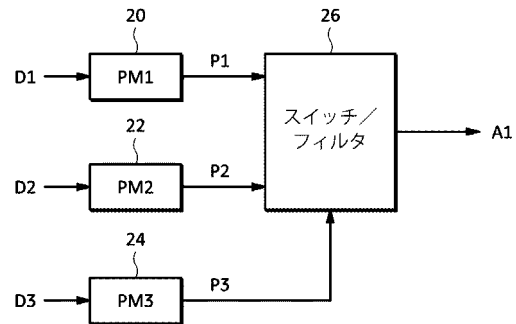
(54) 【発明の名称】 デジタル・アナログ・コンバータ及びデジタル・アナログ変換方法

(57) 【要約】 (修正有)

【課題】パルス変調を用いてデジタル値をアナログ信号に変換する。

【解決手段】デジタル・アナログ・コンバータは、第1及び第2 デジタル値D1, D2に応じて第1及び第2パルス変調信号P1, P2を生成する第1及び第2パルス・モジュレータ20, 22と、第3デジタル値D3に応じて第3パルス変調信号P3を生成する第3パルス・モジュレータ24と、第3パルス変調信号に応じて第1及び第2パルス変調信号を組み合わせることによってアナログ信号A1を生成するスイッチ/フィルタ回路26を含む。第1及び第2パルス変調信号は、組み合わせる前にローパス・フィルタ処理しても良い。第3デジタル値は、第1及び第2デジタル値の遷移の間、一方向に増加するとしても良く、第3デジタル値は、第1及び第2デジタル値の交互の遷移の間で、夫々反対方向に増加するとしても良い。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 デジタル値に応じて第 1 パルス変調信号を生成する第 1 パルス・モジュレータと、
 第 2 デジタル値に応じて第 2 パルス変調信号を生成する第 2 パルス・モジュレータと、
 第 3 デジタル値に応じて第 3 パルス変調信号を生成する第 3 パルス・モジュレータと、
 上記第 3 パルス変調信号に応じて上記第 1 及び第 2 パルス変調信号を組み合わせること
 によってアナログ信号を生成するスイッチ／フィルタ回路と
 を具えるデジタル・アナログ・コンバータ。

【請求項 2】

第 1 デジタル値に応じて第 1 パルス変調信号を生成することと、
 第 2 デジタル値に応じて第 2 パルス変調信号を生成することと、
 第 3 デジタル値に応じて第 3 パルス変調信号を生成することと、
 上記第 3 パルス変調信号に応じて上記第 1 及び第 2 パルス変調信号を組み合わせること
 によってアナログ信号を生成することと
 を具えるデジタル・アナログ変換方法。

【請求項 3】

第 1 パルス幅モジュレータと、
 上記第 1 パルス幅モジュレータの出力に結合された入力を有する第 1 フィルタと、
 第 2 パルス幅モジュレータと、
 上記第 2 パルス幅モジュレータの出力に結合された入力を有する第 2 フィルタと、
 第 3 パルス幅モジュレータと、
 上記第 1 フィルタの出力に結合された第 1 アナログ入力と、上記第 2 フィルタの出力に
 結合された第 2 アナログ入力と、上記第 3 パルス幅モジュレータの出力に結合された選択
 入力とを有するアナログ・スイッチと、
 上記アナログ・スイッチのアナログ出力に結合された入力と、アナログ出力信号を供給
 する出力を有する第 3 フィルタと
 を具えるデジタル・アナログ・コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス変調を用いたデジタル・アナログ変換に関する。

【背景技術】

【0002】

パルス幅変調 (PWM) 回路は、PWM 出力信号の高周波数成分を除去するような充分
 に低いコーナー周波数を有するローパス・フィルタに、PWM 出力信号を加えることによ
 って、デジタル・アナログ・コンバータ (DAC) として機能するように使うことができ
 る。PWM DAC 回路は、特に、マイクロ・コントローラを用いて、複数の電圧基準信
 号を生成するのに有用である。これは、PWM DAC 回路が、マイクロ・コントローラ
 で利用可能な PWM 出力信号に、適切なローパス・フィルタを適用することによって、極
 めて容易に線形なアナログ出力信号を生成できるからである。しかし、こうした極単純化
 した PWM DAC 回路は、不正確になる傾向があり、分解能と応答時間の間でやっかい
 なトレード・オフ (二律背反) が必要となる。分解能を高くすれば、それだけ長い PWM
 カウント回路 (chain) が必要となり、これは、基本周波数をより低いものにする。

【0003】

図 1 は、従来 of PWM DAC 回路を示し、2 つ別々の 8 ビット PWM 10 及び 12 か
 らの出力信号がアナログ合算／フィルタ回路 14 を通して合成されることで、より高い分
 解能の DAC として機能する。この形式の回路は、高い分解能を提供できるが、正確な出
 力信号を得るには、複数の高精度分圧抵抗器と、複雑な能動回路が必要となる。別の問題
 としては、PWM のリップルから DC 成分を抽出するには、強力なフィルタ処理が必要と
 なる点があり、これは動作速度を低下させる。また、能動アナログ回路内の抵抗成分を補

10

20

30

40

50

償する必要があるという問題もある。

【0004】

図2は、従来の別のPWM DAC回路を示し、これでは、8ビットDACを2つの隣り合う出力値の間で振るために、PWMクロック信号が使われる。DAC16は、クロック入力信号がロー（Low：低）のときNの値を出力し、クロック入力信号がハイ（High：高）のとき、N+1の値を出力する。このように、PWM信号をクロック入力信号として利用し、DAC出力信号をローパス・フィルタ18でフィルタ処理することによって、この回路は、DACの出力レベルの間で、複数別々のアナログ出力レベルを上乗せして供給する。

【先行技術文献】

10

【特許文献】

【0005】

【特許文献1】特開2000-509921号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、図2に示す技術では、PWM入力信号に応じてクロック入力信号が遷移するときに、N及びN+1の異なる値に繰り返し整定（settle）されなければならないので、実質的に動作速度が低下する。更には、図2の回路は、実現するのに、DAC中に複雑で専用のカスタム・デジタル回路を必要とする。

20

【課題を解決するための手段】

【0007】

本発明の概念1は、デジタル・アナログ・コンバータであって、第1デジタル値に応じて第1パルス変調信号を生成する第1パルス・モジュレータと、第2デジタル値に応じて第2パルス変調信号を生成する第2パルス・モジュレータと、第3デジタル値に応じて第3パルス変調信号を生成する第3パルス・モジュレータと、上記第3パルス変調信号に応じて上記第1及び第2パルス変調信号を組み合わせることによってアナログ信号を生成するスイッチ/フィルタ回路とを具備している。

【0008】

30

本発明の概念2は、概念1のデジタル・アナログ・コンバータであって、このとき、上記スイッチ/フィルタ回路が、フィルタと、

上記第3パルス変調信号に応じて、上記第1及び第2パルス変調信号を上記フィルタに選択的に供給するよう構成されたスイッチとを有している。

【0009】

本発明の概念3は、概念1のデジタル・アナログ・コンバータであって、このとき、上記スイッチ/フィルタ回路が、

上記第1パルス変調信号に応じて、第1フィルタ処理信号を供給する第1フィルタと、上記第2パルス変調信号に応じて、第2フィルタ処理信号を供給する第2フィルタと、上記第3パルス変調信号に応じて、上記第1及び第2フィルタ処理信号を選択することによって、多重化信号を供給するよう構成されたスイッチとを有している。

40

【0010】

本発明の概念4は、概念3のデジタル・アナログ・コンバータであって、このとき、上記スイッチ/フィルタ回路が、上記多重化信号をフィルタ処理する第3フィルタを更に有している。

【0011】

本発明の概念5は、概念3のデジタル・アナログ・コンバータであって、このとき、上記第1及び第2フィルタが、オフセットを上記第3パルス変調信号の最小位ビット以内に小さく削ることを特徴としている。

50

【0012】

本発明の概念6は、概念1のデジタル・アナログ・コンバータであって、このとき、上記第3パルス変調信号がパルス幅変調信号からなることを特徴としている。

【0013】

本発明の概念7は、概念6のデジタル・アナログ・コンバータであって、このとき、上記第1及び第2変調信号がパルス幅変調信号からなることを特徴としている。

【0014】

本発明の概念8は、概念1のデジタル・アナログ・コンバータであって、このとき、上記第3パルス変調信号が、上記第3デジタル値に対して1つの傾斜方向を有することを特徴としている。

10

【0015】

本発明の概念9は、概念8のデジタル・アナログ・コンバータであって、このとき、上記第1及び第2パルス変調信号が、上記第3パルス変調信号がリセットされたときに両方とも増加することを特徴としている。

【0016】

本発明の概念10は、概念1のデジタル・アナログ・コンバータであって、このとき、上記第3パルス変調信号が、上記第3デジタル値に対して2つの傾斜方向を有することを特徴としている。

【0017】

本発明の概念11は、概念10のデジタル・アナログ・コンバータであって、このとき、上記第3パルス変調信号の上記傾斜が方向を変えたとき、上記第1及び第2変調信号の一方が一定に維持されることを特徴としている。

20

【0018】

本発明の概念12は、概念11のデジタル・アナログ・コンバータであって、このとき、上記第3パルス変調信号の上記傾斜が方向を変える夫々の段階の1つ以上で、上記第1及び第2変調信号が交互に増加することを特徴としている。

【0019】

本発明の概念13は、デジタル・アナログ変換方法であって、
第1デジタル値に応じて第1パルス変調信号を生成することと、
第2デジタル値に応じて第2パルス変調信号を生成することと、
第3デジタル値に応じて第3パルス変調信号を生成することと、
上記第3パルス変調信号に応じて上記第1及び第2パルス変調信号を組み合わせることによってアナログ信号を生成することと
を具えている。

30

【0020】

本発明の概念14は、概念13の方法であって、このとき、上記第1及び第2パルス変調信号を組み合わせることが、上記第1及び第2パルス変調信号の間でスイッチングすることからなることを特徴としている。

【0021】

本発明の概念15は、概念13の方法であって、上記第1及び第2パルス変調信号を組み合わせることの前に、上記第1及び第2パルス変調信号をフィルタ処理することが更に含まれている。

40

【0022】

本発明の概念16は、概念13の方法であって、このとき、上記第2デジタル値が、上記第1デジタル値に1増加分を加えたものに等しいことを特徴としている。

【0023】

本発明の概念17は、概念16の方法であって、このとき、上記第3デジタル値が、上記第1及び第2デジタル値の遷移の間に1方向に増加することを特徴としている。

【0024】

本発明の概念18は、概念13の方法であって、このとき、上記第1及び第2デジタル

50

値の遷移が交互であることを特徴としている。

【0025】

本発明の概念19は、概念18の方法であって、このとき、上記第3デジタル値が、上記第1及び第2デジタル値の交互の遷移の間において夫々反対方向に増加することを特徴としている。

【0026】

本発明の概念20は、デジタル・アナログ・コンバータであって、
 第1パルス幅モジュレータと、
 上記第1パルス幅モジュレータの出力に結合された入力を有する第1フィルタと、
 第2パルス幅モジュレータと、
 上記第2パルス幅モジュレータの出力に結合された入力を有する第2フィルタと、
 第3パルス幅モジュレータと、
 上記第1フィルタの出力に結合された第1アナログ入力と、上記第2フィルタの出力に結合された第2アナログ入力と、上記第3パルス幅モジュレータの出力に結合された選択入力とを有するアナログ・スイッチと、
 上記アナログ・スイッチのアナログ出力に結合された入力と、アナログ出力信号を供給する出力を有する第3フィルタと
 を具備している。

10

【0027】

本発明の概念21は、概念20のデジタル・アナログ・コンバータであって、上記第1、第2及び第3パルス幅モジュレータの夫々のために第1、第2及び第3デジタル入力値を生成するシーケンス処理ロジックを更に具備することを特徴とする。

20

【0028】

本発明の概念22は、概念21のデジタル・アナログ・コンバータであって、このとき、上記シーケンス処理ロジックが、Nの上記第1デジタル値を生成し、N+1の上記第2デジタル値を生成し、そして、上記デジタル・アナログ・コンバータのフル・スケール範囲の第1部分において、上記アナログ出力信号が増加する値を生成するように、上記第3デジタル値を第1方向に変化させるよう構成されていることを特徴としている。

【0029】

本発明の概念23は、概念22のデジタル・アナログ・コンバータであって、このとき、上記シーケンス処理ロジックが、N+2の上記第1デジタル値を生成し、N+1の上記第2デジタル値を生成し、そして、上記デジタル・アナログ・コンバータのフル・スケール範囲の第2部分において、上記アナログ出力信号が増加する値を生成するように、上記第3デジタル値を第2方向に変化させるよう構成されていることを特徴としている。

30

【図面の簡単な説明】

【0030】

【図1】図1は、2つ別々のPWMからの出力信号を合成する従来のPWM DAC回路を示す。

【図2】図2は、PWMクロック信号を用いてDACを2つの隣り合う出力値間で振る別の従来のPWM DAC回路を示す。

40

【図3】図3は、本発明によるデジタル・アナログ・コンバータの実施形態を示す。

【図4】図4は、本発明によるデジタル・アナログ・コンバータの別の代表的な実施形態のブロック図である。

【図5】図5は、本発明によるデジタル・アナログ・コンバータの更に別の実施形態のブロック図である。

【図6】図6は、第1動作モードにおける図5の実施形態の動作を示す。

【図7】図7は、第2動作モードにおける図5の実施形態の動作を示す。

【図8】図8は、第1及び第2動作モードにおける図5の実施形態の動作を別のやり方で示す。

【図9】図9は、第1及び第2動作モードにおける図5の実施形態の動作を示すのに、別

50

の手法で示したものである。

【図 1 0】図 1 0 は、第 1 及び第 2 動作モードにおける図 5 の実施形態の動作を示すのに、別の手法で示したものである。

【図 1 1】図 1 1 は、第 1 及び第 2 動作モードにおける図 5 の実施形態の動作を更に別のやり方で示す。

【図 1 2】図 1 2 は、図 5 の実施形態の第 2 動作モードに関する別の実施形態を示す。

【図 1 3】図 1 3 は、図 5 の実施形態の第 2 動作モードに関する別の実施形態を示す。

【発明を実施するための形態】

【0031】

図 3 は、本特許開示の発明原理によるデジタル・アナログ・コンバータの実施形態を示す。図 3 の実施形態には、第 1 デジタル値 D_1 に応じて第 1 パルス変調信号 P_1 を生成する第 1 パルス・モジュレータ 2 0 と、第 2 デジタル値 D_2 に応じて第 2 パルス変調信号 P_2 を生成する第 2 パルス・モジュレータ 2 2 と、第 3 デジタル値 D_3 に応じて第 3 パルス変調信号 P_3 を生成する第 3 パルス・モジュレータ 2 4 とが含まれる。スイッチ/フィルタ回路 2 6 は、詳細は後述するように、第 3 パルス変調信号 P_3 に応じて第 1 及び第 2 パルス変調信号 P_1 及び P_2 を組み合わせることによって、アナログ出力信号 A_1 を生成する。

【0032】

パルス・モジュレータ 2 0、2 2 及び 2 4 は、パルス幅変調 (PWM)、パルス周波数変調 (PFM) 等や技術の任意の組合せのような任意の適切な変調技術を、8 ビット、10 ビットなど任意の望ましい解像度で実現しても良い。スイッチ/フィルタ回路 2 6 は、アナログ又はデジタル・スイッチ、マルチプレクサ、能動又は受動フィルタ等の任意の適切な組合せを含んでいても良い。

【0033】

図 4 は、本特許開示の発明原理に従って、あり得る詳細な実施形態を描いたデジタル・アナログ・コンバータの代表的な第 1 実施形態のブロック図である。図 4 の実施形態では、パルス・モジュレータが、パルス幅モジュレータ (PWM) 2 8、3 0 及び 3 2 (PWM 1、PWM 2、PWM 3) として実現され、これらは、デジタル値 D_1 、 D_2 及び D_3 に応じて、パルス幅変調信号 PW_1 、 PW_2 及び PW_3 を夫々生成する。スイッチ/フィルタ回路は、アナログ又はデジタル・スイッチ 3 4 を用いて実現され、これは、第 3 パルス幅変調信号 PW_3 に応じて、時分割のやり方で、第 1 及び第 2 パルス変調信号 PW_1 及び PW_2 を選択的にローパス・フィルタ 3 6 に供給する。

【0034】

シーケンス処理ロジック 3 8 は、デジタル値 D_1 、 D_2 及び D_3 を適切なシーケンス (順序) で生成することによって、望ましいアナログ出力波形を生成するように、コンバータの全体的な動作を制御する。例えば、 D_1 及び D_2 の値は、夫々 N 及び $N+1$ として選択しても良く、これによって、望ましい出力信号が N と $N+1$ の間に限定される。そして、 D_3 の値は、デューティ・ファクタ DF をゼロと 1 の間で、フィルタ処理アナログ出力信号を $N+DF$ の値とするように設定しても良い。

【0035】

このように、図 4 の実施形態は、 N と $N+1$ の間の範囲の値を生成することによって、PWM 2 8 及び 3 0 の個々から得られるものよりも、高い解像度を提供できる。 N と $N+1$ の間を刻むステップの数は、PWM 3 の分解能によって定まる。例えば、もし PWM 3 が 8 ビット分解能で実現されれば、 N と $N+1$ の間は 256 ステップとなるであろう。そして、もし 3 つ全ての PWM が 8 ビット分解能で実現されれば、得られるシステムの等価な分解能は、ローパス・フィルタ 3 6 のオフセット電圧、アナログ・スイッチ 3 4 等のような実施形態の詳細な仕様によっては、16 ビットと同じ高さともなり得る。

【0036】

更には、図 4 の実施形態は、等価な分解能を有する単一の PWM DAC よりも高速な動作を提供し得る。なぜなら、アナログ・スイッチ 3 4 及びローパス・フィルタ 3 6 を介

10

20

30

40

50

した遅延と合わせた P W M 1 及び P W M 2 のセトリング (settling : 整定) 時間の合計は、単一の P W M D A C 中のカウンタ回路 (count chain) の遅延時間よりも実質的に小さいからである。

【 0 0 3 7 】

本発明の原理は、図 4 に関して描かれた詳細なものに限定されない。例えば、望ましい全体の分解能によって、P W M 1、P W M 2 及び P W M 3 夫々の分解能を異なる値に設定しても良く、P W M 1 及び P W M 2 間のカウンタ数は、ゼロ以外の任意の数としても良い。ローパス・フィルタは、適切な任意数の極 (pole) を有する能動又は受動回路で実現されても良い。同様に、シーケンス処理ロジックは、アナログ又はデジタルのハードウェア、ソフトウェア、ファームウェア等や、これらの適切な任意の組合せで実現されても良い。

10

【 0 0 3 8 】

図 4 の実施形態では、複数の P W M の一部又は全部を複数のクロック・ソースで実現することも有益かもしれない。これら複数のクロック・ソースは、これら複数クロック・ソース間の相関によって、複数の P W M 夫々の寄与をキャンセルしないように、非同期にされる。なお、このキャンセルは、これら P W M 信号が同期し、同じカウンタ長を有する場合に生じることがある。これは、例えば、P W M 係数が 3 つ全部同一という状況で、P W M 3 が P W M 1 及び P W M 2 からのパルスを通させることができないという状態を防止できる。

【 0 0 3 9 】

図 5 は、本特許開示の発明原理に従って、あり得る詳細な実施形態を描いたデジタル・アナログ・コンバータの代表的な第 2 実施形態のブロック図である。図 5 の実施形態においても、パルス・モジュレータは、パルス幅モジュレータ (P W M) 2 8、3 0 及び 3 2 (P W M 1、P W M 2、P W M 3) として実現され、これらは、デジタル値 D 1、D 2 及び D 3 に応じて、パルス幅変調信号 P W 1、P W 2 及び P W 3 を夫々生成する。しかし、P W M 1 及び P W M 2 の出力信号は、スイッチングされる前にフィルタ処理される。第 1 ローパス・フィルタ 4 2 は、第 1 パルス幅変調信号 P W 1 に応じて第 1 フィルタ処理信号 F 1 を供給する一方、第 2 ローパス・フィルタ 4 4 は、第 2 パルス幅変調信号 P W 2 に応じて第 2 フィルタ処理信号 F 2 を供給する。アナログ・スイッチ 4 6 は、第 3 パルス幅変調信号 P W 3 に応じて第 1 及び第 2 フィルタ処理信号を選択することによって、多重化アナログ信号 A 2 を供給するように構成される。第 3 ローパス・フィルタ 4 8 は、変調リップルを除去し、最終的なアナログ出力信号 A 3 を供給する。シーケンス処理ロジック 4 0 は、デジタル値 D 1、D 2 及び D 3 を適切なシーケンス (順序) で生成することによって、望ましいアナログ出力波形を生成するように、コンバータの全体的な動作を制御する。

20

30

【 0 0 4 0 】

図 5 の実施形態に沿って、以下にいくつか追加的な詳細な実施形態を説明するが、本発明の原理は、これら詳細なものに限定されない。更に、図 5 の実施形態は、シーケンス処理ロジック 4 0 で異なるアルゴリズムを実施することで、異なるモードで動作させても良い。

【 0 0 4 1 】

説明の都合上、第 1 動作モードでは、P W 1、P W 2 及び P W 3 は、夫々 8 ビットの分解能を持つものとする。シーケンス処理ロジック 4 0 は、P W M 1 及び P W M 2 を独立して用いることで、N 及び N + 1 の値を夫々持つ 2 つのフィルタ処理アナログ信号 F 1 及び F 2 を生成するように、D 1 及び D 2 のデジタル値を設定する。フィルタ 4 2 及び 4 4 は、誘導リップルをほぼ全て除去するように、例えば、2 極能動フィルタで実現しても良い。続いて、2 つのフィルタ処理アナログ信号 F 1 及び F 2 は、N + D F の値を有する最終的なアナログ出力信号を生成するために、アナログ・スイッチ 4 6 で変調され、そして、フィルタ処理される。ここで D F は、第 3 パルス幅変調信号 P W 3 のデューティ・ファクタである。第 3 フィルタ 4 8 は、N 及び N + 1 の値が比較的近いので、もっとなだらかなロールオフ特性を有していても良い。

40

50

【 0 0 4 2 】

任意の 16 ビット出力電圧 V を得るため、シーケンス処理ロジック 40 は、フィルタ処理アナログ信号 $F1 = V / 256$ を与える値 $D1$ を $PWM1$ にロードし、また、フィルタ処理アナログ信号 $F2 = 1 + V / 256$ を与える値 $D2$ を $PWM2$ にロードするとしても良い。そして、 $PWM3$ には、256 を除数 (modulo : 法) とする V に対応する値 $D3$ がロードされる。

【 0 0 4 3 】

図 6 は、第 1 動作モードにおける図 5 の実施形態の動作を示す。左から右に進むにつれて、アナログ出力電圧 V が増加することが示されている。フル・スケール範囲の 1 つの部分は、図 6 の左側から始まっており、このとき、 $PWM1 = N$ 、 $PWM2 = N + 1$ 及び $PWM3 = 0$ である。右に動くと、 $PWM3$ の値 (16 進数の値で示す) が最大値 FFh に向かって増加するにつれて、最終アナログ出力信号のフィルタ処理値も増加する。簡単のため、いくつかの中間値、 $40h$ 、 $80h$ 、 $C0h$ 及び $E0h$ のみを示している。

10

【 0 0 4 4 】

続いて、 $PWM3$ が FFh から $00h$ へと戻る遷移をしてリセットされ、 $PWM1$ が $N + 1$ に増加し、 $PWM2$ が $N + 2$ に増加したときに、システムは、フル・スケール範囲の第 2 部分に入る。そして、 $PWM3$ の値は、最終アナログ出力信号 V が増加し続けるにつれて、再度、最大値 FFh に向かって増加する。

【 0 0 4 5 】

図 7 は、第 2 動作モードにおける図 5 の実施形態の動作を示す。ここで、フル・スケール範囲の第 1 部分は、再度、図 6 の左側から始まっており、このとき、 $PWM1 = N$ 、 $PWM2 = N + 1$ 及び $PWM3 = 0$ である。右に動くと、 $PWM3$ の値 (16 進数の値で示す) が最大値 FFh に向かって増加するにつれて、最終アナログ出力信号のフィルタ処理値も増加する。

20

【 0 0 4 6 】

しかしながら、第 2 モードでは、 $PWM3$ の値は、最大値 FFh に達した後もリセットされない。その代わりに、フル・スケール範囲の第 2 部分では、元の最小値 $00h$ に向かって $PWM3$ が減少する (反対方向に増加する)。また、第 1 モードでのように $PWM1$ 及び $PWM2$ の両方が増加するのではなく、 $PWM2$ は $N + 1$ に留まり、 $PWM1$ は $N + 2$ へと 2 倍で増加する。アナログ出力電圧 V は増加し続けながら、 $PWM3$ の値は減少する。

30

【 0 0 4 7 】

$PWM3$ が $00h$ に達すると、システムは、フル・スケール範囲の第 3 部分 (図示せず) に達する。この遷移時点では、 $PWM1$ は $N + 2$ に留まり、 $PWM2$ は $N + 3$ へと 2 倍で増加する。そして、 $PWM3$ の値が最大値 FFh に向かって再度増加するにつれて、最終アナログ出力信号のフィルタ処理値も増加し続ける。

【 0 0 4 8 】

このように、第 2 動作モードでは、 $PWM1$ 及び $PWM2$ の値が交互に増加する一方、 $PWM3$ の値は、 $PWM1$ 及び $PWM2$ の交互の変化間で、夫々反対方向に増加する。

【 0 0 4 9 】

第 2 動作モードの潜在的な利点は、第 1 及び第 2 フィルタのオフセットが 8 ビットの 1 LSB 程度の緩い許容誤差で制御されている場合であっても、単調な動作を提供できることである。これは、単調な動作を提供するには、オフセットに 16 ビットの 1 LSB 程度の厳しさが必要となる第 1 動作モードとは対照的である。第 2 モードでは、オフセットがフル・スケールの振幅の $1 / 256$ 内だけで維持されている最悪の場合でさえ、上記範囲の 1 つの部分を通しての 256 ステップのシーケンスでは、シンプルに振幅に変化が見られず、非単調に変わったり、非単調になることがない。

40

【 0 0 5 0 】

図 8 及び 9 は、図 5 の実施形態の第 1 及び第 2 動作モード夫々での動作を示すのに、別の手法で示したものである。

50

【 0 0 5 1 】

図 8 を参照すると、第 1 動作モードにおいて、 $V = 0$ では、PWM 1 は 0 に設定され、PWM 2 は 1 に設定される。PWM 3 は、ゼロで始まり、続いて、右に向かってアナログ出力電圧 V が増加し続けるのにつれて、FFh に向けて増加する。FFh に達した後、PWM 3 は 00h にリセットされ、その遷移時点で PWM 1 及び PWM 2 は夫々 1 及び 2 へ増加する。PWM 3 は、次の遷移まで FFh へ向けて再度増加し、この次の遷移では、PWM 1 及び PWM 2 は再度増加し、PWM 3 はリセットされる。このように、PWM 3 は、それを駆動するデジタル値 D_3 に関して、1 傾斜方向（又は 1 極性）を持つとして描くことができる。

【 0 0 5 2 】

図 9 を参照すると、第 2 モードにおける動作は、フル・スケール範囲の第 1 部分の間は、第 1 モードと同じである。しかし、PWM 3 が FFh に達する第 1 遷移時点では、PWM 1 は 2 倍で増加し、PWM 2 は変化しないままで、そして、PWM 3 はリセットされずに、むしろ 00h に向かって減少を始める。このように、図 9 から、PWM 3 は、それを駆動するデジタル値 D_3 に関して、2 傾斜方向（又は複数極性）を持つとして描くことができ、そして、PWM 1 及び PWM 2 の夫々は、PWM 3 の傾斜が方向を変化させたときに、交互に一定値が維持されるか又は 2 倍で増加される。

【 0 0 5 3 】

図 10 及び 11 は、第 1 及び第 2 動作モードにおける図 5 の実施形態の動作を示すのに、更に別の手法で示したものである。図 10 及び 11 の実施形態では、説明を簡単にするため、第 3 PWM が 2 ビット PWM として実施される。PWM 1、PWM 2 及び PWM 3 の値は、表の下へ行くにつれて、アナログ出力電圧 V の値を増加させるものが示されている。

【 0 0 5 4 】

図 10 の表を参照すると、これは第 1 モードを示し、 V は表の一番上においてゼロで始まり、このとき、 $PWM 1 = 1$ 、 $PWM 2 = 1$ 及び $PWM 3 = 0$ である。続いて、PWM 3 は、1、2 及び 3 と増加する一方、PWM 1 及び PWM 2 は一定のままである。PWM 3 が 0 にリセットされると、PWM 1 及び PWM 2 は、1 及び 2 に夫々増加する。続いて、PWM 3 は、1、2 及び 3 と再度増加する一方、PWM 1 及び PWM 2 は一定のままである。このパターンが、フル・スケール範囲のリセットまで続き、第 1 動作モードでは、PWM 3 が 0 にリセットされる度に、PWM 1 及び PWM 2 が同時に増加する。

【 0 0 5 5 】

図 11 の表を参照すると、これは第 2 モードを示し、 V は表の一番上においてゼロで始まり、このとき、 $PWM 1 = 1$ 、 $PWM 2 = 1$ 及び $PWM 3 = 0$ である。続いて、PWM 3 は、1、2 及び 3 と増加する一方、PWM 1 及び PWM 2 は一定のままである。次のステップでは、PWM 1 は 2 倍で増加して 2 となり、PWM 2 は 1 で一定のままで、そして、PWM 3 は 3 で一定のままである。続いて、PWM 3 は、下向きの傾斜で 2、1 及び 0 と減少する一方、PWM 1 及び PWM 2 は一定のままである。このパターンが、フル・スケール範囲のリセットまで続き、PWM 3 がプラスからマイナスの傾斜に遷移する度に、PWM 1 及び PWM 2 は交互に 2 倍で増加する。

【 0 0 5 6 】

図 12 は、第 2 モードの実施形態の別の実施形態を示し、再度、PWM 3 は 2 ビット PWM として実施され、これにおいては、もし PWM 3 が 2 つのステップの期間で 3 のままだと、アナログ出力電圧が変化しないことがあり得るという状況を防止するため、下向き傾斜位置の夫々において、複数のステップから 1 つのステップが省かれる。

【 0 0 5 7 】

図 13 は、第 2 モードの実施形態の別の実施形態を示し、再度、PWM 3 は 2 ビット PWM として実施され、これにおいては、もし PWM 3 が 2 つのステップの期間で 0 又は 3 のままだと、アナログ出力電圧が変化しないことがあり得るという状況を防止するため、下向き傾斜位置及び上向き傾斜位置の夫々において、複数のステップから 1 つのステップ

10

20

30

40

50

が省かれる。

【 0 0 5 8 】

図 1 0、1 1、1 2 及び 1 3 の種々の実施形態が、例えば、P W M 3 の最小値又は最大値の一方又は両方が、1 クロック期間の長さの一定出力又は細いスパイクのどちらかを供給するという形で複数の P W M を収容するのも有益であろう。

【 0 0 5 9 】

図 5 の実施形態の潜在的な利点は、動作モードに関係なく、その種々の複数の P W M についての複数クロックの同期に影響を受けないであろうということである。

【 0 0 6 0 】

上述したどのロジックも、アナログ又はデジタルのハードウェア、ソフトウェア、ファームウェア等や、これらの任意の適切な組合せで実施しても良い。

10

【 0 0 6 1 】

上述したどの実施形態においても、シーケンス処理ロジックは、マイクロ・コントローラ内のプロセッシング・コア上で実行されるプログラム・コードで実施されても良く、このとき、P W M 1、P W M 2 及び P W M 3 は、マイクロ・コントローラ上にある。これは、8 ビット P W M 出力の 6 チャンネルを持つことができる現在利用可能なマイクロ・コントローラで、1 6 ビット P W M D A C の完全な 2 チャンネルを提供できる点で、特に有益であろう。

【 0 0 6 2 】

本願で説明した本発明の原理の潜在的な利点には、アナログ回路をあまり必要とせずに、既存の低コストで、マイクロ・コントローラで広く利用可能なデバッグされた回路を用いて、より高い解像度の D A C を実現できる点が含まれる。

20

【 0 0 6 3 】

本願で用いたように、増加という用語は、値をプラス方向に増加させるか又はマイナス方向に増加させる（減少させる）ことを指している。

【 0 0 6 4 】

本特許開示の発明原理をいくつかの具体的な実施形態例を参照して説明してきたが、これら実施形態は、本発明のコンセプトから離れることなく、構成及び詳細部分を変形できる。例えば、図 3 の実施形態は、更に複数の P W M を含むように変形しても良く、スイッチ/フィルタ回路でこれら P W M 間をスイッチするようにしても良い。こうした変更及び部分変更は、添付の特許請求の範囲内に入るものと考えられる。

30

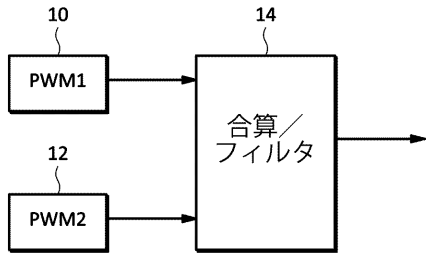
【符号の説明】

【 0 0 6 5 】

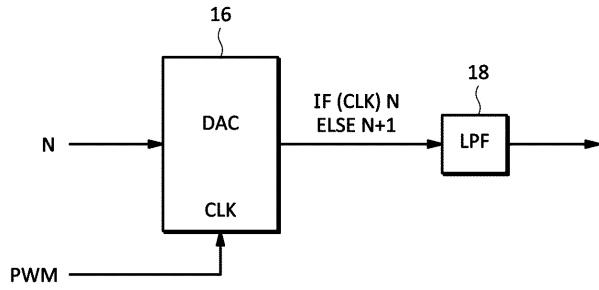
- 2 0 第 1 パルス・モジュレータ
- 2 2 第 2 パルス・モジュレータ
- 2 4 第 3 パルス・モジュレータ
- 2 6 スイッチ/フィルタ回路
- 2 8 第 1 パルス幅モジュレータ
- 3 0 第 2 パルス幅モジュレータ
- 3 2 第 3 パルス幅モジュレータ
- 3 4 アナログ・スイッチ
- 3 6 ローパス・フィルタ
- 3 8 シーケンス処理ロジック
- 4 0 シーケンス処理ロジック
- 4 2 ローパス・フィルタ
- 4 4 ローパス・フィルタ
- 4 6 アナログ・スイッチ
- 4 8 ローパス・フィルタ

40

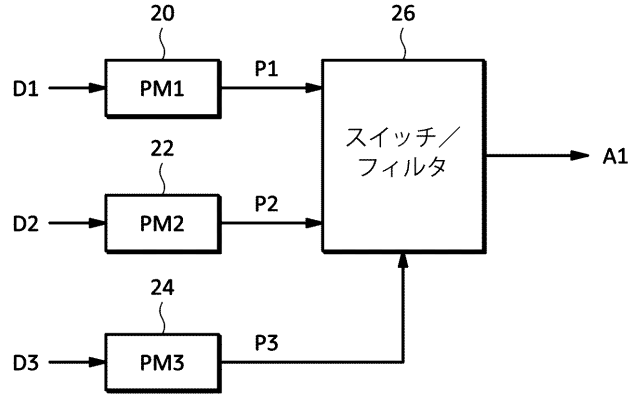
【 図 1 】



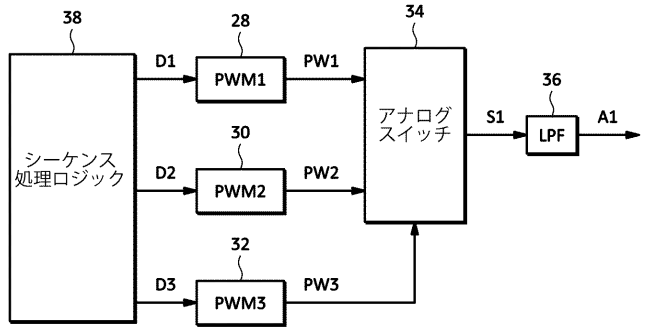
【 図 2 】



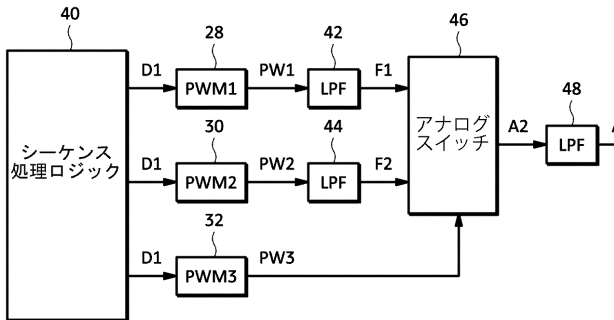
【 図 3 】



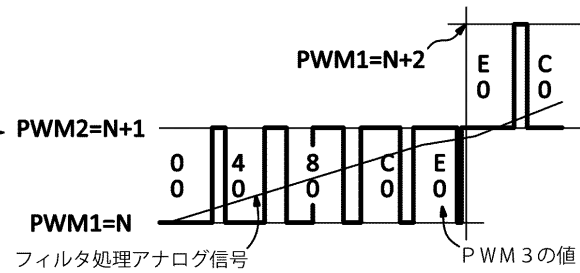
【 図 4 】



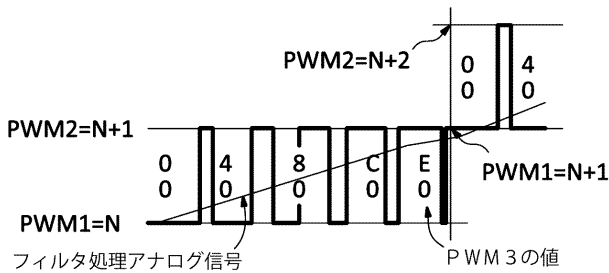
【 図 5 】



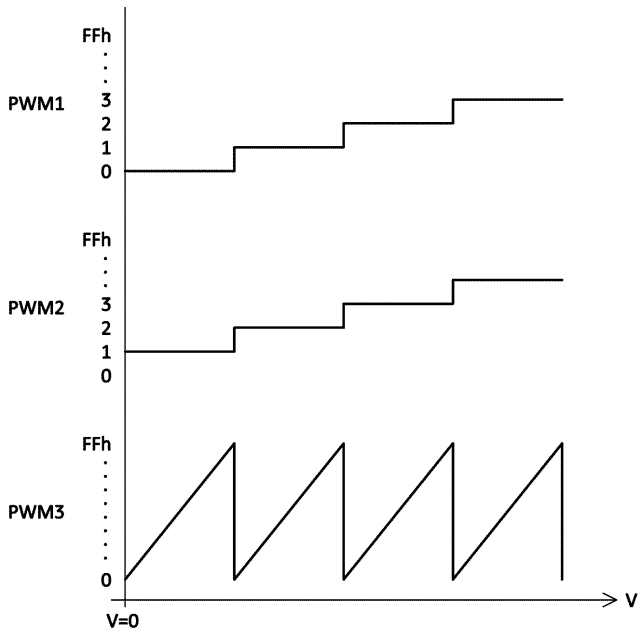
【 図 7 】



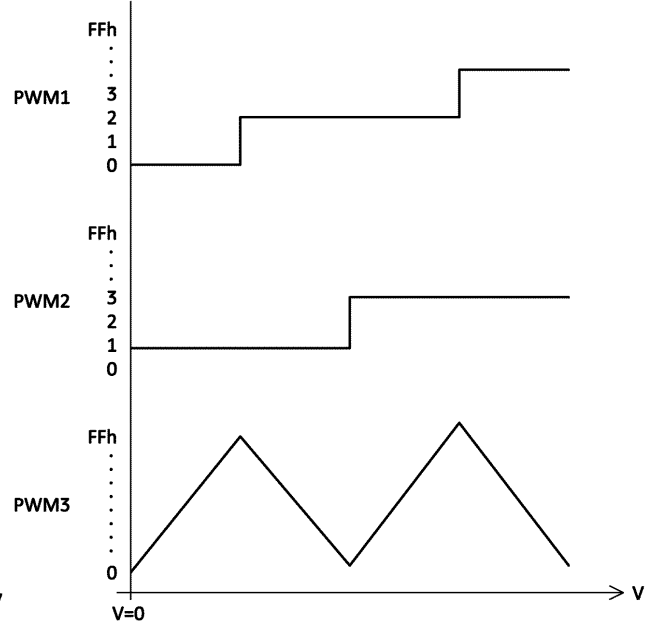
【 図 6 】



【 図 8 】



【 図 9 】



【 図 1 0 】

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
1	2	0
1	2	1
1	2	2
1	2	3
2	3	0
2	3	1
2	3	2
2	3	3
3	4	0
3	4	1
3	4	2
3	4	3
4	5	0
4	5	1
4	5	2
4	5	3

【 図 1 1 】

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
2	1	3
2	1	2
2	1	1
2	1	0
2	3	0
2	3	1
2	3	2
2	3	3
4	3	3
4	3	2
4	3	1
4	3	0
4	5	0
4	5	1
4	5	2
4	5	3

【 図 1 2 】

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
<hr/>		
2	1	2
2	1	1
2	1	0
<hr/>		
2	3	0
2	3	1
2	3	2
2	3	3
<hr/>		
4	3	2
4	3	1
4	3	0
<hr/>		
4	5	0
4	5	1
4	5	2
4	5	3
<hr/>		

【 図 1 3 】

PWM1	PWM2	PWM3
0	1	1
0	1	2
0	1	3
<hr/>		
2	1	2
2	1	1
2	1	0
<hr/>		
2	3	1
2	3	2
2	3	3
<hr/>		
4	3	2
4	3	1
4	3	0
<hr/>		
4	5	1
4	5	2
4	5	3
<hr/>		

【外国語明細書】

【Title of the Invention】 Digital-to-analog converter and digital-to-analog conversion method

【Technical Field】

【0001】

The present invention relates to digital-to-analog conversion using pulse modulation.

【Background Art】

【0002】

A pulse width modulation (PWM) circuit can be used to perform as a digital-to-analog converter (DAC) by applying the PWM output signal to a low-pass filter having a corner frequency that is low enough to eliminate the high-frequency components of the PWM signal. PWM DAC circuits are especially useful for generating voltage references with microcontrollers because they can fairly easily generate linear analog outputs by applying appropriate low-pass filters to the PWM outputs that are available on many microcontrollers. These simplistic PWM DAC circuits, however, tend to be inaccurate and require difficult trade offs between resolution and response time. Obtaining higher resolution requires a longer PWM count chain which produces a lower fundamental frequency.

【0003】

FIGURE 1 illustrates a prior art PWM DAC circuit in which the outputs from two separate 8-bit PWMs 10 and 12 are combined through an analog summing/filter circuit 14 to provide a higher resolution DAC. Although this type of circuit may provide higher resolution, it may require highly accurate divider resistors and complex active circuitry to provide an accurate output. Additional problems may include the need to provide heavy filtering to extract the DC component from the PWM ripple which reduces the operating speed, and the need to compensate for internal component resistances in the active analog circuitry.

【0004】

FIGURE 2 illustrates another prior art PWM DAC circuit in which a PWM clock signal is used to dither between two adjacent output values of an 8-bit DAC. The DAC 16 outputs a value of N when the clock input is low and a value of N+1 when the clock input is high. Thus, by using a PWM signal as the clock input and filtering the DAC output with a low-pass filter 18, the circuit provides additional discrete analog output levels between the DAC output levels.

【Prior Art Documents】

【Patent Documents】

【0005】

【Patent Document 1】 Japanese patent publication No. 2000-509921

【Summary of the Invention】

【Problem to be Solved by the Invention】

【0006】

The technique illustrated in FIGURE 2, however, reduces the operating speed substantially because the DAC output must be allowed to settle repeatedly at the different values of N and N+1 as the clock input transitions in response to the PWM input. Moreover, the circuit of FIGURE 2 requires complex, dedicated and custom digital circuitry in the DAC to implement.

【Means for Solving the Problem】

【 0 0 0 7 】

The concept 1 of the present invention is a digital-to-analog converter comprising:
a first pulse modulator to generate a first pulse modulated signal in response to a first digital value;
a second pulse modulator to generate a second pulse modulated signal in response to a second digital value;
a third pulse modulator to generate a third pulse modulated signal in response to a third digital value; and
a switch/filter circuit to generate an analog signal by combining the first and second pulse modulated signals in response to the third pulse modulated signal.

【 0 0 0 8 】

The concept 2 of the present invention is the digital-to-analog converter of the concept 1 where the switch/filter circuit comprises:
a filter; and
a switch arranged to selectively couple the first and second pulse modulated signals to the filter in response to the third pulse modulated signal.

【 0 0 0 9 】

The concept 3 of the present invention is the digital-to-analog converter of the concept 1 where the switch/filter circuit comprises:
a first filter to provide a first filtered signal in response to the first pulse modulated signal;
a second filter to provide a second filtered signal in response to the second pulse modulated signal; and
a switch arranged to provide a multiplexed signal by selecting the first and second filtered signals in response to the third pulse modulated signal.

【 0 0 1 0 】

The concept 4 of the present invention is the digital-to-analog converter of the concept 3 where the switch/filter circuit further comprises a third filter to filter the multiplexed signal.

【 0 0 1 1 】

The concept 5 of the present invention is the digital-to-analog converter of the concept 3 where the first and second filters have offsets that are within a least significant bit of the third pulse modulated signal.

【 0 0 1 2 】

The concept 6 of the present invention is the digital-to-analog converter of the concept 1 where the third pulse modulated signal comprises a pulse width modulated signal.

【 0 0 1 3 】

The concept 7 of the present invention is the digital-to-analog converter of the concept 6 where the first and second modulated signals comprise pulse width modulated signals.

【 0 0 1 4 】

The concept 8 of the present invention is the digital-to-analog converter of the concept 1 where the third pulse modulated signal has a single slope direction with respect to the third digital value.

【 0 0 1 5 】

The concept 9 of the present invention is the digital-to-analog converter of the concept 8 where the first and second pulse modulated signals are both incremented when the third pulse modulated signal is reset.

【 0 0 1 6 】

The concept 10 of the present invention is the digital-to-analog converter of the concept 1 where the third pulse modulated signal has two slope directions with respect to the third digital value.

【 0 0 1 7 】

The concept 11 of the present invention is the digital-to-analog converter of the concept 10 where one of the first and second modulated signals is held constant when the slope of the third pulse modulated signal changes direction.

【 0 0 1 8 】

The concept 12 of the present invention is the digital-to-analog converter of the concept 11 where the first and second modulated signals are alternately incremented by more than one step each time the slope of the third pulse modulated signal changes direction.

【 0 0 1 9 】

The concept 13 of the present invention is a method of digital-to-analog conversion comprising:

generating a first pulse modulated signal in response to a first digital value;
generating a second pulse modulated signal in response to a second digital value;
generating a third pulse modulated signal in response to a third digital value;
generating an analog signal by combining the first and second pulse modulated signals in response to the third pulse modulated signal.

【 0 0 2 0 】

The concept 14 of the present invention is the method of the concept 13 where combining the first and second pulse modulated signals comprises switching between the first and second pulse modulated signals.

【 0 0 2 1 】

The concept 15 of the present invention is the method of the concept 13 further comprising filtering the first and second pulse modulated signals prior to combining the first and second pulse modulated signals.

【 0 0 2 2 】

The concept 16 of the present invention is the method of the concept 13 where the second digital value is equal to the first digital value plus an increment.

【 0 0 2 3 】

The concept 17 of the present invention is the method of the concept 16 where the third digital value is incremented in a single direction between transitions of the first and second digital values.

【 0 0 2 4 】

The concept 18 of the present invention is the method of the concept 13 where the first and second digital values transition in an alternating manner.

【 0 0 2 5 】

The concept 19 of the present invention is the method of the concept 18 where the third digital value is incremented in opposite directions between alternating transitions of the first and second digital values.

【 0 0 2 6 】

The concept 20 of the present invention is a digital-to-analog converter comprising:

a first pulse width modulator;

a first filter having an input coupled to an output of the first pulse width modulator;

a second pulse width modulator;

a second filter having an input coupled to an output of the second pulse width modulator;

a third pulse width modulator;

an analog switch having a first analog input coupled to an output of the first filter, a second analog input coupled to an output of the second filter, and a select input coupled to an output of the third pulse width modulator; and

a third filter having an input coupled to an analog output of the analog switch and an output to provide an analog output signal.

【 0 0 2 7 】

The concept 21 of the present invention is the digital-to-analog converter of the concept 20 further comprising sequencing logic to generate first, second and third digital input values for the first, second and third pulse width modulators, respectively.

【 0 0 2 8 】

The concept 22 of the present invention is the digital-to-analog converter of the concept 21 where the sequencing logic is adapted to generate the first digital value of N, generate the second digital value of N+1, and vary the third digital value in a first direction to generate

increasing values of the analog output signal in a first portion of the full scale range of the digital-to-analog converter.

【 0 0 2 9 】

The concept 23 of the present invention is the digital-to-analog converter of the concept 22 where the sequencing logic is adapted to generate the first digital value of N+2, generate the second digital value of N+1, and vary the third digital value in a second direction to generate increasing values of the analog output signal in a second portion of the full scale range of the digital-to-analog converter.

【Brief Description of the Drawings】

【 0 0 3 0 】

【Figure 1】 FIGURE 1 illustrates a prior art PWM DAC circuit that combines outputs from two separate PWMs.

【Figure 2】 FIGURE 2 illustrates another prior art PWM DAC circuit in which a PWM clock signal is used to dither between two adjacent output values of a DAC.

【Figure 3】 FIGURE 3 illustrates an embodiment of a digital-to-analog converter in accordance with the subject invention.

【Figure 4】 FIGURE 4 is a block diagram of another exemplary embodiment of a digital-to-analog converter in accordance with the subject invention.

【Figure 5】 FIGURE 5 is a block diagram of yet another embodiment of a digital-to-analog converter in accordance with the subject invention.

【Figure 6】 FIGURE 6 illustrates the operation of the embodiment of FIGURE 5 in the first mode of operation.

【Figure 7】 FIGURE 7 illustrates the operation of the embodiment of FIGURE 5 in a second mode of operation.

【Figure 8】 FIGURE 8 shows another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation.

【Figure 9】 FIGURE 9 shows another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation.

【Figure 10】 FIGURE 10 shows yet another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation.

【Figure 11】 FIGURE 11 shows yet another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation.

【Figure 12】 FIGURE 12 illustrates alternative embodiments of the second mode of operation for the embodiment of FIGURE 5.

【Figure 13】 FIGURE 13 illustrates alternative embodiments of the second mode of operation for the embodiment of FIGURE 5.

【Embodiments for Carrying out the Invention】

【 0 0 3 1 】

FIGURE 3 illustrates an embodiment of a digital-to-analog converter according to some inventive principles of this patent disclosure. The embodiment of FIGURE 3 includes a first pulse modulator 20 to generate a first pulse modulated signal P1 in response to a first digital value D1, a second pulse modulator 22 to generate a second pulse modulated signal P2 in response to a second digital value D2, and a third pulse modulator 24 to generate a third pulse modulated signal P3 in response to a third digital value D3. A switch/filter circuit 26 generates an analog output signal A1 by combining the first and second pulse modulated signals P1 and P2 in response to the third pulse modulated signal P3 as described in more detail below.

【 0 0 3 2 】

The pulse modulators 20, 22 and 24 may implement any suitable modulation technique such as pulse width modulation (PWM), pulse frequency modulation (PFM), etc., or any combination of techniques, at any desired resolution, i.e., 8-bit, 10-bit, etc. The switch/filter circuit 26 may include any suitable combination of analog and/or digital switches, multiplexers, active and/or passive filters, etc.

【 0 0 3 3 】

FIGURE 4 is a block diagram of a first exemplary embodiment of a digital-to-analog converter illustrating some possible implementation details according to some inventive principles of this patent disclosure. In the embodiment of FIGURE 4, the pulse modulators are realized as pulse width modulators (PWMs) 28, 30 and 32 (PWM1, PWM2, PWM3) which generate pulse width modulated signals PW1, PW2 and PW3 in response to digital values D1, D2 and D3, respectively. The switch/filter circuit is implemented with an analog or digital switch 34 which selectively couples the first and second pulse modulated signals PW1 and PW2 in a time-multiplexed manner to a low pass filter 36 in response to the third pulse width modulated signal PW3.

【 0 0 3 4 】

Sequencing logic 38 controls the overall operation of the converter by generating the digital values D1, D2 and D3 in an appropriate sequence to generate the desired analog output waveform. For example, the values of D1 and D2 may be selected as N and N+1, respectively, which bracket a desired output between N and N+1. The value of D3 may then be set to provide a duty factor DF between zero and one such that the value of the filtered analog output is N+DF.

【 0 0 3 5 】

Thus, the embodiment of FIGURE 4 may generate a range of values between N and N+1, thereby providing greater resolution than would be available from either of the individual PWMs 28 and 30. The number of discrete steps between N and N+1 is determined by the resolution of PWM3. For example, if PWM3 is implemented with 8-bit resolution, there may be 256 steps between N and N+1. Thus, if all three PWMs are implemented with 8-bit

resolution, the equivalent resolution of the resulting system may be as high as 16-bits depending on the implementation details such as the offset voltages of the low pass filter 36, analog switch 34, etc.

【 0 0 3 6 】

Moreover, the embodiment of FIGURE 4 may provide faster operation than a single PWM DAC having the equivalent resolution because the sum of the settling time of PWM1 and PWM2, combined with the delay through the analog switch 34 and low pass filter 36 may be substantially less than the delay time of the count chain in the single PWM DAC.

【 0 0 3 7 】

The inventive principles are not limited to the details illustrated with respect to FIGURE 4. For example, the resolutions of each of PWM1, PWM2 and PWM3 may be set to different values depending on the desired overall resolution, and the number of counts between PWM1 and PWM2 may be some number other than zero. The low pass filter may be implemented with active and/or passive circuitry, with any suitable number of poles, etc. Likewise, the sequencing logic be implemented with analog and/or digital hardware, software, firmware, etc., or any suitable combination thereof.

【 0 0 3 8 】

With the embodiment of FIGURE 4, it may be beneficial to implement some or all of the PWMs with clock sources that are unsynchronized to prevent correlation between the PWMs from cancelling the respective contributions of the PWMs which may occur if the PWM signals are synchronous and have the same count length. This may prevent, for example, a situation in which PWM3 is not capable of passing pulses from PWM1 and PWM2 under circumstances in which the PWM modulus is identical for all three.

【 0 0 3 9 】

FIGURE 5 is a block diagram of a second exemplary embodiment of a digital-to-analog converter illustrating some possible implementation details according to some inventive principles of this patent disclosure. In the embodiment of FIGURE 5, the pulse modulators are again realized as pulse width modulators (PWMs) 28, 30 and 32 (PWM1, PWM2, PWM3) which generate pulse width modulated signals PW1, PW2 and PW3 in response to digital values D1, D2 and D3, respectively. However, the outputs of PWM1 and PWM2 are filtered before switching. A first low-pass filter 42 provides a first filtered signal F1 in response to the first pulse width modulated signal PW1, while a second low-pass filter 44 provides a second filtered signal F2 in response to the second pulse modulated signal PW2. An analog switch 46 is arranged to provide a multiplexed analog signal A2 by selecting the first and second filtered signals in response to the third pulse width modulated signal PW3. A third low-pass filter 48 removes the modulation ripple to provide the final analog output signal A3. Sequencing logic 40 controls the overall operation of the converter by generating the digital

values D1, D2 and D3 in an appropriate sequence to generate the desired analog output waveform.

【 0 0 4 0 】

Some additional implementation details will be described in the context of the embodiment of FIGURE 5, but the inventive principles are not limited to these details. Moreover, the embodiment of FIGURE 5 may be operated in different modes by implementing different algorithms with the sequencing logic 40.

【 0 0 4 1 】

For purposes of illustration, and in a first mode of operation, PW1, PW2 and PW3 are each assumed to have 8-bit resolution. Sequencing logic 40 sets the digital values of D1 and D2 to generate the two filtered analog signals F1 and F2 with values of N and N+1, respectively, using PWM1 and PWM2 independently. The filters 42 and 44 may be implemented, for example, with two-pole active filters to remove virtually all of the induced ripple. The two filtered analog signals F1 and F2 are then modulated by analog switch 46 and filtered to produce the final analog output having a value $N + DF$ where DF is the duty factor of the third pulse width modulated signal PW3. The third filter 48 may have a more gradual roll-off because the values of N and N+1 are relatively close.

【 0 0 4 2 】

To obtain an arbitrary 16-bit output voltage V, sequencing logic 40 may load PWM1 with a value D1 that provides a filtered analog signal $F1 = V/256$, and load PWM2 with a value D2 that provides a filtered analog signal $F2 = 1 + V/256$. PWM3 is then loaded with a value D3 that corresponds to V modulo 256.

【 0 0 4 3 】

FIGURE 6 illustrates the operation of the embodiment of FIGURE 5 in the first mode of operation. Increasing values of the analog output voltage V are shown progressing from left to right. One portion of the full-scale range begins at the left side of FIGURE 6 where $PWM1=N$, $PWM2=N+1$ and $PWM3=0$. Moving to the right, the filtered value of the final analog output signal increases as the value of PWM3 (shown in hexadecimal values) increases towards the maximum value FFh. For simplicity, only a few intermediate values of 40h, 80h, C0h and E0h are shown.

【 0 0 4 4 】

The system then enters a second portion of the full scale range as PWM3 is reset by transitioning from FFh back to 00h, PWM1 is incremented to N+1, and PWM2 is incremented to N+2. The value of PWM3 then increases again towards the maximum value FFh as the analog output voltage V continues to increase.

【 0 0 4 5 】

FIGURE 7 illustrates the operation of the embodiment of FIGURE 5 in a second mode of operation. Here, the first portion of the full-scale range again begins at the left side of

FIGURE 7 where $PWM1=N$, $PWM2=N+1$ and $PWM3=0$. Moving to the right, the filtered value of the final analog output signal increases as the value of $PWM3$ (shown in hexadecimal values) increases towards the maximum value FFh.

【 0 0 4 6 】

In the second mode, however, the value of $PWM3$ is not reset after reaching the maximum value FFh. Instead, in the second portion of the full-scale range, $PWM3$ is decremented (incremented in the opposite direction) back towards the minimum value of 00h. Also, rather than incrementing both of $PWM1$ and $PWM2$ as in the first mode, $PWM2$ remains at $N+1$ and $PWM1$ is double incremented to $N+2$. The analog output voltage V continues to increase as the value of $PWM3$ decreases.

【 0 0 4 7 】

The system reaches a third portion of the full-scale range (not shown) when $PWM3$ reaches 00h. At this transition, $PWM1$ remains at $N+2$, and $PWM2$ is double incremented to $N+3$. The filtered value of the final analog output signal then continues to increase as the value of $PWM3$ once again increases towards the maximum value FFh.

【 0 0 4 8 】

Thus, in the second mode of operation, the values of $PWM1$ and $PWM2$ are incremented in an alternating manner while the value of $PWM3$ is incremented in opposite directions between alternating transitions of $PWM1$ and $PWM2$.

【 0 0 4 9 】

A potential advantage of the second mode of operation is that it may provide monotonic operation even when the offsets of the first and second filters are controlled to a tolerance as loose as one 8-bit LSB. This is in contrast to the first mode of operation where the offsets may need to be as tight as one 16-bit LSB to provide monotonic operation. With the second mode, even a worst case in which the offset is only kept within 1/256 of full-scale amplitude, a sequence of 256 steps through one portion of the range would simply show no change in amplitude, but never reverse and become non-monotonic.

【 0 0 5 0 】

FIGURES 8 and 9 show another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation, respectively.

【 0 0 5 1 】

Referring to FIGURE 8, at $V=0$ in the first mode of operation, $PWM1$ is set to 0 and $PWM2$ is set to 1. $PWM3$ begins at zero, then increments to FFh as the analog output voltage V continues to increase towards the right. After reaching FFh, $PWM3$ is then reset to 00h, and $PWM1$ and $PWM2$ are incremented to 1 and 2, respectively at the transition. $PWM3$ is again incremented towards FFh until the next transition where $PWM1$ and $PWM2$ are incremented again and $PWM3$ is reset. Thus, $PWM3$ may be described as having a single slope direction (or polarity) with respect to the digital value $D3$ that drives it.

【 0 0 5 2 】

Referring to FIGURE 9, the operation in the second mode is the same as for the first mode during the first portion of the full scale range. However, at the first transition where PWM3 reaches FFh, PWM1 is double incremented, PWM2 is left unchanged, and PWM3 is not reset, but rather begins to decrement towards 00h. Thus, from FIGURE 9 PWM3 may be described as having two slope directions (or polarities) with respect to the digital value D3 that drives it, and each of PWM1 and PWM2 are alternately held constant or double incremented when the slope of PWM3 changes direction.

【 0 0 5 3 】

FIGURES 10 and 11 show yet another way to illustrate the operation of the embodiment of FIGURE 5 in the first and second modes of operation, respectively. In the embodiments of FIGURES 10 and 11, the third PWM is implemented as a 2-bit PWM to simplify the illustrations. The values of PWM1, PWM2 and PWM3 are shown for increasing values of the analog output voltage V moving toward the bottom of the tables.

【 0 0 5 4 】

Referring to the table of FIGURE 10, which illustrates the first mode, V begins at zero at the top of the table where PWM1=1, PWM2=1 and PWM3=0. PWM3 is then incremented to 1, 2 and 3 as PWM1 and PWM2 remain constant. As PWM3 is reset to 0, PWM1 and PWM2 are incremented to 1 and 2, respectively. PWM3 is then incremented to 1, 2 and 3 again as PWM1 and PWM2 remain constant. This pattern continues through the rest of the full scale range with PWM1 and PWM2 being incremented simultaneously each time PWM3 is reset to 0 in the first mode of operation.

【 0 0 5 5 】

Referring to the table of FIGURE 11, which illustrates the second mode, V begins at zero at the top of the table where PWM1=1, PWM2=1 and PWM3=0. PWM3 is then incremented to 1, 2 and 3 as PWM1 and PWM2 remain constant. At the next step, PWM1 is double incremented to 2, PWM2 remains constant at 1, and PWM3 remains at 3. PWM3 is then decremented in a downward slope to 2, 1 and 0 as PWM1 and PWM2 remain constant. This pattern continues through the rest of the full scale range with PWM1 and PWM2 being alternately double incremented each time PWM3 transitions from a positive to a negative slope.

【 0 0 5 6 】

FIGURE 12 illustrates an alternative embodiment of the second mode, again with PWM3 implemented as a 2-bit PWM, in which one of the steps in each downward sloping portion is eliminated to prevent a situation in which there may be no change in the analog output voltage if PWM3 remains at 3 for two steps.

【 0 0 5 7 】

FIGURE 13 illustrates another alternative embodiment of the second mode, again with PWM3 implemented as a 2-bit PWM, in which one of the steps in each downward and upward sloping portion is eliminated to prevent a situation in which there may be no change in the analog output voltage if PWM3 remains at 0 or 3 for two steps.

【 0 0 5 8 】

The various embodiments of FIGURES 10, 11, 12 and 13 may be useful, for example, to accommodate PWMs in which one or both of the minimum or maximum values of PWM3 provide either a constant output or a narrow spike that is one clock cycle long.

【 0 0 5 9 】

A potential advantage of the embodiment of FIGURE 5, regardless of the mode of operation, is that it may not be affected by synchronization of the clocks for the various PWMs.

【 0 0 6 0 】

Any of the logic described above may be implemented as analog and/or digital hardware, software, firmware, etc., or any suitable combination thereof.

【 0 0 6 1 】

In any of the embodiments described above, the sequencing logic may be implemented with program code running on a processing core in a microcontroller on which PWM1, PWM2 and PWM3 reside. This may be particularly beneficial with currently available microcontrollers which may have six channels of 8-bit PWM outputs, and thus may provide two complete channels of 16-bit PWM DACs.

【 0 0 6 2 】

Some potential benefits of the inventive principles described herein include the ability to implement higher resolution DACs utilizing existing, low-cost, debugged circuitry commonly available in microcontrollers, while placing lower demands on the analog circuitry.

【 0 0 6 3 】

As used herein, the term increment may refer to incrementing a value in either the positive direction or the negative direction (decrementing).

【 0 0 6 4 】

The inventive principles of this patent disclosure have been described above with reference to some specific example embodiments, but these embodiments can be modified in arrangement and detail without departing from the inventive concepts. For example, the embodiment of FIGURE 3 may be modified to include additional PWMs that the switch/filter circuit may switch between. Such changes and modifications are considered to fall within the scope of the claims following the Appendices.

【Description of Codes】

【 0 0 6 5 】

20 First pulse modulator

22 Second pulse modulator

- 24 Third pulse modulator
- 26 Switch/filter circuit
- 28 First pulse width modulator
- 30 Second pulse width modulator
- 32 Third pulse width modulator
- 34 Analog switch
- 36 Low pass filter
- 38 Sequencing logic
- 40 Sequencing logic
- 42 Low pass filter
- 44 Low pass filter
- 46 Analog switch
- 48 Low pass filter

【Claim 1】

A digital-to-analog converter comprising:

a first pulse modulator to generate a first pulse modulated signal in response to a first digital value;

a second pulse modulator to generate a second pulse modulated signal in response to a second digital value;

a third pulse modulator to generate a third pulse modulated signal in response to a third digital value; and

a switch/filter circuit to generate an analog signal by combining the first and second pulse modulated signals in response to the third pulse modulated signal.

【Claim 2】

A method of digital-to-analog conversion comprising:

generating a first pulse modulated signal in response to a first digital value;

generating a second pulse modulated signal in response to a second digital value;

generating a third pulse modulated signal in response to a third digital value;

generating an analog signal by combining the first and second pulse modulated signals in response to the third pulse modulated signal.

【Claim 3】

A digital-to-analog converter comprising:

a first pulse width modulator;

a first filter having an input coupled to an output of the first pulse width modulator;

a second pulse width modulator;

a second filter having an input coupled to an output of the second pulse width modulator;

a third pulse width modulator;

an analog switch having a first analog input coupled to an output of the first filter, a second analog input coupled to an output of the second filter, and a select input coupled to an output of the third pulse width modulator; and

a third filter having an input coupled to an analog output of the analog switch and an output to provide an analog output signal.

【Abstract】

【Problem】 Convert digital values to an analog signal using pulse modulation.

【Means for Solving Problem】 A digital-to-analog converter includes first and second pulse modulators to generate first and second pulse modulated signals in response to first and second digital values, a third pulse modulator to generate a third pulse modulated signal in response to a third digital value, and a switch/filter circuit to generate an analog signal by combining the first and second pulse modulated signals in response to the third pulse modulated signal. The first and second pulse modulated signals may be low-pass filtered before being combined. In some embodiments, the third digital value may be incremented in a single direction between transitions of the first and second digital values. In some other embodiments, the third digital value may be incremented in opposite directions between alternating transitions of the first and second digital values.

【Representative Drawing】 Figure 3

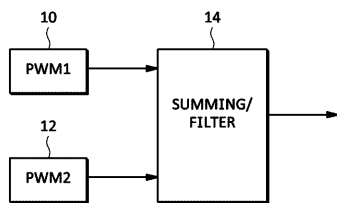


FIG. 1
(PRIOR ART)

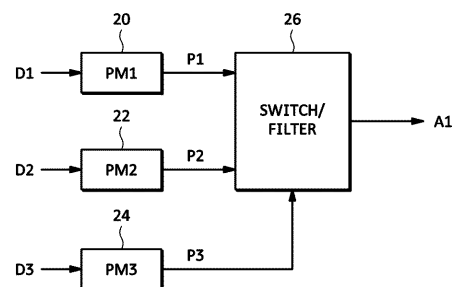


FIG. 3

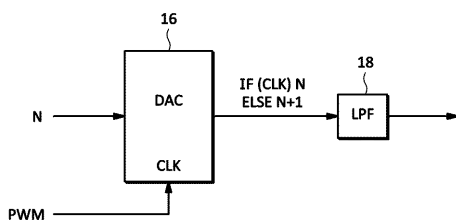


FIG. 2
(PRIOR ART)

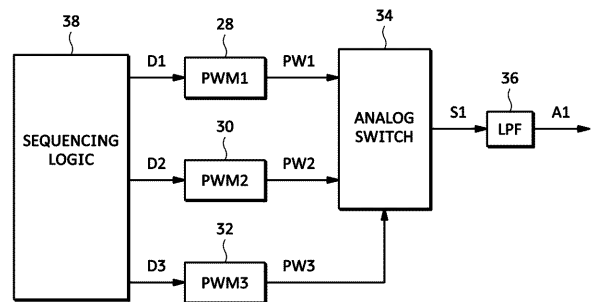


FIG. 4

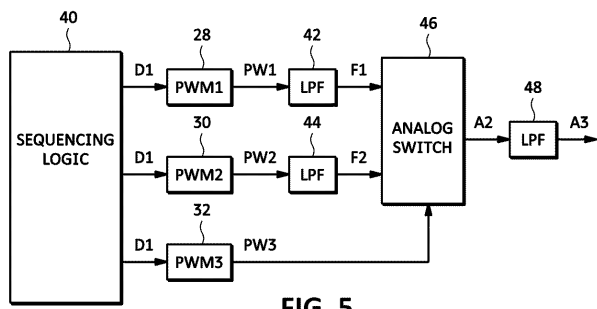


FIG. 5

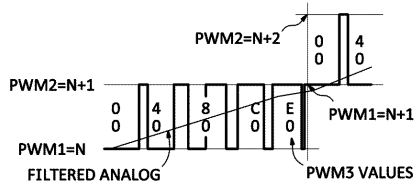


FIG. 6

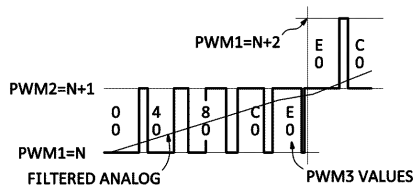


FIG. 7

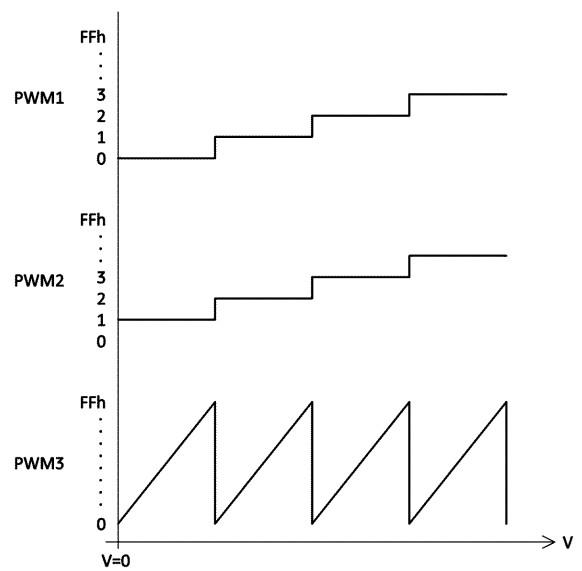


FIG. 8

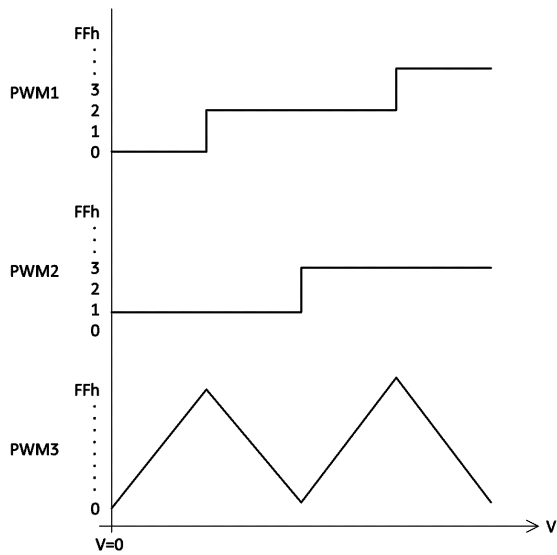


FIG. 9

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
1	2	0
1	2	1
1	2	2
1	2	3
2	3	0
2	3	1
2	3	2
2	3	3
3	4	0
3	4	1
3	4	2
3	4	3
4	5	0
4	5	1
4	5	2
4	5	3

FIG. 10

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
2	1	3
2	1	2
2	1	1
2	1	0
2	3	0
2	3	1
2	3	2
2	3	3
4	3	3
4	3	2
4	3	1
4	3	0
4	5	0
4	5	1
4	5	2
4	5	3

FIG. 11

PWM1	PWM2	PWM3
0	1	0
0	1	1
0	1	2
0	1	3
2	1	2
2	1	1
2	1	0
2	3	0
2	3	1
2	3	2
2	3	3
4	3	2
4	3	1
4	3	0
4	5	0
4	5	1
4	5	2
4	5	3

FIG. 12

PWM1	PWM2	PWM3
0	1	1
0	1	2
0	1	3
2	1	2
2	1	1
2	1	0
2	3	1
2	3	2
2	3	3
4	3	2
4	3	1
4	3	0
4	5	1
4	5	2
4	5	3

FIG. 13