

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6415265号
(P6415265)

(45) 発行日 平成30年10月31日 (2018.10.31)

(24) 登録日 平成30年10月12日 (2018.10.12)

(51) Int. Cl.	F I
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 H
H O 1 L 27/04 (2006.01)	H O 3 K 17/08 C
H O 3 K 17/08 (2006.01)	H O 1 L 27/06 3 1 1 B
H O 1 L 27/06 (2006.01)	H O 1 L 27/06 3 1 1 C
A 6 1 B 8/00 (2006.01)	H O 1 L 27/06 3 1 1 A
請求項の数 12 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2014-234525 (P2014-234525)	(73) 特許権者	000001007
(22) 出願日	平成26年11月19日 (2014.11.19)		キヤノン株式会社
(65) 公開番号	特開2016-100400 (P2016-100400A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成28年5月30日 (2016.5.30)	(74) 代理人	100085006
審査請求日	平成29年11月15日 (2017.11.15)		弁理士 世良 和信
		(74) 代理人	100100549
			弁理士 川口 嘉之
		(74) 代理人	100106622
			弁理士 和久田 純一
		(74) 代理人	100131532
			弁理士 坂井 浩一郎
		(74) 代理人	100125357
			弁理士 中村 剛
		(74) 代理人	100131392
			弁理士 丹羽 武司
		最終頁に続く	

(54) 【発明の名称】 保護回路

(57) 【特許請求の範囲】

【請求項 1】

第 1 又は第 2 極性の第 1 電圧信号が印加されるとともに電圧振幅が前記第 1 電圧信号よりも小さい第 2 電圧信号が印加されるドレイン、ソース、およびゲートを有する第 1 導電型の第 1 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ソースと接続されるドレイン、ソース、および所定の第 1 バイアス電圧が供給されるゲートを有する第 2 導電型の第 2 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに接続される一端と、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに接続される他端とを有するダイオード素子と、

電流源と、を有し、

前記電流源の一端は、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲート、および前記ダイオード素子の他端に接続され、前記電流源の他端には、所定の第 2 バイアス電圧が供給される、

保護回路。

【請求項 2】

前記ダイオード素子の順方向の閾値電圧は前記第 1 エンハンスメント型 MOS トランジスタの閾値電圧より大きいものであり、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに前記第 1 極性の第 1

10

20

電圧信号が印加された際に、前記第 1 エンハンスメント型 MOS トランジスタが、自身の前記ソースに現れる電圧に基づいてオフになり、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに前記第 2 極性の第 1 電圧信号が印加された際に、前記第 2 エンハンスメント型 MOS トランジスタが、自身の前記ソースに現れる電圧に基づいてオフになり、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに前記第 2 電圧信号が印加された際に、前記第 1 及び第 2 エンハンスメント型 MOS トランジスタがオンになる請求項 1 に記載の保護回路。

【請求項 3】

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに前記第 1 極性の第 1 電圧信号が印加された際に、前記電流源が、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに前記所定の第 2 バイアス電圧を供給し、

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに前記第 1 極性の第 1 電圧信号が印加された際に、前記第 1 エンハンスメント型 MOS トランジスタが、前記所定の第 2 バイアス電圧にさらに基づいてオフになる

請求項 1 または 2 に記載の保護回路。

【請求項 4】

前記第 1 および第 2 極性は、それぞれ負および正であり、

前記第 1 エンハンスメント型 MOS トランジスタは、エンハンスメント型 P チャネル MOS トランジスタであり、

前記第 2 エンハンスメント型 MOS トランジスタは、エンハンスメント型 N チャネル MOS トランジスタであり、

前記所定の第 2 バイアス電圧は、前記負の第 1 電圧信号と前記エンハンスメント型 P チャネル MOS トランジスタの閾値電圧を足した値より大きいものであり、

前記所定の第 1 バイアス電圧は、前記正の第 1 電圧信号と前記エンハンスメント型 N チャネル MOS トランジスタの閾値電圧を足した値より小さいものである、

請求項 1 乃至 3 のいずれか 1 項に記載の保護回路。

【請求項 5】

前記第 1 および第 2 極性は、それぞれ正および負であり、

前記第 1 エンハンスメント型 MOS トランジスタは、エンハンスメント型 N チャネル MOS トランジスタであり、

前記第 2 エンハンスメント型 MOS トランジスタは、エンハンスメント型 P チャネル MOS トランジスタであり、

前記所定の第 2 バイアス電圧は、前記正の第 1 電圧信号と前記エンハンスメント型 N チャネル MOS トランジスタの閾値電圧を足した値より小さいものであり、

前記所定の第 1 バイアス電圧は、前記負の第 1 電圧信号と前記エンハンスメント型 P チャネル MOS トランジスタの閾値電圧を足した値より大きいものである、

請求項 1 乃至 3 のいずれか 1 項に記載の保護回路。

【請求項 6】

前記第 2 エンハンスメント型 MOS トランジスタのソースに現れる前記第 2 電圧信号の絶対値を、前記第 2 エンハンスメント型 MOS トランジスタのソースに接続される外部回路の耐電圧以下に制限する電圧制限回路をさらに有する

請求項 1 乃至 5 のいずれか 1 項に記載の保護回路。

【請求項 7】

前記電圧制限回路は、クリップ回路またはクランプ回路である

請求項 6 に記載の保護回路。

【請求項 8】

前記第 1 エンハンスメント型 MOS トランジスタのバックゲートとソースが接続されており、

前記第 2 エンハンスメント型 MOS トランジスタのバックゲートとソースが接続されて

10

20

30

40

50

いる

請求項 1 乃至 7 のいずれか 1 項に記載の保護回路。

【請求項 9】

第 1 又は第 2 極性の第 1 電圧信号が印加されるとともに電圧振幅が前記第 1 電圧信号よりも小さい第 2 電圧信号が印加されるドレイン、ソース、およびゲートを有する第 1 導電型の第 1 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ソースと接続されるドレイン、ソース、および所定の第 1 バイアス電圧が供給されるゲートを有する第 2 導電型の第 2 エンハンスメント型 MOS トランジスタと、

前記第 1 エンハンスメント型 MOS トランジスタの前記ソースに接続される一端と、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲートに接続される他端とを有するダイオード素子と、

電流源と、を有し、

前記電流源の一端は、前記第 1 エンハンスメント型 MOS トランジスタの前記ゲート、および前記ダイオード素子の他端に接続され、前記電流源の他端には、所定の第 2 バイアス電圧が供給される、

保護回路。

【請求項 10】

前記第 1 エンハンスメント型 MOS トランジスタの前記ドレインに印加される前記第 1 電圧信号は、前記外部回路の耐電圧を超えるものであり、

前記第 2 電圧信号は、前記外部回路の耐電圧を超えないものである

請求項 6 に記載の保護回路。

【請求項 11】

前記第 1 電圧信号は超音波診断装置が有する超音波振動素子が被検体に対して超音波を送信する際に用いられる信号であり、

前記第 2 電圧信号は前記超音波の送信に基づいて前記被検体から反射する音響波を前記超音波振動素子が受信することにより出力される信号であり、

前記外部回路は前記第 2 電圧信号を増幅する増幅器である

請求項 10 に記載の保護回路。

【請求項 12】

前記電流源は、前記ダイオード素子に流れる電流値を所定の電流値に制限する、請求項 1 乃至 11 のいずれか 1 項に保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、保護回路に関する。

【背景技術】

【0002】

超音波診断装置における超音波振動素子は、正極、負極の高電圧信号に基づいて超音波を送波し、そして微小な超音波を受波して得られた低電圧信号を受信回路へ出力する構成になっている。そこで、超音波を送受する超音波振動素子と受信回路間に、超音波振動素子を駆動するための正負両極性の高電圧信号から、超音波振動素子から出力される低電圧信号を増幅するアンプ回路を保護する保護回路が必要となる。この保護回路は高電圧信号印加時にはオフすることで高電圧信号を遮断する。また低電圧信号は、受信回路へ通過させるため、低電圧信号印加時にはオンしている。例として高電圧信号は正負の数十から 100 V 程度であり、アンプ回路は 5 V 程度の耐電圧のデバイスで作られる。

【0003】

超音波診断装置における振動素子はチャンネル数が多く（数百チャンネル）信号の送受回路もそれに応じたチャンネル数が必要となる。また、それぞれのチャンネルの送信パルスを送るタイミングはばらばらである。この時、制御信号を用いて保護回路のオン、オフ

10

20

30

40

50

切り替えを行う場合、オン時は低電圧信号を通過、オフ時は高電圧信号を遮断するための制御が通常必要になり、そのチャンネル数に応じた信号線が必要となりコストが増大する。そのため、外部からの制御信号無しで低電圧信号を通過させ、高電圧信号を遮断する機能を持つ保護回路が必要となる。

【 0 0 0 4 】

従来では、制御信号無しで動作する保護回路を実現する上で、高電圧信号を検出する回路を設ける回路や、ディプレッション型の F E T を使用した回路が用いられてきた（特許文献 1、特許文献 2）。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 1 2 - 1 0 8 3 1 号公報

【 特許文献 2 】 特開平 5 - 4 8 0 2 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

外部からの制御信号無しで動作する保護回路を実現する上での課題は大きく分けて二つある。1つ目は、回路規模の増大である。例として特許文献 1 では、高電圧信号を検出する回路を使用している。このような高電圧信号を検出し、保護回路のオンオフを切り替える回路を実現する場合、高電圧信号を検出する回路と、その検出結果に応じて保護回路を動作させる駆動回路が必要となる。この時、検出部も高い耐電圧が必要となり、また保護回路を動作させる駆動回路も保護回路を構成する上で必要となるため回路が複雑になるという課題がある。

20

【 0 0 0 7 】

2つ目は、ディプレッション型 F E T などの特殊なプロセスを必要とするという点である。検出回路を待たせず、素子数を減らした回路で上記の保護回路を実現する場合、参考文献 1、2 のようにノーマリオンのディプレッション型 F E T が用いられる。しかし、この F E T は特殊なプロセスを必要としておりコストが増大するという課題がある。

【 0 0 0 8 】

上記に鑑み、本発明は、特殊なプロセスを必要とせず、小さい回路規模で両極性の高電圧から低耐電圧の内部回路を保護するとともに低電圧信号を通過させることができる保護回路を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 0 9 】

上記課題を解決するために本発明は以下の構成を採用する。すなわち、第 1 又は第 2 極性の第 1 電圧信号が印加されるとともに電圧振幅が前記第 1 電圧信号よりも小さい第 2 電圧信号が印加されるドレイン、ソース、およびゲートを有する第 1 導電型の第 1 エンハンスメント型 M O S トランジスタと、前記第 1 エンハンスメント型 M O S トランジスタの前記ソースと接続されるドレイン、ソース、および所定の第 1 バイアス電圧が供給されるゲートを有する第 2 導電型の第 2 エンハンスメント型 M O S トランジスタと、前記第 1 エンハンスメント型 M O S トランジスタの前記ドレインに接続される一端と、前記第 1 エンハンスメント型 M O S トランジスタの前記ゲートに接続される他端とを有するダイオード素子と、電流源と、を有し、前記電流源の一端は、前記第 1 エンハンスメント型 M O S トランジスタの前記ゲート、および前記ダイオード素子の他端に接続され、前記電流源の他端には、所定の第 2 バイアス電圧が供給される、保護回路である。

40

また、本発明は以下の構成を採用する。すなわち、第 1 又は第 2 極性の第 1 電圧信号が印加されるとともに電圧振幅が前記第 1 電圧信号よりも小さい第 2 電圧信号が印加されるドレイン、ソース、およびゲートを有する第 1 導電型の第 1 エンハンスメント型 M O S トランジスタと、前記第 1 エンハンスメント型 M O S トランジスタの前記ソースと接続されるドレイン、ソース、および所定の第 1 バイアス電圧が供給されるゲートを有する第 2 導

50

電型の第2エンハンスメント型MOSトランジスタと、前記第1エンハンスメント型MOSトランジスタの前記ソースに接続される一端と、前記第1エンハンスメント型MOSトランジスタの前記ゲートに接続される他端とを有するダイオード素子と、電流源と、を有し、前記電流源の一端は、前記第1エンハンスメント型MOSトランジスタの前記ゲート、および前記ダイオード素子の他端に接続され、前記電流源の他端には、所定の第2バイアス電圧が供給される、保護回路である。

【発明の効果】

【0010】

本発明によれば、特殊なプロセスを必要とせず、小さい回路規模で両極性の高電圧から低耐電圧の内部回路を保護するとともに低電圧信号を通過させることができる保護回路を提供できる。

【図面の簡単な説明】

【0011】

【図1】本発明の保護回路の実施例1を示すブロック図である。

【図2】実施例1における保護回路の回路構成を示す図である。

【図3】実施例1における電流源の一例を示す図である。

【図4】実施例1における電圧制限回路の一例を示す図である。

【図5】実施例1における電圧制限回路の他の一例を示す図である。

【図6】実施例1における保護回路の他の一例を示す図である。

【図7】実施例1における保護回路の他の一例を示す図である。

【図8】本発明の超音波診断装置における保護回路の実施例2を示す図である。

【図9】本発明の超音波診断装置における保護回路の実施例3を示す図である。

【発明を実施するための形態】

【0012】

以下に図面を参照しつつ、本発明の実施形態を詳しく説明する。なお、同一の構成要素には原則として同一の参照番号を付して、説明を省略する。ただし、以下に記載されている詳細な計算式、計算手順などは、発明が適用される装置の構成や各種条件により適宜変更されるべきものであり、この発明の範囲を以下の記載に限定する趣旨のものではない。

【0013】

本発明の保護回路を有する超音波診断装置には、被検体に超音波を送信し、被検体内部で反射した反射波（エコー波）を受信して、被検体情報を画像データとして取得する超音波エコー技術を利用した装置を含む。また、この超音波診断装置は、被検体に光（電磁波）を照射することにより被検体内で発生した音響波を受信して、被検体情報を画像データとして取得する光音響効果を利用した装置と併用されるものを含む。

【0014】

超音波エコー技術を利用した装置である超音波診断装置の場合、取得される被検体情報とは、被検体内部の組織の音響インピーダンスの違いを反映した情報である。光音響効果を利用した装置で取得される被検体情報とは、光照射によって生じた音響波の発生源分布、被検体内の初期音圧分布、あるいは初期音圧分布から導かれる光エネルギー吸収密度分布や吸収係数分布、組織を構成する物質の濃度分布を示す。物質の濃度分布とは、例えば、酸素飽和度分布や酸化・還元ヘモグロビン濃度分布などである。

【0015】

本発明という音響波とは、典型的には超音波であり、音波、超音波、音響波と呼ばれる弾性波を含む。

【0016】

<実施例1>

図1は、本発明の保護回路の実施例1を示すブロック図である。本実施例の被検体情報取得装置である超音波診断装置100（以下「装置100」と略称する）は、超音波送受信部1（以下「受信部1」と略称する）と超音波振動素子2（以下「素子2」と略称する）とをベースに構成されている。受信部1は、送信回路3、低電圧増幅回路4、入力保護

回路 5、出力保護回路 6 を有する。超音波送受信部 1 は、外部端子 X、Y を備えており、この外部端子 X、Y を介して外部の装置と信号の送受信を行う。

【0017】

受信部 1 は、超音波診断装置の回路ブロック全体を表している。素子 2 は、受信部 1 からの高電圧信号を受けて超音波を被検体に送信し、被検体から反射してきた超音波を受信して低電圧信号を出力するものである。送信回路 3 は、素子 2 に高電圧信号を送信する際の信号伝達経路に設けられる回路である。低電圧増幅回路 4 は、被検体からの超音波の受信時に素子 2 から出力される低電圧信号（受信信号）を増幅する。入力保護回路 5 および出力保護回路 6 は、低電圧増幅回路 4 の入力および出力をそれぞれ高電圧信号から保護する回路である。なお、この低電圧信号は高電圧信号よりも電圧振幅が小さい信号である。

10

【0018】

受信部 1 は、超音波信号を送受信する素子 2 と外部端子 X を介して接続される。受信部 1 は、例えば電圧振幅が数十から数百 V 程度の高電圧信号（ここでは例えば - 100 V < 高電圧信号 < - 10 V、+ 10 V < 高電圧信号 < + 100 V とする）を素子 2 に供給する。素子 2 は、例えば受信信号として電圧振幅が数 V 以下の低電圧信号（ここでは例えば - 1 V < 低電圧信号 < + 1 V とする）を出力する。低電圧増幅回路 4 では、耐電圧が 5 V 程度に設計されている。外部端子 X、Y では、これら高電圧信号及び低電圧信号が印加される。そのため、低電圧増幅回路 4 では、耐電圧を超える高電圧信号の侵入を防ぐために、入力側および出力側に保護回路 5 および 6 をそれぞれ設ける。また、保護回路 5、6 では、低電圧増幅回路 4 に低電圧信号を入力して、増幅した信号を出力するために、低電圧信号の印加時は信号を外部端子 X から外部端子 Y へ通過させる必要がある。本実施例の装置 100 は高電圧信号を遮断し、低電圧信号を通過させる機能を持つ保護回路 5、6 を有する。

20

【0019】

図 2 は、実施例 1 における保護回路の回路構成を示す図であり、図 1 と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。図 2 (a) は、保護回路 5、6 の基本的な回路構成を示す。なお、保護回路 5 と保護回路 6 とは同一の回路であるので、特段の事情がない限り保護回路 5 に限って説明する。保護回路 5 は、エンハンスメント型の P チャネル MOSFET (Field effect transistor) (第 1 又は第 2 導電型のエンハンスメント型 MOS トランジスタ、エンハンスメント型 P チャネル MOS トランジスタに対応する) ; P 21 (以下「トランジスタ P 21」と略称する) を有する。さらに、保護回路 5 は、エンハンスメント型の N チャネル MOSFET (第 1 又は第 2 導電型のエンハンスメント型 MOS トランジスタ、エンハンスメント型 N チャネル MOS トランジスタに対応する) ; N 22 (以下「トランジスタ N 22」と略称する) を有する。さらに、保護回路 5 は、ダイオード D 21 (例えば閾値電圧が 0.6 V とする)、電流源 I 21、電圧制限回路 8 を有する。さらに、保護回路 5 は、一定電圧 V 21 (例えば - 数 V 程度であり、ここでは - 3 V とする) 印加端、一定電圧 V 22 (例えば + 数 V 程度であり、ここでは + 3 V とする) 印加端、端子 A、B を有する。なお、低電圧信号が負の値を取らない場合、例えば + 1 V を電圧振幅の中心として ± 1 V 程度振れる場合は、一定電圧 V 21 は、正の電圧でも良い。

30

40

【0020】

端子 A は、高電圧信号が印加される端子であり、端子 B は、低電圧回路が接続される端子を表している。端子 A、B の接続例として、ブロック図 1 の保護回路 5 に適用する場合は、端子 A を、外部端子 X を介して一端が参照電圧であるグランド GND に接続された素子 2 に接続するとともに端子 B を低電圧増幅回路 4 の入力端子に接続する。保護回路 6 に適用する場合は、端子 B を低電圧増幅回路 4 の出力端子に接続するとともに端子 A を高電圧信号が入力される側である外部端子 Y に接続する。なお、本実施例では参照電圧としてグランド GND (0 V) を採用しているが、これに限られず、参照電圧の値を適宜変更しても良い。例えば参照電圧として正の基準電圧を採用する場合、高電圧信号はその基準電圧を中心として正方向、負方向に振れるが、いずれに振れた場合でも正の電圧値をとるこ

50

ともあり得る。このことは、低電圧信号についても同様である。

【0021】

電圧制限回路8は、正、負の高電圧が印加されるときその電圧値を所定の値にクランプするものであり、例えばESD(Electro Static Discharge)保護回路等であり、トランジスタN22のソースと端子Bとの間に接続されている。しかしこれに限られず、低電圧増幅回路4が電圧制限回路8を内蔵するようにしても良い。

【0022】

図2(a)に示す保護回路は、CMOSプロセスで形成されるエンハンスメント型のPおよびNチャネルMOSトランジスタの直列接続体をベースに構成される。具体的には、端子Aは、トランジスタP21のドレインに接続される。端子Bは、電圧制限回路8を介してトランジスタN22のソースに接続される。また、トランジスタP21のソースとトランジスタN22のドレインとが接続される。トランジスタN22のゲートには一定電圧V22が供給されている。トランジスタP21のゲートには定電流源I21の一端が接続され、電流源I21の他端には一定電圧V21が供給されている。定電流源I21は、電流をノードNd1から電流を引き込む向きに接続されている。なお、定電流源I21は、カレントミラー回路等で構成しても良いし、他の回路で構成しても良い。

【0023】

ゲート保護ダイオードD21は、自身のアノードがトランジスタP21のドレインに接続されるとともに、カソードがトランジスタP21のゲートに接続されている。ゲート保護ダイオードD21の順方向の閾値VD21は、トランジスタP21の閾値VP21を超える($|VD21| > |VP21|$)ように設定する。また、トランジスタP21およびトランジスタN22のドレイン-ソース間耐電圧は高電圧信号の電圧値の絶対値より大きい必要がある。低電圧信号の絶対値は、この保護回路5の端子Bに接続される回路の耐電圧以下の値である。電圧制限回路8は、低電圧信号の絶対値を端子Bに接続される回路である低電圧増幅回路4(外部回路に対応する)の耐電圧耐以下に制限する。なお、本実施例ではこのゲート保護ダイオードD21は、トランジスタP21の寄生ダイオードを用いている。しかしこれに限られず、ダイオード素子をトランジスタP21とは別体としてドレイン-ゲート間に接続しても良いし、ダイオード接続されたトランジスタを用いても良い。また、ツェナーダイオードや、ショットキーバリアダイオードを用いても良い。

【0024】

次に上記の保護回路の動作について図2(a)をもとに説明する。まず端子Aに低電圧信号が印加される時は、トランジスタP21、トランジスタN22それぞれのゲートにそれぞれの閾値VP21、VN22を超える電圧をゲートに印加しておく。すなわち、トランジスタP21、トランジスタN22をオンさせておけるだけの一定電圧V21、V22をゲートに印加しておく。そうすることで、トランジスタP21、トランジスタN22がオンし、低電圧信号を通過させる。

【0025】

次に端子Aに高電圧信号が印加されるとき保護回路5の動作について説明する。

【0026】

端子Aに正の高電圧信号が印加された場合、トランジスタP21のドレインに高電圧が印加される。このとき、トランジスタP21のドレイン-ソース間には寄生ダイオードD210が存在し、この寄生ダイオードD210がオンする。すなわち、トランジスタP21は、自身のドレインに印加される高電圧信号を自身の寄生ダイオードD210を介して自身のソース側まで通過させる。このとき、ダイオードD21は、オンする。よって、トランジスタP21のゲートに現れる電圧は、トランジスタP21のドレイン電圧よりダイオードD21の順方向降下電圧VD21の分だけ低い電圧である。このようにして、ダイオードD21は、トランジスタP21のゲート-ソース間電圧をダイオードD21の閾値に制限して耐電圧を超えるのを防ぎ、トランジスタP21のゲート破壊を抑止する。また、この時、電流源I21は、ダイオードD21に流れる電流を設定された電流値に制限する。

10

20

30

40

50

【 0 0 2 7 】

次に、トランジスタN 2 2のドレインでは、トランジスタP 2 1の寄生ダイオード2 1 0を通過した高電圧信号が印加される。正の高電圧信号が端子Aに印加された直後の状態では、トランジスタN 2 2はオンしたままである。そのため、正の高電圧信号がトランジスタN 2 2のドレインに現れると同時にトランジスタN 2 2のソースの電圧も上昇していく。このとき端子Bに接続された電圧制限回路8により設定された電圧までトランジスタN 2 2のソース電圧が上昇していく。このトランジスタN 2 2のソース電圧が、トランジスタN 2 2のゲートのバイアス電圧V 2 2からトランジスタN 2 2の閾値V N 2 2引いた値を超えるとトランジスタN 2 2がクリップ回路として動作する。これにより、トランジスタN 2 2のソース電圧がトランジスタN 2 2のゲートのバイアス電圧V 2 2からトランジスタN 2 2の閾値V N 2 2引いた値以上の電圧がかかった時に電圧に制限がかかる。

10

【 0 0 2 8 】

次に、端子Aに負の高電圧が印加された場合、トランジスタP 2 1のドレイン電圧がグランド(GND)以下の負の高電圧まで降下する。この時、ゲート保護ダイオードD 2 1では、自身の降伏電圧(breakdown voltage)が、自身のカソードに現れている電圧値から自身のアノードに現れている電圧値を引いた電圧値よりも十分大きく設定されている。このため、ダイオードD 2 1は、逆方向に高電圧が印加されてもアバランシェ降伏を生じず、逆方向にも順方向にも導通しない。これにより、トランジスタP 2 1のゲートでは、電流源I 2 1の一端に接続された一定電圧V 2 1が現れる。このもとで、トランジスタP 2 1では、自身がオンした状態で自身のソース電圧が、自身のゲート電圧と自身の閾値を足した値を下回ると、トランジスタP 2 1がオフする。また、トランジスタP 2 1のソース電圧は、端子Bに接続された電圧制限回路8によって制限された電圧とトランジスタN 2 2のドレイン - ソース間の寄生ダイオードD 2 2 0の閾値によって制限される。

20

【 0 0 2 9 】

以上のような動作により制御信号無しで正極、負極の高電圧信号から低電圧増幅回路(増幅器に対応する)を保護し、また微小な信号は通過させる保護回路を実現できる。なお、本実施例では低電圧増幅回路を用いたが、これに限られず他の耐電圧が低い回路を保護する際にも本実施例の保護回路を用いることができる。

【 0 0 3 0 】

図2(b)は、実施例1の図2(a)に記載の保護回路を極性の異なる回路構成としたものである。すなわち、図2(a)のトランジスタP 2 1、N 2 2を図2(b)のようにエンハンスメント型のNチャンネルMOSトランジスタN 2 3、エンハンスメント型のPチャンネルMOSトランジスタP 2 4にそれぞれ置き換えてなる回路である。この時、電流源I 2 2の向き、保護ダイオードD 2 2の向きも逆方向となり、そうすることで、図2(a)の保護回路と同じ機能を実現できる。このときも保護ダイオードD 2 2の順方向の閾値は、エンハンスメント型のNチャンネルMOSトランジスタN 2 3の閾値の絶対値を超えるように設定する。なお、この保護ダイオードD 2 2もエンハンスメント型のNチャンネルMOSトランジスタN 2 3の寄生ダイオードを用いているが、上記同様これに限られず、種々のダイオード素子を用いても良い。なお、一定電圧V 2 3、V 2 4は、例えばそれぞれ+3V、-3Vとする。ダイオードD 2 2の順方向の閾値は例えば0.6Vである。

30

40

【 0 0 3 1 】

図3は、実施例1における電流源の一例を示す図であり、図1と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。図3において、電流源I 2 1は、エンハンスメント型のNチャンネルMOSFET N 3 3(以下「トランジスタN 3 3」と略称する)によって構成したものである。トランジスタN 3 3のソースには一定電圧V 3 1を供給し、トランジスタN 3 3のゲートには一定電圧V 3 3を接続する。このように構成してなる定電流源I 2 1は、トランジスタN 3 3のドレイン - ソース間に流れる電流を制限し、電流源として動作する。このときトランジスタN 3 3のドレイン - ゲート、ドレイン - ソース耐電圧は端子Aに印加される高電圧信号に十分耐えられる耐電圧に

50

する。また、図 2 (b) のように電流源の向きを I 2 1 とは逆にするときは、トランジスタ N 3 3 をエンハンスメント型の P チャネル M O S F E T に置き換えることで実現できる。

【 0 0 3 2 】

図 4 は、実施例 1 における電圧制限回路の一例を示す図であり、図 1 と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。図 4 の電圧制限回路 8 a は、ダイオード D 4 2 のアノード、ダイオード D 4 3 のカソード、および端子 B が共通接続される。さらに電圧制限回路 8 a は、ダイオード D 4 2 のカソード、ダイオード D 4 3 のアノード、および一定電圧 V 4 6 の印加端が共通接続される。電圧制限回路 8 a は、以上のように構成してなるクリップ回路である。電圧制限回路 8 a は、ダイオード D 4 2、D 4 3 により端子 B に現れる電圧 V 1 を (一定電圧 V 4 6 + ダイオード D 4 2 の閾値 < 電圧 V 1 < 一定電圧 V 4 6 - ダイオード D 4 3 の閾値) の範囲内に収まるように制限する。電圧制限回路 8 a を図 4 のように保護回路に接続する場合、トランジスタ N 2 2 のゲート電圧 V 2 2 は一定電圧 V 4 6 とダイオード D 4 2 の閾値電圧とトランジスタ N 2 2 の閾値電圧を足した電圧以上 (| 一定電圧 V 2 2 | > | 一定電圧 V 4 6 + ダイオード D 4 2 の閾値 | + | トランジスタ N 2 2 の閾値 |) に設定する必要がある。なお、ダイオード D 4 2 およびダイオード D 4 3 の閾値は略同じであるものとする。

【 0 0 3 3 】

図 5 は、実施例 1 における電圧制限回路の他の一例を示す図であり、図 1 と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。電圧制限回路 8 b (クランプ回路に対応する) では、ダイオード D 5 4 のカソード、ダイオード D 5 5 のアノード、および端子 B が共通接続される。さらに、電圧制限回路 8 b では、ダイオード D 5 4 のアノードに一定電圧 V 5 7 が供給され、ダイオード D 5 5 のカソードに一定電圧 V 5 8 が供給される。これにより電圧制限回路 8 b では、端子 B の電圧 V 2 を (一定電圧 V 5 7 + ダイオード D 5 4 の閾値 < V 2 < 一定電圧 V 5 8 + ダイオード D 5 5 の閾値) の範囲内に収まるように制限することができる。この電圧制限回路 8 b を図 2 (a) の回路に図 5 のように接続する場合、トランジスタ N 2 2 のゲート電圧 V 2 2 は一定電圧 V 5 8 とダイオード D 5 5 の閾値電圧とトランジスタ N 2 2 の閾値電圧を足した電圧以上 (| 一定電圧 V 2 2 | > | 一定電圧 V 5 8 + ダイオード D 5 5 の閾値 | + | トランジスタ N 2 2 の閾値 |) に設定する必要がある。なお、ダイオード D 5 5 とダイオード D 5 4 とは閾値が略同一とする。

【 0 0 3 4 】

図 6 は、実施例 1 における保護回路の他の一例を示す図であり、図 1 と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。図 6 の保護回路は、図 2 (a) の回路のトランジスタ P 2 1、トランジスタ N 2 2 のそれぞれのドレイン - ソース間に、ドレイン - ソースをバイパスするダイオード D 6 6、D 6 7 をそれぞれ接続してなる回路である。これによりトランジスタ P 2 1、N 2 2 のドレイン - ソース間に存在する寄生ダイオードに想定されない電流が流れることを防ぐことができる。すなわち、ダイオード D 6 6、D 6 7 のそれぞれの閾値をトランジスタ P 2 1、N 2 2 の寄生ダイオードそれぞれの閾値より低くする。そうすることで、トランジスタ P 2 1、N 2 2 に想定外の大電流が供給されようとする際にダイオード D 6 6、D 6 7 によりその大電流をバイパスすることでトランジスタ P 2 1、N 2 2 の過電流による破壊を防ぐことができる。このときダイオード D 6 6、D 6 7 の降伏電圧は印加される高電圧信号の絶対値よりも高く設定されている必要がある。すなわち、ダイオード D 6 6、D 6 7 では、このような高電圧がそれぞれ逆方向に印加されてもアバランシェ降伏を起こしてダイオードに逆方向の電流が流れないように設定しておく。

【 0 0 3 5 】

図 7 は、実施例 1 における保護回路の他の一例を示す図であり、図 1 と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。すなわち、本図に示す保護回路は、トランジスタ P 2 1、トランジスタ N 2 2 のバックゲートを各々のソ

10

20

30

40

50

ースに接続した回路構成を取る。印加される電圧やデバイスの耐電圧によってはこのような構成をとることで、図2(a)の回路と同じ動作を実現できる。また、トランジスタP21、トランジスタN22のバックゲートをそれぞれのソースに接続することで各トランジスタを安定的に動作させることができる。

【0036】

<実施例2>

図8は、本発明の超音波診断装置における保護回路の実施例2を示す図であり、図1と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。本実施例の保護回路は、実施例1の図2(a)、(b)に記載の保護回路における、ゲート保護ダイオードD21、D22を、図8(a)、(b)に記載のダイオードD81、D82のようにトランジスタP21、N23のソースに接続した回路構成になっている。これにより実施例1と同じように図8(a)、(b)に記載のトランジスタP21、N22のゲート-ソース間電圧をダイオードD81、D82の閾値電圧(順方向降下電圧)となるように制限する。そうすることにより、トランジスタP21、N22のゲート破壊を防ぐことができる。この構成の場合、例えば図8(a)に記載のトランジスタP21のゲート-ソース間に保護ダイオードD81があるため、ゲート-ソース間の電圧を最大でもダイオードD81の閾値に制限することができる。また、図8(a)に記載の回路構成の場合、実施例1の例えば図2(a)に記載の保護回路と比べてダイオードD81の両端には高電圧がかからない。ダイオードD81のアノードは高電圧信号が印加される端子Aに直接に接続されておらず、トランジスタP21のソースに接続されているからである。そのため図2(a)の保護ダイオードに比べて求められるダイオードの耐電圧を低く設計することができる。なお、図8(b)では図8(a)と逆極性の回路構成である以外は図8(a)と同様である。

【0037】

<実施例3>

図9は、本発明の超音波診断装置における保護回路の実施例3を示す図であり、図1と同一の構成については同一の番号を付すとともに特段の事情がない限り説明を省略する。本実施例の図9(a)、(b)に記載の保護回路は、実施例1における図2(a)、(b)に記載の保護回路の電流源I21、I22を抵抗R91、R92に置き換えた回路構成になっている。

【0038】

図9に記載の保護回路の動作説明を行う。ただし、図9(a)と図9(b)の保護回路は互いに逆極性の関係にある以外は基本的構成と機能が同じなので図9(a)についてのみ説明する。端子Aに低電圧信号が印加された時は、トランジスタP21のゲート-ソース間抵抗、ゲート-ドレイン間抵抗が抵抗R91に対して十分大きい場合、抵抗R91に電流は略流れないためトランジスタP21のゲートには一定電圧V21と略同一の電圧が現れる。そのため、トランジスタP21がオンする。一方、端子Aに高電圧信号が印加された時は、ダイオードD21に流れる電流は抵抗R91の抵抗値によって制限される。また、電流源によって実現する場合に比べ、抵抗一つで保護回路を実現できるため、回路規模を小さくできるとともに低コストで設計することができる。

【0039】

<その他の実施例>

実施例1、2、3における全てのダイオードは、ある電圧において電圧を制限し電流を流す機能を持つ素子であれば代用可能である。例えば、ダイオード接続されたMOSトランジスタまたはバイポーラトランジスタ等である。またこれらのダイオードは直列に多段接続した構成にしてもよい。また、図2に記載のダイオードD21、22や図8に記載のダイオードD81、82は抵抗でも同様の機能を実現できる。

【符号の説明】

【0040】

P21 エンハンスメント型PチャネルMOSFET、N22 エンハンスメント型Nチ

10

20

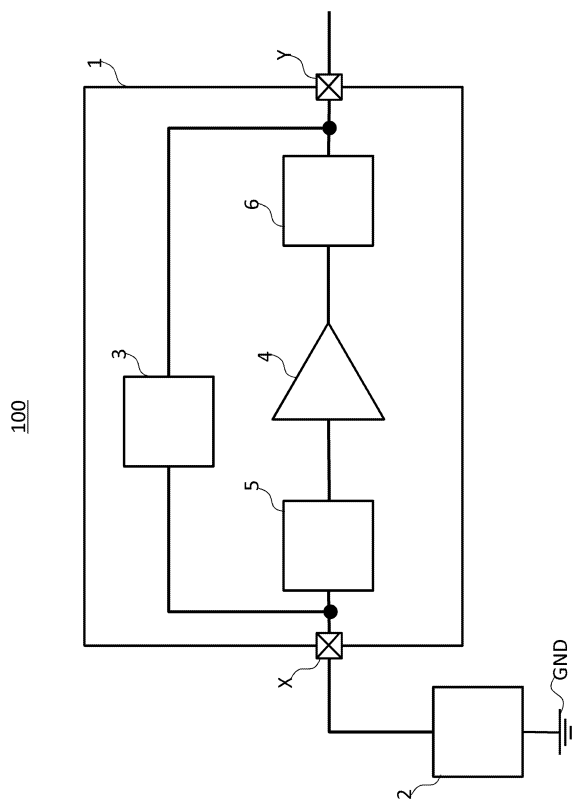
30

40

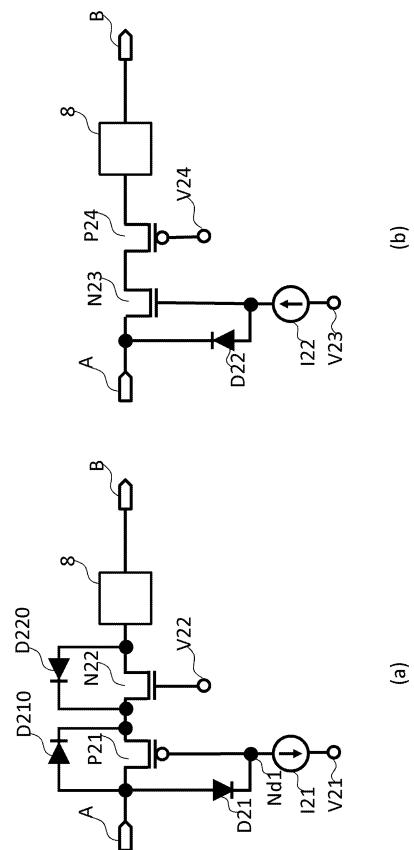
50

チャンネルMOSFET、D21 ダイオード、I21 電流源

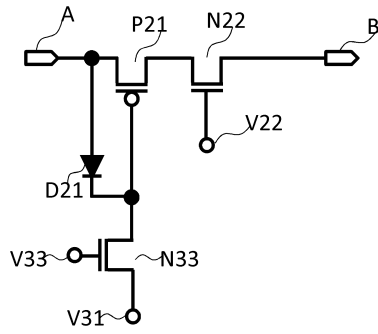
【図1】



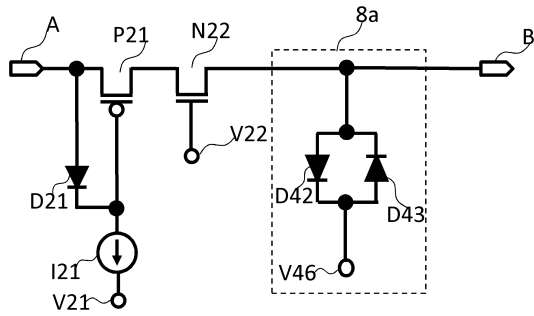
【図2】



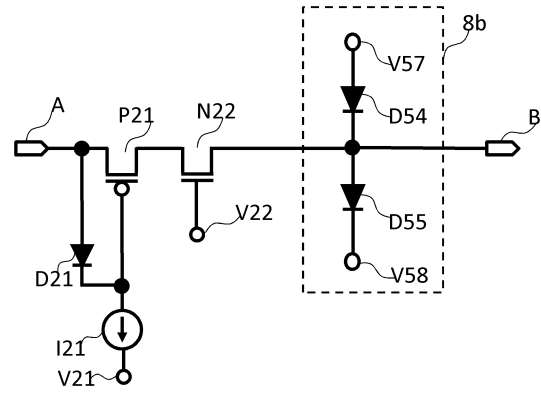
【図 3】



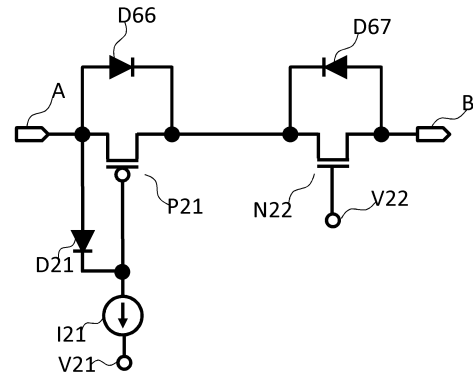
【図 4】



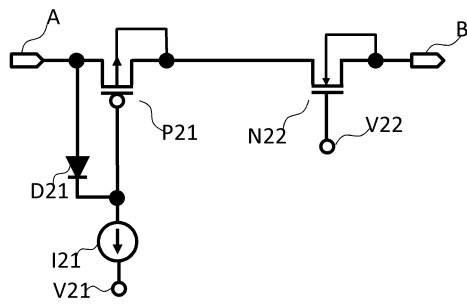
【図 5】



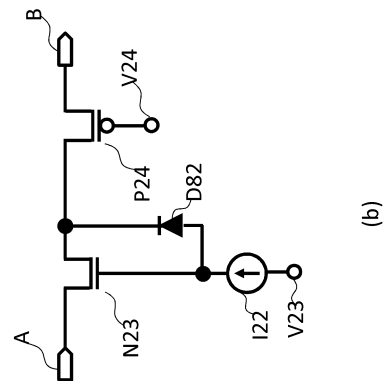
【図 6】



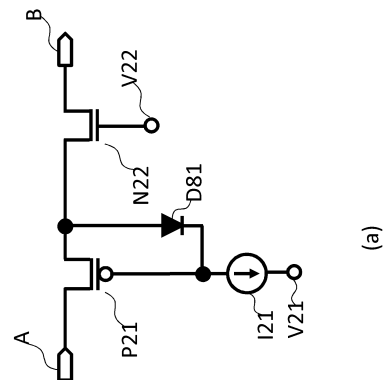
【図 7】



【図 8】

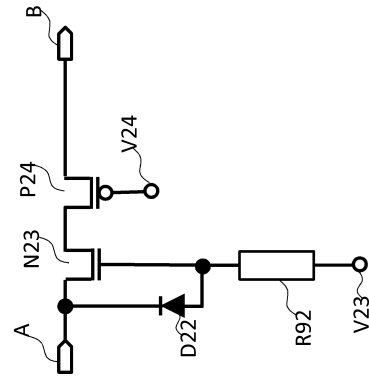


(b)

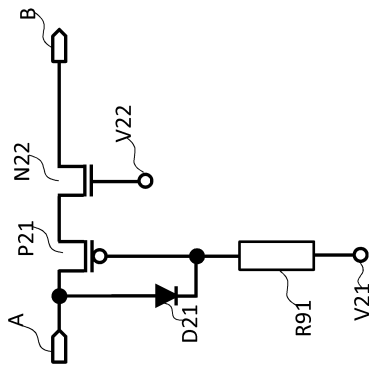


(a)

【図 9】



(b)



(a)

フロントページの続き

(51)Int.Cl. F I
A 6 1 B 8/00

(72)発明者 三ヶ尻 悟
東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内

審査官 宇多川 勉

(56)参考文献 特開2013-211522(JP,A)
特開2012-010831(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 8 2 2
A 6 1 B 8 / 0 0
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 3 K 1 7 / 0 8