



ÚŘAD PRO VYNÁLEZY

\* A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

230 083

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 24 06 82

(21) PV 4689-82

(51) Int. Cl.<sup>3</sup>

H 03 K 5/01

(40) Zveřejněno 25 11 83

(45) Vydáno 01 04 86

(75)

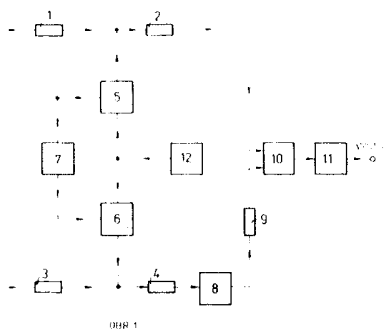
Autor vynálezu

PROCHÁZKA MIROSLAV ing. CSc., PRAHA

(54)

Zapojení přesného diskriminátoru

Účelem vynálezu je řešit elektronické přepínání polaritý s následným stanovením stejnoměrné složky nebo kvasistojnosměrné složky následného signálu po přepínání a zároveň příznivě ovlivnit přesnost. Uvedeného účelu se dosáhne tím, že vstupní signál diskriminátoru se rozdělí do dvou větví z nichž vždy jedna je zkratována, druhá otevřena, přičemž spínače zkratují napětí ve větvi místo na nulový potenciál na stejnosměrné napětí  $U$ , které leží mimo rozsah signálového napětí a je větší nebo menší než maximální signál vyskytující se v bodě, který je zkratován. Výsledné signály z obou větví se sčítají v sumátoru, přičemž signál jedné větve je před vstupem do sumátoru invertován. Součtový signál je integrován. Výstup integrátoru je výstupem diskriminátoru.



230 083

Vynález se týká zapojení přesného diskriminátoru u něhož se řeší elektronické přepínání polarity s následným stanovením stejnosměrné složky nebo kvasistejnoměrné složky výsledného signálu po přepínání.

Dle dosavadního stavu techniky je známo mnoho zapojení, které plní řečenou funkci. Hlavní otázkou přesnosti diskriminátoru zůstává přesnost přepínání polarity signálu. V tomto směru mají nejlepší vlastnosti mechanické spínače nebo přepínače. Ty však většinou nevyhovují frekvenčně. Bývají také náročné na spotřebu. Při řešení otázky přesnosti se zejména požaduje, aby napětí signálu, který má být přepínán, bylo co největší, alespoň 10V, aby po přepnutí se změnila pouze polarita a nikoliv zisk, který musí zůstat stejný alespoň s přesností 1 ‰, a konečně, aby funkce, elektronického přepínače byla prakticky nezávislá na polaritě a velikosti vstupního přepínaného signálu. V tomto směru mají známé fázové diskriminátory nevýhody týkající se zejména přesnosti funkce.

Výše uvedené nevýhody jsou odstraněny zapojením přesného diskriminátoru podle vynálezu jehož podstatou je takové zapojení, že první vstup diskriminátoru je jednak spojen se vstupem prvního odporu, jehož výstup je spojen s výstupem prvního polovodičového spínače a se vstupem druhého odporu jehož výstup je spojen s první vstupem sumátoru, a jednak je spojen se vstupem třetího odporu, jehož výstup je spojen s výstupem druhého polovodičového spínače a se vstupem čtvrtého odporu jehož výstup je spojen se vstupem analogového invertoru, přičemž výstupem je analogový invertor spojen přes pátý

odpor s druhým vstupem sumátoru, který je výstupem spojen přes integrátor s výstupem diskriminátoru, přičemž druhý vstup diskriminátoru je spojen jednak s druhým vstupem prvního polovodičového spínače, jehož první vstup je spojen s výstupem zdroje stejnosměrného napětí a jednak se vstupem invertoru klíče, jehož výstup je spojen s druhým vstupem druhého polovodičového spínače, přičemž jeho první vstup je spojen s výstupem zdroje stejnosměrného napětí.

Polovodičové spínače použité v zapojení dle vynálezu jsou stejného typu, pracují za stejných podmínek a navíc spínají pouze signál jedné polarit. To je zvláště výhodné pro polovodičové spínače, u nichž obrácená polarita činí potíže, přičemž omezuje maximální hodnotu spínaných napětí. Zbytková napětí spínačů v režimu jedné polarit jsou malá a v zapojení dle vynálezu se navíc kompenzují. V režimu jedné polarit lze spínat i napětí dosahující řádové velikosti desítek volt, zatímco v režimu obou polarit, u těchže použitých prvků, se dosahuje výsledků o řád nižších. Všechny tyto podstatné vlastnosti zapojení dle vynálezu ovlivňují příznivě přesnost.

Na připojeném výkresu je znázorněn příklad zapojení přesného diskriminátoru podle vynálezu.

První vstup diskriminátoru je spojen se vstupem prvního odporu 1, jehož výstup je spojen s výstupem prvního polovodičového spínače 5 a se vstupem druhého odporu 2 jehož výstup je spojen s prvním vstupem sumátoru 10. Dále je první vstup spojen se vstupem třetího odporu 3, jehož výstup je spojen s výstupem druhého polovodičového spínače 6 a se vstupem čtvrtého odporu 4, jehož výstup je spojen se vstupem analogového invertoru 8. Analogový invertor 8 je spojen přes pátý odpor 9 s druhým vstupem sumátoru 10, který je výstupem spojen přes integrátor 11 s výstupem diskriminátoru. Druhý vstup diskriminátoru je spojen jednak s druhým vstupem prvního polovodičového spínače 5, jehož první vstup je spojen s výstupem zdroje 12 stejnosměrného napětí a jednak se vstupem invertoru klíče 7, jehož výstup je spojen s druhým vstupem druhého polovodičového spínače 6 a první vstup druhého polovodičového

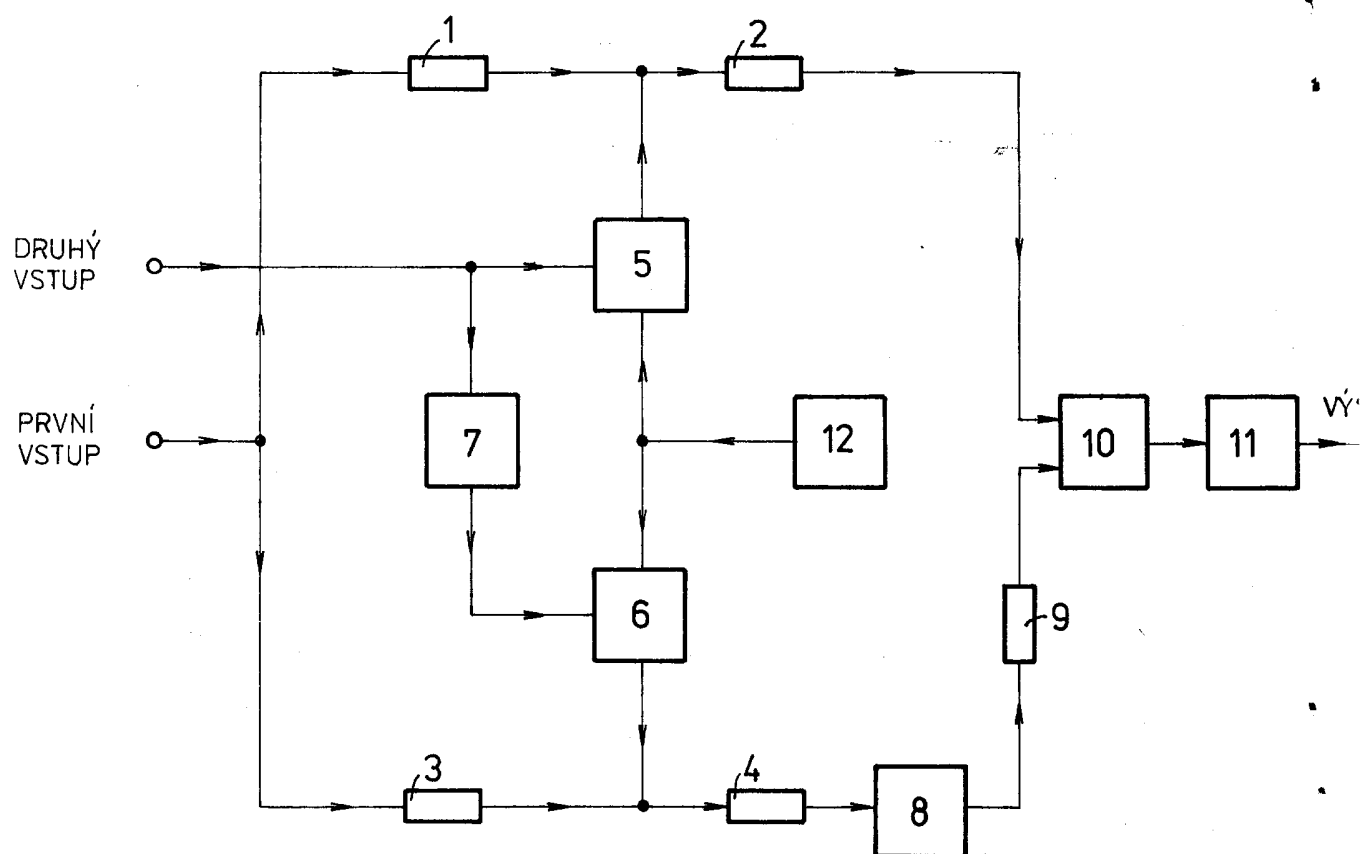
spínače 6 je spojen s výstupem zdroje 12 stejnosměrného napětí. Na první vstup diskriminátoru je veden vstupní signál, který má být detektován a současně na druhý vstup diskriminátoru je přiváděn klíč ve tvaru obdélníkových napětí, který určuje okamžiky přepínání polarit. Vstupní signál se rozděluje do dvou větví. První větev tvoří první odpor 1 a druhý odpor 2, které určují velikost prvního vstupního proudu sumátoru 10 při nesepnutém prvním polovodičovém spínači 5. Je-li tento sepnut, pak je první vstupní proud dán hodnotou napětí zdroje 12 stejnosměrného napětí a druhým odporem 2. Druhou větev tvoří třetí odpor 3 a čtvrtý odpor 4 určující spolu s analogovým invertorem 8 a pátým odporem 9 velikost druhého vstupního proudu sumátoru 10 při nesepnutém druhém polovodičovém spínači 6. Je-li tento sepnut, pak je druhý vstupní proud dán hodnotou napětí zdroje 22 stejnosměrného napětí, hodnotami čtvrtého odporu 4 a pátého odporu 9, jakož i ziskem analogového invertoru 8. Hodnoty odporů jsou tak voleny, že při stejném vstupním napětí diskriminátoru a v případě rozepnutí polovodičových spínačů 5 a 6 jsou oba vstupní proudy na vstupu sumátoru 10 stejné ale opačného smyslu. Rovněž při sepnutí polovodičových spínačů 5 a 6 jsou opět oba vstupní proudy na vstupu sumátoru 10 stejné, ale opačného smyslu. Je zřejmé, že nastavením tohoto symetrického uspořádání se kompenzuje zvolená hodnota pomocného napětí. Při vlastní funkci spínají oba polovodičové spínače 5, 6 střídavě. Zajišťuje to invertor klíče 7, který mění polaritu vstupního klíče. Výstupní napětí ze sumátoru 10 je průměrováno v integrátoru 11, který stanovuje průměrnou hodnotu za poslední uplynulý čas, který je dán časovou konstantou integrátoru 11. Výstup integrátoru 11 je výstupem celého diskriminátoru. Ze zapojení dle vynálezu je zřejmé, že princip zapojení dle vynálezu zůstane zachován, jestliže se invertor 8 a odpor 9 sdruží se sumátorem 10 na příklad tím, že se vytvoří pozitivní a negativní vstup sumátoru 10. Rovněž je možné sdružení integrátoru 11 se sumátorem 10 např. tím, že se integrace zařadí do zpětné vazby sumátoru 10.

## PŘEDMĚT VYNÁLEZU

230 083

Zapojení přesného diskriminátoru obsahující elektronický přepínač polarity vyznačené tím, že první vstup diskriminátoru je jednak spojen se vstupem prvního odporu (1) jehož výstup je spojen s výstupem prvního polovodičového spínače (5) a se vstupem druhého odporu (2) jehož výstup je spojen s prvním vstupem sumátoru (10) a jednak je spojen se vstupem třetího odporu (3) jehož výstup je spojen s výstupem druhého polovodičového spínače (6) a se vstupem čtvrtého odporu (4) jehož výstup je spojen se vstupem analogového invertoru (8), přičemž výstupem je analogový invertor (8) spojen přes pátý odpor (9) s druhým vstupem sumátoru (10), který je výstupem spojen přes integrátor (11) s výstupem diskriminátoru, přičemž druhý vstup diskriminátoru je spojen jednak s druhým vstupem prvního polovodičového spínače (5), jehož první vstup je spojen s výstupem zdroje (12) stejnosměrného napětí a jednak se vstupem invertoru klíče (7), jehož výstup je spojen s druhým vstupem druhého polovodičového spínače (6), přičemž jeho první vstup je spojen s výstupem zdroje (12) stejnosměrného napětí.

1 výkres



OBR. 1