

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年7月7日 (07.07.2016)



(10) 国际公布号
WO 2016/106548 A1

- (51) 国际专利分类号:
H04L 7/033 (2006.01)
- (21) 国际申请号: PCT/CN2014/095520
- (22) 国际申请日: 2014年12月30日 (30.12.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 万文通 (WAN, Wentong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: CLOCK RECOVERY APPARATUS

(54) 发明名称: 时钟恢复装置

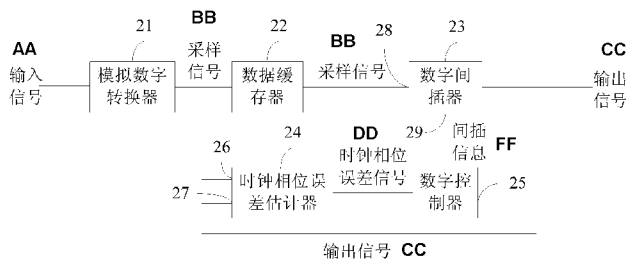


图2 /FIG. 2

- | | |
|--------------------------------------|------------------------------|
| 21 Analog-to-digital converter (ADC) | AA Input signal |
| 22 Data buffer | BB Sampling signal |
| 23 Digital interpolator | CC Output signal |
| 24 Clock phase error estimator | DD Interpolated information |
| 25 Digital controller | EE Clock phase error signal |
| | FF Interpolation information |

(57) Abstract: A clock recovery apparatus, comprising: an analog-to-digital converter (ADC) (21), a data buffer (22), a digital interpolator (23), a clock phase error estimator (24), a filter (20), and a digital controller (25). Output terminals of the ADC (21) are respectively connected to an input terminal of the data buffer (22) and a first input terminal (26) of the clock phase error estimator (24); the output terminal of the data buffer (22) is connected to a first input terminal (28) of the digital interpolator (23); the output terminal of the digital interpolator (23) is connected to a second input terminal (27) of the clock phase error estimator (24); the output terminal of the clock phase error estimator (24) is connected to the input terminal of the digital controller (25); the output terminal of the digital controller (25) is connected to a second input terminal (29) of the digital interpolator (23). The present invention reduces complexity of circuit design and facilitates the realization of a hardware circuit.

(57) 摘要:

[见续页]

WO 2016/106548 A1



一种时钟恢复装置，包括：模拟数字转换器 ADC (21)、数据缓存器 (22)、数字间插器 (23)、时钟相位误差估计器 (24)、滤波器 (20) 和数字控制器 (25)；其中，所述 ADC (21) 的输出端分别与所述数据缓存器 (22) 的输入端和所述时钟相位误差估计器 (24) 的第一输入端 (26) 连接；所述数据缓存器 (22) 的输出端与所述数字间插器 (23) 的第一输入端 (28) 连接；所述数字间插器 (23) 的输出端与所述时钟相位误差估计器 (24) 的第二输入端 (27) 连接；所述时钟相位误差估计器 (24) 的输出端与所述数字控制器 (25) 的输入端连接；所述数字控制器 (25) 的输出端与所述数字间插器 (23) 的第二输入端 (29) 连接，简化了电路设计的复杂度，有利于硬件电路的实现。

时钟恢复装置

技术领域

本发明实施例涉及通信技术，尤其涉及一种时钟恢复装置。

5

背景技术

在光通信系统中，接收端在进行完光电转换后，需要进行数字域的算法处理，接收端进行算法处理的速率与发射端发送数据的速率必须时刻保持一致，以保障所有发射的数据都及时的得到处理，即发射端和接收端必须保证
10 时钟同步。若发射端和接收端的时钟出现偏差，则需要对时钟进行恢复，以保证接收端采样数据为最佳采样时刻的采样数据，从而使得接收端与发射端的数据保持同步。

图1为现有技术中一种时钟恢复装置的结构示意图。如图1所示，该装置包括模拟数字转换器（Analog-to-Digital Converter，简称ADC）1，色散估计
15 与补偿电路2，解偏振电路3，缓存器（Buffer）4，间插器（Interpolator）5，反正切函数与解重叠计算电路6，无限冲击响应滤波器（Infinite Impulse Response，简称IIR）7和IIR 8，鉴相器（Phase Detector，简称PD）9和PD 10，低通滤波器（Low Pass Filter，简称LPF）11，压控振荡器（Voltage-Controlled
20 Oscillator，简称VCO）12。其中，ADC1、色散估计与补偿电路2、解偏振电路3、PD 9、LPF 11和VCO 12组成一个反馈环，完成对ADC 1的采样时钟的低速调整，可以处理时钟低频抖动问题；ADC1、色散估计与补偿电路2、解偏振电路3、PD9和PD10、IIR7和IIR8、反正切函数与解重叠计算电路6、Buffer
4和Interpolator 5组成一个前馈环，完成对时钟相位误差信号的处理，即对出现误差的时钟信号进行恢复，可以处理时钟高频抖动问题。

25 但是，由于现有技术中的时钟恢复装置不仅要对出现误差的时钟信号进行恢复处理，还需要在反馈环中设计VCO和LPF等器件对ADC的采样时钟进行调整，因此，电路设计复杂，不利于硬件电路的实现。

发明内容

30 本发明实施例提供的时钟恢复装置，当ADC在一定的频率偏差范围内对

输入信号进行采样，在时钟恢复装置的输出端都能获取最佳的采样信号，不需要使用 VCO 等器件对 ADC 的采样频率进行校正，简化了电路设计的复杂度，有利于硬件电路的实现。

5 本发明实施例第一方面提供一种时钟恢复装置，包括：模拟数字转换器 ADC、数据缓存器、数字间插器、时钟相位误差估计器、滤波器和数字控制器；

其中，所述 ADC 的输出端分别与所述数据缓存器的输入端和所述时钟相位误差估计器的第一输入端连接；所述数据缓存器的输出端与所述数字间插器的第一输入端连接；所述数字间插器的输出端与所述时钟相位误差估计器的第二输入端连接；所述时钟相位误差估计器的输出端与所述数字控制器的输入端连接；所述数字控制器的输出端与所述数字间插器的第二输入端连接；

所述 ADC，用于对输入信号进行采样，并输出第二采样信号；

所述时钟相位误差估计器，用于对所述 ADC 输出的所述第二采样信号和所述数字间插器反馈的第一输出信号，进行时钟相位误差运算，获取时钟相位误差信号；其中，第一输出信号为第一采样信号对应的输出信号，所述第一采样信号为所述第二采样信号的前一个相邻的采样信号；

所述数字控制器，用于根据所述时钟相位误差信号，获取间插信息；其中，所述间插信息包括第二采样信号的间插信号索引和第二采样信号的间插相位；

20 所述数据缓存器，用于对所述 ADC 输出的所有采样信号进行存储，以使进入所述数字间插器的所述第二采样信号对应所述间插信息；

所述数字间插器，用于根据所述数字控制器输出的所述间插信息，对所述数据缓存器输出的所述第二采样信号进行调整，以使获取到的第二输出信号为最佳采样时刻的输出信号。

25 在第一方面的第一种可能实现方式中，所述时钟恢复装置还包括滤波器；所述滤波器的输入端与所述时钟相位误差估计器的输出端连接，所述滤波器的输出端与所述数字控制器的输入端连接；

所述滤波器，用于对所述时钟相位误差估计器输出的所述时钟相位误差信号进行高频滤波，并输出滤波后的时钟相位误差信号。

30 结合第一方面的第一种可能实现方式，在第一方面的第二种可能实现方

式中，所述时钟相位误差估计器包括数据缓存模块、第一计算模块、第二计算模块、第一放大器、第二放大器和加法器；

其中，所述数据缓存模块的输入端与所述 ADC 的输出端连接，所述数据缓存模块的输出端和所述第一计算模块的输入端连接；所述第一计算模块的
5 输出端与所述第一放大器的第一输入端连接；所述第二计算模块的输入端与所述数字间插器的输出端连接，所述第二计算模块的输出端与所述第二放大器的输入端连接；所述第二放大器的输出端与所述加法器的第二输入端连接，所述加法器的输出端与所述滤波器连接；

所述数据缓存模块用于存储所述 ADC 输出的采样信号，以使进入所述数字
10 间插器的所述采样信号和所述采样信号的间插信息相对应；

所述第一计算模块，用于计算所述第二采样信号的平均时钟相位偏差；

所述第二计算模块，用于计算所述第一输出信号的平均时钟相位偏差。

结合第一方面的第二种可能实现方式，在第一方面的第三种可能实现方式中，所述第一计算模块包括傅里叶变换单元、扩展单元、累加单元、角度
15 单元和归一化单元；

其中，所述傅里叶变换单元的输入端与所述数据缓存模块的输出端连接，所述傅里叶变换单元的输出端与所述扩展单元的输入端连接；所述扩展单元的输出端与所述累加单元的输入端连接；所述累加单元的输出端与所述角度单元的输入端连接；所述角度单元的输出端与所述归一化单元的输入端连接；
20 所述归一化单元的输出端与所述第一放大器的输入端连接；

所述傅里叶变换单元，用于对所述数据缓存模块输出的 N 采样信号进行傅里叶变换，输出采样信号的复数值序列；其中，N 为大于等于 1 的正整数；

所述扩展单元，用于对所述复数值序列进行扩展，输出扩展后的复数值序列；

25 所述累加单元，用于根据所述扩展后的复数值序列，计算第二采样信号的时钟相位误差平均值；

所述角度单元，用于根据所述累加单元输出的所述第二采样信号的时钟相位误差平均值，计算第二采样信号的时钟相位误差角度；

30 所述归一化单元，用于对所述角度单元输出的所述时钟相位误差角度进行归一化处理，输出所述第二采样信号的平均时钟相位偏差。

结合第一方面的第三种可能实现方式，在第一方面的第四种可能实现方式中，所述时钟恢复装置还包括扰偏振控制器；

所述扰偏振控制器的第一输入端与所述 ADC 的输出端连接，所述扰偏振控制器的第二输入端与所述时钟相位误差估计器的输出端连接，所述扰偏振控制器的输出端分别与所述数据缓存器的输入端和所述时钟相位误差估计器的第一输入端连接；

所述扰偏振控制器，用于消除所述 ADC 同时输出的两个采样信号之间的干扰。

结合第一方面的第三种可能实现方式，在第一方面的第五种可能实现方式中，所述时钟恢复装置还包括偏振均衡器；

所述偏振均衡器的输入端与所述 ADC 连接，所述偏振均衡器的输出端分别与所述数据缓存器的输入端连接和所述时钟相位误差估计器的第一输入端连接；

所述偏振均衡器，用于根据色散均衡系数，对所述 ADC 输出的采样信号进行时域卷积，以消除所述 ADC 同时输出的两个采样信号之间的干扰。

本实施例提供的时钟恢复装置，通过时钟相位误差估计器获取采样信号和输出信号的时钟相位误差信号，由数字控制器根据时钟相位误差信号获取包括第二采样信号的间插信号索引和间插相位的间插信息，数字间插器根据间插信号索引和间插相位对数据缓存器输出的第二采样信号进行校正，以获取校正后的最佳采样信号，即第二输出信号，当 ADC 在一定的频率偏差范围内对输入信号进行采样，在时钟恢复装置的输出端都能获取最佳的采样信号，不需要使用 VCO 等器件对 ADC 的采样频率进行校正，简化了电路设计的复杂度，有利于硬件电路的实现。

25 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

30 图 1 为现有技术中一种时钟恢复装置的结构示意图；

图 2 为本发明实施例一提供的时钟恢复装置的结构示意图；

图 3 为间插原理示意图；

图 4 为本发明实施例提供的时钟恢复装置的结构图；

图 5 为本发明实施例中的时钟相位误差估计器的结构示意图；

5 图 6 为本发明实施例中的第一计算模块的结构示意图；

图 7 为本发明实施例中的累加单元结构示意图；

图 8 为本发明实施例中的第二计算模块的结构示意图；

图 9 为本发明实施例三提供的时钟恢复装置的结构示意图；

图 10 为本发明实施例四提供的时钟恢复装置的结构示意图。

10 附图标记说明：

1、21：模拟数字转换器；

2：色散估计与补偿电路；

3：解偏振电路；

4：缓存器；

15 5：间插器；

6：反正切函数与解重叠计算电路；

7、8：无线冲击响应滤波器；

9、10：鉴相器；

11：低通滤波器；

20 12：压控振荡器；

20：滤波器；

22：数据缓存器；

23：数字间插器；

24：时钟相位误差估计器；

25 25：数字控制器；

26：时钟相位误差估计器的第一输入端；

27：时钟相位误差估计器的第二输入端；

28：数字间插器的第一输入端；

29：数字间插器的第二输入端；

30 31：数据缓存模块；

- 32: 第一计算模块;
- 33: 第二计算模块;
- 34: 第一放大器;
- 35: 第二放大器;
- 5 36: 加法器;
- 37: 加法器的第一输入端;
- 38: 加法器的第二输入端;
- 41: 傅里叶变换单元;
- 42: 扩展单元;
- 10 43: 累加单元;
- 44: 角度单元;
- 45: 归一化单元;
- 51、52: 平均器;
- 53: 共轭运算单元;
- 15 54、65: 乘法器;
- 61: 求模单元;
- 62: 加法器;
- 64: 幂运算单元;
- 71: 扰偏振控制器;
- 20 71: 扰偏振控制器的第一输入端;
- 72: 扰偏振控制器的第二输入端;
- 73: 偏振均衡器。

具体实施方式

25 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

30 图2为本发明实施例一提供的时钟恢复装置的结构示意图。如图2所示，

该装置包括 ADC 21、数据缓存器 22、数字间插器 23、时钟相位误差估计器 24 和数字控制器 25。

其中，ADC 21 的输出端分别与数据缓存器 22 的输入端和时钟相位误差估计器 24 的第一输入端 26 连接；数据缓存器 22 的输出端与数字间插器 23 的第一输入端 28 连接；数字间插器 23 的输出端与时钟相位误差估计器 24 的第二输入端 27 连接；时钟相位误差估计器 24 的输出端与数字控制器 25 的输入端连接；数字控制器 25 的输出端与数字间插器 23 的第二输入端 29 连接。ADC 21 用于对输入信号进行采样，并输出第二采样信号；时钟相位误差估计器 24 用于对 ADC 21 输出的第二采样信号和数字间插器 23 反馈的第一输出信号，进行时钟相位误差运算，获取时钟相位误差信号；其中，第一输出信号为第一采样信号对应的输出信号，第一采样信号为第二采样信号的前一个相邻的采样信号；数字控制器 25 用于根据时钟相位误差信号，获取间插信息；其中，间插信息包括第二采样信号的间插信号索引和第二采样信号的间插相位；数据缓存器 22 用于对 ADC 21 输出的所有采样信号进行存储，以使进入数字间插器 23 的第二采样信号对应间插信息；数字间插器 23 用于根据数字控制器 25 输出的间插信息，对数据缓存器 22 输出的第二采样信号进行调整，以使获取到的第二输出信号为最佳采样时刻的输出信号。

本发明实施例提供的时钟恢复装置可以应用到移动网、微波，城域网等系统中。

在本实施例中，时钟恢复装置的实现原理具体如下：输入信号可以为一路经过色散补偿后的一个偏振态的光信号，也可以为其它的光信号，输入信号进入 ADC 21 进行采样，ADC 21 输出第二采样信号后分别进入数据缓存器 22 和相位误差估计器 24。时钟相位误差估计器对第二采样信号和数字间插器 23 反馈的第一输出信号，计算获取第二采样信号和第一输出信号之间的时钟相位误差信号，数字控制器 25 根据时钟相位误差信号获取第二采样信号的间插信号索引和间插相位，并将第二采样信号的间插信号索引和间插相位传输给数字间插器 23，数字间插器根据第二采样信号的间插信号索引和间插相位对第二采样信号进行校正，获取校正后的采样信号，即第二输出信号，第二输出信号的时钟频率和第二采样信号的时钟平率一致。需要说明的是，数据缓存器 22 对采样信号进行缓存的时间为采样信号进入时间相位误差估计器

24 到数字间插器 23 输出间插信息所用的时间，即保证当第二采样信号进入数字间插器 23 时，第二采样信号的间插信息也同时进入数字间插器 23，则数字间插器 23 才能根据正确的间插信息对第二采样信号进行校正。

图 3 为间插原理示意图。如图 3 所示，中间的横轴为时间轴，时间轴上方为采样信号 $(m_k - 1)T_s$ 、 $m_k T_s$ 、 $(m_k + 1)T_s$ 、 $(m_k + 2)T_s$ 等，时间轴的下方为输出信号 $(k - 1)T_i$ 、 $kT_i + \varepsilon T_i$ 、 $(k + 1)T_i$ 等，当采样信号的采样频率或相位不理想，例如采样频率相对与基准频率变快或是变慢，或者采样位置不在码元波形的最佳点等，则需要通过间插的方法对采样信号进行调整，以获得最佳的采样信号。以采样信号 $m_k T_s$ 为例具体说明该原理，通过时间相位误差估计器 24 的时钟相位误差信号判断出该 $m_k T_s$ 采样信号的采样频率或者相位出现偏差，即该采样信号不应该出现在图 3 中所示的位置，数字控制器 25 对时钟相位误差信号进行分析，获取间插信号索引 k 和间插相位 μ_k ，间插信号索引相当于标记出一个基点位置 kT_i ，即 $m_k T_s$ 采样信号从该基点位置 kT_i 出现偏差，间插相位 μ_k 则表示该 $m_k T_s$ 采样信号偏差了 $\mu_k T_s$ ，数字间插器 23 则根据间插信号索引 k 和间插相位 μ_k 对 $m_k T_s$ 采样信号进行校正，输出校正的后采样信号为 $kT_i + \varepsilon T_i$ ，完成了对采样信号的时钟恢复。

现有技术中，如图 1 所示，不仅要出现误差的采样信号的时钟进行校正，还要在反馈环中设计 VCO 和 LPF 等器件对 ADC 的采样时钟进行调整，使得电路设计复杂，不利于硬件的电路实现。

本实施例提供的时钟恢复装置，通过时钟相位误差估计器 24 获取采样信号和输出信号的时钟相位误差信号，由数字控制器 25 根据时钟相位误差信号获取包括第二采样信号的间插信号索引和间插相位的间插信息，数字间插器 23 根据间插信号索引和间插相位对数据缓存器 22 输出的第二采样信号进行校正，以获取校正后的最佳采样信号，即第二输出信号，当 ADC 在一定的频率偏差范围内对输入信号进行采样，在时钟恢复装置的输出端都能获取最佳的采样信号，不需要使用 VCO 等器件对 ADC 的采样频率进行校正，简化了电路设计的复杂度，有利于硬件电路的实现。

图 4 为本发明实施例提供的时钟恢复装置的结构图。在上述实施例一的基础上，如图 4 所示，时钟恢复装置还包括滤波器 20。

滤波器 20 的输入端与时钟相位误差估计器 24 的输出端连接，滤波器 20

的输出端与数字控制器 25 的输入端连接。滤波器 20 用于对时钟相位误差估计器 24 输出的时钟相位误差信号进行高频滤波，并输出滤波后的时钟相位误差信号。

在本实施例中，滤波器 20 主要用于调节环路带宽与滤除高频分量，使得获取的时钟相位误差信号更加准确，滤波器 20 可以选用常用的比例积分滤波器来实现。

图 5 为本发明实施例中的时钟相位误差估计器的结构示意图。如图 5 所示，时钟相位误差估计器 24 包括数据缓存模块 31、第一计算模块 32、第二计算模块 33、第一放大器 34、第二放大器 35 和加法器 36。

其中，数据缓存模块 31 的输入端与 ADC 21 的输出端连接，数据缓存模块 31 的输出端和第一计算模块 32 的输入端连接；第一计算模块 32 的输出端与第一放大器 34 的第一输入端 37 连接；第二计算模块 33 的输入端与数字间插器 23 的输出端连接，第二计算模块 33 的输出端与第二放大器 35 的输入端连接；第二放大器 35 的输出端与加法器 36 的第二输入端 38 连接，加法器 36 的输出端与滤波器 25 连接。数据缓存模块 31 用于存储 ADC 21 输出的采样信号，以使进入数字间插器的所述采样信号和所述采样信号的间插信息相对应；第一计算模块 32 用于计算第二采样信号的平均时钟相位偏差；第二计算模块 33 用于计算第一输出信号的平均时钟相位偏差。

需要说明的是，在本实施例中，数据缓存模块 31 的输入端为时钟相位误差估计器 24 的第一输入端 26，第二计算模块 33 的输入端为时钟相位误差估计器 24 的第二输入端 27，加法器 36 的输出端为时钟相位误差估计器 24 的输出端。

在本实施例中，时钟相位误差估计器 24 的工作原理具体如下：ADC 21 输出的采样信号进入数据缓存模块 31 进行存储，第一计算模块 32 对缓存数据模块 31 输出的多个采样信号进行计算，获取第二采样信号的平均时钟相位偏差 $E1$ ，并经过第一放大器 34 进行增益调节，第一放大器 34 的放大系数 $K1$ 的取值范围为 $0 \leq K1 \leq 1$ ，第二计算模块 33 对多个输出信号进行计算，获取第二输出信号的平均时钟相位偏差 $E2$ ， $E2$ 经过第二放大器 35 进行增益调节，第二放大器的放大系数 $K2$ 的取值范围为 $0 \leq K2 \leq 1$ ， $E1$ 和 $E2$ 经过放大器增益调节后，进入加法器进行运算，输出时钟相位误差信号。

具体的，以数据缓存模块31中存储了采样信号为 $x_1, x_2, x_3, x_4, x_5, x_6, \dots, x_n$ 为例，详细说明第一计算模块32和第二计算模块33的实现方式。第一计算模块31在预设时间周期 T 内，计算 N 个采样信号的平均时钟相位偏差 E_1 ，例如 $N=10$ ，则 T_1 时间周期内，计算 x_1, \dots, x_{10} 的 E_1 ， T_2 时间周期内，
5 x_{11}, \dots, x_{20} 的 E_1 ，以此类推。第二计算模块33在预设时间周期 T 内，计算 M 各输出信号的平均时钟相位偏差 E_2 ，例如 $M=3$ ，则在 T_1 时间周期内，计算输出信号 y_1, y_2, y_3 的 E_2 ，在 T_2 时间周期内，计算 y_3, y_4, y_5 的 E_2 ，以此类推。在每个时间周期 T 内，加法器输出的时钟相位误差信号
 $ERROR=E_1*K_1+E_2*K_2$ ，其中 $K_1+K_2=1$ 。

10 图6为本发明实施例中的第一计算模块的结构示意图。如图6所示，第一计算模块32包括傅里叶变换单元41、扩展单元42、累加单元43、角度单元44和归一化单元45。

其中，傅里叶变换单元41的输入端与数据缓存模块31的输出端连接，傅里叶变换单元41的输出端与扩展单元42的输入端连接；扩展单元42的输
15 出端与累加单元43的输入端连接；累加单元43的输出端与角度单元44的输入端连接；角度单元44的输出端与归一化单元45的输入端连接；归一化单元45的输出端与第一放大器34的输入端连接。傅里叶变换单元41用于对数据缓存模块输出的多个采样信号进行傅里叶变换，输出采样信号的复数值序列；扩展单元42用于对采样信号的复数值序列进行扩展，输出扩展后的复数
20 值序列；累加单元43用于根据扩展后的复数值序列，计算采样信号的时钟相位误差平均值；角度单元44用于根据累加单元输出的采样信号的时钟相位误差平均值，计算采样信号的时钟相位误差角度；归一化单元45用于对角度单元输出的时钟相位误差角度进行归一化处理，输出采样信号的平均时钟相位偏差。

25 在本实施例中，第一计算模块32的工作原理具体如下：傅里叶变换单元41对数据缓存模块31输出的 N 个采样信号进行傅里叶变换，变换后得到 N 个采样信号的复数值序列，设为 $F_1, F_2, F_3, \dots, F_N$ ；扩展单元42对 $F_1, F_2, F_3, \dots, F_N$ 进行首尾扩展，扩展长度越长，时钟误差估计越准确，但是耗时也越多，响应也越慢，则需要根据系统实际情况取一个合理的值，本实
30 施例中为了说明方便，设扩展长度 n 为2， n 为正整数，且 $n \geq 1$ ，扩展后的

复数值序列为 $F(N-1)$, $F(N)$, $F(1)$, $F(2)$, $F(3)$, ..., $F(N)$, $F(1)$, $F(2)$; 累加单元 43 对扩展后的复数值进行运算, 获取采样信号的时钟相位误差平均值; 角度单元 44 对采样信号的时钟相位误差平均值进行运算, 获取采样信号的时钟相位误差角度; 归一化单元 45 对采样信号的时钟相位误差角度进行归一化处理, 输出采样信号的平均时钟相位偏差, 例如, 将采样信号的时钟相位误差角度归一化到 0-1 的采样点间隔上, 如 0.1 则表示采样信号偏差了 0.1 个采样间隔时间。

图 7 为本发明实施例中的累加单元结构示意图。如图 7 所示, 累加单元 43 包括平均器 51、平均器 52、多个共轭运算单元 53 和多个乘法器 54。以复数值序列 $F(N-1)$, $F(N)$, $F(1)$, ..., $F(N/4-2)$ 和复数序列 $F(3N/4-2)$, $F(3N/4-1)$, $F(3N/4)$, ..., $F(N-2)$ 为例说明累加单元的工作原理。复数序列 $F(3N/4-2)$, $F(3N/4-1)$, $F(3N/4)$, ..., $F(N-2)$ 经过共轭运算单元 53 后, 进入乘法器 54 与复数值序列 $F(N-1)$, $F(N)$, $F(1)$, ..., $F(N/4-2)$ 进行乘法运算, 经过乘法运算的信号再进入平均器 51 与进入平均器 51 的其它信号进行平均, 平均后的信号再进入乘法器 54, 与另一支路的平均后的信号进行乘法运算, 得到采样信号的时钟相位误差平均值; 在另一支路中则是对复数值序列 $F(N-1)$, $F(N)$, $F(1)$, ..., $F(N/4-2)$ 进行共轭运算后, 再与复数序列 $F(3N/4-2)$, $F(3N/4-1)$, $F(3N/4)$, ..., $F(N-2)$ 进行乘法运算, 经过乘法运算后的信号进入平均器 52 进行平均, 平均后的信号再进行一次共轭运算后进入乘法器 54, 进行乘法运算后得到采样信号的时钟相位误差平均值。

需要说明的是, 图 7 所示的累加单元中的复数序列并不仅限于图中所示的复数序列, 可根据实际情况对复数序列、共轭运算单元 53 和乘法器 54 的数量进行调节。

图 8 为本发明实施例中的第二计算模块的结构示意图。如图 8 所示, 第二计算模块 33 包括多个求模单元 61、一个平均器 62、两个减法器 63、三个幂运算单元 64 和一个乘法器 65。y1、y2、y3 为数字间插器 23 反馈的输出信号, y1、y2、y3 分别进入求模单元 61 进行模运算, y1、y3 经过模运算后与 y2 经过模运算的信号进行减法运算, 减法器 63 的输出信号进入幂运算单元 64 进行幂运算, 幂运算单元 64 的输出信号进入乘法器 65 与另一支路的减法器 63 的输出信号进

行乘法运算，得到输出信号的时钟相位误差平均值。另一支路上， y_1 、 y_3 分别进行模运算和幂运算后，再进行减法运算，减法器63的输出信号与幂运算单元64的输出信号进行乘法运算，得到输出信号的时钟相位误差平均值。其中，幂运算单元64可设置不同的次幂系数，如 C_1 、 C_2 、 C_3 为大于等于1的整数，根据系统调制格式可以适当调整，如正交相移键控 (Quadrature Phase Shift Keying, 简称QPSK)调制格式的系统， $C_1=1$ ， $C_2=2$ ， $C_3=1$ ；8正交幅度调制 (Quadrature Amplitude Modulation, 简称QAM)或是16QAM调制格式的情况， $C_1=1$ ， $C_2=3$ ， $C_3=1$ ；64QAM则可能需要把 C_1 、 C_2 、 C_3 设置较大的数值，以便于更好的获取到时钟相位偏差。

5 需要说明的是，图8仅以第二计算单元在预设时间周期T内计算三个输出信号的时钟相位误差平均值为例，给出的第二计算单元的结构示意图，具体实现时，可根据实际情况进行调整，实现原理与图8相同。

在本实施例中，数字控制器用于提供一个间插信号索引，如是第2个采样信号需要插值还是第3个采样信号需要插值，还用于提供一个间插相位，如在这个索引的位置，让被插值的原始采样信号往前移动或是往后移动多少个采样值周期，如0个周期，0.1个周期，0.9个周期，1个周期，其中，0个周期说明该采样点是理想位置的采样点，不需要校正，该数字控制器为现有技术，此处不再赘述。数字间插器用于根据间插信号索引和间插相位对采样信号进行校正，在其他文献中数字间插器也可以称为数字插值滤波器或是数字插值器等。数据缓存器的功能是暂时存储一定长度的采样信号序列，可采用现有技术中的缓存器件。

图9为本发明实施例三提供的时钟恢复装置的结构示意图。在上述实施例一的基础上，如图9所示，时钟恢复装置还包括扰偏振控制器70。扰偏振控制器70的第一输入端71与ADC21的输出端连接，扰偏振控制器70的第二输入端72与时钟相位误差估计器24的输出端连接，扰偏振控制器70的输出端分别与数据缓存器22的输入端和时钟相位误差估计器24的第一输入端连接。扰偏振控制器70用于消除ADC21同时输出的两个采样信号之间的干扰。

在本实施例中，当有两路光偏振态信号同时作为输入信号时，由于偏振模式色散原因，两个偏振态信号之间会相互干扰，可以在ADC21之后设置一个扰偏振控制器70，用于消除ADC21输出的两路采样信号之间的相互干

扰。

具体的，利用时钟相位误差估计器 24 输出的时钟相位误差信号反馈给扰偏振控制器 70，由扰偏振控制器 70 对两路采样信号进行干扰消除，直到时钟相位误差估计器 24 输出最优的时钟相位误差信号。扰偏振控制器 70 具体实现方式可以根据公式 (1) 所示的信道里偏振模式色散模型来处理。

$$X \cos(\theta) - Y \sin(\theta)e^{-j\varphi} \quad (1)$$

其中，X 为光 X 偏振方向上的信号，Y 为光 Y 偏振方向上的信号， θ 表示偏振光的方位角， φ 表示偏振光的椭圆角。

本实施例提供的时钟恢复装置，通过设置扰偏振控制器来消除两路光偏正态信号之间的相互干扰，使得相位误差估计器输出最优的时钟相位误差信号，以便于时钟恢复装置输出最优的采样信号。

图 10 为本发明实施例四提供的时钟恢复装置的结构示意图。在上述实施例一的基础上，如图 10 所示，时钟恢复装置还包括偏振均衡器 73。偏振均衡器 73 的输入端与 ADC 21 连接，偏振均衡器 73 的输出端分别与数据缓存器 22 的输入端连接和时钟相位误差估计器 24 的第一输入端 26 连接；偏振均衡器 73 用于根据色散均衡系数，对 ADC 21 输出的采样信号进行时域卷积，以消除所述 ADC 同时输出的两个采样信号之间的干扰。

在本实施例中，当有两路光偏振态信号同时作为输入信号时，由于偏振模式色散原因，两个偏振态信号之间会相互干扰，可以在 ADC 21 之后设置一个偏振均衡器 73，偏振均衡器 73 可以根据色散均衡系数对采样信号直接进行时域卷积，完成采样信号的均衡，均衡后输出一路光偏振态信号进行时钟恢复，或是可以输出两路偏振态信号，分别供两套时钟恢复系统用。

本实施例提供的时钟恢复装置，通过设置偏振均衡器根据色散均衡系数对采样信号直接进行时域卷积，完成采样信号的均衡，使用均衡后的信号进行时钟恢复，以便于时钟恢复装置输出最优的采样信号。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权利要求书

1、一种时钟恢复装置，其特征在于，包括：模拟数字转换器 ADC、数据缓存器、数字间插器、时钟相位误差估计器、滤波器和数字控制器；

5 其中，所述 ADC 的输出端分别与所述数据缓存器的输入端和所述时钟相位误差估计器的第一输入端连接；所述数据缓存器的输出端与所述数字间插器的第一输入端连接；所述数字间插器的输出端与所述时钟相位误差估计器的第二输入端连接；所述时钟相位误差估计器的输出端与所述数字控制器的输入端连接；所述数字控制器的输出端与所述数字间插器的第二输入端连接；
所述 ADC，用于对输入信号进行采样，并输出第二采样信号；

10 所述时钟相位误差估计器，用于对所述 ADC 输出的所述第二采样信号和所述数字间插器反馈的第一输出信号，进行时钟相位误差运算，获取时钟相位误差信号；其中，第一输出信号为第一采样信号对应的输出信号，所述第一采样信号为所述第二采样信号的前一个相邻的采样信号；

15 所述数字控制器，用于根据所述时钟相位误差信号，获取间插信息；其中，所述间插信息包括第二采样信号的间插信号索引和第二采样信号的间插相位；

所述数据缓存器，用于对所述 ADC 输出的所有采样信号进行存储，以使进入所述数字间插器的所述第二采样信号对应所述间插信息；

20 所述数字间插器，用于根据所述数字控制器输出的所述间插信息，对所述数据缓存器输出的所述第二采样信号进行调整，以使获取到的第二输出信号为最佳采样时刻的输出信号。

2、根据权利要求 1 所述的方法，其特征在于，所述时钟恢复装置还包括滤波器；

25 所述滤波器的输入端与所述时钟相位误差估计器的输出端连接，所述滤波器的输出端与所述数字控制器的输入端连接；

所述滤波器，用于对所述时钟相位误差估计器输出的所述时钟相位误差信号进行高频滤波，并输出滤波后的时钟相位误差信号。

30 3、根据权利要求 2 所述的时钟恢复装置，其特征在于，所述时钟相位误差估计器包括数据缓存模块、第一计算模块、第二计算模块、第一放大器、第二放大器和加法器；

其中，所述数据缓存模块的输入端与所述 ADC 的输出端连接，所述数据缓存模块的输出端和所述第一计算模块的输入端连接；所述第一计算模块的输出端与所述第一放大器的第一输入端连接；所述第二计算模块的输入端与所述数字间插器的输出端连接，所述第二计算模块的输出端与所述第二放大器的输入端连接；所述第二放大器的输出端与所述加法器的第二输入端连接，所述加法器的输出端与所述滤波器连接；

所述数据缓存模块用于存储所述 ADC 输出的采样信号，以使进入所述数字间插器的所述采样信号和所述采样信号的间插信息相对应；

所述第一计算模块，用于计算所述第二采样信号的平均时钟相位偏差；

10 所述第二计算模块，用于计算所述第一输出信号的平均时钟相位偏差。

4、根据权利要求 3 所述的时钟恢复装置，其特征在于，所述第一计算模块包括傅里叶变换单元、扩展单元、累加单元、角度单元和归一化单元；

其中，所述傅里叶变换单元的输入端与所述数据缓存模块的输出端连接，所述傅里叶变换单元的输出端与所述扩展单元的输入端连接；所述扩展单元的
15 输出端与所述累加单元的输入端连接；所述累加单元的输出端与所述角度单元的输入端连接；所述角度单元的输出端与所述归一化单元的输入端连接；所述归一化单元的输出端与所述第一放大器的输入端连接；

所述傅里叶变换单元，用于对所述数据缓存模块输出的 N 采样信号进行傅里叶变换，输出采样信号的复数值序列；其中，N 为大于等于 1 的正整数；

20 所述扩展单元，用于对所述复数值序列进行扩展，输出扩展后的复数值序列；

所述累加单元，用于根据所述扩展后的复数值序列，计算第二采样信号的时钟相位误差平均值；

25 所述角度单元，用于根据所述累加单元输出的所述第二采样信号的时钟相位误差平均值，计算第二采样信号的时钟相位误差角度；

所述归一化单元，用于对所述角度单元输出的所述时钟相位误差角度进行归一化处理，输出所述第二采样信号的平均时钟相位偏差。

5、根据权利要求 1-4 任一项所述的时钟恢复装置，其特征在于，所述时钟恢复装置还包括扰偏振控制器；

30 所述扰偏振控制器的第一输入端与所述 ADC 的输出端连接，所述扰偏振

控制器的第二输入端与所述时钟相位误差估计器的输出端连接，所述扰偏振控制器的输出端分别与所述数据缓存器的输入端和所述时钟相位误差估计器的第一输入端连接；

5 所述扰偏振控制器，用于消除所述 ADC 同时输出的两个采样信号之间的干扰。

6、根据权利要求 1-4 任一项所述的时钟恢复装置，其特征在于，所述时钟恢复装置还包括偏振均衡器；

10 所述偏振均衡器的输入端与所述 ADC 连接，所述偏振均衡器的输出端分别与所述数据缓存器的输入端连接和所述时钟相位误差估计器的第一输入端连接；

所述偏振均衡器，用于根据色散均衡系数，对所述 ADC 输出的采样信号进行时域卷积，以消除所述 ADC 同时输出的两个采样信号之间的干扰。

1/4

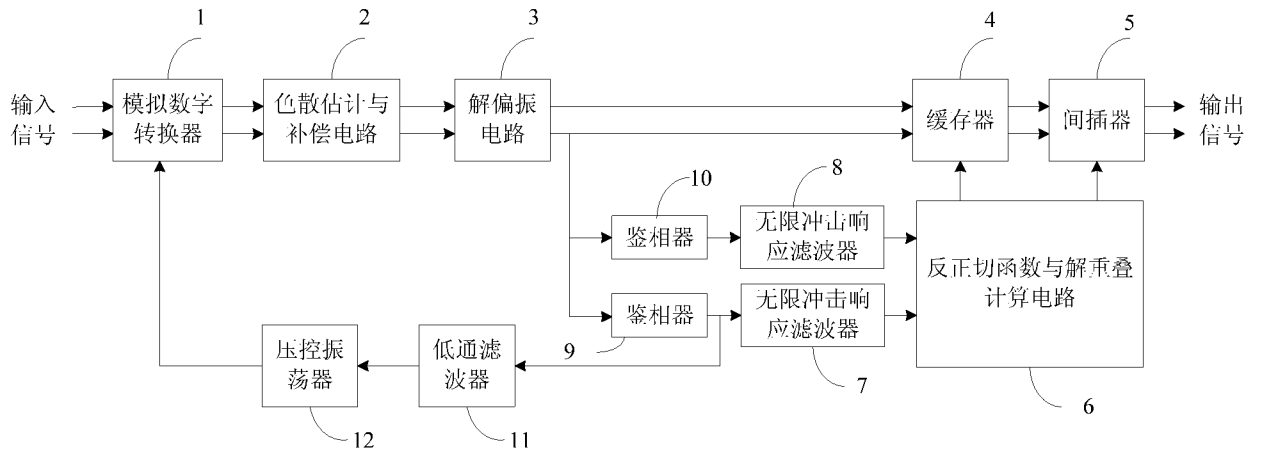


图 1

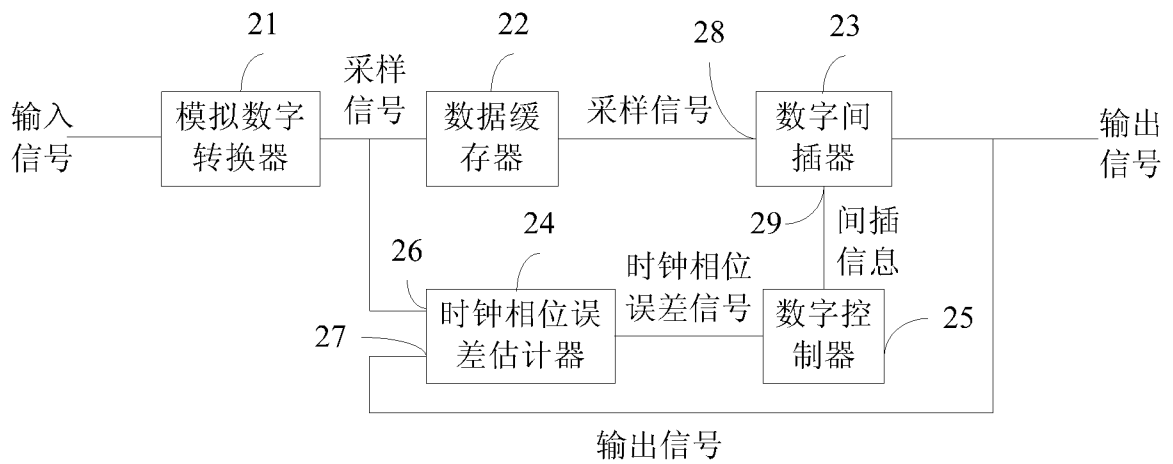


图 2

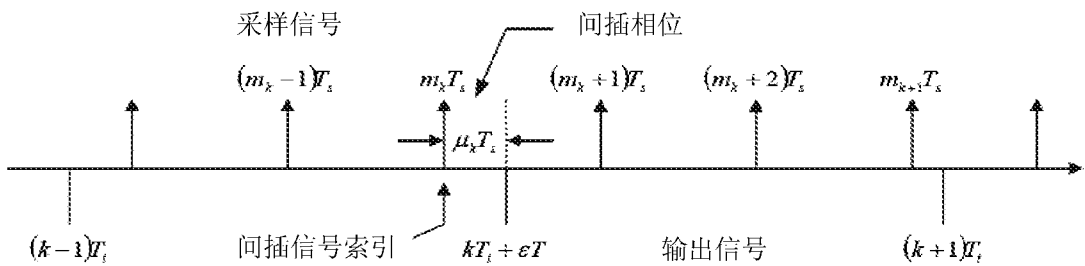


图 3

2/4

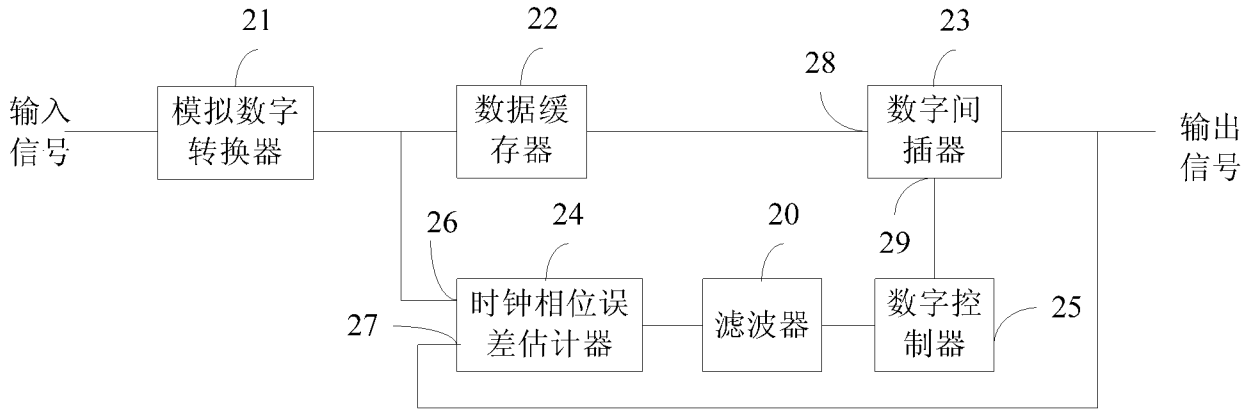


图 4

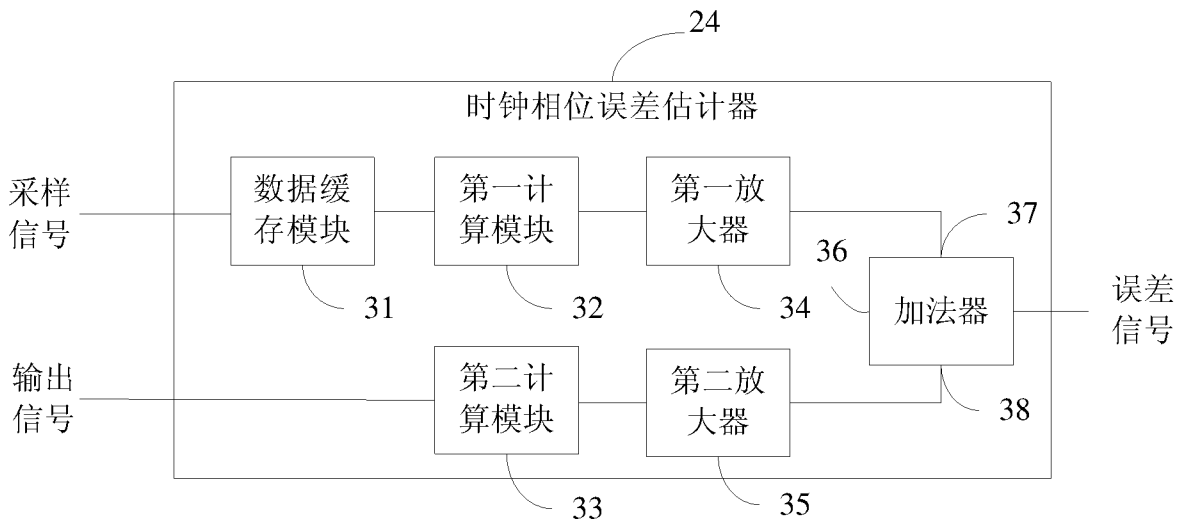


图 5

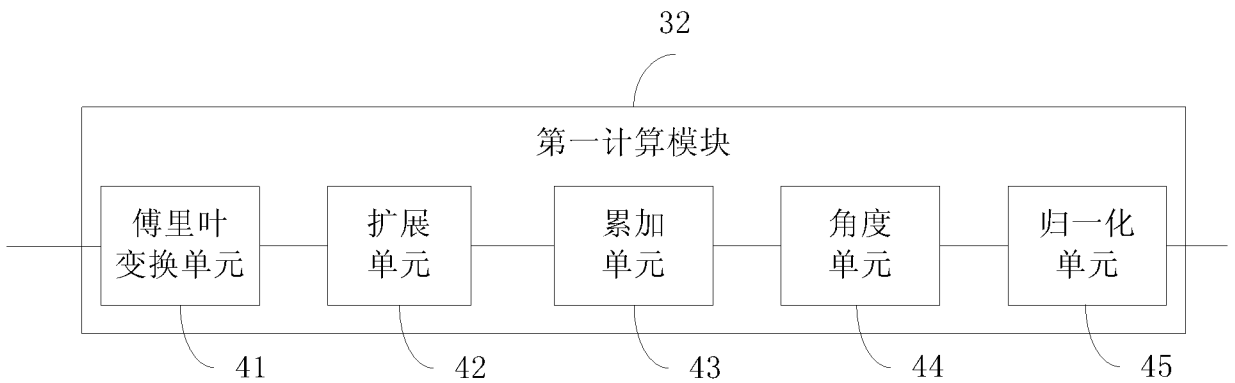


图 6

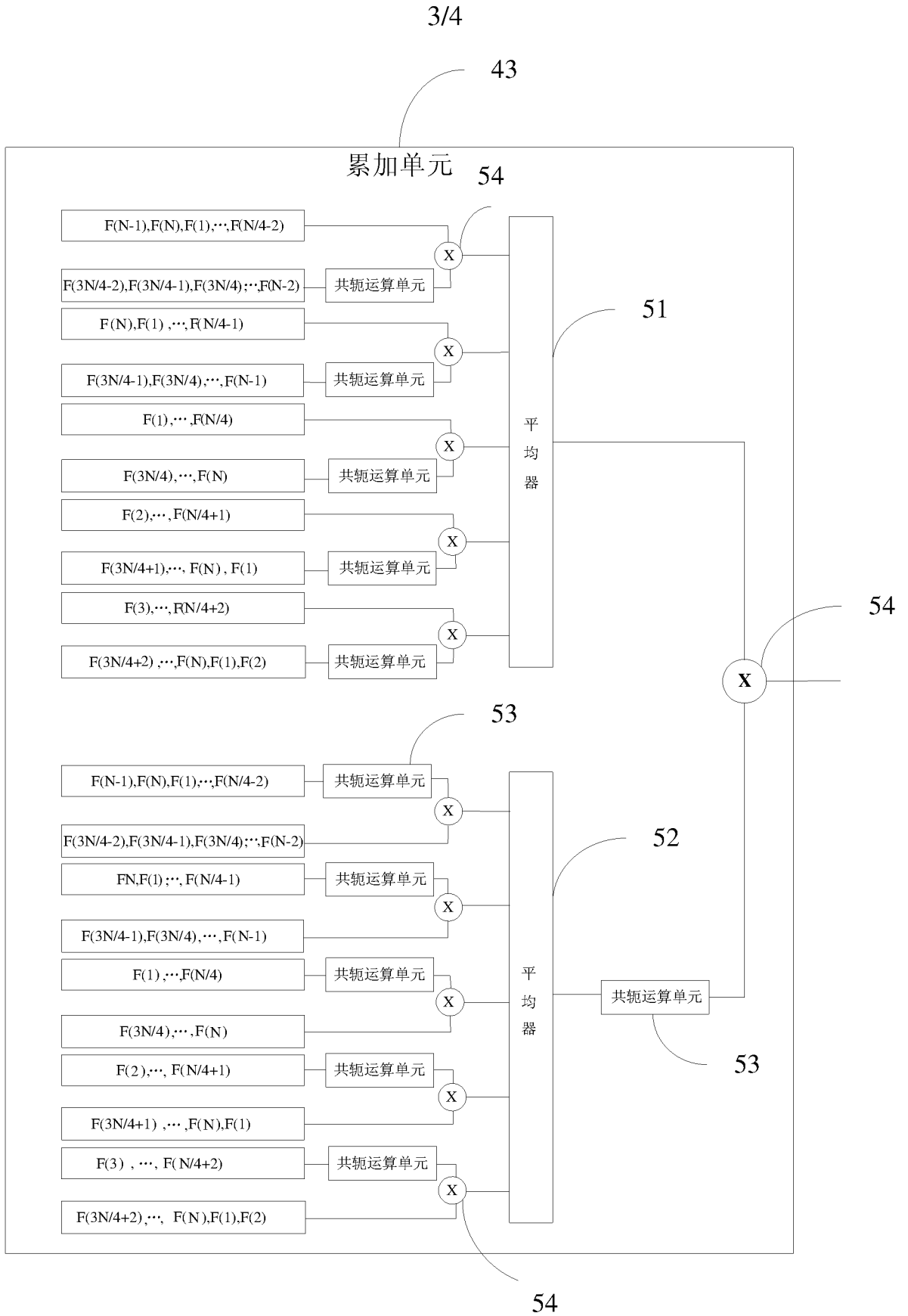


图 7

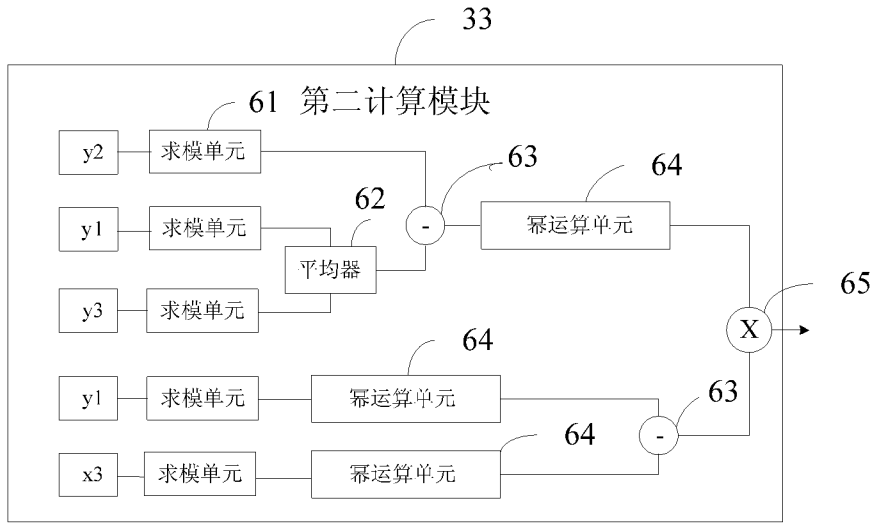


图 8

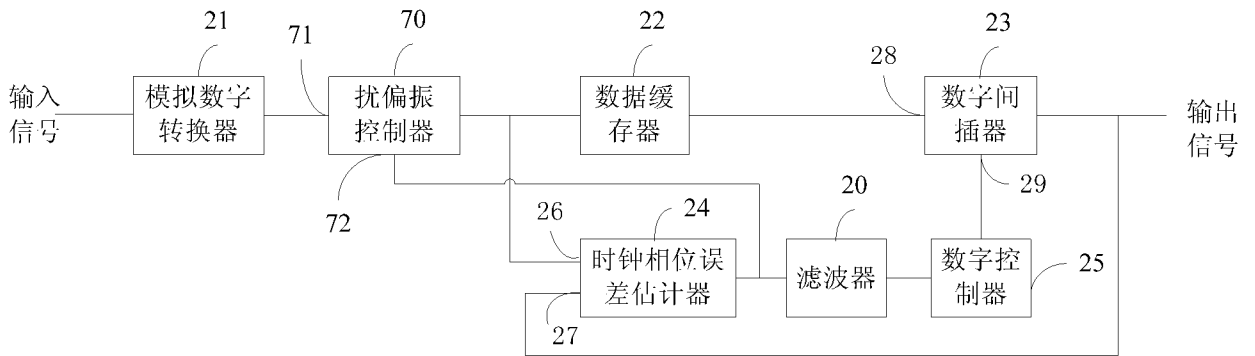


图 9

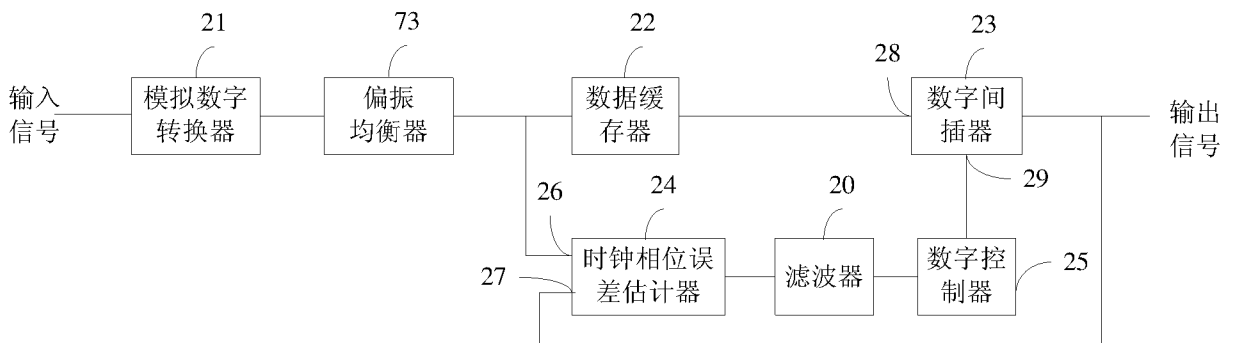


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/095520

A. CLASSIFICATION OF SUBJECT MATTER

H04L 7/033 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L; H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: interleave, interpolation, analog-digital converter, clock, timing, recovery, interpolator, phase, error, estimate, sample, ADC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007009074 A1 (MA, C.W.), 11 January 2007 (11.01.2007), description, paragraphs [0023]-[0028], and figures 2	1-6
A	CN 102016996 A (AGERE SYSTEM INC.), 13 April 2011 (13.04.2011), the whole document	1-6
A	CN 101820340 A (ZTE CORP. et al.), 01 September 2010 (01.09.2010), the whole document	1-6
A	CN 102377715 A (BEIJING TIMI TECHNOLOGIES CO., LTD.), 14 March 2012 (14.03.2012), the whole document	1-6

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
06 September 2015 (06.09.2015)

Date of mailing of the international search report
24 September 2015 (24.09.2015)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
NIE, Peng
Telephone No.: (86-10) **62413689**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/095520

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2007009074 A1	11 January 2007	TW I322983 B	01 April 2010
CN 102016996 A	13 April 2011	JP 2012504298 A	16 February 2012
		WO 2010036269 A1	01 April 2010
		KR 20110061515 A	09 June 2011
		US 2011063746 A1	17 March 2011
		EP 2342710 A1	13 July 2011
		TW 201013644 A	01 April 2010
		US 2013250745 A1	26 September 2013
CN 101820340 A	01 September 2010	WO 2011100889 A1	25 August 2011
CN 102377715 A	14 March 2012	WO 2012019434 A1	16 February 2012
		HK 1165634 A0	05 October 2012

<p>A. 主题的分类</p> <p>H04L 7/033 (2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H04L; H04B</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPDOC, CNPAT, CNKI: 时钟, 恢复, 间插, 内插, 相位, 误差, 估计, 采样, 模拟数字转换器, clock, timing, recovery, interpolator, phase, error, estimate, sample, ADC</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2007009074 A1 (MA, CHING-WEN) 2007年 1月 11日 (2007 - 01 - 11) 说明书第[0023]-[0028]段以及附图2</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>CN 102016996 A (艾格瑞系统有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>CN 101820340 A (中兴通讯股份有限公司等) 2010年 9月 1日 (2010 - 09 - 01) 全文</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>CN 102377715 A (北京泰美世纪科技有限公司) 2012年 3月 14日 (2012 - 03 - 14) 全文</td> <td>1-6</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	US 2007009074 A1 (MA, CHING-WEN) 2007年 1月 11日 (2007 - 01 - 11) 说明书第[0023]-[0028]段以及附图2	1-6	A	CN 102016996 A (艾格瑞系统有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-6	A	CN 101820340 A (中兴通讯股份有限公司等) 2010年 9月 1日 (2010 - 09 - 01) 全文	1-6	A	CN 102377715 A (北京泰美世纪科技有限公司) 2012年 3月 14日 (2012 - 03 - 14) 全文	1-6
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	US 2007009074 A1 (MA, CHING-WEN) 2007年 1月 11日 (2007 - 01 - 11) 说明书第[0023]-[0028]段以及附图2	1-6															
A	CN 102016996 A (艾格瑞系统有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-6															
A	CN 101820340 A (中兴通讯股份有限公司等) 2010年 9月 1日 (2010 - 09 - 01) 全文	1-6															
A	CN 102377715 A (北京泰美世纪科技有限公司) 2012年 3月 14日 (2012 - 03 - 14) 全文	1-6															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件						
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																	
国际检索实际完成的日期	国际检索报告邮寄日期																
2015年 9月 6日	2015年 9月 24日																
ISA/CN的名称和邮寄地址	授权官员																
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国	聂鹏																
传真号 (86-10)62019451	电话号码 (86-10)62413689																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/095520

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2007009074	A1	2007年 1月 11日	TW	I322983	B	2010年 4月 1日
CN	102016996	A	2011年 4月 13日	JP	2012504298	A	2012年 2月 16日
				WO	2010036269	A1	2010年 4月 1日
				KR	20110061515	A	2011年 6月 9日
				US	2011063746	A1	2011年 3月 17日
				EP	2342710	A1	2011年 7月 13日
				TW	201013644	A	2010年 4月 1日
				US	2013250745	A1	2013年 9月 26日
CN	101820340	A	2010年 9月 1日	WO	2011100889	A1	2011年 8月 25日
CN	102377715	A	2012年 3月 14日	WO	2012019434	A1	2012年 2月 16日
				HK	1165634	A0	2012年 10月 5日