

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4744751号
(P4744751)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl.

F I

H O 1 L 27/11 (2006.01)

H O 1 L 27/10 3 8 1

H O 1 L 21/8244 (2006.01)

請求項の数 18 (全 43 頁)

(21) 出願番号 特願2001-296178 (P2001-296178)
(22) 出願日 平成13年9月27日(2001.9.27)
(65) 公開番号 特開2002-237539 (P2002-237539A)
(43) 公開日 平成14年8月23日(2002.8.23)
審査請求日 平成20年6月18日(2008.6.18)
(31) 優先権主張番号 特願2000-371153 (P2000-371153)
(32) 優先日 平成12年12月6日(2000.12.6)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 新居 浩二
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

2ポートのスタティックメモリセルを有する半導体装置であって、
前記スタティックメモリセルは、
第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のイン
バータと、
前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第
2のインバータと、
一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線
に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジス
タと、
一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線
に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジス
タと、
一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線
に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトラン
ジスタと、
一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線
に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトラン
ジスタとを含み、

10

20

前記第 1 のワード線と前記第 2 のワード線とが並んで配列され、

前記スタティックメモリセルにおいて、第 2 の導電型の第 1 の領域、第 1 の導電型の第 2 の領域、及び第 2 の導電型の第 3 の領域が前記第 1 及び第 2 のワード線の伸びる方向に前記第 1、第 2 及び第 3 の領域の順に配置され、

前記第 1 の領域には、前記第 1 のトランジスタと、前記第 3 のトランジスタと、前記第 2 のインバータを構成する第 1 の導電型の第 5 トランジスタとが配置され、

前記第 2 の領域には、前記第 2 のインバータを構成する第 2 の導電型の第 7 トランジスタと前記第 1 のインバータを構成する第 2 の導電型の第 8 トランジスタとが配置され、

前記第 3 の領域には、前記第 2 のトランジスタと、前記第 4 のトランジスタと、前記第 1 のインバータを構成する第 1 の導電型の第 6 トランジスタとが配置された、
半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置であって、

前記第 1 から第 4 のビット線は、それぞれの伸びる方向が前記第 1 のワード線及び前記第 2 のワード線と直交する方向になるように配列された、
半導体装置。

【請求項 3】

請求項 1 あるいは請求項 2 に記載の半導体装置であって、

前記第 1 のトランジスタのゲート電極と前記第 3 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 1 のゲート電極が構成され、

20

前記第 2 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 2 のゲート電極が構成される、
半導体装置。

【請求項 4】

請求項 3 記載の半導体装置であって、

前記第 5 のトランジスタのゲート電極と前記第 7 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 3 のゲート電極が構成され、

前記第 6 のトランジスタのゲート電極と前記第 8 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 4 のゲート電極が構成され、

前記第 1 から第 4 のゲート電極は前記第 1 のワード線及び前記第 2 のワード線の延びる方向に延びる、
半導体装置。

30

【請求項 5】

請求項 1 ないし請求項 4 のうち、いずれか 1 項に記載の半導体装置であって、

前記第 1 と前記第 5 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第 4 と前記第 6 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第 2 と前記第 5 のトランジスタの活性領域は分離され、配線を介して接続され、

前記第 3 と前記第 6 のトランジスタの活性領域は分離され、配線を介して接続された、
半導体装置。

40

【請求項 6】

請求項 5 記載の半導体装置であって、

前記第 2 の領域に近い順に、前記第 3 のトランジスタ、前記第 1 のトランジスタが配置され、

前記第 2 の領域に近い順に、前記第 2 のトランジスタ、前記第 4 のトランジスタが配置された、
半導体装置。

【請求項 7】

請求項 5 記載の半導体装置であって、

50

前記第 2 の領域に近い順に、前記第 1 のトランジスタ、前記第 3 のトランジスタが配置され、

前記第 2 の領域に近い順に、前記第 4 のトランジスタ、前記第 2 のトランジスタが配置された、
半導体装置。

【請求項 8】

スタティック型ランダムアクセスメモリを有し、このスタティック型ランダムアクセスメモリの一つのメモリセルは第 1 乃至第 8 のトランジスタで構成される半導体装置であって、

各々第 1 導電型の第 1 及び第 2 のウェル領域、

前記第 1 及び第 2 のウェル領域の間に配置された、第 2 導電型の第 3 のウェル領域、

互いに離間して前記第 3 のウェル領域内に設けられ、前記第 1 のトランジスタの電極をそれぞれ構成する第 1 導電型の第 1 及び第 2 の不純物領域、

互いに離間して前記第 3 のウェル領域内に設けられ、前記第 2 のトランジスタの電極をそれぞれ構成する第 1 導電型の第 3 及び第 4 の不純物領域、

互いに離間して前記第 1 のウェル領域内に設けられ、前記第 3 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 5 及び第 6 の不純物領域、

互いに離間して前記第 1 のウェル領域内に設けられ、前記第 4 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 7 及び第 8 の不純物領域、

互いに離間して前記第 1 のウェル領域内に設けられ、前記第 5 のトランジスタの電極をそれぞれ構成する、第 2 導電型の第 9 及び第 10 の不純物領域、

互いに離間して前記第 2 のウェル領域内に設けられ、前記第 6 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 11 及び第 12 の不純物領域、

互いに離間して前記第 2 のウェル領域内に設けられ、前記第 7 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 13 及び第 14 の不純物領域、

互いに離間して前記第 2 のウェル領域内に設けられ、前記第 8 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 15 及び第 16 の不純物領域、

前記第 1 及び第 2 の不純物領域の間の領域の上、及び前記第 5 及び第 6 の不純物領域の間の領域の上に少なくとも配置され、前記第 1 及び第 3 のトランジスタのそれぞれゲート電極を一体に構成する第 1 の導電層、

前記第 3 及び第 4 の不純物領域の間の領域の上、及び前記第 11 及び第 12 の不純物領域の間の領域の上に少なくとも配置され、前記第 2 及び第 6 のトランジスタのそれぞれゲート電極を一体に構成する第 2 の導電層、

前記第 7 及び第 8 の不純物領域の間の領域の上、及び前記第 9 及び第 10 の不純物領域の間の領域の上に少なくとも配置され、前記第 4 及び第 5 のトランジスタのそれぞれゲート電極を一体に構成する第 3 の導電層、

前記第 13 及び第 14 の不純物領域の間の領域の上、及び前記第 15 及び第 16 の不純物領域の間の領域の上に少なくとも配置され、前記第 7 及び第 8 のトランジスタのそれぞれゲート電極を一体に構成する機能する第 4 の導電層、

前記第 2、第 6、第 7 及び第 15 の不純物領域並びに第 2 の導電層に電氣的に接続される第 5 の導電層、

前記第 3、第 9、第 12 及び第 13 の不純物領域並びに第 1 の導電層に電氣的に接続される第 6 の導電層、

前記第 1 乃至第 3 のウェル領域の上に配置され、前記第 4 の導電層に電氣的に接続される第 1 のワード線、

前記第 1 のワード線とは離間して前記第 1 乃至第 3 のウェル領域の上に配置され、前記第 3 の導電層に電氣的に接続される第 2 のワード線、

前記第 14 の不純物領域に電氣的に接続される第 1 のビット線、

前記第 16 の不純物領域に電氣的に接続される第 2 のビット線、

前記第 8 の不純物領域に電氣的に接続される第 3 のビット線、及び、

10

20

30

40

50

前記第 10 の不純物領域に電氣的に接続される第 4 のビット線、
を備え、

前記第 1 及び第 2 の不純物領域の互いに向かい合う方向と、前記第 3 及び第 4 の不純物領域の互いに向かい合う方向と、前記第 5 及び第 6 の不純物領域の互いに向かい合う方向と、前記第 7 及び第 8 の不純物領域の互いに向かい合う方向と、前記第 9 及び第 10 の不純物領域の互いに向かい合う方向と、前記第 11 及び第 12 の不純物領域の互いに向かい合う方向と、前記第 13 及び第 14 の不純物領域の互いに向かい合う方向と、前記第 15 及び第 16 の不純物領域の互いに向かい合う方向とは、同じ方向である、
半導体装置。

【請求項 9】

請求項 8 記載の半導体装置であって、
前記第 6 及び第 7 の不純物領域は一体の不純物領域によって構成され、
前記第 12 及び第 13 の不純物領域は一体の不純物領域によって構成される、
半導体装置。

【請求項 10】

請求項 9 記載の半導体装置であって、
前記第 1 の導電層は、第 1 のシェアードコンタクトを介して前記第 3 の不純物領域と接続され、前記第 2 のシェアードコンタクトを介して前記第 9 の不純物領域と接続され、
前記第 2 の導電層は、第 3 のシェアードコンタクトを介して前記第 2 の不純物領域と接続され、前記第 4 のシェアードコンタクトを介して前記第 15 の不純物領域と接続され、
前記第 5 の導電層は一体の金属層で構成されており、平面視して前記第 2 の不純物領域と重なる部分で前記第 3 のシェアードコンタクトを介して前記第 2 の不純物領域と接続され、平面視して前記第 6 の不純物領域と重なる部分でコンタクトホールを介して前記第 6 の不純物領域と接続され、

前記第 6 の導電層は一体の金属層で構成されており、平面視して前記第 3 の不純物領域と重なる部分で前記第 1 のシェアードコンタクトを介して前記第 3 の不純物領域と接続され、平面視して前記第 12 の不純物領域と重なる部分でコンタクトホールを介して前記第 12 の不純物領域と接続される、
半導体装置。

【請求項 11】

請求項 9 記載の半導体装置であって、
前記第 3 のウェル領域に近い順に、前記第 4 のトランジスタ及び前記第 5 のトランジスタが配置され、
前記第 3 のウェル領域に近い順に、前記第 7 のトランジスタ及び前記第 8 のトランジスタが配置された、
半導体装置。

【請求項 12】

請求項 8 記載の半導体装置であって、
前記第 1 及び第 4 の不純物領域に電氣的に接続され、電源電圧を供給する第 1 の電圧供給線を備え、

前記第 1 乃至第 4 のビット線は、同一の層において互いに並行に配置され、
前記第 1 の電圧供給線は、前記第 1 乃至第 4 のビット線と同一の層において前記第 1 及び第 2 のビット線のペアと前記第 3 及び第 4 のビット線のペアとの間に配置される、
半導体装置。

【請求項 13】

請求項 12 記載の半導体装置であって、
前記第 1 乃至第 4 のビット線と同一の層において前記第 3 及び第 4 のビット線の間に配置され、前記第 5 の不純物領域に接地電圧を供給する第 2 の電圧供給線、および、
前記第 1 乃至第 4 のビット線と同一の層において前記第 1 及び第 2 のビット線の間に配置され、前記第 11 の不純物領域に接地電圧を供給する第 3 の電圧供給線を備える、

10

20

30

40

50

半導体装置。

【請求項 1 4】

請求項 1 2 記載の半導体装置であって、

前記第 5 の不純物領域に接地電圧を供給する第 2 の電圧供給線、および、

前記第 1 1 の不純物領域に接地電圧を供給する第 3 の電圧供給線を備え、

前記第 1 及び第 2 のワード線と前記第 2 及び第 3 の電圧供給線とは同一の層において互いに並行に配置され、前記第 1 及び第 2 のワード線は、前記第 2 及び第 3 の電圧供給線の間に配置される、

半導体装置。

【請求項 1 5】

請求項 8 記載の半導体装置であって、

前記第 5 及び第 6 の不純物領域の間の領域と、前記第 1 及び第 2 の不純物領域の間の領域と、前記第 1 3 及び第 1 4 の不純物領域の間の領域と、前記第 1 5 及び第 1 6 の不純物領域の間の領域とは、直線状に一例に並んで配置され、

前記第 1 1 及び第 1 2 の不純物領域の間の領域と、前記第 3 及び第 4 の不純物領域の間の領域と、前記第 7 及び第 8 の不純物領域の間の領域と、前記第 9 及び第 1 0 の不純物領域の間の領域とは、直線状に一例に並んで配置される、

半導体装置。

【請求項 1 6】

請求項 8 記載の半導体装置であって、

前記第 5 の導電層は、一体の金属層で構成されており、平面視して前記第 6 の不純物領域と重なる部分で第 1 のコンタクトホールを介して前記第 6 の不純物領域と接続され、平面視して前記第 7 の不純物領域と重なる部分で第 2 のコンタクトホールを介して前記第 7 の不純物領域と接続され、

前記第 6 の導電層は、一体の金属層で構成されており、平面視して前記第 1 2 の不純物領域と重なる部分で第 3 のコンタクトホールを介して前記第 1 2 の不純物領域と接続され、平面視して前記第 1 3 の不純物領域と重なる部分で第 4 のコンタクトホール (1 C) を介して前記第 1 3 の不純物領域と接続され、

前記第 3 のウェル領域に近い順に、前記第 5 のトランジスタ及び前記第 4 のトランジスタが配置され、

前記第 3 のウェル領域に近い順に、前記第 8 のトランジスタ及び前記第 7 のトランジスタが配置された、

半導体装置。

【請求項 1 7】

請求項 8 記載の半導体装置であって、

前記第 5 の導電層は、一体の金属層で構成されており、平面視して前記第 2 の不純物領域と重なる部分で第 1 のコンタクトホールを介して前記第 2 の不純物領域と接続され、平面視して前記第 6 の不純物領域と重なる部分で第 2 のコンタクトホールを介して前記第 6 の不純物領域と接続され、平面視して前記第 1 5 の不純物領域と重なる部分で第 3 のコンタクトホールを介して前記第 1 5 の不純物領域と接続され、

前記第 6 の導電層は、一体の金属層で構成されており、平面視して前記第 3 の不純物領域と重なる部分で第 4 のコンタクトホールを介して前記第 3 の不純物領域と接続され、平面視して前記第 9 の不純物領域と重なる部分で第 5 のコンタクトホールを介して前記第 9 の不純物領域と接続され、平面視して前記第 1 2 の不純物領域と重なる部分で第 6 のコンタクトホールを介して前記第 1 2 の不純物領域と接続される、

半導体装置。

【請求項 1 8】

請求項 1 7 記載の半導体装置であって、

前記第 5 の導電層は、平面視して前記第 2 の導電層と重なる部分で第 7 のコンタクトホールを介して前記第 2 の導電層と接続され、

前記第 6 の導電層は、平面視して前記第 1 の導電層と重なる部分で第 8 のコンタクトホールを介して前記第 1 の導電層と接続される、
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置に関し、特に MOS スタティック RAM のソフトエラー耐性の向上を図ったメモリ構造に関するものである。

【0002】

【従来の技術】

メモリセルの微細化に伴い、パッケージから放出される線や宇宙からの中性子線により発生された電子に起因して記憶ノードで保持されているデータを反転させてしまうというソフトエラーの問題が顕在化してくる。特に電源電圧が低下するにつれて、その誤動作は顕著に現れてくる。ソフトエラーの低減を目的に様々な試みがなされている。

【0003】

図 37 は、例えば特許公報第 2589949 号に開示された SRAM メモリセルと等価な構造を示す回路図である。同図に示すように、メモリセル 100 を PMOS トランジスタ PT1, PT2 及び NMOS トランジスタ NT5 ~ NT8, NT11, NT12, NT21, NT22 から構成される。

【0004】

PMOS トランジスタ PT1, PT2 のソースは共通に電源電圧 Vcc に接続され、PMOS トランジスタ PT1 のドレインはノード 101 を介して PMOS トランジスタ PT2 のゲート及び NMOS トランジスタ NT21, NT22 のゲートに接続され、PMOS トランジスタ PT2 のドレインはノード 111 を介して PMOS トランジスタ PT1 のゲート及び NMOS トランジスタ NT11, NT12 のゲートに接続される。

【0005】

NMOS トランジスタ NT11, NT12 のソースは共に接地 (GND) され、NMOS トランジスタ NT11 のドレインはノード 101 を介して PMOS トランジスタ PT1 のドレインに接続され、NMOS トランジスタ NT12 のドレインはノード 101 及び 102 を介して PMOS トランジスタ PT1 のドレインに接続される。

【0006】

NMOS トランジスタ NT21, NT22 のソースは共に接地され、NMOS トランジスタ NT21 のドレインはノード 111 を介して PMOS トランジスタ PT2 のドレインに接続され、NMOS トランジスタ NT22 のドレインはノード 111 及び 112 を介して PMOS トランジスタ PT2 のドレインに接続される。

【0007】

NMOS トランジスタ NT5 はビット線 BL50, ノード 101 間に介挿され、ゲートがワード線 WL50 に接続される。NMOS トランジスタ NT6 はビット線 BL60, ノード 101 間に介挿され、ゲートがワード線 WL60 に接続される。NMOS トランジスタ NT7 はビット線 BL51, ノード 111 間に介挿され、ゲートがワード線 WL50 に接続される。NMOS トランジスタ NT8 はビット線 BL61, ノード 111 間に介挿され、ゲートがワード線 WL60 に接続される。

【0008】

このような構成において、ビット線対 BL50, BL51 あるいはビット線対 BL60, BL61 より得られるデータを、ワード線 WL50 あるいはワード線 WL60 を活性状態にして、NMOS トランジスタ NT5, NT6 あるいは NMOS トランジスタ NT6, NT8 をオン状態させることにより、記憶ノードであるノード 101 及びノード 111 にアクセスすることができる。

【0009】

上記構成では、通常、1 つの NMOS トランジスタで構成する NMOS ドライバトランジ

10

20

30

40

50

スタを、2つのNMOSトランジスタ（NT11とNT12とに分けるとともにNT21とNT22とに分ける）に分けている。

【0010】

そして、PMOSトランジスタPT1（PT2）のドレインである記憶ノードをノード101（111）とノード102（112）とに分割すべく、NMOSトランジスタNT11（NT21）とNMOSトランジスタNT12（NT22）とを、PMOSトランジスタPT1が形成されるNウェル領域を挟んで互いに反対側に形成している。

【0011】

したがって、上記Nウェル領域は、その片側に衝突するエネルギー粒子によって生成された電子またはホールが、上記Nウェル領域の反対側の空乏領域に影響を及ぼすことを防ぐことにより、ソフトエラーの発生率を低下させることができる。

10

【0012】

【発明が解決しようとする課題】

しかしながら、上記SRAMメモリセルにおいてもソフトエラー低減が十分とではなく、また、本来1個で構成可能なドライバトランジスタを2個で構成しているため回路構成が複雑化するという問題点があった。

【0013】

この発明は上記問題点を解決するためになされたもので、回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体装置を得ることを目的とする。

20

【0028】

この発明に係る請求項1記載の半導体装置は、2ポートのスタティックメモリセルを有し、前記スタティックメモリセルは、第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタとを含み、前記第1のワード線と前記第2のワード線とが並んで配列され、前記スタティックメモリセルにおいて、第2の導電型の第1の領域、第1の導電型の第2の領域、及び第2の導電型の第3の領域が前記第1及び第2のワード線の伸びる方向に前記第1、第2及び第3の領域の順に配置され、前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、前記第3の領域には、前記第2のトランジスタと、前記第4のトランジスタと、前記第1のインバータを構成する第1の導電型の第6トランジスタとが配置される。

30

40

またこの発明に係る請求項8記載の半導体装置は、スタティック型ランダムアクセスメモリを有し、このスタティック型ランダムアクセスメモリの一つのメモリセルは第1乃至第8のトランジスタで構成される半導体装置であって、各々第1導電型の第1及び第2のウェル領域、前記第1及び第2のウェル領域の間に配置された、第2導電型の第3のウェル領域、互いに離間して前記第3のウェル領域内に設けられ、前記第1のトランジスタの電極をそれぞれ構成する第1導電型の第1及び第2の不純物領域、互いに離間して前記第3のウェル領域内に設けられ、前記第2のトランジスタの電極をそれぞれ構成する第1導電型の第3及び第4の不純物領域、互いに離間して前記第1のウェル領域内に設けられ、

50

前記第 3 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 5 及び第 6 の不純物領域、互いに離間して前記第 1 のウェル領域内に設けられ、前記第 4 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 7 及び第 8 の不純物領域、互いに離間して前記第 1 のウェル領域内に設けられ、前記第 5 のトランジスタの電極をそれぞれ構成する、第 2 導電型の第 9 及び第 10 の不純物領域、互いに離間して前記第 2 のウェル領域内に設けられ、前記第 6 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 11 及び第 12 の不純物領域、互いに離間して前記第 2 のウェル領域内に設けられ、前記第 7 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 13 及び第 14 の不純物領域、互いに離間して前記第 2 のウェル領域内に設けられ、前記第 8 のトランジスタの電極をそれぞれ構成する第 2 導電型の第 15 及び第 16 の不純物領域、前記第 1 及び第 2 の不純物領域の間の領域の上、及び前記第 5 及び第 6 の不純物領域の間の領域の上に少なくとも配置され、前記第 1 及び第 3 のトランジスタのそれぞれゲート電極を一体に構成する第 1 の導電層、前記第 3 及び第 4 の不純物領域の間の領域の上、及び前記第 11 及び第 12 の不純物領域の間の領域の上に少なくとも配置され、前記第 2 及び第 6 のトランジスタのそれぞれゲート電極を一体に構成する第 2 の導電層、前記第 7 及び第 8 の不純物領域の間の領域の上、及び前記第 9 及び第 10 の不純物領域の間の領域の上に少なくとも配置され、前記第 4 及び第 5 のトランジスタのそれぞれゲート電極を一体に構成する第 3 の導電層、前記第 13 及び第 14 の不純物領域の間の領域の上、及び前記第 15 及び第 16 の不純物領域の間の領域の上に少なくとも配置され、前記第 7 及び第 8 のトランジスタのそれぞれゲート電極を一体に構成する機能する第 4 の導電層、前記第 2、第 6、第 7 及び第 15 の不純物領域並びに第 2 の導電層に電氣的に接続される第 5 の導電層、前記第 3、第 9、第 12 及び第 13 の不純物領域並びに第 1 の導電層に電氣的に接続される第 6 の導電層、前記第 1 乃至第 3 のウェル領域の上に配置され、前記第 4 の導電層に電氣的に接続される第 1 のワード線、前記第 1 のワード線とは離間して前記第 1 乃至第 3 のウェル領域の上に配置され、前記第 3 の導電層に電氣的に接続される第 2 のワード線、前記第 14 の不純物領域に電氣的に接続される第 1 のビット線、前記第 16 の不純物領域に電氣的に接続される第 2 のビット線、前記第 8 の不純物領域に電氣的に接続される第 3 のビット線、及び、前記第 10 の不純物領域に電氣的に接続される第 4 のビット線、を備え、前記第 1 及び第 2 の不純物領域の互いに向かい合う方向と、前記第 3 及び第 4 の不純物領域の互いに向かい合う方向と、前記第 5 及び第 6 の不純物領域の互いに向かい合う方向と、前記第 7 及び第 8 の不純物領域の互いに向かい合う方向と、前記第 9 及び第 10 の不純物領域の互いに向かい合う方向と、前記第 11 及び第 12 の不純物領域の互いに向かい合う方向と、前記第 13 及び第 14 の不純物領域の互いに向かい合う方向と、並びに前記第 15 及び第 16 の不純物領域の互いに向かい合う方向とは、同じ方向である。

【0029】

【発明の実施の形態】

<実施の形態 1>

図 1 ~ 図 4 はこの発明の実施の形態 1 である S R A M のメモリセル構造を示す図である。図 1 は全層におけるレイアウト構成を平面視した説明図である。図 2 は主として図 1 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 3 は主として図 1 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 2、図 3 で示した符号の一部を図 1 では省略している場合がある。

【0030】

また、図 4 は図 1 ~ 図 3 で示したレイアウト構成の S R A M メモリセルの等価回路を示す回路図である。同図に示すように、実施の形態 1 の S R A M のメモリセルは、N M O S トランジスタ N 1 ~ N 4 及び P M O S トランジスタ P 1、P 2 から構成される。

【0031】

ドライバトランジスタである P M O S トランジスタ P 1、P 2 は N ウェル領域 N W 内に形成され、ドライバトランジスタである N M O S トランジスタ N 1 とアクセストランジスタである N M O S トランジスタ N 4 とは P ウェル領域 P W 0 内に形成され、ドライバトラン

ジスタであるNMOSTランジスタN2とアクセストランジスタであるNMOSTランジスタN3とはPウエル領域PW1内に形成される。Pウエル領域PW0とPウエル領域PW1とはNウエル領域NWを挟んで各々反対側に形成される。

【0032】

NMOSTランジスタN1及びPMOSTランジスタP1により第1のCMOSインバータI1を構成する。すなわち、PMOSTランジスタP1及びNMOSTランジスタN1のゲートは共通に記憶端子Nbに接続され、ドレインは共通に記憶端子Naに接続される。そして、PMOSTランジスタP1のソースは電源電圧Vddに接続され、NMOSTランジスタN1のソースは接地(GND)される。

【0033】

NMOSTランジスタN2及びPMOSTランジスタP2により第2のCMOSインバータI2を構成する。すなわち、PMOSTランジスタP2及びNMOSTランジスタN2のゲートは共通に記憶端子Naに接続され、ドレインは共通に記憶端子Nbに接続される。そして、PMOSTランジスタP2のソースは電源電圧Vddに接続され、NMOSTランジスタN2のソースは接地される。

【0034】

このように、インバータI1の出力部及びインバータI2の入力部が記憶端子Naに電氣的に接続され、インバータI1の入力部及びインバータI2の出力部が記憶端子Nbに電氣的に接続されることにより、CMOSインバータI1、I2が互いに交叉接続され、記憶端子Na及び記憶端子Nbに互いに反転した論理レベルの情報を記憶することができる。

【0035】

NMOSTランジスタN3はビット線BLA、記憶端子Na間に介挿され、ゲートがワード線WLに接続される。NMOSTランジスタN4はビット線BLB、記憶端子Nb間に介挿されゲートがワード線WLに接続される。

【0036】

このような構成において、ビット線BLAあるいはビット線BLBより得られるデータを、ワード線WLを活性状態にして、NMOSTランジスタN3、N4をオン状態させることにより、記憶端子Na及び記憶端子Nbに対するアクセス(読み出しあるいは書き込み)が可能となる。

【0037】

以下、図1～図3を参照して、実施の形態1のメモリセル構造について述べる。

【0038】

Nウエル領域NW内において、P⁺拡散領域FL110、FL111及びポリシリコン配線PL1によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120、FL121及びポリシリコン配線PL2によりPMOSTランジスタP2を構成する。

【0039】

Pウエル領域PW0内において、N⁺拡散領域FL210、FL211及びポリシリコン配線PL1によりNMOSTランジスタN1を構成し、N⁺拡散領域FL240、FL241及びポリシリコン配線PL4によってNMOSTランジスタN4を構成する。なお、ポリシリコン配線PL1はNウエル領域NWからPウエル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有される。

【0040】

Pウエル領域PW1内において、N⁺拡散領域FL220、FL221及びポリシリコン配線PL2によりNMOSTランジスタN2を構成し、N⁺拡散領域FL230、FL231及びポリシリコン配線PL3によってNMOSTランジスタN3を構成する。なお、ポリシリコン配線PL2はNウエル領域NWからPウエル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有される。

【 0 0 4 1 】

上記した拡散領域 F L 1 1 0 , F L 1 1 1 , F L 1 2 0 , F L 1 2 1 , F L 2 1 0 , F L 2 1 1 , F L 2 2 0 , F L 2 2 1 , F L 2 3 0 , F L 2 3 1 , F L 2 4 0 , F L 2 4 1 は不純物を注入, 拡散することにより得られる。

【 0 0 4 2 】

拡散領域 F L 2 1 0 上のグラウンド配線 L G 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 0 と電氣的に接続され、拡散領域 F L 2 1 1 上から拡散領域 F L 1 1 1 上及び拡散領域 F L 2 3 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 1 は、各拡散領域 F L 2 1 1 , F L 1 1 1 , 及び F L 2 3 1 それぞれと拡散コンタクトホール 1 C を介して電氣的に接続される。さらに、アルミ配線 A L 1 1 はポリシリコン配線 P L 2 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 2 に電氣的に接続される。このアルミ配線 A L 1 1 は電氣的に低インピーダンスな接続が可能であり、記憶端子 N a に相当する。

10

【 0 0 4 3 】

なお、拡散コンタクトホール 1 C は拡散領域と第 1 層 (アルミ) 配線とのコンタクトホールを意味し、ゲートコンタクトホール G C はポリシリコン配線と第 1 層配線とのコンタクトホールを意味する。

【 0 0 4 4 】

ポリシリコン配線 P L 4 はゲートコンタクトホール G C を介して、ワード線 W L 1 (第 1 層アルミ配線) に電氣的に接続され、拡散領域 F L 2 4 1 上のビット線 B L B 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 4 1 と電氣的に接続される。

20

【 0 0 4 5 】

拡散領域 F L 2 4 0 上から拡散領域 F L 1 2 0 上及び拡散領域 F L 2 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 2 は、各拡散領域 F L 2 4 0 , F L 1 2 0 , 及び F L 2 2 0 それぞれと拡散コンタクトホール 1 C を介して電氣的に接続される。さらに、アルミ配線 A L 1 2 はポリシリコン配線 P L 1 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 1 に電氣的に接続される。このアルミ配線 A L 1 2 は電氣的に低インピーダンスな接続が可能であり、記憶端子 N b に相当する。

30

【 0 0 4 6 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電氣的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 と電氣的に接続される。

【 0 0 4 7 】

拡散領域 F L 2 3 0 上のビット線 B L A 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 0 と電氣的に接続され、ポリシリコン配線 P L 3 上のワード線 W L 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 3 と電氣的に接続される。拡散領域 F L 2 2 1 上のグラウンド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 と電氣的に接続される。

40

【 0 0 4 8 】

グラウンド配線 L G 1 はビアホール 1 T を介してグラウンド配線 L G 2 (第 2 層アルミ配線 (2 A L)) と電氣的に接続され、グラウンド配線 L G 2 はビアホール 2 T を介してグラウンド配線 L G 3 (第 3 層アルミ配線 (3 A L)) と電氣的に接続される。

【 0 0 4 9 】

ワード線 W L 1 はビアホール 1 T を介してワード線 W L 2 (第 2 層アルミ配線) と電氣的に接続され、ワード線 W L 2 はビアホール 2 T を介してワード線 W L 3 (第 3 層アルミ配線) と電氣的に接続される。これらワード線 W L 1 ~ ワード線 W L 3 によって図 4 のワード線 W L を構成する。

【 0 0 5 0 】

50

なお、ビアホール 1 T は第 1 層配線，第 2 層（アルミ）配線間の接続用、ビアホール 2 T は第 2 層配線，第 3 層（アルミ）配線間の接続用のビアホールを意味する。

【 0 0 5 1 】

ワード線 W L 3 及びグランド配線 L G 3 は P ウエル領域 P W 0 ， P W 1 及び N ウエル領域 N W を横断して互いに並行に形成され、グランド配線 L G 3 はワード線 W L 3 を挟んで 2 本形成される。

【 0 0 5 2 】

ビット線 B L A 2 （第 2 層アルミ配線）はビアホール 1 T を介してビット線 B L A 1 （図 3 では図示せず）と電氣的に接続され、ビット線 B L B 2 （第 2 層アルミ配線）はビアホール 1 T を介してビット線 B L B 1 （図 3 では図示せず）と電氣的に接続される。電源配線 L V 2 （第 2 層アルミ配線）はビアホール 1 T を介して電源配線 L V 1 （図 3 では図示せず）と電氣的に接続される。これらビット線 B L A 1 ， B L A 2 及び B L B 1 ， B L B 2 によってそれぞれ図 4 のビット線 B L A 及び B L B を構成する。

【 0 0 5 3 】

ビット線 B L A 2 ， B L B 2 及び電源配線 L V 2 は、それぞれ P ウエル領域 P W 1 ， P W 0 及び N ウエル領域 N W 上を図中縦方向に互いに並行して形成される。

【 0 0 5 4 】

このように、実施の形態 1 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 、 N 4 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 、 N 3 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、記憶端子 N a に電氣的に接続される N⁺拡散領域 F L 2 1 1 及び N⁺拡散領域 F L 2 3 1 をそれぞれ異なる P ウエル領域 P W 0 及び P W 1 内に分けて形成するとともに、記憶端子 N b に電氣的に接続される N⁺拡散領域 F L 2 4 0 及び N⁺拡散領域 F L 2 2 0 をそれぞれ異なる P ウエル領域 P W 0 及び P W 1 内に分けて形成することができる。

【 0 0 5 5 】

その結果、線や中性子線によって発生した電子が、P ウエル領域 P W 0 ， P W 1 のうち一方の P ウエル領域に形成した N⁺拡散領域に収集された場合に、N ウエル領域 N W が介在することにより上記電子の発生による影響が防止される他方の P ウエル領域に形成した N⁺拡散領域から放出される。例えば、P ウエル領域 P W 0 の拡散領域 F L 2 1 1 に収集された電子は記憶端子 N a を介して P ウエル領域 P W 1 の拡散領域 F L 2 3 1 から放出され、P ウエル領域 P W 1 の拡散領域 F L 2 2 0 に収集された電子は記憶端子 N b を介して P ウエル領域 P W 0 の拡散領域 F L 2 4 0 から放出される。

【 0 0 5 6 】

このような動作により、記憶端子 N a ， N b の保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果がある（第 1 の効果）。

【 0 0 5 7 】

また、P ウエル領域 P W 0 と P ウエル領域 P W 1 とをビット線 B L A ， B L B の形成方向に垂直な方向で分離形成することより、2 つの P ウエル領域 P W 0 ， P W 1 の形成がビット線 B L A ， B L B の配線長に何ら影響を与えない。したがって、P ウエル領域 P W 0 ， P W 1 の形成によってビット線の配線長が長くなることはなく、良好なアクセスタイムを維持することができる（第 2 の効果）。

【 0 0 5 8 】

また、N M O S トランジスタ N 1 ， N 2 及び N M O S トランジスタ N 3 ， N 4 はそれぞれメモリセルの中心部（N ウエル領域 N W の中心部）に対して点対称となるようにレイアウト配置されるため、実施の形態 1 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（第 3 の効果）。

【 0 0 5 9 】

また、ポリシリコン配線 P L 1 ～ P L 4 を同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線 P L 1 ， P L 3

10

20

30

40

50

(NMOSTランジスタN1, N3、PMOSTランジスタP1)、ポリシリコン配線PL2, PL4(NMOSTランジスタN2, N4、PMOSTランジスタP2)をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる(第4の効果)。

【0060】

加えて、NMOSTランジスタN1~N4において、ドレインとなる領域(記憶端子Naあるいは記憶端子Nbに電氣的に接続される領域)を独立して形成することにより、ソフ
トエラー耐性の高いレベルで維持することができる(第5の効果)。

【0061】

さらに、CMOS構造のインバータI1, I2をそれぞれNMOSTランジスタ及びPM
OSTランジスタ一つずつの組で構成することにより、CMOS構造として必要最小限の
回路構成でメモリセルを実現することができる(第6の効果)。

【0062】

<実施の形態2>

図5及び図6はこの発明の実施の形態2であるSRAMのメモリセル構造を示す図である。
図5は全層におけるレイアウト構成を平面視した説明図である。図6は主として図5の
第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図5の
第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた
図3と同様であり、実施の形態2の等価回路を示す回路図は図4と同様である。また、図
6, 図3で示した符号の一部を図5では省略している場合がある。

【0063】

これらの図に示すように、NMOSTランジスタN1用の四角形状のN⁺拡散領域上に、
ポリシリコン配線PL1を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポ
リシリコン配線PL1の外側に比較的広い拡散領域FL212、内側に比較的狭い拡散領
域FL213を形成している。そして、拡散領域FL212, FL213及びポリシリコ
ン配線PL1によってNMOSTランジスタN1を構成している。

【0064】

同様にして、NMOSTランジスタN2用の四角形状のN⁺拡散領域上に、ポリシリコン
配線PL2を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポリシリコン配
線PL2の外側に比較的広い拡散領域FL213、内側に比較的狭い拡散領域FL222
を形成している。そして、拡散領域FL222, FL223及びポリシリコン配線PL2
によってNMOSTランジスタN2を構成している。

【0065】

拡散領域FL212上のグランド配線LG1は2箇所の拡散コンタクトホール1Cを介し
て拡散領域FL212と電氣的に接続され、拡散領域FL213上のアルミ配線AL11
は拡散コンタクトホール1Cを介して拡散領域FL213と電氣的に接続される。

【0066】

同様にして、拡散領域FL223上のグランド配線LG1は2箇所の拡散コンタクトホー
ル1Cを介して拡散領域FL223と電氣的に接続され、拡散領域FL222上のアルミ
配線AL12は拡散コンタクトホール1Cを介して拡散領域FL222と電氣的に接続さ
れる。他のレイアウト構成は実施の形態1と同様であるため、説明を省略する。

【0067】

実施の形態2は以上のようにレイアウト構成することにより、実施の形態1の第1, 第2
, 第5及び第6の効果に加え以下の効果を奏する。

【0068】

ドライバトランジスタであるNMOSTランジスタN1、N2のゲート幅(チャネル幅)
Wを大きくできる。その結果、ビット線BLA, BLBのキャリアの引き抜きを速く行う
ことにより動作の高速化が図れる。

【0069】

加えて、ドライバトランジスタであるNMOSTランジスタN1, N2のアクセストラ
ン

10

20

30

40

50

ジスタであるNMOSトランジスタN3、N4に対するゲート幅Wの比を大きくとれるのでメモリセルの安定性も向上する。

【0070】

図7は隣接するセル間のレイアウト構成を平面した説明図である。なお、図7は図6と同様、主として図5の第1アルミ配線層下のレイアウト構成を示している。

【0071】

図7ではメモリセルMC1のNウエル領域NW及びPウエル領域PW0と、メモリセルMC2のNウエル領域NW及びPウエル領域PW0とを示している。

【0072】

この際、NMOSトランジスタN1、N2はそれぞれメモリセルの中心部（Nウエル領域NWの中心部）に対して点対称となるようにレイアウト配置されている（実施の形態1の第3の効果に相当）。このため、図7に示すように、隣接するメモリセルMC1、MC2間においてドライバトランジスタであるNMOSトランジスタN1（N2）同士を、拡散領域FL212、ワード線WL1、グランド配線LG1、拡散コンタクトホール1C及びゲートコンタクトホールGCそれぞれの少なくとも一部を共有させることにより集積度を向上させながら、互いに隣接して線対称に形成することができ、NMOSトランジスタN1及びN2のゲート幅Wを大きくすることができる。

【0073】

このように、NMOSトランジスタN1、N2のゲートとなるポリシリコン配線PL1、PL2を曲げて形成したことによる面積の増加はほとんどなく、実施の形態1と同等な高密度なメモリセル構造を得ることができる。

【0074】

また、NMOSトランジスタN1、N3、PMOSトランジスタP1、及びNMOSトランジスタN2、N4、PMOSトランジスタP2をそれぞれほぼ一直線上に形成することにより、集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0075】

<実施の形態3>

図8～図10はこの発明の実施の形態3であるSRAMのメモリセル構造を示す図である。図8は全層におけるレイアウト構成を平面視した説明図である。図9は主として図8の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図8の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、図9、図3で示した符号の一部を図8では省略している場合がある。

【0076】

図10は図8、図9、図3で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、NMOSトランジスタN1及びPMOSトランジスタP1のゲートと記憶端子Nbとの間に抵抗R1が介挿され、NMOSトランジスタN2及びPMOSトランジスタP2のゲートと記憶端子Naとの間に抵抗R2が介挿される。他の構成は図4で示した実施の形態1と同様であるため説明を省略する。

【0077】

以下、図8、図9及び図3を参照して、実施の形態3のメモリセル構造について述べる。

【0078】

これらの図に示すように、NMOSトランジスタN1及びPMOSトランジスタP1のゲートとなるポリシリコン配線PL13（実施の形態1のポリシリコン配線PL1に相当）が抵抗R1となる高抵抗金属配線M00に電氣的に接続され、この高抵抗金属配線M00がビアホール0Tを介して記憶端子Nbであるアルミ配線AL12と電氣的に接続される。ビアホール0Tはポリシリコン配線と同一層に形成された高抵抗金属配線M00と第1層配線との接続用のビアホールを意味する。

【0079】

同様にして、NMOSトランジスタN2及びPMOSトランジスタP2のゲートとなるポリシリコン配線PL14（実施の形態1のポリシリコン配線PL2に相当）が抵抗R2と

10

20

30

40

50

なる高抵抗金属配線 M 0 1 に電氣的に接続され、この高抵抗金属配線 M 0 1 がビアホール 0 T を介して記憶端子 N a であるアルミ配線 A L 1 1 と電氣的に接続される。

【 0 0 8 0 】

なお、高抵抗金属配線 M 0 0 , M 0 1 の形成材料としては例えばタングステン等の C o S i ₂ (コバルトシリサイド) より抵抗率が高い材料が挙げられる。また、他の構成は図 1 ~ 図 3 で示した実施の形態 1 と同様であるため、説明を省略する。

【 0 0 8 1 】

実施の形態 3 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ~ 第 6 の効果に加え、以下の効果を奏する。

【 0 0 8 2 】

実施の形態 3 のメモリセルは、抵抗 R 1 , R 2 を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、線や中性子線によって発生した電子によって、記憶端子 N a , N b のうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくくなる。

【 0 0 8 3 】

< 実施の形態 4 >

図 1 1 及び図 1 2 はこの発明の実施の形態 4 である S R A M のメモリセル構造を示す図である。図 1 1 は全層におけるレイアウト構成を平面視した説明図である。図 1 2 は主として図 1 1 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図 1 1 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態 1 の説明で用いた図 3 と同様であり、図 1 2 , 図 3 で示した符号の一部を図 1 1 では省略している場合がある。また、実施の形態 4 のレイアウト構成の S R A M メモリセルの等価回路は実施の形態 3 で示した図 1 0 と同様である。

【 0 0 8 4 】

以下、図 1 1 , 図 1 2 及び図 3 を参照して、実施の形態 4 のメモリセル構造について述べる。

【 0 0 8 5 】

これらの図に示すように、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとなるポリシリコン配線 P L 1 3 , P L 1 7 (実施の形態 1 のポリシリコン配線 P L 1 に相当) のうち、抵抗 R 1 となるポリシリコン配線 P L 1 7 はポリシリコン配線 P L 1 3 に比べ高抵抗な材料で形成される。例えば、ポリシリコン配線 P L 1 3 を C o S i ₂ で形成した場合、ポリシリコン配線 P L 1 7 を C o S i ₂ より抵抗率が高い形成材料を用いて形成する。

【 0 0 8 6 】

そして、ポリシリコン配線 P L 1 7 がゲートコンタクトホール G C を介して記憶端子 N b であるアルミ配線 A L 1 2 と電氣的に接続される。

【 0 0 8 7 】

同様にして、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとなるポリシリコン配線 P L 1 4 , P L 1 8 (実施の形態 1 のポリシリコン配線 P L 2 に相当) のうち、抵抗 R 2 となるポリシリコン配線 P L 1 8 はポリシリコン配線 P L 1 4 に比べ高抵抗な材料で形成され、ポリシリコン配線 P L 1 8 がゲートコンタクトホール G C を介して記憶端子 N a であるアルミ配線 A L 1 1 と電氣的に接続される。他の構成は図 1 ~ 図 3 で示した実施の形態 1 と同様であるため、説明を省略する。

【 0 0 8 8 】

実施の形態 4 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ~ 第 6 の効果に加え、以下の効果を奏する。

【 0 0 8 9 】

実施の形態 4 のメモリセルは、抵抗 R 1 , R 2 を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、線や中性子線によって

10

20

30

40

50

発生した電子によって、記憶端子N a , N bのうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくくなる。

【0090】

<実施の形態5>

図13～図15はこの発明の実施の形態5であるSRAMのメモリセル構造を示す図である。図13は全層におけるレイアウト構成を平面視した説明図である。図14は主として図13の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図13の第1アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図2（ワード線WL2がワード線WLA2, WLB2に分離された点は異なる）と同様であり、図14, 図2で示した符号の一部を図13では省略している場合がある。

10

【0091】

図15は図13, 図14, 図2で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、NMOSトランジスタN3のゲートにはワード線WLAが接続され、NMOSトランジスタN4のゲートにはワード線WLAとは独立したワード線WLBが接続される。なお、他の構成は図4で示した実施の形態1と同様であるため説明を省略する。

【0092】

以下、図13, 図14及び図2を参照して、実施の形態5のメモリセル構造について述べる。

20

【0093】

ポリシリコン配線PL3はゲートコンタクトホールGCを介して、ワード線WLA1（第1層アルミ配線）に電氣的に接続され、ワード線WLA1はビアホール1Tを介してワード線WLA2（第2層アルミ配線）と電氣的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3（第3層アルミ配線）と電氣的に接続される。これらのワード線WLA1～ワード線WLA3によって図15のワード線WLAを構成する。

【0094】

同様にして、ポリシリコン配線PL4はゲートコンタクトホールGCを介して、ワード線WLB1（第1層アルミ配線）に電氣的に接続され、ワード線WLB1はビアホール1Tを介してワード線WLB2（第2層アルミ配線）と電氣的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3（第3層アルミ配線）と電氣的に接続される。これらワード線WLB1～WLB3によって図15のワード線WLBを構成する。

30

【0095】

ワード線WLA3, WLB3及びグランド配線LG3はPウエル領域PW0, PW1及びNウエル領域NWを横断して互いに並行に形成され、グランド配線LG3はワード線WLA3, WLB3を挟んで2本形成される。なお、他のレイアウト構成は実施の形態1と同様であるため説明を省略する。

【0096】

実施の形態5は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第6の効果に加え、以下の効果を奏する。

40

【0097】

図15の等価回路に示すように、アクセストランジスタであるNMOSトランジスタN3、N4のゲートに接続するワード線をWLA、WLBと分けることで、FIFOメモリで利用可能なメモリセル構造を実現することができる。

【0098】

<実施の形態6>

図16～図18はこの発明の実施の形態6であるSRAMのメモリセル構造を示す図である。図16は全層におけるレイアウト構成を平面視した説明図である。図17は主として図16の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図18は主と

50

して図16の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図17、図18で示した符号の一部を図16では省略している場合がある。また、実施の形態6のレイアウト構成のSRAMメモリセルの等価回路は実施の形態5で示した図15と同様である。

【0099】

以下、図16～図18を参照して、実施の形態6のメモリセル構造について述べる。

【0100】

NMOSトランジスタN3、N4用のN⁺拡散領域はソース・ドレイン領域形成方向が、他のNMOSトランジスタN1、N2及びPMOSトランジスタP1、P2のソース・ドレイン領域形成方向と90度向きを変えて形成される。すなわち、NMOSトランジスタN3用の拡散領域FL242、FL243とNMOSトランジスタN4用の拡散領域FL232、FL233とが図中、横方向に形成される。

10

【0101】

そして、拡散領域FL243上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL243に電氣的に接続され、ビット線BLB2（第2層アルミ配線）はビアホール1Tを介してビット線BLB1（図18では図示せず）に電氣的に接続される。

【0102】

同様にして、NMOSトランジスタN3を構成する拡散領域FL232上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL232に電氣的に接続され、ビット線BLA2（第2層アルミ配線）はビアホール1Tをビット線BLA1（図18では図示せず）に電氣的に接続される。

20

【0103】

ビット線BLA2、BLB2はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成される。

【0104】

グランド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL210及び拡散領域FL221に電氣的に接続され、グランド配線LG2はビアホール1Tを介してグランド配線LG1（図18では図示せず）に電氣的に接続され、グランド配線LG3はビアホール2Tを介してグランド配線LG2と電氣的に接続される。

【0105】

電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110及びFL121に電氣的に接続され、電源配線LV2はビアホール1Tを介して電源配線LV1（図18では図示せず）に電氣的に接続され、電源配線LV3はビアホール2Tを介して電源配線LV2に電氣的に接続される。

30

【0106】

ワード線WLA1はゲートコンタクトホールGCを介してポリシリコン配線PL23に電氣的に接続され、ワード線WLA2はビアホール1Tを介してワード線WLA1（図18では図示せず）に電氣的に接続され、ワード線WLA3（第3層アルミ配線）はビアホール2Tを介してワード線WLA2に電氣的に接続される。

【0107】

同様にして、ワード線WLB1はゲートコンタクトホールGCを介してポリシリコン配線PL24に電氣的に接続され、ワード線WLB2はビアホール1Tを介してワード線WLB1（図18では図示せず）に電氣的に接続され、ワード線WLB3（第3層アルミ配線）はビアホール2Tを介してワード線WLB2に電氣的に接続される。

40

【0108】

（第1の）グランド配線LG3、ワード線WLB3、電源配線LV3、ワード線WLA3、（第2の）グランド配線LG3はそれぞれ図中縦方向に並列に形成され、（第1の）グランド配線LG3及びワード線WLB3はPウエル領域PW0上に、電源配線LV3はNウエル領域NW上に、ワード線WLA3及び（第2の）グランド配線LG3はPウエル領域PW1上に形成される。

50

【 0 1 0 9 】

実施の形態 6 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ～第 3 , 第 5 及び第 6 の効果に加え、実施の形態 5 固有の効果と同等の効果を奏する。

【 0 1 1 0 】

< 実施の形態 7 >

図 1 9 ～図 2 1 はこの発明の実施の形態 7 である S R A M のメモリセル構造を示す図である。図 1 9 は全層におけるレイアウト構成を平面視した説明図である。図 2 0 は主として図 1 9 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 2 1 は主として図 1 9 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 2 0 , 図 2 1 で示した符号の一部を図 1 9 では省略している場合がある。また、実施の形態 7 のレイアウト構成の S R A M メモリセルの等価回路は実施の形態 1 で示した図 4 と同様である。

10

【 0 1 1 1 】

以下、図 1 9 ～図 2 1 を参照して、実施の形態 7 のメモリセル構造について述べる。

【 0 1 1 2 】

N M O S トランジスタ N 3 , N 4 の共用ポリシリコン配線 P L 5 が P ウエル領域 P W 0 から N ウエル領域 N W 及び P ウエル領域 P W 1 上に伸びて形成され、この共用ポリシリコン配線 P L 5 が図 4 のワード線 W L として用いられる。

【 0 1 1 3 】

他の構成は、ポリシリコン配線 P L 1 , P L 2 のパターン形状、ポリシリコン配線 P L 1 とアルミ配線 A L 1 2 とのゲートコンタクトホール G C 形成位置及びポリシリコン配線 P L 2 とアルミ配線 A L 1 1 とのゲートコンタクトホール G C の形成位置等を除き、図 5 , 図 6 及び図 3 で示した実施の形態 2 と同様である。

20

【 0 1 1 4 】

実施の形態 7 は上記のようなメモリセル構造を有することにより、実施の形態 2 と同等の効果を奏する。さらに、ワード線 W L に関して、ビアホール 1 T , 2 T 及びワード線 W L 2 , W L 3 が不要になるため、必要レイア数が減り、コスト削減が図れるという効果がある。

【 0 1 1 5 】

< 実施の形態 8 >

図 2 2 ～図 2 5 はこの発明の実施の形態 8 である S R A M のメモリセル構造を示す図である。図 2 2 は全層におけるレイアウト構成を平面視した説明図である。図 2 3 は主として図 2 2 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 2 4 は主として図 2 2 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 2 3 , 図 2 4 で示した符号の一部を図 2 2 では省略している場合がある。

30

【 0 1 1 6 】

また、図 2 5 は図 2 2 ～図 2 4 で示したレイアウト構成の S R A M メモリセルの等価回路を示す回路図である。同図に示すように、実施の形態 8 の S R A M のメモリセルは、N M O S トランジスタ N 1 , N 2 , N 5 ～ N 8 及び P M O S トランジスタ P 1 , P 2 から構成される。

40

【 0 1 1 7 】

N M O S トランジスタ N 5 はビット線 B L A , 記憶端子 N b 間に介挿され、N M O S トランジスタ N 6 はビット線バー B L A , 記憶端子 N a 間に介挿され、N M O S トランジスタ N 5 及び N 6 のゲートがワード線 W L A に共通に接続される。

【 0 1 1 8 】

N M O S トランジスタ N 7 はビット線 B L B , 記憶端子 N a 間に介挿され、N M O S トランジスタ N 8 はビット線バー B L B , 記憶端子 N b 間に介挿され、N M O S トランジスタ N 7 及び N 8 のゲートがワード線 W L B に共通に接続される。

【 0 1 1 9 】

ドライバトランジスタである P M O S トランジスタ P 1 , P 2 は N ウエル領域 N W 内に形

50

成され、ドライバトランジスタであるNMOSTランジスタN1とアクセストランジスタであるNMOSTランジスタN7, N8とはPウエル領域PW0内に形成され、ドライバトランジスタであるNMOSTランジスタN2とアクセストランジスタであるNMOSTランジスタN5, N6とはPウエル領域PW1内に形成される。Pウエル領域PW0とPウエル領域PW1とはNウエル領域NWを挟んで各々反対側に形成される。なお、他の構成は図15で示した実施の形態5の等価回路と同様である。

【0120】

以下、図22～図24を参照して、実施の形態8のメモリセル構造について述べる。

【0121】

Nウエル領域NW内において、P⁺拡散領域FL110, FL111及びポリシリコン配線PL17によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120, FL121及びポリシリコン配線PL18によりPMOSTランジスタP2を構成する。

10

【0122】

Pウエル領域PW0内において、N⁺拡散領域FL212, FL213及びポリシリコン配線PL17によりNMOSTランジスタN1を構成し、N⁺拡散領域FL244, FL245及びポリシリコン配線PL20によってNMOSTランジスタN7を構成し、N⁺拡散領域FL246, FL247及びポリシリコン配線PL20によってNMOSTランジスタN8を構成する。なお、ポリシリコン配線PL17はNウエル領域NWからPウエル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有され、ポリシリコン配線PL20はNMOSTランジスタN7, N8間で共有される。

20

【0123】

Pウエル領域PW1内において、N⁺拡散領域FL222, FL223及びポリシリコン配線PL18によりNMOSTランジスタN2を構成し、N⁺拡散領域FL234, FL235及びポリシリコン配線PL19によってNMOSTランジスタN5を構成し、N⁺拡散領域FL236, FL237及びポリシリコン配線PL19によってNMOSTランジスタN3を構成する。なお、ポリシリコン配線PL18はNウエル領域NWからPウエル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有され、ポリシリコン配線PL18はNMOSTランジスタN5, N6間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

30

【0124】

拡散領域FL212上のグランド配線LG1は2つの拡散コンタクトホール1Cを介して拡散領域FL212に電氣的に接続され、拡散領域FL245上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL245に電氣的に接続され、拡散領域FL247上のビット線バーBLB1は拡散コンタクトホール1Cを介して拡散領域FL247に電氣的に接続される。

【0125】

拡散領域FL244上から、拡散領域FL213上、拡散領域FL111上及び拡散領域FL237上に伸びて形成される第1層アルミ配線であるアルミ配線AL15は、各拡散領域FL244, FL213, FL111, 及びFL237それぞれと拡散コンタクトホール1Cを介して電氣的に接続される。さらに、アルミ配線AL15はポリシリコン配線PL18の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL18に電氣的に接続される。このアルミ配線AL15は電氣的に低インピーダンスな接続が可能であり、記憶端子Naに相当する。

40

【0126】

ポリシリコン配線PL20はゲートコンタクトホールGCを介して、ワード線WLB1に電氣的に接続される。

【0127】

拡散領域FL110上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域F

50

L 1 1 0 と電氣的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 と電氣的に接続される。

【 0 1 2 8 】

グラント配線 L G 1 は 2 つの拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 3 に電氣的に接続され、拡散領域 F L 2 3 4 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 4 に電氣的に接続され、拡散領域 F L 2 3 6 上のビット線バー B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 6 と電氣的に接続される。

【 0 1 2 9 】

拡散領域 F L 2 3 5 上から、拡散領域 F L 2 2 2 上、拡散領域 F L 1 2 0 上及び拡散領域 F L 2 4 6 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 6 は、各拡散領域 F L 2 3 5 , F L 2 2 2 , F L 1 2 0 , 及び F L 2 4 6 それぞれと拡散コンタクトホール 1 C を介して電氣的に接続される。さらに、アルミ配線 A L 1 6 はポリシリコン配線 P L 1 7 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 1 7 に電氣的に接続される。このアルミ配線 A L 1 6 は電氣的に低インピーダンスな接続が可能であり、記憶端子 N b に相当する。

【 0 1 3 0 】

ポリシリコン配線 P L 1 9 上のワード線 W L A 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 1 9 と電氣的に接続される。

【 0 1 3 1 】

グラント配線 L G 1 はピアホール 1 T を介してグラント配線 L G 2 に電氣的に接続され、グラント配線 L G 2 はピアホール 2 T を介してグラント配線 L G 3 に電氣的に接続される。

【 0 1 3 2 】

ワード線 W L A 1 はピアホール 1 T を介してワード線 W L A 2 に電氣的に接続され、ワード線 W L A 2 はピアホール 2 T を介してワード線 W L A 3 に電氣的に接続される。これらワード線 W L A 1 ~ ワード線 W L A 3 によって図 2 5 のワード線 W L A を構成する。

【 0 1 3 3 】

同様にして、ワード線 W L B 1 はピアホール 1 T を介してワード線 W L B 2 に電氣的に接続され、ワード線 W L B 2 はピアホール 2 T を介してワード線 W L B 3 に電氣的に接続される。これらワード線 W L B 1 ~ ワード線 W L B 3 によって図 2 5 のワード線 W L B を構成する。

【 0 1 3 4 】

ワード線 W L A 3 , W L B 3 及びグラント配線 L G 3 は P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成され、グラント配線 L G 3 はワード線 W L A 3 , W L B 3 を挟んで 2 本形成される。

【 0 1 3 5 】

ビット線 B L A 2 はピアホール 1 T を介してビット線 B L A 1 に電氣的に接続され、ビット線 B L B 2 はピアホール 1 T を介してビット線 B L B 1 に電氣的に接続される。

【 0 1 3 6 】

同様にして、ビット線バー B L A 2 はピアホール 1 T を介してビット線バー B L A 1 に電氣的に接続され、ビット線バー B L B 2 はピアホール 1 T を介してビット線バー B L B 1 に電氣的に接続される。

【 0 1 3 7 】

電源配線 L V 2 はピアホール 1 T を介して電源配線 L V 1 に電氣的に接続される。これらビット線 B L A 1 , B L A 2 、バー B L A 1 , バー B L A 2 、 B L B 1 , B L B 2 、及びバー B L B 1 , B L B 2 によってそれぞれ図 2 5 のビット線 B L A , バー B L A 、 B L B 及びバー B L B を構成する。

【 0 1 3 8 】

ビット線対 B L A 2 , バー B L A 2 、ビット線対 B L B 2 , バー B L B 2 及び電源配線 L

10

20

30

40

50

V2は、それぞれPウエル領域PW1、PW0及びNウエル領域NW上を図中縦方向に互いに並行して形成される。

【0139】

このように、実施の形態8のSRAMのメモリセル構造は、NMOSTランジスタN1、N7、N8を一方のPウエル領域PW0内に形成し、NMOSTランジスタN2、N5、N6をNウエル領域NWを挟んだ他方のPウエル領域PW1内に形成することにより、記憶端子Naに電氣的に接続されるN⁺拡散領域FL213及びFL244とN⁺拡散領域FL237とをそれぞれ異なるPウエル領域PW0内とPW1内とに分けて形成するとともに、記憶端子Nbに電氣的に接続されるN⁺拡散領域FL222及びFL235とN⁺拡散領域FL246とをそれぞれ異なるPウエル領域PW1内とPW0内とに分けて形成することができる。

10

【0140】

その結果、実施の形態1の第1の効果であるソフトエラー耐性が向上を図ることができる。

【0141】

また、Pウエル領域PW0及びPW1を、ビット線対BLA、バーBLA及びビット線対BLB、バーBLBの形成方向に垂直な方向で分離形成することより、2つのPウエル領域PW0、PW1の形成がビット線対BLA、バーBLA及びビット線対BLB、バーBLBの配線長に何ら影響を与えない。したがって、Pウエル領域PW0、PW1の形成によってビット線の配線長が長くなることはなく、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

20

【0142】

また、NMOSTランジスタN1、N2、NMOSTランジスタN5、N7、及びNMOSTランジスタN6、N8はそれぞれメモリセルの中心部（Nウエル領域NWの中心部）に対して点対称となるようにレイアウト配置されるため、実施の形態8のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0143】

また、ポリシリコン配線PL17～PL20を同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL17、PL19、ポリシリコン配線PL18、PL20をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

30

【0144】

さらに、NMOSTランジスタN1、N2、N5～N8において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態1の第5の効果に相当）。

【0145】

さらに、CMOS構造のインバータI1、I2をそれぞれNMOSTランジスタ及びPMOSTランジスタ一つずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

40

【0146】

加えて、実施の形態8のメモリセルは、図25に示すように、2つのワード線WLA、WL B及び2つのビット線対（ビット線対BLA、バーBLA及びビット線対BLB、バーBLB）を用いた2ポートメモリセルが実現する。

【0147】

<実施の形態9>

図26～図28はこの発明の実施の形態9であるSRAMのメモリセル構造を示す図である。図26は全層におけるレイアウト構成を平面視した説明図である。図27は主として図26の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図28は主と

50

して図 26 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 27, 図 28 で示した符号の一部を図 26 では省略している場合がある。

【0148】

また、実施の形態 9 のレイアウト構成の S R A M メモリセルの等価回路は図 25 で示した実施の形態 8 と同様である。

【0149】

以下、図 26 ~ 図 28 を参照して、実施の形態 9 のメモリセル構造について、実施の形態 8 と異なる構成を中心に述べる。

【0150】

P ウエル領域 P W 0 内において、N⁺拡散領域 F L 2 1 4, F L 2 1 5 及びポリシリコン配線 P L 3 1 により N M O S トランジスタ N 1 を構成する。このとき、ポリシリコン配線 P L 3 1 を N M O S トランジスタ N 1 用の N⁺拡散領域 (F L 2 1 4, F L 2 1 5) 上において 2 度 9 0 度折り曲げて形成することにより、他の N M O S トランジスタ N 5 ~ N 8 に比べてかなり大きなゲート幅を設定している。

10

【0151】

N⁺拡散領域 F L 2 7 0, F L 2 7 1 及びポリシリコン配線 P L 3 7 によって N M O S トランジスタ N 7 を構成し、N⁺拡散領域 F L 2 8 0, F L 2 8 1 及びポリシリコン配線 P L 3 8 によって N M O S トランジスタ N 8 を構成する。

【0152】

なお、ポリシリコン配線 P L 3 1 は N ウエル領域 N W から P ウエル領域 P W 0 にかけて形成されることにより、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとして共有される。

20

【0153】

P ウエル領域 P W 1 内において、N⁺拡散領域 F L 2 2 4, F L 2 2 5 及びポリシリコン配線 P L 3 2 により N M O S トランジスタ N 2 を構成する。このとき、ポリシリコン配線 P L 3 2 を N M O S トランジスタ N 2 用の N⁺拡散領域 (F L 2 2 4, F L 2 2 5) 上において 2 度 9 0 度折り曲げて形成することにより、他の N M O S トランジスタ N 5 ~ N 8 に比べてかなり大きなゲート幅を設定している。

【0154】

N⁺拡散領域 F L 2 5 0, F L 2 5 1 及びポリシリコン配線 P L 3 5 によって N M O S トランジスタ N 5 を構成し、N⁺拡散領域 F L 2 6 0, P L 2 6 1 及びポリシリコン配線 P L 3 6 によって N M O S トランジスタ N 6 を構成する。

30

【0155】

なお、ポリシリコン配線 P L 3 2 は N ウエル領域 N W から P ウエル領域 P W 1 にかけて形成されることにより、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0156】

拡散領域 F L 2 1 4 上の 2 つのグランド配線 L G 1 はそれぞれ拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 4 に電氣的に接続され、拡散領域 F L 2 7 1 上のビット線 B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 7 1 に電氣的に接続され、拡散領域 F L 2 8 0 上のビット線バー B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 8 0 に電氣的に接続される。

40

【0157】

拡散領域 F L 2 8 1 上から、拡散領域 F L 2 1 5 上、拡散領域 F L 1 1 1 上及び拡散領域 F L 2 5 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 7 は、各拡散領域 F L 2 8 1, F L 2 1 5, F L 1 1 1, 及び F L 2 5 1 それぞれと拡散コンタクトホール 1 C を介して電氣的に接続される。さらに、アルミ配線 A L 1 7 はポリシリコン配線 P L 3 2 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 3 2 に電氣的に接続される。このアルミ配線 A L 1 7 は電氣的に低インピーダ

50

ンスな接続が可能であり、記憶端子 N a に相当する。

【 0 1 5 8 】

ポリシリコン配線 P L 3 7 及び P L 3 8 はそれぞれゲートコンタクトホール G C を介して共通にワード線 W L B 1 に電氣的に接続される。

【 0 1 5 9 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 に電氣的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電氣的に接続される。

【 0 1 6 0 】

2 つのグランド配線 L G 1 はそれぞれ拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 4 に電氣的に接続され、拡散領域 F L 2 5 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 5 0 に電氣的に接続され、拡散領域 F L 2 6 1 上のビット線バー B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 6 1 と電氣的に接続される。

10

【 0 1 6 1 】

拡散領域 F L 2 6 0 上から、拡散領域 F L 2 2 5 上、拡散領域 F L 1 2 0 上及び拡散領域 F L 2 7 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 8 は、各拡散領域 F L 2 6 0 , F L 2 2 5 , F L 1 2 0 , 及び F L 2 7 0 それぞれと拡散コンタクトホール 1 C を介して電氣的に接続される。さらに、アルミ配線 A L 1 8 はポリシリコン配線 P L 3 1 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 3 1 に電氣的に接続される。このアルミ配線 A L 1 8 は電氣的に低インピーダンスな接続が可能であり、記憶端子 N b に相当する。

20

【 0 1 6 2 】

ポリシリコン配線 P L 3 5 及び P L 3 6 上のワード線 W L A 1 はゲートコンタクトホール G C を介して共通にポリシリコン配線 P L 3 5 及び P L 3 6 に電氣的に接続される。

【 0 1 6 3 】

グランド配線 L G 1 はビアホール 1 T を介してグランド配線 L G 2 に電氣的に接続され、グランド配線 L G 2 はビアホール 2 T を介してグランド配線 L G 3 に電氣的に接続される。

【 0 1 6 4 】

ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電氣的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電氣的に接続される。同様に、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電氣的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電氣的に接続される。

30

【 0 1 6 5 】

ビット線 B L A 2 はビアホール 1 T を介してビット線 B L A 1 に電氣的に接続され、ビット線 B L B 2 はビアホール 1 T を介してビット線 B L B 1 に電氣的に接続される。

【 0 1 6 6 】

同様に、ビット線バー B L A 2 はビアホール 1 T を介してビット線バー B L A 1 に電氣的に接続され、ビット線バー B L B 2 はビアホール 1 T を介してビット線バー B L B 1 に電氣的に接続される。また、電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電氣的に接続される。

40

【 0 1 6 7 】

このように、実施の形態 9 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 , N 7 , N 8 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 5 , N 6 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 8 と同様、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【 0 1 6 8 】

また、P ウエル領域 P W 0 及び P W 1 を、ビット線対 B L A , バー B L A 及びビット線対

50

B L B , パー B L B の形成方向に垂直な方向で分離形成することより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【 0 1 6 9 】

また、実施の形態 9 は、実施の形態 8 と同様、N M O S トランジスタ N 1 , N 2 、N M O S トランジスタ N 5 , N 7 , 及び N M O S トランジスタ N 6 , N 8 はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態 9 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【 0 1 7 0 】

さらに、N M O S トランジスタ N 1 , N 2 , N 5 ~ N 8 において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態 1 の第 5 の効果に相当）。

10

【 0 1 7 1 】

加えて、C M O S 構造のインバータ I 1 , I 2 をそれぞれ N M O S トランジスタ及び P M O S トランジスタ一つずつの組で構成することにより、C M O S 構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態 1 の第 6 の効果に相当）。

【 0 1 7 2 】

さらに、実施の形態 9 のメモリセルは、実施の形態 8 と同様、2 ポートメモリセルとなる。

【 0 1 7 3 】

20

さらに加えて、ドライバトランジスタである N M O S トランジスタ N 1 、N 2 のゲート幅（チャンネル幅）W を大きくすることにより、実施の形態 2 と同様、動作の高速化及びメモリセルの安定性の向上を図ることができる。

【 0 1 7 4 】

< 実施の形態 1 0 >

図 2 9 ~ 図 3 1 はこの発明の実施の形態 1 0 である S R A M のメモリセル構造を示す図である。図 2 9 は全層におけるレイアウト構成を平面視した説明図である。図 3 0 は主として図 2 9 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 3 1 は主として図 2 9 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 3 0 , 図 3 1 で示した符号の一部を図 2 9 では省略している場合がある。

30

【 0 1 7 5 】

また、実施の形態 1 0 のレイアウト構成の S R A M メモリセルの等価回路は図 2 5 で示した実施の形態 8 と同様である。

【 0 1 7 6 】

以下、図 2 9 ~ 図 3 1 を参照して、実施の形態 1 0 のメモリセル構造について述べる。

【 0 1 7 7 】

N ウェル領域 N W 内において、P⁺拡散領域 F L 1 1 0 , F L 1 1 1 及びポリシリコン配線 P L 4 1 により P M O S トランジスタ P 1 を構成し、P⁺拡散領域 F L 1 2 0 , F L 1 2 1 及びポリシリコン配線 P L 4 2 により P M O S トランジスタ P 2 を構成する。

【 0 1 7 8 】

40

P ウェル領域 P W 0 内において、N⁺拡散領域 F L 2 1 0 , F L 2 1 1 及びポリシリコン配線 P L 4 1 により N M O S トランジスタ N 1 を構成し、N⁺拡散領域 F L 2 7 0 , F L 2 7 1 及びポリシリコン配線 P L 4 7 によって N M O S トランジスタ N 7 を構成し、N⁺拡散領域 F L 2 8 0 , F L 2 8 1 及びポリシリコン配線 P L 4 7 によって N M O S トランジスタ N 8 を構成する。なお、ポリシリコン配線 P L 4 1 は N ウェル領域 N W から P ウェル領域 P W 0 にかけて形成されることにより、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとして共有され、ポリシリコン配線 P L 4 7 は N M O S トランジスタ N 7 , N 8 間で共有される。

【 0 1 7 9 】

P ウェル領域 P W 1 内において、N⁺拡散領域 F L 2 2 0 , F L 2 2 1 及びポリシリコン

50

配線 P L 4 2 により N M O S トランジスタ N 2 を構成し、N⁺拡散領域 F L 2 5 0 , F L 2 5 1 及びポリシリコン配線 P L 4 5 によって N M O S トランジスタ N 5 を構成し、N⁺拡散領域 F L 2 6 0 , F L 2 6 1 及びポリシリコン配線 P L 4 5 によって N M O S トランジスタ N 6 を構成する。なお、ポリシリコン配線 P L 4 2 は N ウェル領域 N W から P ウェル領域 P W 1 にかけて形成されることにより、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとして共有され、ポリシリコン配線 P L 4 2 は N M O S トランジスタ N 5 , N 6 間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【 0 1 8 0 】

拡散領域 F L 2 1 0 上のグラウンド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 0 に電氣的に接続され、拡散領域 F L 2 7 1 上のビット線 B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 7 1 に電氣的に接続され、拡散領域 F L 2 8 1 上のビット線バー B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 8 1 に電氣的に接続される。

【 0 1 8 1 】

拡散領域 F L 2 7 0 (F L 2 1 1) 上から拡散領域 F L 1 1 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 7 は、拡散領域 F L 2 7 0 (F L 2 1 1) と拡散コンタクトホール 1 C を介して電氣的に接続される。

【 0 1 8 2 】

さらに、アルミ配線 A L 1 7 はポリシリコン配線 P L 4 2 に電氣的に接続される。ポリシリコン配線 P L 4 2 はシェアードコンタクト S C を介して拡散領域 F L 1 1 1 及び拡散領域 F L 2 6 1 それぞれに電氣的に接続される。なお、ここで、シェアードコンタクトは、拡散領域とポリシリコンを 1 つの共通コンタクトで電氣的に接続するものを意味する。

【 0 1 8 3 】

アルミ配線 A L 1 7 は電氣的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 7、2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 4 2 が記憶端子 N a に相当する。

【 0 1 8 4 】

ポリシリコン配線 P L 4 7 はゲートコンタクトホール G C を介して、ワード線 W L B 1 に電氣的に接続される。

【 0 1 8 5 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電氣的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電氣的に接続される。

【 0 1 8 6 】

グラウンド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 に電氣的に接続され、拡散領域 F L 2 5 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 5 0 に電氣的に接続され、拡散領域 F L 2 6 0 上のビット線バー B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 6 0 と電氣的に接続される。

【 0 1 8 7 】

拡散領域 F L 2 5 1 (F L 2 2 0) 上から拡散領域 F L 1 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 8 は、拡散領域 F L 2 5 1 (F L 2 2 0) と拡散コンタクトホール 1 C を介して電氣的に接続される。

【 0 1 8 8 】

さらに、アルミ配線 A L 1 9 はポリシリコン配線 P L 4 1 に電氣的に接続される。ポリシリコン配線 P L 4 1 はシェアードコンタクト S C を介して拡散領域 F L 1 2 0 及び拡散領域 F L 2 8 0 それぞれに電氣的に接続される。

【 0 1 8 9 】

アルミ配線 A L 1 8 は電氣的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 8、2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 4 1 が記憶端子 N b に相

10

20

30

40

50

当する。

【0190】

ポリシリコン配線 P L 4 5 上のワード線 W L A 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 4 5 と電氣的に接続される。

【0191】

ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電氣的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電氣的に接続される。同様に、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電氣的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電氣的に接続される。

【0192】

ワード線 W L A 3 及び W L B 3 は、P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成される。

【0193】

ビット線 B L A 2 はビアホール 1 T を介してビット線 B L A 1 に電氣的に接続され、ビット線 B L B 2 はビアホール 1 T を介してビット線 B L B 1 に電氣的に接続される。

【0194】

同様に、ビット線バー B L A 2 はビアホール 1 T を介してビット線バー B L A 1 に電氣的に接続され、ビット線バー B L B 2 はビアホール 1 T を介してビット線バー B L B 1 に電氣的に接続される。

【0195】

電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電氣的に接続される。グラウンド配線 L G 1 はビアホール 1 T を介してグラウンド配線 L G 2 に電氣的に接続される。

【0196】

ビット線対 B L A 2 , バー B L A 2 、ビット線対 B L B 2 , バー B L B 2 、グラウンド配線 L G 2 及び電源配線 L V 2 は図中縦方向に並行して形成される。

【0197】

ビット線対 B L A 2 , バー B L A 2 及びグラウンド配線 L G 2 は P ウエル領域 P W 1 上に形成され、ビット線対 B L B 2 , バー B L B 2 及びグラウンド配線 L G 2 は P ウエル領域 P W 0 上に形成され、電源配線 L V 2 は N ウエル領域 N W を上に形成される。

【0198】

このように、実施の形態 10 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 , N 7 , N 8 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 5 , N 6 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 8 , 実施の形態 9 と同様、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【0199】

また、P ウエル領域 P W 0 及び P W 1 を、ビット線対 B L A , バー B L A 及びビット線対 B L B , バー B L B の形成方向に垂直な方向で分離形成することにより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【0200】

また、実施の形態 10 は、実施の形態 8 と同様、N M O S トランジスタ N 1 , N 2 , N M O S トランジスタ N 5 , N 7 , 及び N M O S トランジスタ N 6 , N 8 はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態 10 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【0201】

加えて、実施の形態 10 のメモリセルは、実施の形態 8 と同様、2 ポートメモリセルとなる。

【0202】

また、ポリシリコン配線 P L 4 1 , P L 4 2 , P L 4 7 及び P L 4 8 をほぼ同一方向（図

10

20

30

40

50

中横方向)で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線 P L 4 1 , P L 4 5、ポリシリコン配線 P L 4 2 , P L 4 7 をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる(実施の形態 1 の第 4 の効果に相当)。

【 0 2 0 3 】

さらに、C M O S 構造のインバータ I 1 , I 2 をそれぞれ N M O S トランジスタ及び P M O S トランジスタ一つずつの組で構成することにより、C M O S 構造として必要最小限の回路構成でメモリセルを実現することができる(実施の形態 1 の第 6 の効果に相当)。

【 0 2 0 4 】

加えて、記憶端子 N a をアルミ配線 A L 1 7、シェアードコンタクト S C 及びポリシリコン配線 P L 4 2 で構成し、記憶端子 N b をアルミ配線 A L 1 8、シェアードコンタクト S C 及びポリシリコン配線 P L 4 1 で構成することにより、図中縦方向のウェル形成幅を 2 トランジスタピッチで形成できる分、集積度の向上を図ることができる。

【 0 2 0 5 】

< 実施の形態 1 1 >

図 3 2 ~ 図 3 4 はこの発明の実施の形態 1 1 である S R A M のメモリセル構造を示す図である。図 3 2 は全層におけるレイアウト構成を平面視した説明図である。図 3 3 は主として図 3 2 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 3 4 は主として図 3 2 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 3 3 , 図 3 4 で示した符号の一部を図 3 2 では省略している場合がある。

【 0 2 0 6 】

また、実施の形態 1 1 のレイアウト構成の S R A M メモリセルの等価回路は図 4 で示した実施の形態 1 と同様である。

【 0 2 0 7 】

以下、図 3 2 ~ 図 3 4 を参照して、実施の形態 1 1 のメモリセル構造について述べる。

【 0 2 0 8 】

N ウェル領域 N W 内において、P⁺拡散領域 F L 1 1 0 , F L 1 1 1 及びポリシリコン配線 P L 5 1 により P M O S トランジスタ P 1 を構成し、P⁺拡散領域 F L 1 2 0 , F L 1 2 1 及びポリシリコン配線 P L 5 2 により P M O S トランジスタ P 2 を構成する。

【 0 2 0 9 】

P ウェル領域 P W 0 内において、N⁺拡散領域 F L 2 1 0 (F L 2 1 0 A , F L 2 1 0 B) , F L 2 1 1 及びポリシリコン配線 P L 5 1 により N M O S トランジスタ N 1 を構成し、N⁺拡散領域 F L 2 4 0 , F L 2 4 1 及びポリシリコン配線 P L 5 4 によって N M O S トランジスタ N 4 を構成する。なお、ポリシリコン配線 P L 5 1 は N ウェル領域 N W から P ウェル領域 P W 0 にかけて形成されることにより、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとして共有される。

【 0 2 1 0 】

P ウェル領域 P W 1 内において、N⁺拡散領域 F L 2 2 0 (F L 2 2 0 A , F L 2 2 0 B) , F L 2 2 1 及びポリシリコン配線 P L 5 2 により N M O S トランジスタ N 2 を構成し、N⁺拡散領域 F L 2 3 0 , F L 2 3 1 及びポリシリコン配線 P L 5 3 によって N M O S トランジスタ N 3 を構成する。なお、ポリシリコン配線 P L 5 2 は N ウェル領域 N W から P ウェル領域 P W 1 にかけて形成されることにより、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【 0 2 1 1 】

拡散領域 F L 2 1 0 A , F L 2 1 0 B 上のグラウンド配線 L G 1 はそれぞれ拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 0 A , F L 2 1 0 B に電氣的に接続され、拡散領域 F L 2 4 1 上のビット線 B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 4 1 に電氣的に接続される。

【 0 2 1 2 】

拡散領域 F L 2 1 1 上から拡散領域 F L 1 1 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 7 は、拡散領域 F L 2 1 1 と拡散コンタクトホール 1 C を介して電氣的に接続される。

【 0 2 1 3 】

さらに、アルミ配線 A L 1 7 はポリシリコン配線 P L 5 2 に電氣的に接続される。ポリシリコン配線 P L 5 2 はシェアードコンタクト S C を介して拡散領域 F L 1 1 1 及び拡散領域 F L 2 3 1 それぞれに電氣的に接続される。

【 0 2 1 4 】

アルミ配線 A L 1 7 は電氣的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 7、2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 5 2 が記憶端子 N a に相当する。

【 0 2 1 5 】

ポリシリコン配線 P L 5 4 はゲートコンタクトホール G C を介して、ワード線 W L 1 に電氣的に接続される。

【 0 2 1 6 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電氣的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電氣的に接続される。

【 0 2 1 7 】

グラウンド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 に電氣的に接続され、拡散領域 F L 2 3 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 0 と電氣的に接続される。

【 0 2 1 8 】

拡散領域 F L 2 2 0 上から拡散領域 F L 1 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 8 は、拡散領域 F L 2 2 0 と拡散コンタクトホール 1 C を介して電氣的に接続される。

【 0 2 1 9 】

さらに、アルミ配線 A L 1 8 はポリシリコン配線 P L 5 1 に電氣的に接続される。ポリシリコン配線 P L 5 1 はシェアードコンタクト S C を介して拡散領域 F L 1 2 0 及び拡散領域 F L 2 4 0 それぞれに電氣的に接続される。

【 0 2 2 0 】

アルミ配線 A L 1 8 は電氣的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 8、2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 5 1 が記憶端子 N b に相当する。

【 0 2 2 1 】

ポリシリコン配線 P L 5 3 上のワード線 W L 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 5 3 と電氣的に接続される。

【 0 2 2 2 】

ワード線 W L 1 はビアホール 1 T を介してワード線 W L 2 に電氣的に接続され、ワード線 W L 2 はビアホール 2 T を介してワード線 W L 3 に電氣的に接続される。ワード線 W L 3 はウエル領域 P W 0、P W 1 及び N ウエル領域 N W を横断して形成される。

【 0 2 2 3 】

ビット線 B L A 2 はビアホール 1 T を介してビット線 B L A 1 に電氣的に接続され、ビット線 B L B 2 はビアホール 1 T を介してビット線 B L B 1 に電氣的に接続される。

【 0 2 2 4 】

電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電氣的に接続される。グラウンド配線 L G 1 はビアホール 1 T を介してグラウンド配線 L G 2 に電氣的に接続される。

【 0 2 2 5 】

ビット線 B L A 2、B L B 2、グラウンド配線 L G 2 及び電源配線 L V 2 は図中縦方向に並行して形成される。

10

20

30

40

50

【 0 2 2 6 】

ビット線 B L A 2 及びグラント配線 L G 2 は P ウエル領域 P W 1 上に形成され、ビット線 B L B 2 及びグラント配線 L G 2 は P ウエル領域 P W 0 上に形成され、電源配線 L V 2 は N ウエル領域 N W 上に形成される。

【 0 2 2 7 】

このように、実施の形態 1 1 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 、 N 4 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 3 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【 0 2 2 8 】

また、P ウエル領域 P W 0 及び P W 1 を、ビット線 B L A , B L B の形成方向に垂直な方向で分離形成することにより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【 0 2 2 9 】

また、実施の形態 1 1 は、実施の形態 1 と同様、N M O S トランジスタ N 1 , N 2 、及び N M O S トランジスタ N 3 , N 4 はそれぞれメモリセルの中心部に対して点对称となるようにレイアウト配置されるため、実施の形態 1 1 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【 0 2 3 0 】

また、ポリシリコン配線 P L 5 1 ~ P L 5 4 をほぼ同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線 P L 5 1 , P L 5 3 、ポリシリコン配線 P L 5 2 , P L 5 4 をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態 1 の第 4 の効果に相当）。

【 0 2 3 1 】

加えて、N M O S トランジスタ N 1 ~ N 4 において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態 1 の第 5 の効果に相当）。

【 0 2 3 2 】

さらに、C M O S 構造のインバータ I 1 , I 2 をそれぞれ N M O S トランジスタ及び P M O S トランジスタ一つつつの組で構成することにより、C M O S 構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態 1 の第 6 の効果に相当）。

【 0 2 3 3 】

加えて、記憶端子 N a をアルミ配線 A L 1 7 、シェアードコンタクト S C 及びポリシリコン配線 P L 5 2 で構成し、記憶端子 N b をアルミ配線 A L 1 8 、シェアードコンタクト S C 及びポリシリコン配線 P L 5 1 で構成することにより、図中縦方向のウェル形成幅を 2 トランジスタピッチで形成できる分、集積度の向上を図ることができる。

【 0 2 3 4 】

< 実施の形態 1 2 >

図 3 5 及び図 3 6 はこの発明の実施の形態 1 2 である S R A M のメモリセル構造を示す図である。図 3 5 は全層におけるレイアウト構成を平面視した説明図である。図 3 6 は主として図 3 5 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図 3 5 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態 1 1 の説明で用いた図 3 3（ワード線 W L 2 がワード線 W L A 2 , W L B 2 に分離された点は異なる）と同様であり、図 3 6 , 図 3 3 で示した符号の一部を図 3 5 では省略している場合がある。また、実施の形態 1 2 のレイアウト構成の S R A M メモリセルの等価回路は実施の形態 5 で示した図 1 5 と同様である。

【 0 2 3 5 】

以下、図 3 5 , 図 3 6 及び図 3 3 を参照して、実施の形態 1 2 のメモリセル構造について述べる。

10

20

30

40

50

【0236】

ポリシリコン配線 P L 5 3 はゲートコンタクトホール G C を介して、ワード線 W L A 1 (図 3 3 の右端のワード線 W L 1 に相当) に電氣的に接続され、ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電氣的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電氣的に接続される。これらワード線 W L A 1 ~ ワード線 W L A 3 によって図 1 5 のワード線 W L A を構成する。

【0237】

同様に、ポリシリコン配線 P L 5 4 はゲートコンタクトホール G C を介して、ワード線 W L B 1 (図 3 3 の左端のワード線 W L 1 に相当) に電氣的に接続され、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電氣的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電氣的に接続される。これらワード線 W L B 1 ~ W L B 3 によって図 1 5 のワード線 W L B を構成する。

【0238】

ワード線 W L A 3 , W L B 3 は P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成される。なお、他のレイアウト構成は実施の形態 1 1 と同様であるため説明を省略する。

【0239】

実施の形態 1 2 は上記のようなメモリセル構造を有することにより、実施の形態 1 1 の効果に加え、実施の形態 5 と同様、 F I F O メモリで利用可能なメモリセル構造を実現することができる。

【0240】

< その他 >

なお、上述した実施の形態 1 ~ 実施の形態 1 2 において、導電型式を全て逆にして構成しても同様な効果を奏する。さらに、 M O S トランジスタに限らず、 M I S トランジスタ等の電界効果トランジスタに対しても同様な効果を奏する。

【0241】

【発明の効果】

以上説明したように、この発明における第 1 の態様の半導体記憶装置は、第 1 の記憶端子に一方電極が接続される第 1 及び第 3 の第 1 種電界効果トランジスタを第 1 及び第 2 の第 2 種ウェル領域にそれぞれ分けて形成し、第 2 の記憶端子に一方電極が接続される第 2 及び第 4 の第 1 種電界効果トランジスタを第 2 及び第 1 の第 2 種ウェル領域にそれぞれ分けて形成している。

【0242】

したがって、線や中性子線によって発生した電子が、第 1 及び第 2 の第 2 種ウェル領域のうち一方の第 2 種ウェル領域に形成した第 1 ~ 第 4 の第 1 種電界効果トランジスタの一方電極領域に収集された場合に、第 1 種ウェル領域が介在することにより上記電子の発生による影響が防止される他方の第 2 種ウェル領域に形成した第 1 ~ 第 4 の第 1 種電界効果トランジスタの一方電極領域から放出される。例えば、第 1 の第 2 種ウェル領域内の第 1 の第 1 種電界効果トランジスタの一方電極領域に収集された電子は第 1 の記憶端子を介して第 2 の第 2 種ウェル領域内の第 3 の第 1 種電界効果トランジスタの一方電極領域から放出され、第 2 の第 2 種ウェル領域内の第 2 の第 1 種電界効果トランジスタの一方電極領域に収集された電子は第 2 の記憶端子を介して第 1 の第 2 種ウェル領域内の第 4 の第 1 種電界効果トランジスタの一方電極領域から放出される。

【0243】

このような動作により、第 1 及び第 2 の記憶端子の保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなり、その結果、ソフトエラー耐性が向上するという効果を奏する。

【0244】

加えて、第 1 及び第 2 のインバータはそれぞれ第 1 種及び第 2 種電界効果トランジスタ一つつつの組で構成されているため、相補型の構成では必要最小限の回路構成で実現できる

。

【 0 2 4 5 】

第 2 の態様の半導体記憶装置は、第 1 あるいは第 2 の記憶端子に接続される一方電極を第 1 ～ 第 4 の第 1 種電界効果トランジスタ間で互いに独立して形成することにより、ソフトエラー耐性のさらなる向上を図ることができる。

【 0 2 4 6 】

第 3 の態様の半導体記憶装置のように第 1 ～ 第 4 の第 1 種電界効果トランジスタ及び第 1 , 第 2 の第 2 種電界効果トランジスタを配置することにより、集積度の向上を図ることができる。

【 0 2 4 7 】

第 4 の態様の半導体記憶装置は、第 1 及び第 2 の MOS トランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【 0 2 4 8 】

第 5 の態様の半導体記憶装置は、第 3 及び第 4 の MOS トランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【 0 2 4 9 】

第 6 の態様の半導体記憶装置は、第 1 及び第 2 の第 1 種電界効果トランジスタの制御電極幅を第 3 及び第 4 の第 1 種電界効果トランジスタの制御電極幅より広く設定することにより、メモリセルの安定性の向上を図ることができる。

【 0 2 5 0 】

第 7 の態様の半導体記憶装置は、第 1 及び第 2 の抵抗成分による信号伝播遅延によって、メモリセルの第 1 及び第 2 の記憶端子に保持しているデータを反転するための応答特性を長くして、ソフトエラーを起こりにくくすることができる。

【 0 2 5 1 】

第 8 の態様の半導体記憶装置は、高抵抗金属配線によって第 1 及び第 2 の抵抗成分を実現している。

【 0 2 5 2 】

第 9 の態様の半導体記憶装置は、高抵抗ポリシリコン配線によって第 1 及び第 2 の抵抗成分を実現している。

【 0 2 5 3 】

第 1 0 の態様の半導体記憶装置は、第 3 及び第 4 の MOS トランジスタの制御電極及びワード線を一本のポリシリコンで共用することにより、形成すべき層の数を減少させて装置のコスト削減を図ることができる。

【 0 2 5 4 】

第 1 1 の態様の半導体記憶装置は、第 1 及び第 2 のワード線による 2 つのメモリセル選択手段を有することにより、メモリセルを F I F O メモリ用に用いることができる。

【 0 2 5 5 】

第 1 2 の態様の半導体記憶装置は、第 1 ～ 第 4 の部分ビット線及び第 1 及び第 2 のワード線による 2 ポートメモリセルが実現する。

【 0 2 5 6 】

第 1 3 の態様の半導体記憶装置は、第 1 及び第 2 の第 1 種電界効果トランジスタの制御電極幅を第 5 ～ 第 8 の第 1 種電界効果トランジスタの制御電極幅より広く設定することにより、メモリセルの安定性の向上を図ることができる。

【 0 2 5 7 】

第 1 4 の態様の半導体記憶装置は、第 1 及び第 2 の第 1 種電界効果トランジスタの制御電極形成領域を第 2 及び第 1 の記憶端子の一部を構成するようにレイアウト配置することにより、メモリセル形成領域を狭くして集積度の向上を図ることができる。

【 0 2 5 8 】

10

20

30

40

50

第 15 の態様の半導体記憶装置は、第 1 及び第 2 の第 2 種ウェル領域の間にレイアウト配置された第 1 種ウェル領域によって、第 1 及び第 2 の第 2 種ウェル領域のうち一方の第 2 種ウェル領域で生成されたキャリアが他方の第 2 種ウェル領域に影響を及ぼすことを防止することができる。

【図面の簡単な説明】

【図 1】 この発明に実施の形態 1 である S R A M のメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 2】 主として図 1 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 3】 主として図 1 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

10

【図 4】 実施の形態 1 のメモリセルの等価回路を示す回路図である。

【図 5】 実施の形態 2 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 6】 主として図 5 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 7】 隣接するメモリセル間における第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 8】 実施の形態 3 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

20

【図 9】 主として図 8 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 10】 実施の形態 3 のメモリセルの等価回路を示す回路図である。

【図 11】 実施の形態 4 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 12】 主として図 11 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 13】 実施の形態 5 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 14】 主として図 13 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

30

【図 15】 実施の形態 5 のメモリセルの等価回路を示す回路図である。

【図 16】 実施の形態 6 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 17】 主として図 16 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 18】 主として図 16 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 19】 実施の形態 7 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

40

【図 20】 主として図 19 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 21】 主として図 19 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 22】 実施の形態 8 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 23】 主として図 22 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 24】 主として図 22 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

50

【図 25】 実施の形態 8 のメモリセルの等価回路を示す回路図である。

【図 26】 実施の形態 9 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 27】 主として図 26 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 28】 主として図 26 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 29】 実施の形態 10 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 30】 主として図 29 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

10

【図 31】 主として図 29 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 32】 実施の形態 11 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 33】 主として図 32 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 34】 主として図 32 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 35】 実施の形態の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

20

【図 36】 主として図 35 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

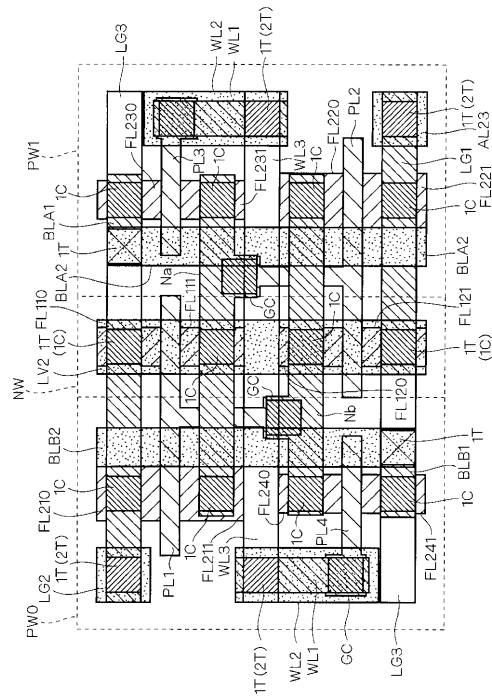
【図 37】 従来の S R A M メモリセルを示す回路図である。

【符号の説明】

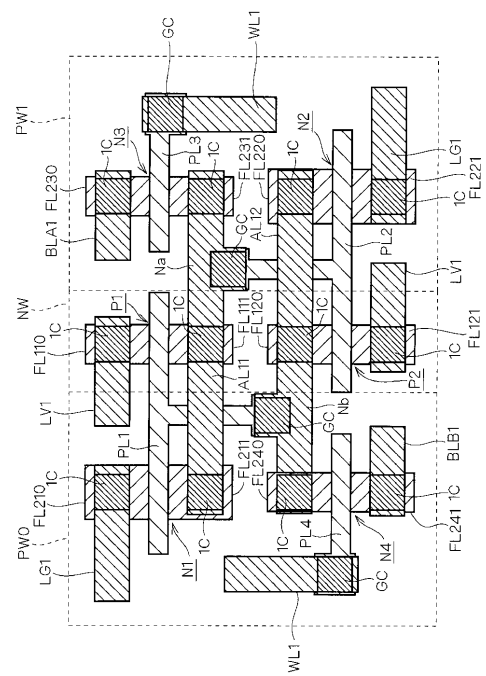
B L A , B L B , バー B L A , バー B L B ビット線、F L 1 1 0 , F L 1 1 1 , F L 1 2 0 , F L 1 2 1 P⁺拡散領域、F L 2 1 0 ~ F L 2 1 5 , F L 2 2 0 ~ F L 2 2 5 , F L 2 3 0 ~ F L 2 3 3 , F L 2 4 0 ~ F L 2 4 3 N⁺拡散領域、I 1 , I 2 インバータ、M 0 0 , M 0 1 高抵抗金属配線、N 1 , N 2 N M O S トランジスタ (ドライバトランジスタ)、N 3 ~ N 7 N M O S トランジスタ (アクセストランジスタ)、N W N ウエル領域、P 1 , P 2 P M O S トランジスタ (ドライバトランジスタ)、P L 5 共用ポリシリコン配線 P L 5、P L 7 , P L 8 高抵抗ポリシリコン配線、P W 0 , P W 1 P ウエル領域、R 1 , R 2 抵抗、W L , W L A , W L B ワード線。

30

【図 1】

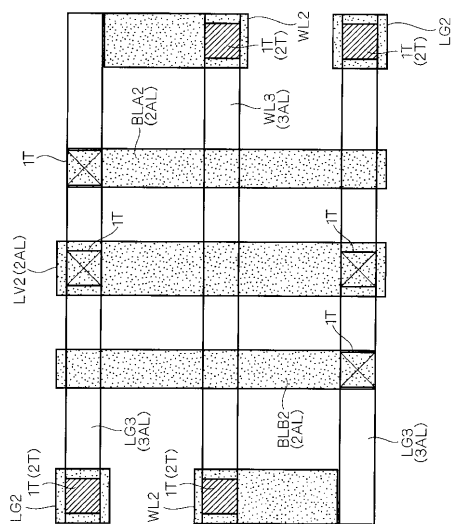


【図 2】

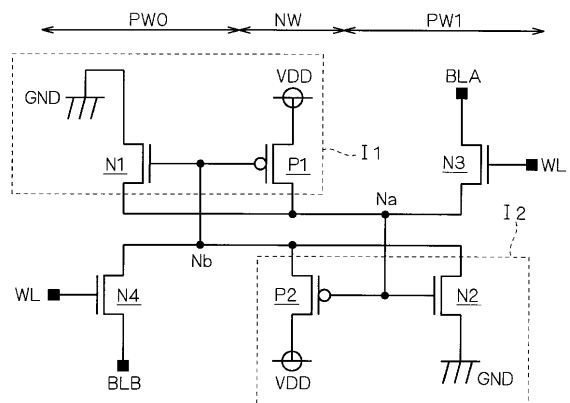


FL110, FL111, FL120, FL121: P+拡散領域
 FL210, FL211, FL220, FL221, FL230, FL231, FL240, FL241: N+拡散領域
 NW: Nウェル領域
 PW0, PW1: Pウェル領域

【図 3】

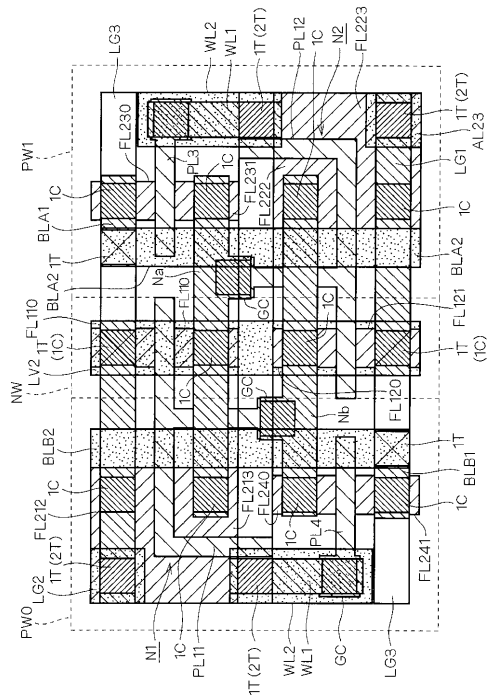


【図 4】

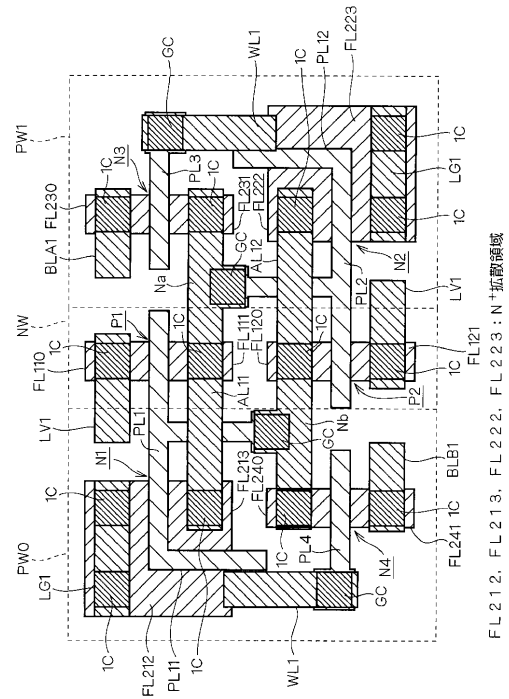


I1, I2: CMOSインバータ
 N1, N2: NMOSトランジスタ (ドライバトランジスタ)
 N3, N4: NMOSトランジスタ (アクセストランジスタ)
 P1, P2: PMOSトランジスタ (ドライバトランジスタ)
 WL: ワード線
 BLA, BLB: ビット線

【図 5】

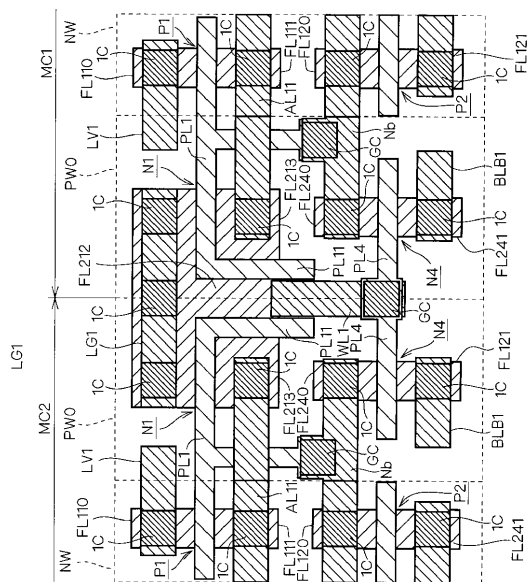


【図 6】

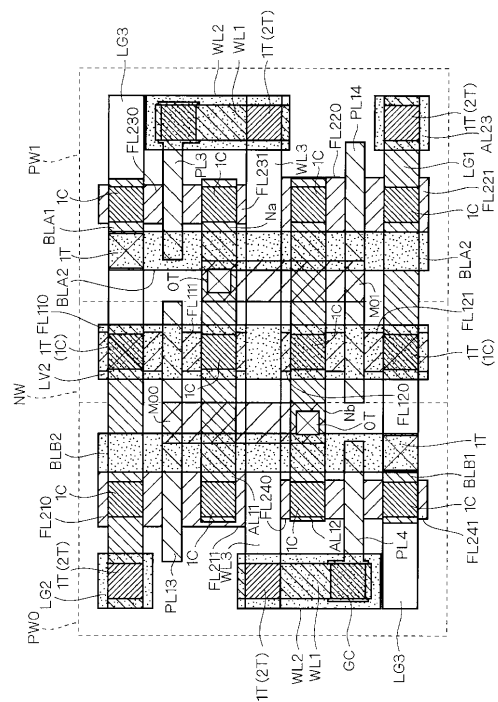


FL212, FL213, FL222, FL223: N+拡散領域

【図 7】

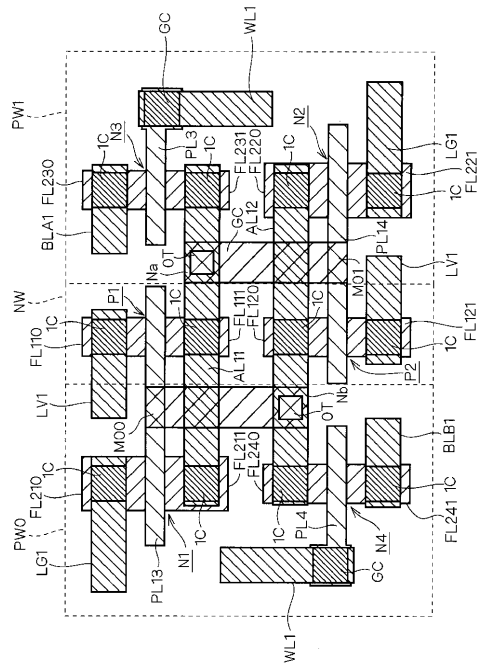


【図 8】

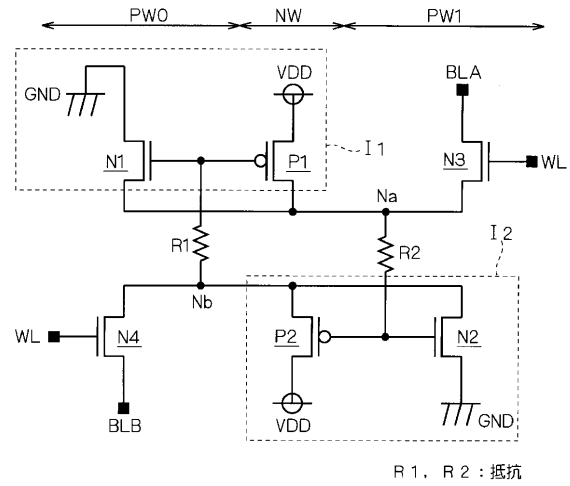


M00, M01: 高低抗金属配線

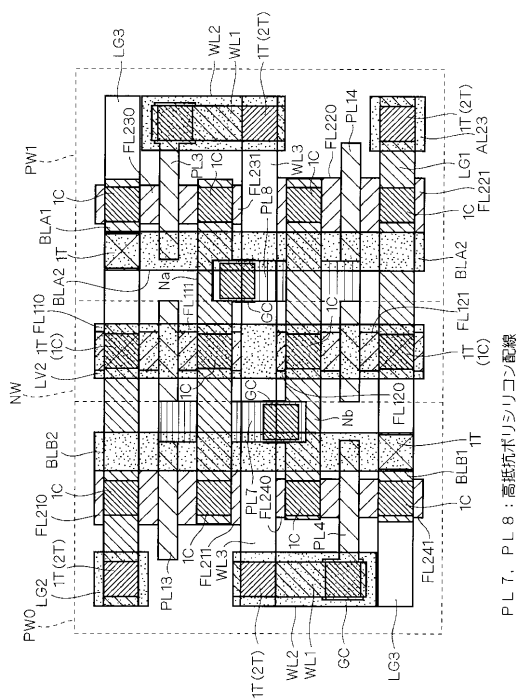
【図 9】



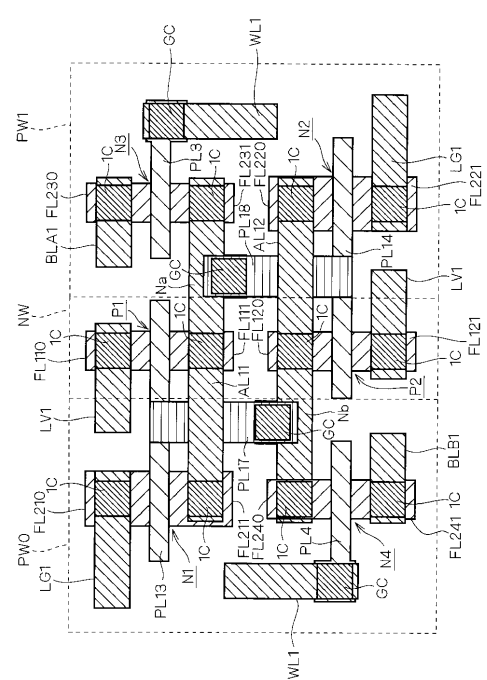
【図 10】



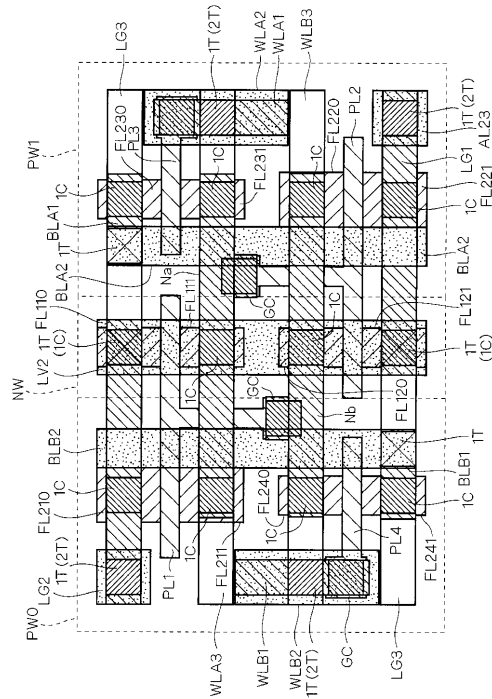
【図 11】



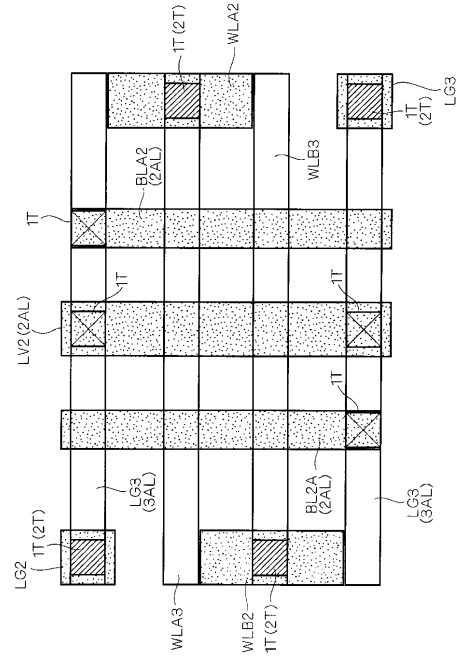
【図 12】



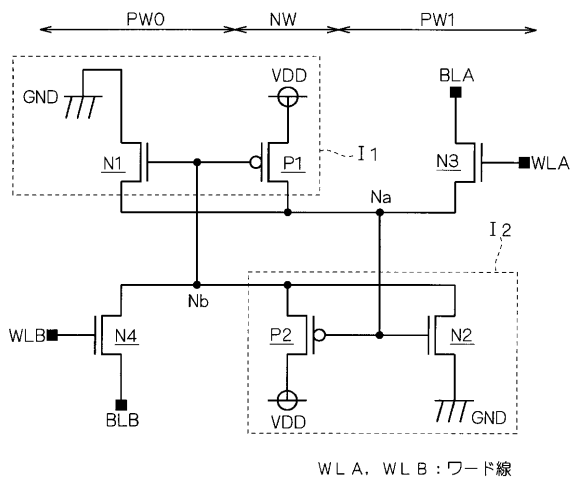
【図 13】



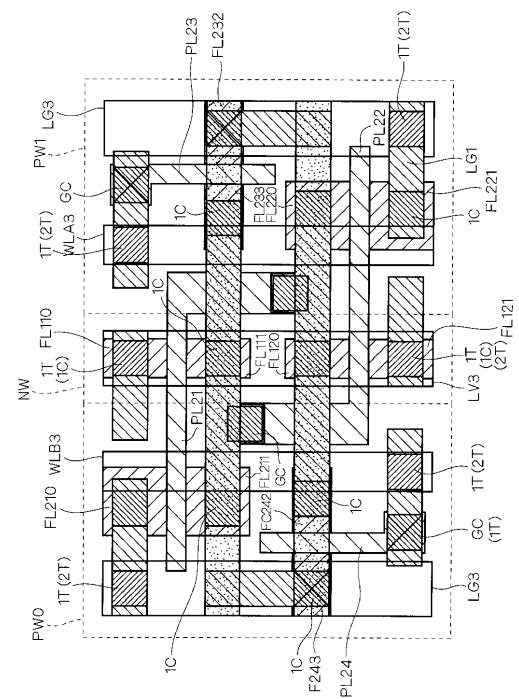
【図 14】



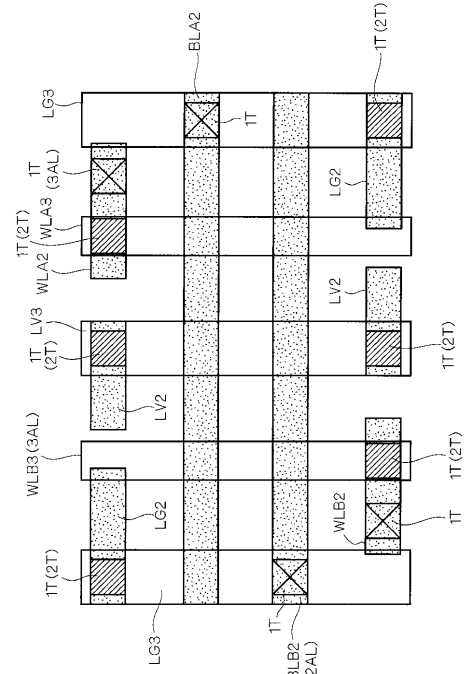
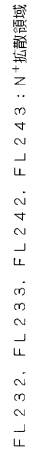
【図 15】



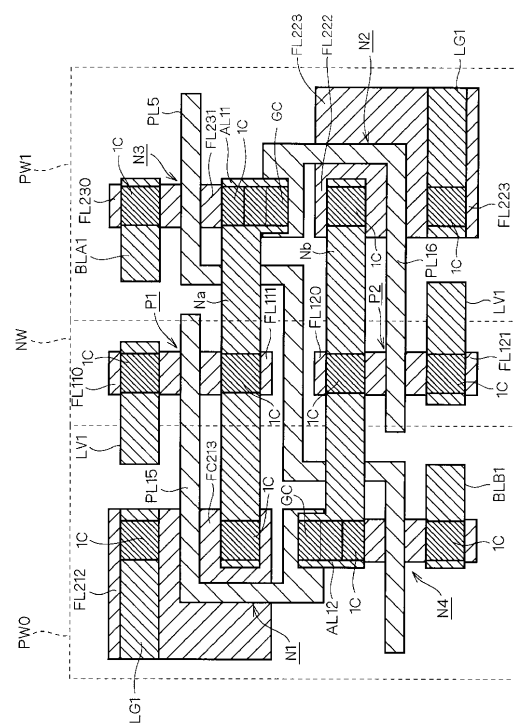
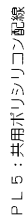
【図 16】



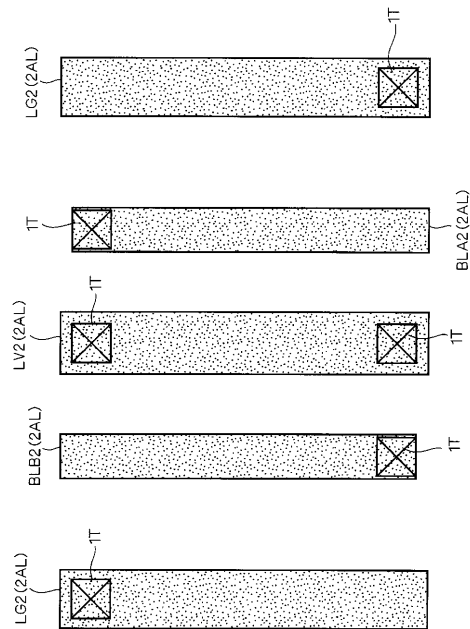
【 図 1 8 】



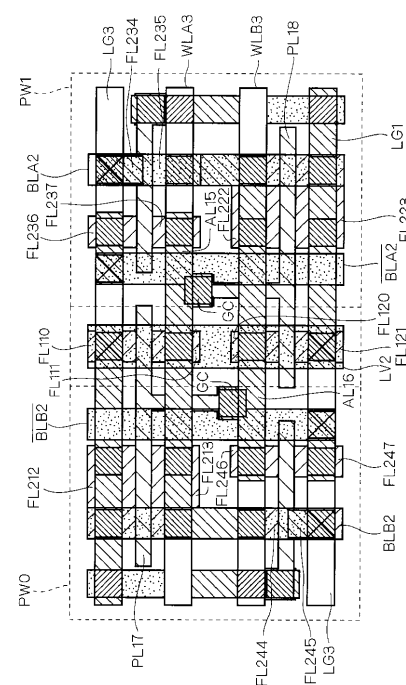
【 図 2 0 】



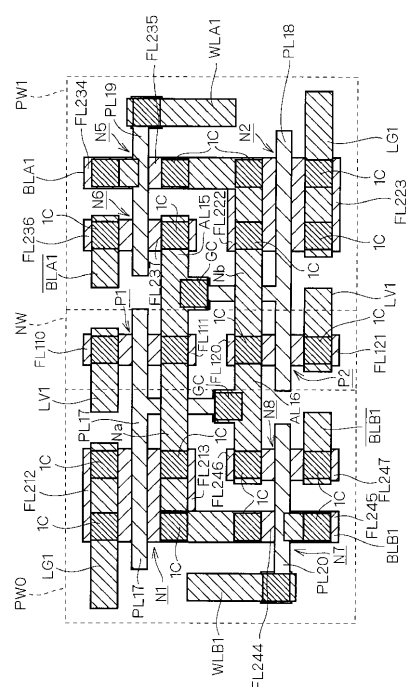
【図 2 1】



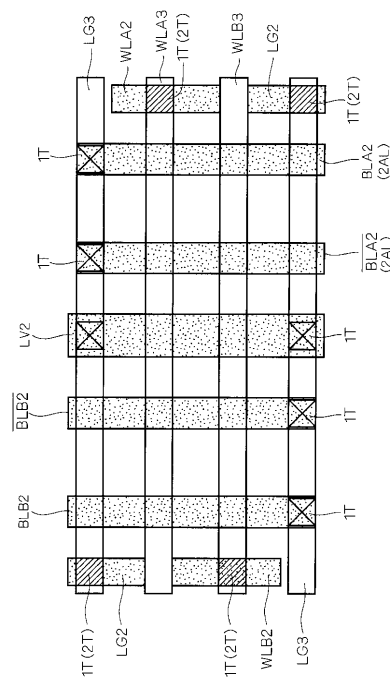
【図 2 2】



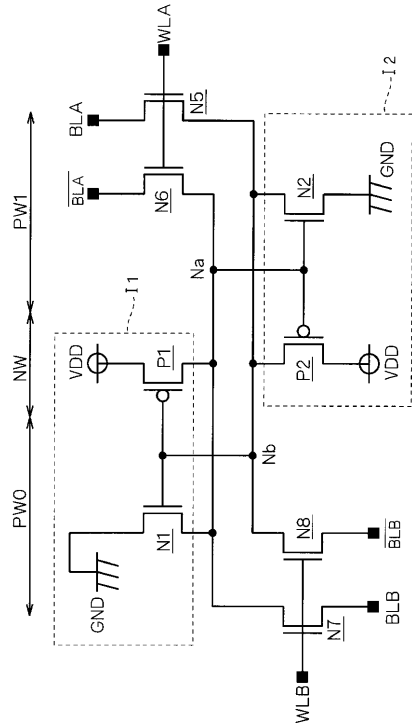
【図 2 3】



【図 2 4】

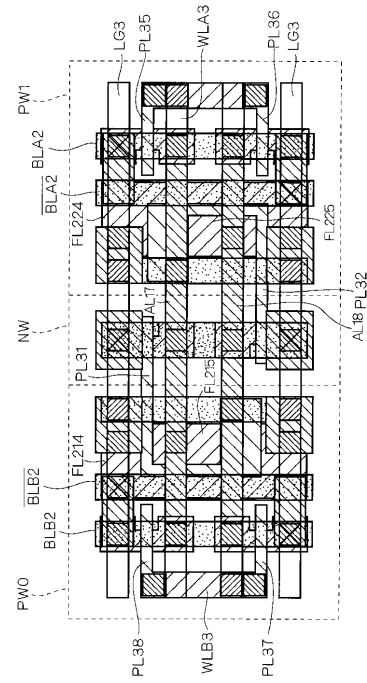


【 図 2 5 】

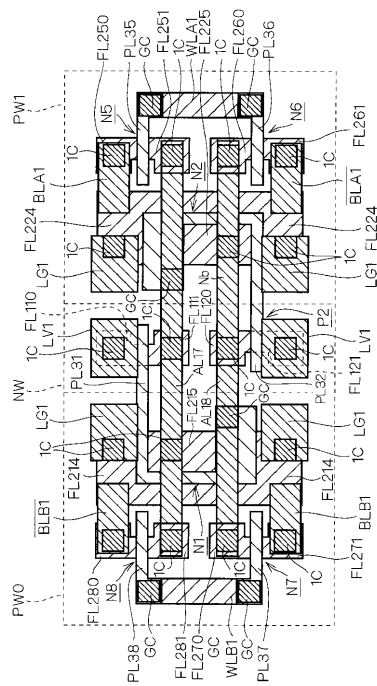


BLA, \overline{BLA} , BLB, \overline{BLB} :ビット線
N5~N8:NMOSトランジスタ (アクセストランジスタ)

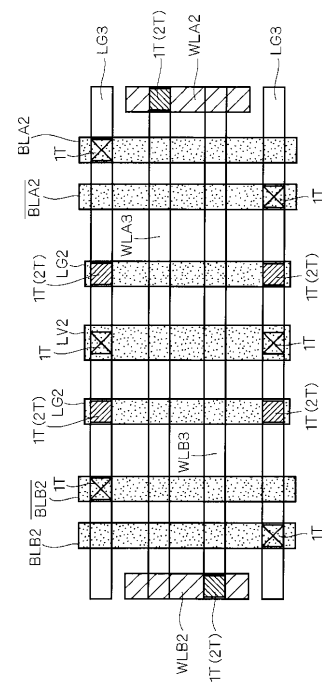
【 図 2 6 】



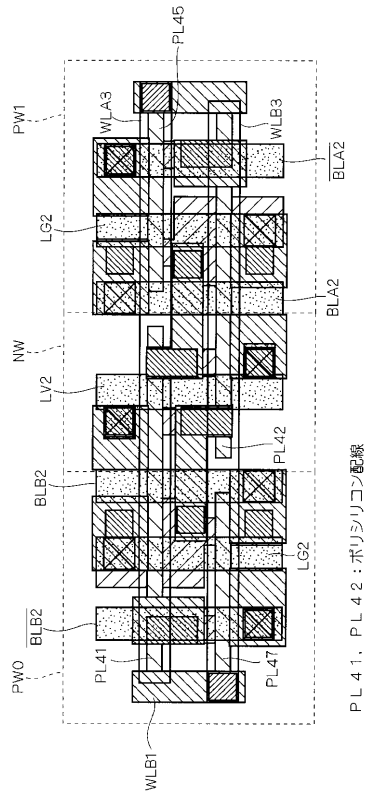
【 図 2 7 】

FL214, FL215, FL224, FL225: N⁺擴散領域

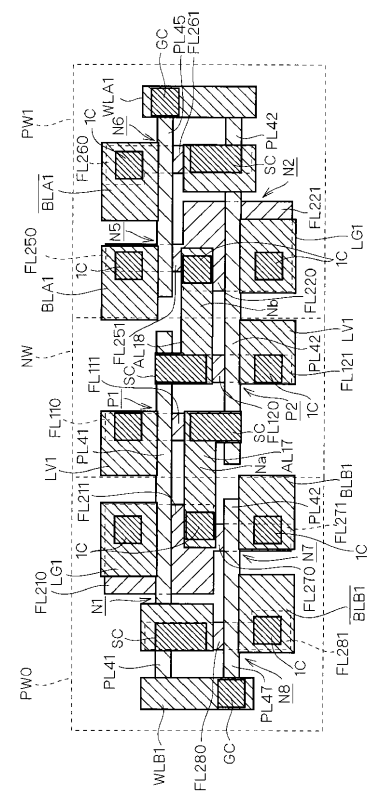
【 図 2 8 】



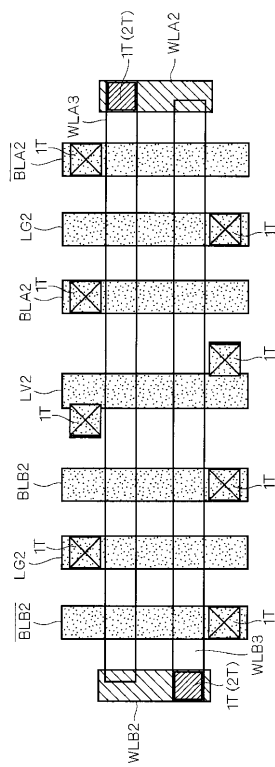
【図 29】



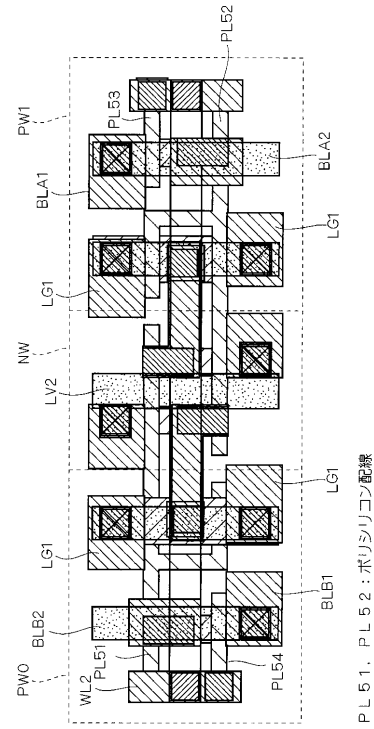
【図 30】



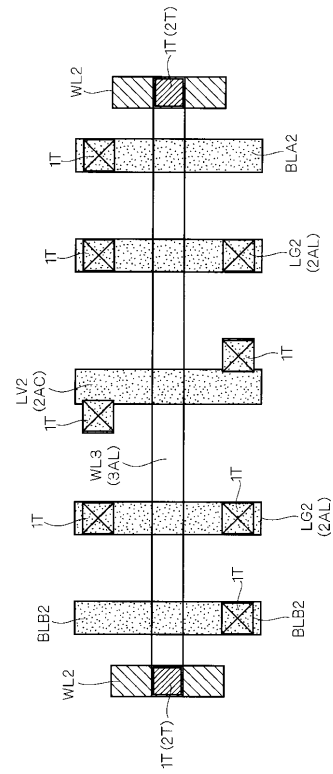
【図 31】



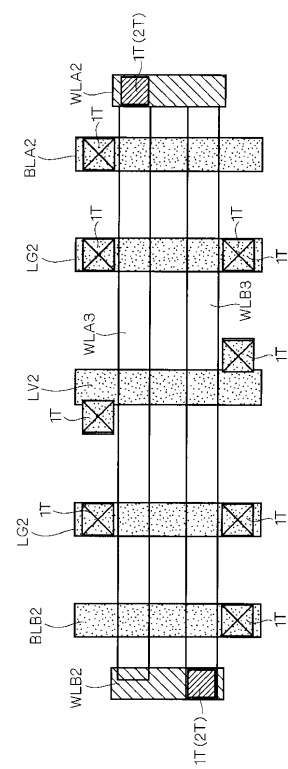
【図 32】



【 図 3 4 】



【 図 3 6 】



[illegible]

フロントページの続き

- (56)参考文献 特開2000-243858(JP,A)
特開平10-178110(JP,A)
特開2000-236029(JP,A)
特開平06-097393(JP,A)
特開平02-150062(JP,A)
特開2000-150651(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244

H01L 27/11