

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4744751号
(P4744751)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl.

H01L 27/11 (2006.01)
H01L 21/8244 (2006.01)

F 1

H01L 27/10 381

請求項の数 18 (全 43 頁)

(21) 出願番号 特願2001-296178 (P2001-296178)
 (22) 出願日 平成13年9月27日 (2001.9.27)
 (65) 公開番号 特開2002-237539 (P2002-237539A)
 (43) 公開日 平成14年8月23日 (2002.8.23)
 審査請求日 平成20年6月18日 (2008.6.18)
 (31) 優先権主張番号 特願2000-371153 (P2000-371153)
 (32) 優先日 平成12年12月6日 (2000.12.6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 新居 浩二
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

2ポートのスタティックメモリセルを有する半導体装置であって、
 前記スタティックメモリセルは、
 第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、
 前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、
 一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、

一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、

一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、

一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタとを含み、

10

20

前記第1のワード線と前記第2のワード線とが並んで配列され、

前記スタティックメモリセルにおいて、第2の導電型の第1の領域、第1の導電型の第2の領域、及び第2の導電型の第3の領域が前記第1及び第2のワード線の伸びる方向に前記第1、第2及び第3の領域の順に配置され、

前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、

前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、

前記第3の領域には、前記第2のトランジスタと、前記第4のトランジスタと、前記第1のインバータを構成する第1の導電型の第6トランジスタとが配置された、
半導体装置。

10

【請求項2】

請求項1記載の半導体装置であって、

前記第1から第4のピット線は、それぞれの伸びる方向が前記第1のワード線及び前記第2のワード線と直交する方向になるように配列された、
半導体装置。

【請求項3】

請求項1あるいは請求項2に記載の半導体装置であって、

前記第1のトランジスタのゲート電極と前記第3のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第1のゲート電極が構成され、
前記第2のトランジスタのゲート電極と前記第4のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第2のゲート電極が構成される、
半導体装置。

20

【請求項4】

請求項3記載の半導体装置であって、

前記第5のトランジスタのゲート電極と前記第7のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第3のゲート電極が構成され、
前記第6のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第4のゲート電極が構成され、

前記第1から第4のゲート電極は前記第1のワード線及び前記第2のワード線の伸びる方向に延びる、
半導体装置。

30

【請求項5】

請求項1ないし請求項4のうち、いずれか1項に記載の半導体装置であって、

前記第1と前記第5のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、
前記第4と前記第6のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第2と前記第5のトランジスタの活性領域は分離され、配線を介して接続され、
前記第3と前記第6のトランジスタの活性領域は分離され、配線を介して接続された、
半導体装置。

40

【請求項6】

請求項5記載の半導体装置であって、

前記第2の領域に近い順に、前記第3のトランジスタ、前記第1のトランジスタが配置され、
前記第2の領域に近い順に、前記第2のトランジスタ、前記第4のトランジスタが配置された、
半導体装置。

【請求項7】

請求項5記載の半導体装置であって、

50

前記第2の領域に近い順に、前記第1のトランジスタ、前記第3のトランジスタが配置され、

前記第2の領域に近い順に、前記第4のトランジスタ、前記第2のトランジスタが配置された、

半導体装置。

【請求項8】

スタティック型ランダムアクセスメモリを有し、このスタティック型ランダムアクセスメモリの一つのメモリセルは第1乃至第8のトランジスタで構成される半導体装置であつて、

各々第1導電型の第1及び第2のウェル領域、

10

前記第1及び第2のウェル領域の間に配置された、第2導電型の第3のウェル領域、

互いに離間して前記第3のウェル領域内に設けられ、前記第1のトランジスタの電極をそれぞれ構成する第1導電型の第1及び第2の不純物領域、

互いに離間して前記第3のウェル領域内に設けられ、前記第2のトランジスタの電極をそれぞれ構成する第1導電型の第3及び第4の不純物領域、

互いに離間して前記第1のウェル領域内に設けられ、前記第3のトランジスタの電極をそれぞれ構成する第2導電型の第5及び第6の不純物領域、

互いに離間して前記第1のウェル領域内に設けられ、前記第4のトランジスタの電極をそれぞれ構成する第2導電型の第7及び第8の不純物領域、

互いに離間して前記第1のウェル領域内に設けられ、前記第5のトランジスタの電極をそれぞれ構成する、第2導電型の第9及び第10の不純物領域、

20

互いに離間して前記第2のウェル領域内に設けられ、前記第6のトランジスタの電極をそれぞれ構成する第2導電型の第11及び第12の不純物領域、

互いに離間して前記第2のウェル領域内に設けられ、前記第7のトランジスタの電極をそれぞれ構成する第2導電型の第13及び第14の不純物領域、

互いに離間して前記第2のウェル領域内に設けられ、前記第8のトランジスタの電極をそれぞれ構成する第2導電型の第15及び第16の不純物領域、

前記第1及び第2の不純物領域の間の領域の上、及び前記第5及び第6の不純物領域の間の領域の上に少なくとも配置され、前記第1及び第3のトランジスタのそれぞれゲート電極を一体に構成する第1の導電層、

30

前記第3及び第4の不純物領域の間の領域の上、及び前記第11及び第12の不純物領域の間の領域の上に少なくとも配置され、前記第2及び第6のトランジスタのそれぞれゲート電極を一体に構成する第2の導電層、

前記第7及び第8の不純物領域の間の領域の上、及び前記第9及び第10の不純物領域の間の領域の上に少なくとも配置され、前記第4及び第5のトランジスタのそれぞれゲート電極を一体に構成する第3の導電層、

前記第13及び第14の不純物領域の間の領域の上、及び前記第15及び第16の不純物領域の間の領域の上に少なくとも配置され、前記第7及び第8のトランジスタのそれぞれゲート電極を一体に構成する機能する第4の導電層、

前記第2、第6、第7及び第15の不純物領域並びに第2の導電層に電気的に接続される第5の導電層、

40

前記第3、第9、第12及び第13の不純物領域並びに第1の導電層に電気的に接続される第6の導電層、

前記第1乃至第3のウェル領域の上に配置され、前記第4の導電層に電気的に接続される第1のワード線、

前記第1のワード線とは離間して前記第1乃至第3のウェル領域の上に配置され、前記第3の導電層に電気的に接続される第2のワード線、

前記第14の不純物領域に電気的に接続される第1のビット線、

前記第16の不純物領域に電気的に接続される第2のビット線、

前記第8の不純物領域に電気的に接続される第3のビット線、及び、

50

前記第10の不純物領域に電気的に接続される第4のビット線、
を備え、

前記第1及び第2の不純物領域の互いに向かい合う方向と、前記第3及び第4の不純物
領域の互いに向かい合う方向と、前記第5及び第6の不純物領域の互いに向かい合う方向
と、前記第7及び第8の不純物領域の互いに向かい合う方向と、前記第9及び第10の不
純物領域の互いに向かい合う方向と、前記第11及び第12の不純物領域の互いに向かい
合う方向と、前記第13及び第14の不純物領域の互いに向かい合う方向と、前記第15
及び第16の不純物領域の互いに向かい合う方向とは、同じ方向である、
半導体装置。

【請求項9】

10

請求項8記載の半導体装置であって、

前記第6及び第7の不純物領域は一体の不純物領域によって構成され、

前記第12及び第13の不純物領域は一体の不純物領域によって構成される、
半導体装置。

【請求項10】

請求項9記載の半導体装置であって、

前記第1の導電層は、第1のシェアードコンタクトを介して前記第3の不純物領域と接
続され、前記第2のシェアードコンタクトを介して前記第9の不純物領域と接続され、

前記第2の導電層は、第3のシェアードコンタクトを介して前記第2の不純物領域と接
続され、前記第4のシェアードコンタクトを介して前記第15の不純物領域と接続され、

20

前記第5の導電層は一体の金属層で構成されており、平面視して前記第2の不純物領域
と重なる部分で前記第3のシェアードコンタクトを介して前記第2の不純物領域と接続さ
れ、平面視して前記第6の不純物領域と重なる部分でコンタクトホールを介して前記第6
の不純物領域と接続され、

前記第6の導電層は一体の金属層で構成されており、平面視して前記第3の不純物領域
と重なる部分で前記第1のシェアードコンタクトを介して前記第3の不純物領域と接続さ
れ、平面視して前記第12の不純物領域と重なる部分でコンタクトホールを介して前記第
12の不純物領域と接続される、
半導体装置。

【請求項11】

30

請求項9記載の半導体装置であって、

前記第3のウェル領域に近い順に、前記第4のトランジスタ及び前記第5のトランジス
タが配置され、

前記第3のウェル領域に近い順に、前記第7のトランジスタ及び前記第8のトランジス
タが配置された、
半導体装置。

【請求項12】

請求項8記載の半導体装置であって、

前記第1及び第4の不純物領域に電気的に接続され、電源電圧を供給する第1の電圧供給
線を備え、

40

前記第1乃至第4のビット線は、同一の層において互いに並行に配置され、

前記第1の電圧供給線は、前記第1乃至第4のビット線と同一の層において前記第1及
び第2のビット線のペアと前記第3及び第4のビット線のペアとの間に配置される、
半導体装置。

【請求項13】

請求項12記載の半導体装置であって、

前記第1乃至第4のビット線と同一の層において前記第3及び第4のビット線の間に配
置され、前記第5の不純物領域に接地電圧を供給する第2の電圧供給線、および、

前記第1乃至第4のビット線と同一の層において前記第1及び第2のビット線の間に
配置され、前記第11の不純物領域に接地電圧を供給する第3の電圧供給線を備える、

50

半導体装置。

【請求項 1 4】

請求項 1 2 記載の半導体装置であって、

前記第 5 の不純物領域に接地電圧を供給する第 2 の電圧供給線、および、

前記第 1 1 の不純物領域に接地電圧を供給する第 3 の電圧供給線を備え、

前記第 1 及び第 2 のワード線と前記第 2 及び第 3 の電圧供給線とは同一の層において互いに並行に配置され、前記第 1 及び第 2 のワード線は、前記第 2 及び第 3 の電圧供給線の間に配置される、

半導体装置。

【請求項 1 5】

請求項 8 記載の半導体装置であって、

前記第 5 及び第 6 の不純物領域の間の領域と、前記第 1 及び第 2 の不純物領域の間の領域と、前記第 1 3 及び第 1 4 の不純物領域の間の領域と、前記第 1 5 及び第 1 6 の不純物領域の間の領域とは、直線状に一列に並んで配置され、

前記第 1 1 及び第 1 2 の不純物領域の間の領域と、前記第 3 及び第 4 の不純物領域の間の領域と、前記第 7 及び第 8 の不純物領域の間の領域と、前記第 9 及び第 1 0 の不純物領域の間の領域とは、直線状に一列に並んで配置される、

半導体装置。

【請求項 1 6】

請求項 8 記載の半導体装置であって、

前記第 5 の導電層は、一体の金属層で構成されており、平面視して前記第 6 の不純物領域と重なる部分で第 1 のコンタクトホールを介して前記第 6 の不純物領域と接続され、平面視して前記第 7 の不純物領域と重なる部分で第 2 のコンタクトホールを介して前記第 7 の不純物領域と接続され、

前記第 6 の導電層は、一体の金属層で構成されており、平面視して前記第 1 2 の不純物領域と重なる部分で第 3 のコンタクトホールを介して前記第 1 2 の不純物領域と接続され、平面視して前記第 1 3 の不純物領域と重なる部分で第 4 のコンタクトホール (1 C) を介して前記第 1 3 の不純物領域と接続され、

前記第 3 のウェル領域に近い順に、前記第 5 のトランジスタ及び前記第 4 のトランジスタが配置され、

前記第 3 のウェル領域に近い順に、前記第 8 のトランジスタ及び前記第 7 のトランジスタが配置された、

半導体装置。

【請求項 1 7】

請求項 8 記載の半導体装置であって、

前記第 5 の導電層は、一体の金属層で構成されており、平面視して前記第 2 の不純物領域と重なる部分で第 1 のコンタクトホールを介して前記第 2 の不純物領域と接続され、平面視して前記第 6 の不純物領域と重なる部分で第 2 のコンタクトホールを介して前記第 6 の不純物領域と接続され、平面視して前記第 1 5 の不純物領域と重なる部分で第 3 のコンタクトホールを介して前記第 1 5 の不純物領域と接続され、

前記第 6 の導電層は、一体の金属層で構成されており、平面視して前記第 3 の不純物領域と重なる部分で第 4 のコンタクトホールを介して前記第 3 の不純物領域と接続され、平面視して前記第 9 の不純物領域と重なる部分で第 5 のコンタクトホールを介して前記第 9 の不純物領域と接続され、平面視して前記第 1 2 の不純物領域と重なる部分で第 6 のコンタクトホールを介して前記第 1 2 の不純物領域と接続される、

半導体装置。

【請求項 1 8】

請求項 1 7 記載の半導体装置であって、

前記第 5 の導電層は、平面視して前記第 2 の導電層と重なる部分で第 7 のコンタクトホールを介して前記第 2 の導電層と接続され、

10

20

30

40

50

前記第6の導電層は、平面視して前記第1の導電層と重なる部分で第8のコンタクトホールを介して前記第1の導電層と接続される、
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置に関し、特にMOSスタティックRAMのソフトエラー耐性の向上を図ったメモリ構造に関するものである。

【0002】

【従来の技術】

メモリセルの微細化に伴い、パッケージから放出される線や宇宙からの中性子線により発生された電子に起因して記憶ノードで保持されているデータを反転させてしまうというソフトエラーの問題が顕在化してくる。特に電源電圧が低下するにつれて、その誤動作は顕著に現れてくる。ソフトエラーの低減を目的に様々な試みがなされている。

【0003】

図37は、例えば特許公報第2589949号に開示されたSRAMメモリセルと等価な構造を示す回路図である。同図に示すように、メモリセル100をPMOSトランジスタPT1, PT2及びNMOSトランジスタNT5～NT8, NT11, NT12, NT21, NT22から構成される。

【0004】

PMOSトランジスタPT1, PT2のソースは共通に電源電圧Vccに接続され、PMOSトランジスタPT1のドレインはノード101を介してPMOSトランジスタPT2のゲート及びNMOSトランジスタT21, NT22のゲートに接続され、PMOSトランジスタPT2のドレインはノード111を介してPMOSトランジスタPT1のゲート及びNMOSトランジスタNT11, NT12のゲートに接続される。

【0005】

NMOSトランジスタNT11, NT12のソースは共に接地(GND)され、NMOSトランジスタNT11のドレインはノード101を介してPMOSトランジスタPT1のドレインに接続され、NMOSトランジスタNT12のドレインはノード101及び102を介してPMOSトランジスタPT1のドレインに接続される。

【0006】

NMOSトランジスタNT21, NT22のソースは共に接地され、NMOSトランジスタNT21のドレインはノード111を介してPMOSトランジスタPT2のドレインに接続され、NMOSトランジスタNT22のドレインはノード111及び112を介してPMOSトランジスタPT2のドレインに接続される。

【0007】

NMOSトランジスタNT5はビット線BL50, ノード101間に介挿され、ゲートがワード線WL50に接続される。NMOSトランジスタNT6はビット線BL60, ノード101間に介挿され、ゲートがワード線WL60に接続される。NMOSトランジスタNT7はビット線BL51, ノード111間に介挿され、ゲートがワード線WL50に接続される。NMOSトランジスタNT8はビット線BL61, ノード111間に介挿され、ゲートがワード線WL60に接続される。

【0008】

このような構成において、ビット線対BL50, BL51あるいはビット線対BL60, BL61より得られるデータを、ワード線WL50あるいはワード線WL60を活性状態にして、NMOSトランジスタNT5, NT6あるいはNMOSトランジスタNT6, NT8をオン状態させることにより、記憶ノードであるノード101及びノード111にアクセスすることができる。

【0009】

上記構成では、通常、1つのNMOSトランジスタで構成するNMOSドライバトランジ

10

20

30

40

50

スタを、2つのN MOSトランジスタ(NT11とNT12とに分けるとともにNT21とNT22とに分ける)に分けている。

【0010】

そして、PMOSトランジスタPT1(PT2)のドレインである記憶ノードをノード101(111)とノード102(112)とに分割すべく、NMOSトランジスタNT11(NT21)とNMOSトランジスタNT12(NT22)とを、PMOSトランジスタPT1が形成されるNウェル領域を挟んで互いに反対側に形成している。

【0011】

したがって、上記Nウェル領域は、その片側に衝突するエネルギー粒子によって生成された電子またはホールが、上記Nウェル領域の反対側の空乏領域に影響を及ぼすことを防ぐことにより、ソフトエラーの発生率を低下させることができる。10

【0012】

【発明が解決しようとする課題】

しかしながら、上記SRAMメモリセルにおいてもソフトエラー低減が十分とではなく、また、本来1個で構成可能なドライバトランジスタを2個で構成するしていいるため回路構成が複雑化するという問題点があった。

【0013】

この発明は上記問題点を解決するためになされたもので、回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体装置を得ることを目的とする。20

【0028】

この発明に係る請求項1記載の半導体装置は、2ポートのスタティックメモリセルを有し、前記スタティックメモリセルは、第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタとを含み、前記第1のワード線と前記第2のワード線とが並んで配列され、前記スタティックメモリセルにおいて、第2の導電型の第1の領域、第1の導電型の第2の領域、及び第2の導電型の第3の領域が前記第1及び第2のワード線の伸びる方向に前記第1、第2及び第3の領域の順に配置され、前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、前記第3の領域には、前記第2のトランジスタと、前記第4のトランジスタと、前記第1のインバータを構成する第1の導電型の第6トランジスタとが配置される。30

またこの発明に係る請求項8記載の半導体装置は、スタティック型ランダムアクセスメモリを有し、このスタティック型ランダムアクセスメモリの一つのメモリセルは第1乃至第8のトランジスタで構成される半導体装置であって、各々第1導電型の第1及び第2のウェル領域、互いに離間して前記第3のウェル領域内に設けられ、前記第1のトランジスタの電極をそれぞれ構成する第1導電型の第1及び第2の不純物領域、互いに離間して前記第3のウェル領域内に設けられ、前記第2のトランジスタの電極をそれぞれ構成する第1導電型の第3及び第4の不純物領域、互いに離間して前記第1のウェル領域内に設けられ、40

前記第3のトランジスタの電極をそれぞれ構成する第2導電型の第5及び第6の不純物領域、互いに離間して前記第1のウェル領域内に設けられ、前記第4のトランジスタの電極をそれぞれ構成する第2導電型の第7及び第8の不純物領域、互いに離間して前記第1のウェル領域内に設けられ、前記第5のトランジスタの電極をそれぞれ構成する、第2導電型の第9及び第10の不純物領域、互いに離間して前記第2のウェル領域内に設けられ、前記第6のトランジスタの電極をそれぞれ構成する第2導電型の第11及び第12の不純物領域、互いに離間して前記第2のウェル領域内に設けられ、前記第7のトランジスタの電極をそれぞれ構成する第2導電型の第13及び第14の不純物領域、互いに離間して前記第2のウェル領域内に設けられ、前記第8のトランジスタの電極をそれぞれ構成する第2導電型の第15及び第16の不純物領域、前記第1及び第2の不純物領域の間に領域の上、及び前記第5及び第6の不純物領域の間に領域の上に少なくとも配置され、前記第1及び第3のトランジスタのそれぞれゲート電極を一体に構成する第1の導電層、前記第3及び第4の不純物領域の間に領域の上、及び前記第11及び第12の不純物領域の間に領域の上に少なくとも配置され、前記第2及び第6のトランジスタのそれぞれゲート電極を一体に構成する第2の導電層、前記第7及び第8の不純物領域の間に領域の上、及び前記第9及び第10の不純物領域の間に領域の上に少なくとも配置され、前記第4及び第5のトランジスタのそれぞれゲート電極を一体に構成する第3の導電層、前記第13及び第14の不純物領域の間に領域の上、及び前記第15及び第16の不純物領域の間に領域の上に少なくとも配置され、前記第7及び第8のトランジスタのそれぞれゲート電極を一体に構成する機能する第4の導電層、前記第2、第6、第7及び第15の不純物領域並びに第2の導電層に電気的に接続される第5の導電層、前記第3、第9、第12及び第13の不純物領域並びに第1の導電層に電気的に接続される第6の導電層、前記第1乃至第3のウェル領域の上に配置され、前記第4の導電層に電気的に接続される第1のワード線、前記第1のワード線とは離間して前記第1乃至第3のウェル領域の上に配置され、前記第3の導電層に電気的に接続される第2のワード線、前記第14の不純物領域に電気的に接続される第1のビット線、前記第16の不純物領域に電気的に接続される第2のビット線、前記第8の不純物領域に電気的に接続される第3のビット線、及び、前記第10の不純物領域に電気的に接続される第4のビット線、を備え、前記第1及び第2の不純物領域の互いに向かい合う方向と、前記第3及び第4の不純物領域の互いに向かい合う方向と、前記第5及び第6の不純物領域の互いに向かい合う方向と、前記第7及び第8の不純物領域の互いに向かい合う方向と、前記第9及び第10の不純物領域の互いに向かい合う方向と、前記第11及び第12の不純物領域の互いに向かい合う方向と、前記第13及び第14の不純物領域の互いに向かい合う方向と、並びに前記第15及び第16の不純物領域の互いに向かい合う方向とは、同じ方向である。

【0029】

【発明の実施の形態】

<実施の形態1>

図1～図4はこの発明の実施の形態1であるS R A Mのメモリセル構造を示す図である。図1は全層におけるレイアウト構成を平面視した説明図である。図2は主として図1の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図3は主として図1の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図2、図3で示した符号の一部を図1では省略している場合がある。

【0030】

また、図4は図1～図3で示したレイアウト構成のS R A Mメモリセルの等価回路を示す回路図である。同図に示すように、実施の形態1のS R A Mのメモリセルは、N M O SトランジスタN1～N4及びP M O SトランジスタP1、P2から構成される。

【0031】

ドライバトランジスタであるP M O SトランジスタP1、P2はNウェル領域N W内に形成され、ドライバトランジスタであるN M O SトランジスタN1とアクセストランジスタであるN M O SトランジスタN4とはPウェル領域P W 0内に形成され、ドライバトラン

10

20

30

40

50

ジスタであるN MOSトランジスタN 2とアクセストランジスタであるN MOSトランジスタN 3とはPウエル領域P W 1内に形成される。Pウエル領域P W 0とPウエル領域P W 1とはNウエル領域N Wを挟んで各々反対側に形成される。

【0032】

N MOSトランジスタN 1及びPMOSトランジスタP 1により第1のCMOSインバータI 1を構成する。すなわち、PMOSトランジスタP 1及びN MOSトランジスタN 1のゲートは共通に記憶端子N bに接続され、ドレインは共通に記憶端子N aに接続される。そして、PMOSトランジスタP 1のソースは電源電圧V ddに接続され、N MOSトランジスタN 1のソースは接地(GND)される。

【0033】

N MOSトランジスタN 2及びPMOSトランジスタP 2により第2のCMOSインバータI 2を構成する。すなわち、PMOSトランジスタP 2及びN MOSトランジスタN 2のゲートは共通に記憶端子N aに接続され、ドレインは共通に記憶端子N bに接続される。そして、PMOSトランジスタP 2のソースは電源電圧V ddに接続され、N MOSトランジスタN 2のソースは接地される。

【0034】

このように、インバータI 1の出力部及びインバータI 2の入力部が記憶端子N aに電気的に接続され、インバータI 1の入力部及びインバータI 2の出力部が記憶端子N bに電気的に接続されることにより、CMOSインバータI 1, I 2が互いに交叉接続され、記憶端子N a及び記憶端子N bに互いに反転した論理レベルの情報を記憶することができる。

【0035】

N MOSトランジスタN 3はビット線B L A, 記憶端子N a間に介挿され、ゲートがワード線W Lに接続される。N MOSトランジスタN 4はビット線B L B, 記憶端子N b間に介挿されゲートがワード線W Lに接続される。

【0036】

このような構成において、ビット線B L Aあるいはビット線B L Bより得られるデータを、ワード線W Lを活性状態にして、N MOSトランジスタN 3, N 4をオン状態させることにより、記憶端子N a及び記憶端子N bに対するアクセス(読み出しあるいは書き込み)が可能となる。

【0037】

以下、図1～図3を参照して、実施の形態1のメモリセル構造について述べる。

【0038】

Nウエル領域N W内において、P⁺拡散領域F L 1 1 0, F L 1 1 1及びポリシリコン配線P L 1によりPMOSトランジスタP 1を構成し、P⁺拡散領域F L 1 2 0, F L 1 2 1及びポリシリコン配線P L 2によりPMOSトランジスタP 2を構成する。

【0039】

Pウエル領域P W 0内において、N⁺拡散領域F L 2 1 0, F L 2 1 1及びポリシリコン配線P L 1によりN MOSトランジスタN 1を構成し、N⁺拡散領域F L 2 4 0, F L 2 4 1及びポリシリコン配線P L 4によってN MOSトランジスタN 4を構成する。なお、ポリシリコン配線P L 1はNウエル領域N WからPウエル領域P W 0にかけて形成されることにより、N MOSトランジスタN 1及びPMOSトランジスタP 1のゲートとして共有される。

【0040】

Pウエル領域P W 1内において、N⁺拡散領域F L 2 2 0, F L 2 2 1及びポリシリコン配線P L 2によりN MOSトランジスタN 2を構成し、N⁺拡散領域F L 2 3 0, F L 2 3 1及びポリシリコン配線P L 3によってN MOSトランジスタN 3を構成する。なお、ポリシリコン配線P L 2はNウエル領域N WからPウエル領域P W 1にかけて形成されることにより、N MOSトランジスタN 2及びPMOSトランジスタP 2のゲートとして共有される。

10

20

30

40

50

【 0 0 4 1 】

上記した拡散領域 F L 1 1 0 , F L 1 1 1 , F L 1 2 0 , F L 1 2 1 , F L 2 1 0 , F L 2 1 1 , F L 2 2 0 , F L 2 2 1 , F L 2 3 0 , F L 2 3 1 , F L 2 4 0 , F L 2 4 1 は不純物を注入，拡散することにより得られる。

【 0 0 4 2 】

拡散領域 F L 2 1 0 上のグランド配線 L G 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 0 と電気的に接続され、拡散領域 F L 2 1 1 上から拡散領域 F L 1 1 1 上及び拡散領域 F L 2 3 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 1 は、各拡散領域 F L 2 1 1 , F L 1 1 1 , 及び F L 2 3 1 それぞれと拡散コンタクトホール 1 C を介して電気的に接続される。さらに、アルミ配線 A L 1 1 はポリシリコン配線 P L 2 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 2 に電気的に接続される。このアルミ配線 A L 1 1 は電気的に低インピーダンスな接続が可能であり、記憶端子 N a に相当する。10

【 0 0 4 3 】

なお、拡散コンタクトホール 1 C は拡散領域と第 1 層 (アルミ) 配線とのコンタクトホールを意味し、ゲートコンタクトホール G C はポリシリコン配線と第 1 層配線とのコンタクトホールを意味する。

【 0 0 4 4 】

ポリシリコン配線 P L 4 はゲートコンタクトホール G C を介して、ワード線 W L 1 (第 1 層アルミ配線) に電気的に接続され、拡散領域 F L 2 4 1 上のビット線 B L B 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 4 1 と電気的に接続される。20

【 0 0 4 5 】

拡散領域 F L 2 4 0 上から拡散領域 F L 1 2 0 上及び拡散領域 F L 2 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 2 は、各拡散領域 F L 2 4 0 , F L 1 2 0 , 及び F L 2 2 0 それぞれと拡散コンタクトホール 1 C を介して電気的に接続される。さらに、アルミ配線 A L 1 2 はポリシリコン配線 P L 1 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 1 に電気的に接続される。このアルミ配線 A L 1 2 は電気的に低インピーダンスな接続が可能であり、記憶端子 N b に相当する。30

【 0 0 4 6 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電気的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 と電気的に接続される。

【 0 0 4 7 】

拡散領域 F L 2 3 0 上のビット線 B L A 1 (第 1 層アルミ配線) は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 0 と電気的に接続され、ポリシリコン配線 P L 3 上のワード線 W L 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 3 と電気的に接続される。拡散領域 F L 2 2 1 上のグランド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 と電気的に接続される。40

【 0 0 4 8 】

グランド配線 L G 1 はビアホール 1 T を介してグランド配線 L G 2 (第 2 層アルミ配線 (2 A L)) と電気的に接続され、グランド配線 L G 2 はビアホール 2 T を介してグランド配線 L G 3 (第 3 層アルミ配線 (3 A L)) と電気的に接続される。

【 0 0 4 9 】

ワード線 W L 1 はビアホール 1 T を介してワード線 W L 2 (第 2 層アルミ配線) と電気的に接続され、ワード線 W L 2 はビアホール 2 T を介してワード線 W L 3 (第 3 层アルミ配線) と電気的に接続される。これらワード線 W L 1 ~ ワード線 W L 3 によって図 4 のワード線 W L を構成する。

【 0 0 5 0 】1020304050

なお、ビアホール1Tは第1層配線、第2層(アルミ)配線間の接続用、ビアホール2Tは第2層配線、第3層(アルミ)配線間の接続用のビアホールを意味する。

【0051】

ワード線WL3及びグランド配線LG3はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成され、グランド配線LG3はワード線WL3を挟んで2本形成される。

【0052】

ピット線BLA2(第2層アルミ配線)はビアホール1Tを介してピット線BLA1(図3では図示せず)と電気的に接続され、ピット線BLB2(第2層アルミ配線)はビアホール1Tを介してピット線BLB1(図3では図示せず)と電気的に接続される。電源配線LV2(第2層アルミ配線)はビアホール1Tを介して電源配線LV1(図3では図示せず)と電気的に接続される。これらピット線BLA1、BLA2及びBLB1、BLB2によってそれぞれ図4のピット線BLA及びBLBを構成する。10

【0053】

ピット線BLA2、BLB2及び電源配線LV2は、それぞれPウエル領域PW1、PW0及びNウエル領域NW上を図中縦方向に互いに並行して形成される。

【0054】

このように、実施の形態1のSRAMのメモリセル構造は、NMOSトランジスタN1、N4を一方のPウエル領域PW0内に形成し、NMOSトランジスタN2、N3をNウエル領域NWを挟んだ他方のPウエル領域PW1内に形成することにより、記憶端子Naに電気的に接続されるN⁺拡散領域FL211及びN⁺拡散領域FL231をそれぞれ異なるPウエル領域PW0及びPW1内に分けて形成するとともに、記憶端子Nbに電気的に接続されるN⁺拡散領域FL240及びN⁺拡散領域FL220をそれぞれ異なるPウエル領域PW0及びPW1内に分けて形成することができる。20

【0055】

その結果、線や中性子線によって発生した電子が、Pウエル領域PW0、PW1のうち一方のPウエル領域に形成したN⁺拡散領域に収集された場合に、Nウエル領域NWが介在することにより上記電子の発生による影響が防止される他方のPウエル領域に形成したN⁺拡散領域から放出される。例えば、Pウエル領域PW0の拡散領域FL211に収集された電子は記憶端子Naを介してPウエル領域PW1の拡散領域FL231から放出され、Pウエル領域PW1の拡散領域FL220に収集された電子は記憶端子Nbを介してPウエル領域PW0の拡散領域FL240から放出される。30

【0056】

このような動作により、記憶端子Na、Nbの保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果がある(第1の効果)。

【0057】

また、Pウエル領域PW0とPウエル領域PW1とをピット線BLA、BLBの形成方向に垂直な方向で分離形成することより、2つのPウエル領域PW0、PW1の形成がピット線BLA、BLBの配線長に何ら影響を与えない。したがって、Pウエル領域PW0、PW1の形成によってピット線の配線長が長くなることはなく、良好なアクセスタイムを維持することができる(第2の効果)。40

【0058】

また、NMOSトランジスタN1、N2及びNMOSトランジスタN3、N4はそれぞれメモリセルの中心部(Nウエル領域NWの中心部)に対して点対称となるようにレイアウト配置されるため、実施の形態1のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる(第3の効果)。

【0059】

また、ポリシリコン配線PL1～PL4を同一方向(図中横方向)で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL1、PL350

(N MOSトランジスタN1, N3、PMOSトランジスタP1)、ポリシリコン配線PL2, PL4 (N MOSトランジスタN2, N4、PMOSトランジスタP2)をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる(第4の効果)。

【0060】

加えて、N MOSトランジスタN1～N4において、ドレインとなる領域(記憶端子Naあるいは記憶端子Nbに電気的に接続される領域)を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる(第5の効果)。

【0061】

さらに、CMOS構造のインバータI1, I2をそれぞれN MOSトランジスタ及びPMOSトランジスター一つずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる(第6の効果)。 10

【0062】

<実施の形態2>

図5及び図6はこの発明の実施の形態2であるSRAMのメモリセル構造を示す図である。図5は全層におけるレイアウト構成を平面視した説明図である。図6は主として図5の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図5の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、実施の形態2の等価回路を示す回路図は図4と同様である。また、図6, 図3で示した符号の一部を図5では省略している場合がある。 20

【0063】

これらの図に示すように、N MOSトランジスタN1用の四角形状のN⁺拡散領域上に、ポリシリコン配線PL1を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポリシリコン配線PL1の外側に比較的広い拡散領域FL212、内側に比較的狭い拡散領域FL213を形成している。そして、拡散領域FL212, FL213及びポリシリコン配線PL1によってN MOSトランジスタN1を構成している。

【0064】

同様にして、N MOSトランジスタN2用の四角形状のN⁺拡散領域上に、ポリシリコン配線PL2を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポリシリコン配線PL2の外側に比較的広い拡散領域FL213、内側に比較的狭い拡散領域FL222を形成している。そして、拡散領域FL222, FL223及びポリシリコン配線PL2によってN MOSトランジスタN2を構成している。 30

【0065】

拡散領域FL212上のグランド配線LG1は2箇所の拡散コンタクトホール1Cを介して拡散領域FL212と電気的に接続され、拡散領域FL213上のアルミ配線AL11は拡散コンタクトホール1Cを介して拡散領域FL213と電気的に接続される。

【0066】

同様にして、拡散領域FL223上のグランド配線LG1は2箇所の拡散コンタクトホール1Cを介して拡散領域FL223と電気的に接続され、拡散領域FL222上のアルミ配線AL12は拡散コンタクトホール1Cを介して拡散領域FL222と電気的に接続される。他のレイアウト構成は実施の形態1と同様であるため、説明を省略する。 40

【0067】

実施の形態2は以上のようにレイアウト構成することにより、実施の形態1の第1, 第2, 第5及び第6の効果に加え以下の効果を奏する。

【0068】

ドライバトランジスタであるN MOSトランジスタN1, N2のゲート幅(チャネル幅)Wを大きくできる。その結果、ビット線BLA, BLBのキャリアアの引き抜きを速く行うことにより動作の高速化が図れる。

【0069】

加えて、ドライバトランジスタであるN MOSトランジスタN1, N2のアクセストラン 50

ジスタであるN M O SトランジスタN 3、N 4に対するゲート幅Wの比を大きくとれるのでメモリセルの安定性も向上する。

【0070】

図7は隣接するセル間のレイアウト構成を平面した説明図である。なお、図7は図6と同様、主として図5の第1アルミ配線層下のレイアウト構成を示している。

【0071】

図7ではメモリセルM C 1のNウエル領域N W及びPウエル領域P W 0と、メモリセルM C 2のNウエル領域N W及びPウエル領域P W 0とを示している。

【0072】

この際、N M O SトランジスタN 1、N 2はそれぞれメモリセルの中心部（Nウエル領域N Wの中心部）に対して点対称となるようにレイアウト配置されている（実施の形態1の第3の効果に相当）。このため、図7に示すように、隣接するメモリセルM C 1、M C 2間ににおいてドライバトランジスタであるN M O SトランジスタN 1（N 2）同士を、拡散領域F L 2 1 2、ワード線W L 1、グランド配線L G 1、拡散コンタクトホール1 C及びゲートコンタクトホールG Cそれぞれの少なくとも一部を共有させることにより集積度を向上させながら、互いに隣接して線対称に形成することができ、N M O SトランジスタN 1及びN 2のゲート幅Wを大きくすることができる。10

【0073】

このように、N M O SトランジスタN 1、N 2のゲートとなるポリシリコン配線P L 1、P L 2を曲げて形成したことによる面積の増加はほとんどなく、実施の形態1と同等な高密度なメモリセル構造を得ることができる。20

【0074】

また、N M O SトランジスタN 1、N 3、P M O SトランジスタP 1、及びN M O SトランジスタN 2、N 4、P M O SトランジスタP 2をそれぞれほぼ一直線上に形成することにより、集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0075】

<実施の形態3>

図8～図10はこの発明の実施の形態3であるS R A Mのメモリセル構造を示す図である。図8は全層におけるレイアウト構成を平面視した説明図である。図9は主として図8の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図8の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、図9、図3で示した符号の一部を図8では省略している場合がある。30

【0076】

図10は図8、図9、図3で示したレイアウト構成のS R A Mメモリセルの等価回路を示す回路図である。同図に示すように、N M O SトランジスタN 1及びP M O SトランジスタP 1のゲートと記憶端子N bとの間に抵抗R 1が介挿され、N M O SトランジスタN 2及びP M O SトランジスタP 2のゲートと記憶端子N aとの間に抵抗R 2が介挿される。他の構成は図4で示した実施の形態1と同様であるため説明を省略する。

【0077】

以下、図8、図9及び図3を参照して、実施の形態3のメモリセル構造について述べる。40

【0078】

これらの図に示すように、N M O SトランジスタN 1及びP M O SトランジスタP 1のゲートとなるポリシリコン配線P L 1 3（実施の形態1のポリシリコン配線P L 1に相当）が抵抗R 1となる高抵抗金属配線M 0 0に電気的に接続され、この高抵抗金属配線M 0 0がビアホール0 Tを介して記憶端子N bであるアルミ配線A L 1 2と電気的に接続される。ビアホール0 Tはポリシリコン配線と同一層に形成された高抵抗金属配線M 0 0と第1層配線との接続用のビアホールを意味する。

【0079】

同様にして、N M O SトランジスタN 2及びP M O SトランジスタP 2のゲートとなるポリシリコン配線P L 1 4（実施の形態1のポリシリコン配線P L 2に相当）が抵抗R 2と50

なる高抵抗金属配線 M 0 1 に電気的に接続され、この高抵抗金属配線 M 0 1 がビアホール 0 T を介して記憶端子 N a であるアルミ配線 A L 1 1 と電気的に接続される。

【 0 0 8 0 】

なお、高抵抗金属配線 M 0 0 , M 0 1 の形成材料としては例えばタングステン等の C o S i₂ (コバルトシリサイド) より抵抗率が高い材料が挙げられる。また、他の構成は図 1 ~ 図 3 で示した実施の形態 1 と同様であるため、説明を省略する。

【 0 0 8 1 】

実施の形態 3 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ~ 第 6 の効果に加え、以下の効果を奏する。

【 0 0 8 2 】

実施の形態 3 のメモリセルは、抵抗 R 1 , R 2 を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、一線や中性子線によって発生した電子によって、記憶端子 N a , N b のうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくくなる。

【 0 0 8 3 】

< 実施の形態 4 >

図 1 1 及び図 1 2 はこの発明の実施の形態 4 である S R A M のメモリセル構造を示す図である。図 1 1 は全層におけるレイアウト構成を平面視した説明図である。図 1 2 は主として図 1 1 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図 1 1 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態 1 の説明で用いた図 3 と同様であり、図 1 2 , 図 3 で示した符号の一部を図 1 1 では省略している場合がある。また、実施の形態 4 のレイアウト構成の S R A M メモリセルの等価回路は実施の形態 3 で示した図 1 0 と同様である。

【 0 0 8 4 】

以下、図 1 1 , 図 1 2 及び図 3 を参照して、実施の形態 4 のメモリセル構造について述べる。

【 0 0 8 5 】

これらの図に示すように、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとなるポリシリコン配線 P L 1 3 , P L 1 7 (実施の形態 1 のポリシリコン配線 P L 1 に相当) のうち、抵抗 R 1 となるポリシリコン配線 P L 1 7 はポリシリコン配線 P L 1 3 に比べ高抵抗な材料で形成される。例えば、ポリシリコン配線 P L 1 3 を C o S i₂ で形成した場合、ポリシリコン配線 P L 1 7 を C o S i₂ より抵抗率が高い形成材料を用いて形成する。

【 0 0 8 6 】

そして、ポリシリコン配線 P L 1 7 がゲートコンタクトホール G C を介して記憶端子 N b であるアルミ配線 A L 1 2 と電気的に接続される。

【 0 0 8 7 】

同様にして、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとなるポリシリコン配線 P L 1 4 , P L 1 8 (実施の形態 1 のポリシリコン配線 P L 2 に相当) のうち、抵抗 R 2 となるポリシリコン配線 P L 1 8 はポリシリコン配線 P L 1 4 に比べ高抵抗な材料で形成され、ポリシリコン配線 P L 1 8 がゲートコンタクトホール G C を介して記憶端子 N a であるアルミ配線 A L 1 1 と電気的に接続される。他の構成は図 1 ~ 図 3 で示した実施の形態 1 と同様であるため、説明を省略する。

【 0 0 8 8 】

実施の形態 4 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ~ 第 6 の効果に加え、以下の効果を奏する。

【 0 0 8 9 】

実施の形態 4 のメモリセルは、抵抗 R 1 , R 2 を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、一線や中性子線によって

10

20

30

40

50

発生した電子によって、記憶端子 N_a , N_b のうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくくなる。

【 0 0 9 0 】

< 実施の形態 5 >

図 13 ~ 図 15 はこの発明の実施の形態 5 である S R A M のメモリセル構造を示す図である。図 13 は全層におけるレイアウト構成を平面視した説明図である。図 14 は主として図 13 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図 13 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態 1 の説明で用いた図 2 (ワード線 W L 2 がワード線 W L A 2 , W L B 2 に分離された点は異なる) と同様であり、図 14 , 図 2 で示した符号の一部を図 13 では省略している場合がある。

10

【 0 0 9 1 】

図 15 は図 13 , 図 14 , 図 2 で示したレイアウト構成の S R A M メモリセルの等価回路を示す回路図である。同図に示すように、N M O S トランジスタ N 3 のゲートにはワード線 W L A が接続され、N M O S トランジスタ N 4 のゲートにはワード線 W L A とは独立したワード線 W L B が接続される。なお、他の構成は図 4 で示した実施の形態 1 と同様であるため説明を省略する。

【 0 0 9 2 】

以下、図 13 , 図 14 及び図 2 を参照して、実施の形態 5 のメモリセル構造について述べる。

20

【 0 0 9 3 】

ポリシリコン配線 P L 3 はゲート contact ホール G C を介して、ワード線 W L A 1 (第 1 層アルミ配線) に電気的に接続され、ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 (第 2 層アルミ配線) と電気的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 (第 3 層アルミ配線) と電気的に接続される。これらのワード線 W L A 1 ~ ワード線 W L A 3 によって図 15 のワード線 W L A を構成する。

【 0 0 9 4 】

同様にして、ポリシリコン配線 P L 4 はゲート contact ホール G C を介して、ワード線 W L B 1 (第 1 層アルミ配線) に電気的に接続され、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 (第 2 層アルミ配線) と電気的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 (第 3 層アルミ配線) と電気的に接続される。これらワード線 W L B 1 ~ W L B 3 によって図 15 のワード線 W L B を構成する。

30

【 0 0 9 5 】

ワード線 W L A 3 , W L B 3 及びグランド配線 L G 3 は P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成され、グランド配線 L G 3 はワード線 W L A 3 , W L B 3 を挟んで 2 本形成される。なお、他のレイアウト構成は実施の形態 1 と同様であるため説明を省略する。

【 0 0 9 6 】

実施の形態 5 は上記のようなメモリセル構造を有することにより、実施の形態 1 の第 1 ~ 第 6 の効果に加え、以下の効果を奏する。

40

【 0 0 9 7 】

図 15 の等価回路に示すように、アクセストランジスタである N M O S トランジスタ N 3 、N 4 のゲートに接続するワード線を W L A 、W L B と分けることで、F I F O メモリで利用可能なメモリセル構造を実現することができる。

【 0 0 9 8 】

< 実施の形態 6 >

図 16 ~ 図 18 はこの発明の実施の形態 6 である S R A M のメモリセル構造を示す図である。図 16 は全層におけるレイアウト構成を平面視した説明図である。図 17 は主として図 16 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 18 は主と

50

して図16の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図17、図18で示した符号の一部を図16では省略している場合がある。また、実施の形態6のレイアウト構成のSRAMメモリセルの等価回路は実施の形態5で示した図15と同様である。

【0099】

以下、図16～図18を参照して、実施の形態6のメモリセル構造について述べる。

【0100】

NMOSトランジスタN3、N4用のN⁺拡散領域はソース・ドレイン領域形成方向が、他のNMOSトランジスタN1、N2及びPMOSトランジスタP1、P2のソース・ドレイン領域形成方向と90度向きを変えて形成される。すなわち、NMOSトランジスタN3用の拡散領域FL242、FL243とNMOSトランジスタN4用の拡散領域FL232、FL233とが図中、横方向に形成される。
10

【0101】

そして、拡散領域FL243上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL243に電気的に接続され、ビット線BLB2（第2層アルミ配線）はビアホール1Tを介してビット線BLB1（図18では図示せず）に電気的に接続される。

【0102】

同様にして、NMOSトランジスタN3を構成する拡散領域FL232上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL232に電気的に接続され、ビット線BLA2（第2層アルミ配線）はビアホール1Tをビット線BLA1（図18では図示せず）に電気的に接続される。
20

【0103】

ビット線BLA2、BLB2はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成される。

【0104】

グランド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL210及び拡散領域FL221に電気的に接続され、グランド配線LG2はビアホール1Tを介してグランド配線LG1（図18では図示せず）に電気的に接続され、グランド配線LG3はビアホール2Tを介してグランド配線LG2と電気的に接続される。
30

【0105】

電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110及びFL121に電気的に接続され、電源配線LV2はビアホール1Tを介して電源配線LV1（図18では図示せず）に電気的に接続され、電源配線LV3はビアホール2Tを介して電源配線LV2に電気的に接続される。

【0106】

ワード線WLA1はゲートコンタクトホールGCを介してポリシリコン配線PL23に電気的に接続され、ワード線WLA2はビアホール1Tを介してワード線WLA1（図18では図示せず）に電気的に接続され、ワード線WLA3（第3層アルミ配線）はビアホール2Tを介してワード線WLA2に電気的に接続される。
40

【0107】

同様にして、ワード線WLB1はゲートコンタクトホールGCを介してポリシリコン配線PL24に電気的に接続され、ワード線WLB2はビアホール1Tを介してワード線WLB1（図18では図示せず）に電気的に接続され、ワード線WLB3（第3層アルミ配線）はビアホール2Tを介してワード線WLB2に電気的に接続される。

【0108】

（第1の）グランド配線LG3、ワード線WLB3、電源配線LV3、ワード線WLA3、（第2の）グランド配線LG3はそれぞれ図中縦方向に並列に形成され、（第1の）グランド配線LG3及びワード線WLB3はPウエル領域PW0上に、電源配線LV3はNウエル領域NW上に、ワード線WLA3及び（第2の）グランド配線LG3はPウエル領域PW1上に形成される。
50

【0109】

実施の形態6は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第3、第5及び第6の効果に加え、実施の形態5固有の効果と同等の効果を奏する。

【0110】

<実施の形態7>

図19～図21はこの発明の実施の形態7であるS R A Mのメモリセル構造を示す図である。図19は全層におけるレイアウト構成を平面視した説明図である。図20は主として図19の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図21は主として図19の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図20、図21で示した符号の一部を図19では省略している場合がある。また、実施の形態7のレイアウト構成のS R A Mメモリセルの等価回路は実施の形態1で示した図4と同様である。10

【0111】

以下、図19～図21を参照して、実施の形態7のメモリセル構造について述べる。

【0112】

N M O SトランジスタN3、N4の共用ポリシリコン配線P L 5がPウエル領域P W 0からNウエル領域N W及びPウエル領域P W 1上に伸びて形成され、この共用ポリシリコン配線P L 5が図4のワード線W Lとして用いられる。

【0113】

他の構成は、ポリシリコン配線P L 1、P L 2のパターン形状、ポリシリコン配線P L 1とアルミ配線A L 1 2とのゲートコントакトホールG C形成位置及びポリシリコン配線P L 2とアルミ配線A L 1 1とのゲートコントакトホールG Cの形成位置等を除き、図5、図6及び図3で示した実施の形態2と同様である。20

【0114】

実施の形態7は上記のようなメモリセル構造を有することにより、実施の形態2と同等の効果を奏する。さらに、ワード線W Lに関して、ビアホール1 T、2 T及びワード線W L 2、W L 3が不要になるため、必要レイア数が減り、コスト削減が図れるという効果がある。

【0115】

<実施の形態8>

30

図22～図25はこの発明の実施の形態8であるS R A Mのメモリセル構造を示す図である。図22は全層におけるレイアウト構成を平面視した説明図である。図23は主として図22の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図24は主として図22の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図23、図24で示した符号の一部を図22では省略している場合がある。

【0116】

また、図25は図22～図24で示したレイアウト構成のS R A Mメモリセルの等価回路を示す回路図である。同図に示すように、実施の形態8のS R A Mのメモリセルは、N M O SトランジスタN 1、N 2、N 5～N 8及びP M O SトランジスタP 1、P 2から構成される。40

【0117】

N M O SトランジスタN 5はビット線B L A、記憶端子N b間に介挿され、N M O SトランジスタN 6はビット線バーB L A、記憶端子N a間に介挿され、N M O SトランジスタN 5及びN 6のゲートがワード線W L Aに共通に接続される。

【0118】

N M O SトランジスタN 7はビット線B L B、記憶端子N a間に介挿され、N M O SトランジスタN 8はビット線バーB L B、記憶端子N b間に介挿され、N M O SトランジスタN 7及びN 8のゲートがワード線W L Bに共通に接続される。

【0119】

ドライバトランジスタであるP M O SトランジスタP 1、P 2はNウエル領域N W内に形

50

成され、ドライバトランジスタであるN MOSトランジスタN 1とアクセストランジスタであるN MOSトランジスタN 7 , N 8とはPウエル領域PW 0内に形成され、ドライバトランジスタであるN MOSトランジスタN 2とアクセストランジスタであるN MOSトランジスタN 5 , N 6とはPウエル領域PW 1内に形成される。Pウエル領域PW 0とPウエル領域PW 1とはNウエル領域NWを挟んで各々反対側に形成される。なお、他の構成は図15で示した実施の形態5の等価回路と同様である。

【0120】

以下、図22～図24を参照して、実施の形態8のメモリセル構造について述べる。

【0121】

Nウエル領域NW内において、P⁺拡散領域FL 110 , FL 111及びポリシリコン配線PL 17によりPMOSトランジスタP 1を構成し、P⁺拡散領域FL 120 , FL 121及びポリシリコン配線PL 18によりPMOSトランジスタP 2を構成する。10

【0122】

Pウエル領域PW 0内において、N⁺拡散領域FL 212 , FL 213及びポリシリコン配線PL 17によりNMOSトランジスタN 1を構成し、N⁺拡散領域FL 244 , FL 245及びポリシリコン配線PL 20によってNMOSトランジスタN 7を構成し、N⁺拡散領域FL 246 , FL 247及びポリシリコン配線PL 20によってNMOSトランジスタN 8を構成する。なお、ポリシリコン配線PL 17はNウエル領域NWからPウエル領域PW 0にかけて形成されることにより、NMOSトランジスタN 1及びPMOSトランジスタP 1のゲートとして共有され、ポリシリコン配線PL 20はNMOSトランジスタN 7 , N 8間で共有される。20

【0123】

Pウエル領域PW 1内において、N⁺拡散領域FL 222 , FL 223及びポリシリコン配線PL 18によりNMOSトランジスタN 2を構成し、N⁺拡散領域FL 234 , FL 235及びポリシリコン配線PL 19によってNMOSトランジスタN 5を構成し、N⁺拡散領域FL 236 , FL 237及びポリシリコン配線PL 19によってNMOSトランジスタN 3を構成する。なお、ポリシリコン配線PL 18はNウエル領域NWからPウエル領域PW 1にかけて形成されることにより、NMOSトランジスタN 2及びPMOSトランジスタP 2のゲートとして共有され、ポリシリコン配線PL 18はNMOSトランジスタN 5 , N 6間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。30

【0124】

拡散領域FL 212上のグランド配線LG 1は2つの拡散コンタクトホール1Cを介して拡散領域FL 212に電気的に接続され、拡散領域FL 245上のビット線BLB 1は拡散コンタクトホール1Cを介して拡散領域FL 245に電気的に接続され、拡散領域FL 247上のビット線バーBLB 1は拡散コンタクトホール1Cを介して拡散領域FL 247に電気的に接続される。

【0125】

拡散領域FL 244上から、拡散領域FL 213上、拡散領域FL 111上及び拡散領域FL 237上に伸びて形成される第1層アルミ配線であるアルミ配線AL 15は、各拡散領域FL 244 , FL 213 , FL 111 , 及びFL 237それぞれと拡散コンタクトホール1Cを介して電気的に接続される。さらに、アルミ配線AL 15はポリシリコン配線PL 18の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL 18に電気的に接続される。このアルミ配線AL 15は電気的に低インピーダンスな接続が可能であり、記憶端子Naに相当する。40

【0126】

ポリシリコン配線PL 20はゲートコンタクトホールGCを介して、ワード線WLB 1に電気的に接続される。

【0127】

拡散領域FL 110上の電源配線LV 1は拡散コンタクトホール1Cを介して拡散領域F50

L 110と電気的に接続され、拡散領域F L 121上の電源配線L V 1は拡散コンタクトホール1Cを介して拡散領域F L 121と電気的に接続される。

【0128】

グランド配線L G 1は2つの拡散コンタクトホール1Cを介して拡散領域F L 223に電気的に接続され、拡散領域F L 234上のビット線B L A 1は拡散コンタクトホール1Cを介して拡散領域F L 234に電気的に接続され、拡散領域F L 236上のビット線バーB L A 1は拡散コンタクトホール1Cを介して拡散領域F L 236と電気的に接続される。

【0129】

拡散領域F L 235上から、拡散領域F L 222上、拡散領域F L 120上及び拡散領域F L 246上に伸びて形成される第1層アルミ配線であるアルミ配線A L 16は、各拡散領域F L 235, F L 222, F L 120, 及びF L 246それぞれと拡散コンタクトホール1Cを介して電気的に接続される。さらに、アルミ配線A L 16はポリシリコン配線P L 17の一部上にも形成されており、ゲートコンタクトホールG Cを介してポリシリコン配線P L 17に電気的に接続される。このアルミ配線A L 16は電気的に低インピーダンスな接続が可能であり、記憶端子N bに相当する。

【0130】

ポリシリコン配線P L 19上のワード線W L A 1はゲートコンタクトホールG Cを介してポリシリコン配線P L 19と電気的に接続される。

【0131】

グランド配線L G 1はビアホール1Tを介してグランド配線L G 2に電気的に接続され、グランド配線L G 2はビアホール2Tを介してグランド配線L G 3に電気的に接続される。

【0132】

ワード線W L A 1はビアホール1Tを介してワード線W L A 2に電気的に接続され、ワード線W L A 2はビアホール2Tを介してワード線W L A 3に電気的に接続される。これらワード線W L A 1～ワード線W L A 3によって図25のワード線W L Aを構成する。

【0133】

同様にして、ワード線W L B 1はビアホール1Tを介してワード線W L B 2に電気的に接続され、ワード線W L B 2はビアホール2Tを介してワード線W L B 3に電気的に接続される。これらワード線W L B 1～ワード線W L B 3によって図25のワード線W L Bを構成する。

【0134】

ワード線W L A 3, W L B 3及びグランド配線L G 3はPウエル領域P W 0, P W 1及びNウエル領域N Wを横断して互いに並行に形成され、グランド配線L G 3はワード線W L A 3, W L B 3を挟んで2本形成される。

【0135】

ビット線B L A 2はビアホール1Tを介してビット線B L A 1に電気的に接続され、ビット線B L B 2はビアホール1Tを介してビット線B L B 1に電気的に接続される。

【0136】

同様にして、ビット線バーB L A 2はビアホール1Tを介してビット線バーB L A 1に電気的に接続され、ビット線バーB L B 2はビアホール1Tを介してビット線バーB L B 1に電気的に接続される。

【0137】

電源配線L V 2はビアホール1Tを介して電源配線L V 1に電気的に接続される。これらビット線B L A 1, B L A 2、バーB L A 1, バーB L A 2、B L B 1, B L B 2、及びバーB L B 1, B L B 2によってそれぞれ図25のビット線B L A, バーB L A、B L B及びバーB L Bを構成する。

【0138】

ビット線対B L A 2, バーB L A 2、ビット線対B L B 2, バーB L B 2及び電源配線L

10

20

30

40

50

V2は、それぞれPウエル領域PW1、PW0及びNウエル領域NW上を図中縦方向に互いに並行して形成される。

【0139】

このように、実施の形態8のSRAMのメモリセル構造は、NMOSトランジスタN1、N7、N8を一方のPウエル領域PW0内に形成し、NMOSトランジスタN2、N5、N6をNウエル領域NWを挟んだ他方のPウエル領域PW1内に形成することにより、記憶端子Naに電気的に接続されるN⁺拡散領域FL213及びFL244とN⁺拡散領域FL237とをそれぞれ異なるPウエル領域PW0内とPW1内とに分けて形成するとともに、記憶端子Nbに電気的に接続されるN⁺拡散領域FL222及びFL235とN⁺拡散領域FL246とをそれぞれ異なるPウエル領域PW1内とPW0内とに分けて形成すこ

10

【0140】

その結果、実施の形態1の第1の効果であるソフトエラー耐性が向上を図ることができる。

【0141】

また、Pウエル領域PW0及びPW1を、ビット線対BLA、バーBLA及びビット線対BLB、バーBLBの形成方向に垂直な方向で分離形成することにより、2つのPウエル領域PW0、PW1の形成がビット線対BLA、バーBLA及びビット線対BLB、バーBLBの配線長に何ら影響を与えない。したがって、Pウエル領域PW0、PW1の形成によってビット線の配線長が長くなることはなく、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

20

【0142】

また、NMOSトランジスタN1、N2、NMOSトランジスタN5、N7、及びNMOSトランジスタN6、N8はそれぞれメモリセルの中心部（Nウエル領域NWの中心部）に対して点対称となるようにレイアウト配置されるため、実施の形態8のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0143】

また、ポリシリコン配線PL17～PL20を同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL17、PL19、ポリシリコン配線PL18、PL20をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

30

【0144】

さらに、NMOSトランジスタN1、N2、N5～N8において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態1の第5の効果に相当）。

【0145】

さらに、CMOS構造のインバータI1、I2をそれぞれNMOSトランジスタ及びPMOSトランジスター一つずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

40

【0146】

加えて、実施の形態8のメモリセルは、図25に示すように、2つのワード線WLA、WLB及び2つのビット線対（ビット線対BLA、バーBLA及びビット線対BLB、バーBLB）を用いた2ポートメモリセルが実現する。

【0147】

<実施の形態9>

図26～図28はこの発明の実施の形態9であるSRAMのメモリセル構造を示す図である。図26は全層におけるレイアウト構成を平面視した説明図である。図27は主として図26の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図28は主と

50

して図26の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図27、図28で示した符号の一部を図26では省略している場合がある。

【0148】

また、実施の形態9のレイアウト構成のSRAMメモリセルの等価回路は図25で示した実施の形態8と同様である。

【0149】

以下、図26～図28を参照して、実施の形態9のメモリセル構造について、実施の形態8と異なる構成を中心に述べる。

【0150】

Pウエル領域PW0において、N⁺拡散領域FL214、FL215及びポリシリコン配線PL31によりNMOSトランジスタN1を構成する。このとき、ポリシリコン配線PL31をNMOSトランジスタN1用のN⁺拡散領域(FL214、FL215)上において2度90度折り曲げて形成することにより、他のNMOSトランジスタN5～N8に比べてかなり大きなゲート幅を設定している。10

【0151】

N⁺拡散領域FL270、FL271及びポリシリコン配線PL37によってNMOSトランジスタN7を構成し、N⁺拡散領域FL280、FL281及びポリシリコン配線PL38によってNMOSトランジスタN8を構成する。

【0152】

なお、ポリシリコン配線PL31はNウエル領域NWからPウエル領域PW0にかけて形成されることにより、NMOSトランジスタN1及びPMOSトランジスタP1のゲートとして共有される。20

【0153】

Pウエル領域PW1において、N⁺拡散領域FL224、FL225及びポリシリコン配線PL32によりNMOSトランジスタN2を構成する。このとき、ポリシリコン配線PL32をNMOSトランジスタN2用のN⁺拡散領域(FL224、FL225)上において2度90度折り曲げて形成することにより、他のNMOSトランジスタN5～N8に比べてかなり大きなゲート幅を設定している。

【0154】

N⁺拡散領域FL250、FL251及びポリシリコン配線PL35によってNMOSトランジスタN5を構成し、N⁺拡散領域FL260、PL261及びポリシリコン配線PL36によってNMOSトランジスタN6を構成する。30

【0155】

なお、ポリシリコン配線PL32はNウエル領域NWからPウエル領域PW1にかけて形成されることにより、NMOSトランジスタN2及びPMOSトランジスタP2のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0156】

拡散領域FL214上の2つのグランド配線LG1はそれぞれ拡散コンタクトホール1Cを介して拡散領域FL214に電気的に接続され、拡散領域FL271上のビット線B LB1は拡散コンタクトホール1Cを介して拡散領域FL271に電気的に接続され、拡散領域FL280上のビット線バーBLB1は拡散コンタクトホール1Cを介して拡散領域FL280に電気的に接続される。40

【0157】

拡散領域FL281上から、拡散領域FL215上、拡散領域FL111上及び拡散領域FL251上に伸びて形成される第1層アルミ配線であるアルミ配線AL17は、各拡散領域FL281、FL215、FL111、及びFL251それぞれと拡散コンタクトホール1Cを介して電気的に接続される。さらに、アルミ配線AL17はポリシリコン配線PL32の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL32に電気的に接続される。このアルミ配線AL17は電気的に低インピーダ50

ンスな接続が可能であり、記憶端子 N a に相当する。

【 0 1 5 8 】

ポリシリコン配線 P L 3 7 及び P L 3 8 はそれぞれゲートコンタクトホール G C を介して共通にワード線 W L B 1 に電気的に接続される。

【 0 1 5 9 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 に電気的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電気的に接続される。

【 0 1 6 0 】

2つのグランド配線 L G 1 はそれぞれ拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 4 に電気的に接続され、拡散領域 F L 2 5 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 5 0 に電気的に接続され、拡散領域 F L 2 6 1 上のビット線バー B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 6 1 と電気的に接続される。 10

【 0 1 6 1 】

拡散領域 F L 2 6 0 上から、拡散領域 F L 2 2 5 上、拡散領域 F L 1 2 0 上及び拡散領域 F L 2 7 0 上に伸びて形成される第1層アルミ配線であるアルミ配線 A L 1 8 は、各拡散領域 F L 2 6 0 , F L 2 2 5 , F L 1 2 0 , 及び F L 2 7 0 それぞれと拡散コンタクトホール 1 C を介して電気的に接続される。さらに、アルミ配線 A L 1 8 はポリシリコン配線 P L 3 1 の一部上にも形成されており、ゲートコンタクトホール G C を介してポリシリコン配線 P L 3 1 に電気的に接続される。このアルミ配線 A L 1 8 は電気的に低インピーダンスな接続が可能であり、記憶端子 N b に相当する。 20

【 0 1 6 2 】

ポリシリコン配線 P L 3 5 及び P L 3 6 上のワード線 W L A 1 はゲートコンタクトホール G C を介して共通にポリシリコン配線 P L 3 5 及び P L 3 6 に電気的に接続される。

【 0 1 6 3 】

グランド配線 L G 1 はビアホール 1 T を介してグランド配線 L G 2 に電気的に接続され、グランド配線 L G 2 はビアホール 2 T を介してグランド配線 L G 3 に電気的に接続される。 30

【 0 1 6 4 】

ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電気的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電気的に接続される。同様にして、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電気的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電気的に接続される。

【 0 1 6 5 】

ビット線 B L A 2 はビアホール 1 T を介してビット線 B L A 1 に電気的に接続され、ビット線 B L B 2 はビアホール 1 T を介してビット線 B L B 1 に電気的に接続される。

【 0 1 6 6 】

同様にして、ビット線バー B L A 2 はビアホール 1 T を介してビット線バー B L A 1 に電気的に接続され、ビット線バー B L B 2 はビアホール 1 T を介してビット線バー B L B 1 に電気的に接続される。また、電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電気的に接続される。 40

【 0 1 6 7 】

このように、実施の形態 9 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 , N 7 , N 8 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 5 , N 6 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 8 と同様、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【 0 1 6 8 】

また、P ウエル領域 P W 0 及び P W 1 を、ビット線対 B L A , バー B L A 及びビット線対 50

B L B , バー B L B の形成方向に垂直な方向で分離形成することより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【 0 1 6 9 】

また、実施の形態 9 は、実施の形態 8 と同様、N M O S トランジスタ N 1 , N 2 、N M O S トランジスタ N 5 , N 7 , 及び N M O S トランジスタ N 6 , N 8 はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態 9 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【 0 1 7 0 】

さらに、N M O S トランジスタ N 1 , N 2 , N 5 ~ N 8 において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態 1 の第 5 の効果に相当）。

【 0 1 7 1 】

加えて、C M O S 構造のインバータ I 1 , I 2 をそれぞれ N M O S トランジスタ及び P M O S トランジスター一つずつの組で構成することにより、C M O S 構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態 1 の第 6 の効果に相当）。

【 0 1 7 2 】

さらに、実施の形態 9 のメモリセルは、実施の形態 8 と同様、2 ポートメモリセルとなる。

【 0 1 7 3 】

さらに加えて、ドライバトランジスタである N M O S トランジスタ N 1 、N 2 のゲート幅（チャネル幅）W を大きくすることにより、実施の形態 2 と同様、動作の高速化及びメモリセルの安定性の向上を図ることができる。

【 0 1 7 4 】

< 実施の形態 1 0 >

図 2 9 ~ 図 3 1 はこの発明の実施の形態 1 0 である S R A M のメモリセル構造を示す図である。図 2 9 は全層におけるレイアウト構成を平面視した説明図である。図 3 0 は主として図 2 9 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。図 3 1 は主として図 2 9 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図 3 0 , 図 3 1 で示した符号の一部を図 2 9 では省略している場合がある。

【 0 1 7 5 】

また、実施の形態 1 0 のレイアウト構成の S R A M メモリセルの等価回路は図 2 5 で示した実施の形態 8 と同様である。

【 0 1 7 6 】

以下、図 2 9 ~ 図 3 1 を参照して、実施の形態 1 0 のメモリセル構造について述べる。

【 0 1 7 7 】

N ウエル領域 N W 内において、P + 拡散領域 F L 1 1 0 , F L 1 1 1 及びポリシリコン配線 P L 4 1 により P M O S トランジスタ P 1 を構成し、P + 拡散領域 F L 1 2 0 , F L 1 2 1 及びポリシリコン配線 P L 4 2 により P M O S トランジスタ P 2 を構成する。

【 0 1 7 8 】

P ウエル領域 P W 0 内において、N + 拡散領域 F L 2 1 0 , F L 2 1 1 及びポリシリコン配線 P L 4 1 により N M O S トランジスタ N 1 を構成し、N + 拡散領域 F L 2 7 0 , F L 2 7 1 及びポリシリコン配線 P L 4 7 によって N M O S トランジスタ N 7 を構成し、N + 拡散領域 F L 2 8 0 , F L 2 8 1 及びポリシリコン配線 P L 4 7 によって N M O S トランジスタ N 8 を構成する。なお、ポリシリコン配線 P L 4 1 は N ウエル領域 N W から P ウエル領域 P W 0 にかけて形成されることにより、N M O S トランジスタ N 1 及び P M O S トランジスタ P 1 のゲートとして共有され、ポリシリコン配線 P L 4 7 は N M O S トランジスタ N 7 , N 8 間で共有される。

【 0 1 7 9 】

P ウエル領域 P W 1 内において、N + 拡散領域 F L 2 2 0 , F L 2 2 1 及びポリシリコン

10

20

30

40

50

配線 P L 4 2 により N M O S トランジスタ N 2 を構成し、N⁺拡散領域 F L 2 5 0 , F L 2 5 1 及びポリシリコン配線 P L 4 5 によって N M O S トランジスタ N 5 を構成し、N⁺拡散領域 F L 2 6 0 , F L 2 6 1 及びポリシリコン配線 P L 4 5 によって N M O S トランジスタ N 6 を構成する。なお、ポリシリコン配線 P L 4 2 は N ウエル領域 N W から P ウエル領域 P W 1 にかけて形成されることにより、N M O S トランジスタ N 2 及び P M O S トランジスタ P 2 のゲートとして共有され、ポリシリコン配線 P L 4 2 は N M O S トランジスタ N 5 , N 6 間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【 0 1 8 0 】

拡散領域 F L 2 1 0 上のグランド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 1 0 に電気的に接続され、拡散領域 F L 2 7 1 上のビット線 B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 7 1 に電気的に接続され、拡散領域 F L 2 8 1 上のビット線バー B L B 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 8 1 に電気的に接続される。10

【 0 1 8 1 】

拡散領域 F L 2 7 0 (F L 2 1 1) 上から拡散領域 F L 1 1 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 7 は、拡散領域 F L 2 7 0 (F L 2 1 1) と拡散コンタクトホール 1 C を介して電気的に接続される。

【 0 1 8 2 】

さらに、アルミ配線 A L 1 7 はポリシリコン配線 P L 4 2 に電気的に接続される。ポリシリコン配線 P L 4 2 はシェアードコンタクト S C を介して拡散領域 F L 1 1 1 及び拡散領域 F L 2 6 1 それぞれに電気的に接続される。なお、ここで、シェアードコンタクトは、拡散領域とポリシリコンを 1 つの共通コンタクトで電気的に接続するものを意味する。20

【 0 1 8 3 】

アルミ配線 A L 1 7 は電気的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 7 、 2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 4 2 が記憶端子 N a に相当する。

【 0 1 8 4 】

ポリシリコン配線 P L 4 7 はゲートコンタクトホール G C を介して、ワード線 W L B 1 に電気的に接続される。30

【 0 1 8 5 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電気的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電気的に接続される。

【 0 1 8 6 】

グランド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 に電気的に接続され、拡散領域 F L 2 5 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 5 0 に電気的に接続され、拡散領域 F L 2 6 0 上のビット線バー B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 6 0 と電気的に接続される。40

【 0 1 8 7 】

拡散領域 F L 2 5 1 (F L 2 2 0) 上から拡散領域 F L 1 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 8 は、拡散領域 F L 2 5 1 (F L 2 2 0) と拡散コンタクトホール 1 C を介して電気的に接続される。

【 0 1 8 8 】

さらに、アルミ配線 A L 1 9 はポリシリコン配線 P L 4 1 に電気的に接続される。ポリシリコン配線 P L 4 1 はシェアードコンタクト S C を介して拡散領域 F L 1 2 0 及び拡散領域 F L 2 8 0 それぞれに電気的に接続される。

【 0 1 8 9 】

アルミ配線 A L 1 8 は電気的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 8 、 2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 4 1 が記憶端子 N b に相50

当する。

【0190】

ポリシリコン配線 P L 4 5 上のワード線 W L A 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 4 5 と電気的に接続される。

【0191】

ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電気的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電気的に接続される。同様にして、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電気的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電気的に接続される。

【0192】

ワード線 W L A 3 及び W L B 3 は、P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成される。

【0193】

ピット線 B L A 2 はビアホール 1 T を介してピット線 B L A 1 に電気的に接続され、ピット線 B L B 2 はビアホール 1 T を介してピット線 B L B 1 に電気的に接続される。

【0194】

同様にして、ピット線バー B L A 2 はビアホール 1 T を介してピット線バー B L A 1 に電気的に接続され、ピット線バー B L B 2 はビアホール 1 T を介してピット線バー B L B 1 に電気的に接続される。

【0195】

電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電気的に接続される。グランド配線 L G 1 はビアホール 1 T を介してグランド配線 L G 2 に電気的に接続される。

【0196】

ピット線対 B L A 2 , バー B L A 2 、ピット線対 B L B 2 , バー B L B 2 、グランド配線 L G 2 及び電源配線 L V 2 は図中縦方向に並行して形成される。

【0197】

ピット線対 B L A 2 , バー B L A 2 及びグランド配線 L G 2 は P ウエル領域 P W 1 上に形成され、ピット線対 B L B 2 , バー B L B 2 及びグランド配線 L G 2 は P ウエル領域 P W 0 上に形成され、電源配線 L V 2 は N ウエル領域 N W を上に形成される。

【0198】

このように、実施の形態 1 0 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 、N 7 , N 8 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 5 , N 6 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 8 , 実施の形態 9 と同様、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【0199】

また、P ウエル領域 P W 0 及び P W 1 を、ピット線対 B L A , バー B L A 及びピット線対 B L B , バー B L B の形成方向に垂直な方向で分離形成することより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【0200】

また、実施の形態 1 0 は、実施の形態 8 と同様、N M O S トランジスタ N 1 , N 2 、N M O S トランジスタ N 5 , N 7 , 及び N M O S トランジスタ N 6 , N 8 はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態 1 0 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【0201】

加えて、実施の形態 1 0 のメモリセルは、実施の形態 8 と同様、2 ポートメモリセルとなる。

【0202】

また、ポリシリコン配線 P L 4 1 , P L 4 2 、P L 4 7 及び P L 4 8 をほぼ同一方向（図

10

20

30

40

50

中横方向)で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線 P L 4 1 , P L 4 5 、ポリシリコン配線 P L 4 2 , P L 4 7 をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる(実施の形態1の第4の効果に相当)。

【0203】

さらに、CMOS構造のインバータ I 1 , I 2 をそれぞれNMOSトランジスタ及びPMOSトランジスター一つずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる(実施の形態1の第6の効果に相当)。

【0204】

加えて、記憶端子 N a をアルミ配線 A L 1 7 、シェアードコンタクト S C 及びポリシリコン配線 P L 4 2 で構成し、記憶端子 N b をアルミ配線 A L 1 8 、シェアードコンタクト S C 及びポリシリコン配線 P L 4 1 で構成することにより、図中縦方向のウェル形成幅を2トランジスタピッチで形成できる分、集積度の向上を図ることができる。 10

【0205】

<実施の形態11>

図32～図34はこの発明の実施の形態11であるSRAMのメモリセル構造を示す図である。図32は全層におけるレイアウト構成を平面視した説明図である。図33は主として図32の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図34は主として図32の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図33、図34で示した符号の一部を図32では省略している場合がある。 20

【0206】

また、実施の形態11のレイアウト構成のSRAMメモリセルの等価回路は図4で示した実施の形態1と同様である。

【0207】

以下、図32～図34を参照して、実施の形態11のメモリセル構造について述べる。

【0208】

Nウエル領域NW内において、P⁺拡散領域F L 1 1 0 , F L 1 1 1 及びポリシリコン配線 P L 5 1 によりPMOSトランジスタ P 1 を構成し、P⁺拡散領域F L 1 2 0 , F L 1 2 1 及びポリシリコン配線 P L 5 2 によりPMOSトランジスタ P 2 を構成する。 30

【0209】

Pウエル領域P W 0 内において、N⁺拡散領域F L 2 1 0 (F L 2 1 0 A , F L 2 1 0 B) , F L 2 1 1 及びポリシリコン配線 P L 5 1 によりNMOSトランジスタN 1 を構成し、N⁺拡散領域F L 2 4 0 , F L 2 4 1 及びポリシリコン配線 P L 5 4 によってNMOSトランジスタN 4 を構成する。なお、ポリシリコン配線 P L 5 1 はNウエル領域NWからPウエル領域P W 0 にかけて形成されることにより、NMOSトランジスタN 1 及びPMOSトランジスタ P 1 のゲートとして共有される。

【0210】

Pウエル領域P W 1 内において、N⁺拡散領域F L 2 2 0 (F L 2 2 0 A , F L 2 2 0 B) , F L 2 2 1 及びポリシリコン配線 P L 5 2 によりNMOSトランジスタN 2 を構成し、N⁺拡散領域F L 2 3 0 , F L 2 3 1 及びポリシリコン配線 P L 5 3 によってNMOSトランジスタN 3 を構成する。なお、ポリシリコン配線 P L 5 2 はNウエル領域NWからPウエル領域P W 1 にかけて形成されることにより、NMOSトランジスタN 2 及びPMOSトランジスタ P 2 のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。 40

【0211】

拡散領域F L 2 1 0 A , F L 2 1 0 B 上のグランド配線L G 1 はそれぞれ拡散コンタクトホール1 C を介して拡散領域F L 2 1 0 A , F L 2 1 0 B に電気的に接続され、拡散領域F L 2 4 1 上のビット線B L B 1 は拡散コンタクトホール1 C を介して拡散領域F L 2 4 1 に電気的に接続される。

【0212】

50

20

30

40

50

拡散領域 F L 2 1 1 上から拡散領域 F L 1 1 1 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 7 は、拡散領域 F L 2 1 1 と拡散コンタクトホール 1 C を介して電気的に接続される。

【 0 2 1 3 】

さらに、アルミ配線 A L 1 7 はポリシリコン配線 P L 5 2 に電気的に接続される。ポリシリコン配線 P L 5 2 はシェアードコンタクト S C を介して拡散領域 F L 1 1 1 及び拡散領域 F L 2 3 1 それぞれに電気的に接続される。

【 0 2 1 4 】

アルミ配線 A L 1 7 は電気的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 7 、 2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 5 2 が記憶端子 N a に相当する。
10

【 0 2 1 5 】

ポリシリコン配線 P L 5 4 はゲートコンタクトホール G C を介して、ワード線 W L 1 に電気的に接続される。

【 0 2 1 6 】

拡散領域 F L 1 1 0 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 1 0 と電気的に接続され、拡散領域 F L 1 2 1 上の電源配線 L V 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 1 2 1 に電気的に接続される。

【 0 2 1 7 】

グランド配線 L G 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 2 1 に電気的に接続され、拡散領域 F L 2 3 0 上のビット線 B L A 1 は拡散コンタクトホール 1 C を介して拡散領域 F L 2 3 0 と電気的に接続される。
20

【 0 2 1 8 】

拡散領域 F L 2 2 0 上から拡散領域 F L 1 2 0 上に伸びて形成される第 1 層アルミ配線であるアルミ配線 A L 1 8 は、拡散領域 F L 2 2 0 と拡散コンタクトホール 1 C を介して電気的に接続される。

【 0 2 1 9 】

さらに、アルミ配線 A L 1 8 はポリシリコン配線 P L 5 1 に電気的に接続される。ポリシリコン配線 P L 5 1 はシェアードコンタクト S C を介して拡散領域 F L 1 2 0 及び拡散領域 F L 2 4 0 それぞれに電気的に接続される。
30

【 0 2 2 0 】

アルミ配線 A L 1 8 は電気的に低インピーダンスな接続が可能であり、アルミ配線 A L 1 8 、 2 つのシェアードコンタクト S C 及びポリシリコン配線 P L 5 1 が記憶端子 N b に相当する。

【 0 2 2 1 】

ポリシリコン配線 P L 5 3 上のワード線 W L 1 はゲートコンタクトホール G C を介してポリシリコン配線 P L 5 3 と電気的に接続される。

【 0 2 2 2 】

ワード線 W L 1 はビアホール 1 T を介してワード線 W L 2 に電気的に接続され、ワード線 W L 2 はビアホール 2 T を介してワード線 W L 3 に電気的に接続される。ワード線 W L 3 はウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して形成される。
40

【 0 2 2 3 】

ビット線 B L A 2 はビアホール 1 T を介してビット線 B L A 1 に電気的に接続され、ビット線 B L B 2 はビアホール 1 T を介してビット線 B L B 1 に電気的に接続される。

【 0 2 2 4 】

電源配線 L V 2 はビアホール 1 T を介して電源配線 L V 1 に電気的に接続される。グランド配線 L G 1 はビアホール 1 T を介してグランド配線 L G 2 に電気的に接続される。

【 0 2 2 5 】

ビット線 B L A 2 , B L B 2 、グランド配線 L G 2 及び電源配線 L V 2 は図中縦方向に並行して形成される。
50

【 0 2 2 6 】

ビット線 B L A 2 及びグランド配線 L G 2 は P ウエル領域 P W 1 上に形成され、ビット線 B L B 2 及びグランド配線 L G 2 は P ウエル領域 P W 0 上に形成され、電源配線 L V 2 は N ウエル領域 N W 上に形成される。

【 0 2 2 7 】

このように、実施の形態 1 1 の S R A M のメモリセル構造は、N M O S トランジスタ N 1 、N 4 を一方の P ウエル領域 P W 0 内に形成し、N M O S トランジスタ N 2 , N 3 を N ウエル領域 N W を挟んだ他方の P ウエル領域 P W 1 内に形成することにより、実施の形態 1 の第 1 の効果であるソフトエラー耐性が向上を図ることができる。

【 0 2 2 8 】

また、P ウエル領域 P W 0 及び P W 1 を、ビット線 B L A , B L B の形成方向に垂直な方向で分離形成することにより、実施の形態 1 の第 2 の効果である良好なアクセスタイムを維持することができる。

【 0 2 2 9 】

また、実施の形態 1 1 は、実施の形態 1 と同様、N M O S トランジスタ N 1 , N 2 、及び N M O S トランジスタ N 3 , N 4 はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態 1 1 のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態 1 の第 3 の効果に相当）。

【 0 2 3 0 】

また、ポリシリコン配線 P L 5 1 ~ P L 5 4 をほぼ同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線 P L 5 1 , P L 5 3 、ポリシリコン配線 P L 5 2 , P L 5 4 をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態 1 の第 4 の効果に相当）。

【 0 2 3 1 】

加えて、N M O S トランジスタ N 1 ~ N 4 において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態 1 の第 5 の効果に相当）。

【 0 2 3 2 】

さらに、C M O S 構造のインバータ I 1 , I 2 をそれぞれN M O S トランジスタ及びP M O S トランジスター一つずつの組で構成することにより、C M O S 構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態 1 の第 6 の効果に相当）。

【 0 2 3 3 】

加えて、記憶端子 N a をアルミ配線 A L 1 7 、シェアードコンタクト S C 及びポリシリコン配線 P L 5 2 で構成し、記憶端子 N b をアルミ配線 A L 1 8 、シェアードコンタクト S C 及びポリシリコン配線 P L 5 1 で構成することにより、図中縦方向のウェル形成幅を 2 トランジスタピッチで形成できる分、集積度の向上を図ることができる。

【 0 2 3 4 】

< 実施の形態 1 2 >

図 3 5 及び図 3 6 はこの発明の実施の形態 1 2 である S R A M のメモリセル構造を示す図である。図 3 5 は全層におけるレイアウト構成を平面視した説明図である。図 3 6 は主として図 3 5 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図 3 5 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態 1 1 の説明で用いた図 3 3 （ワード線 W L 2 がワード線 W L A 2 , W L B 2 に分離された点は異なる）と同様であり、図 3 6 , 図 3 3 で示した符号の一部を図 3 5 では省略している場合がある。また、実施の形態 1 2 のレイアウト構成の S R A M メモリセルの等価回路は実施の形態 5 で示した図 1 5 と同様である。

【 0 2 3 5 】

以下、図 3 5 , 図 3 6 及び図 3 3 を参照して、実施の形態 1 2 のメモリセル構造について述べる。

10

20

30

40

50

【 0 2 3 6 】

ポリシリコン配線 P L 5 3 はゲートコンタクトホール G C を介して、ワード線 W L A 1 (図 3 3 の右端のワード線 W L 1 に相当) に電気的に接続され、ワード線 W L A 1 はビアホール 1 T を介してワード線 W L A 2 に電気的に接続され、ワード線 W L A 2 はビアホール 2 T を介してワード線 W L A 3 に電気的に接続される。これらワード線 W L A 1 ~ ワード線 W L A 3 によって図 1 5 のワード線 W L A を構成する。

【 0 2 3 7 】

同様にして、ポリシリコン配線 P L 5 4 はゲートコンタクトホール G C を介して、ワード線 W L B 1 (図 3 3 の左端のワード線 W L 1 に相当) に電気的に接続され、ワード線 W L B 1 はビアホール 1 T を介してワード線 W L B 2 に電気的に接続され、ワード線 W L B 2 はビアホール 2 T を介してワード線 W L B 3 に電気的に接続される。これらワード線 W L B 1 ~ W L B 3 によって図 1 5 のワード線 W L B を構成する。

10

【 0 2 3 8 】

ワード線 W L A 3 , W L B 3 は P ウエル領域 P W 0 , P W 1 及び N ウエル領域 N W を横断して互いに並行に形成される。なお、他のレイアウト構成は実施の形態 1 1 と同様であるため説明を省略する。

20

【 0 2 3 9 】

実施の形態 1 2 は上記のようなメモリセル構造を有することにより、実施の形態 1 1 の効果に加え、実施の形態 5 と同様、 F I F O メモリで利用可能なメモリセル構造を実現することができる。

【 0 2 4 0 】

<その他>

なお、上述した実施の形態 1 ~ 実施の形態 1 2 において、導電型式を全て逆にして構成しても同様な効果を奏する。さらに、 M O S トランジスタに限らず、 M I S トランジスタ等の電界効果トランジスタに対しても同様な効果を奏する。

20

【 0 2 4 1 】**【 発明の効果 】**

以上説明したように、この発明における第 1 の態様の半導体記憶装置は、第 1 の記憶端子に一方電極が接続される第 1 及び第 3 の第 1 種電界効果トランジスタを第 1 及び第 2 の第 2 種ウェル領域にそれぞれ分けて形成し、第 2 の記憶端子に一方電極が接続される第 2 及び第 4 の第 1 種電界効果トランジスタを第 2 及び第 1 の第 2 種ウェル領域にそれぞれ分けて形成している。

30

【 0 2 4 2 】

したがって、線や中性子線によって発生した電子が、第 1 及び第 2 の第 2 種ウェル領域のうち一方の第 2 種ウェル領域に形成した第 1 ~ 第 4 の第 1 種電界効果トランジスタの一方電極領域に収集された場合に、第 1 種ウェル領域が介在することにより上記電子の発生による影響が防止される他方の第 2 種ウェル領域に形成した第 1 ~ 第 4 の第 1 種電界効果トランジスタの一方電極領域から放出される。例えば、第 1 の第 2 種ウェル領域内の第 1 の第 1 種電界効果トランジスタの一方電極領域に収集された電子は第 1 の記憶端子を介して第 2 の第 2 種ウェル領域内の第 3 の第 1 種電界効果トランジスタの一方電極領域から放出され、第 2 の第 2 種ウェル領域内の第 2 の第 1 種電界効果トランジスタの一方電極領域に収集された電子は第 2 の記憶端子を介して第 1 の第 2 種ウェル領域内の第 4 の第 1 種電界効果トランジスタの一方電極領域から放出される。

40

【 0 2 4 3 】

このような動作により、第 1 及び第 2 の記憶端子の保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなり、その結果、ソフトエラー耐性が向上するという効果を奏する。

【 0 2 4 4 】

加えて、第 1 及び第 2 のインバータはそれぞれ第 1 種及び第 2 種電界効果トランジスター一つずつの組で構成されているため、相補型の構成では必要最小限の回路構成で実現できる

50

。

【 0 2 4 5 】

第2の態様の半導体記憶装置は、第1あるいは第2の記憶端子に接続される一方電極を第1～第4の第1種電界効果トランジスタ間で互いに独立して形成することにより、ソフトエラー耐性のさらなる向上を図ることができる。

【 0 2 4 6 】

第3の態様の半導体記憶装置のように第1～第4の第1種電界効果トランジスタ及び第1，第2の第2種電界効果トランジスタを配置することにより、集積度の向上を図ることができる。

【 0 2 4 7 】

第4の態様の半導体記憶装置は、第1及び第2のMOSトランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【 0 2 4 8 】

第5の態様の半導体記憶装置は、第3及び第4のMOSトランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【 0 2 4 9 】

第6の態様の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極幅を第3及び第4の第1種電界効果トランジスタの制御電極幅より広く設定することにより、メモリセルの安定性の向上を図ることができる。

10

【 0 2 5 0 】

第7の態様の半導体記憶装置は、第1及び第2の抵抗成分による信号伝播遅延によって、メモリセルの第1及び第2の記憶端子に保持しているデータを反転するための応答特性を長くして、ソフトエラーを起こりにくくすることができる。

【 0 2 5 1 】

第8の態様の半導体記憶装置は、高抵抗金属配線によって第1及び第2の抵抗成分を実現している。

【 0 2 5 2 】

第9の態様の半導体記憶装置は、高抵抗ポリシリコン配線によって第1及び第2の抵抗成分を実現している。

20

【 0 2 5 3 】

第10の態様の半導体記憶装置は、第3及び第4のMOSトランジスタの制御電極及びワード線を一本のポリシリコンで共用することにより、形成すべき層の数を減少させて装置のコスト削減を図ることができる。

【 0 2 5 4 】

第11の態様の半導体記憶装置は、第1及び第2のワード線による2つのメモリセル選択手段を有することにより、メモリセルをFIFOメモリ用に用いることができる。

【 0 2 5 5 】

第12の態様の半導体記憶装置は、第1～第4の部分ビット線及び第1及び第2のワード線による2ポートメモリセルが実現する。

30

【 0 2 5 6 】

第13の態様の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極幅を第5～第8の第1種電界効果トランジスタの制御電極幅より広く設定することにより、メモリセルの安定性の向上を図ることができる。

【 0 2 5 7 】

第14の態様の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極形成領域を第2及び第1の記憶端子の一部を構成するようにレイアウト配置することにより、メモリセル形成領域を狭くして集積度の向上を図ることができる。

【 0 2 5 8 】

40

50

第 15 の態様の半導体記憶装置は、第 1 及び第 2 の第 2 種ウェル領域の間にレイアウト配置された第 1 種ウェル領域によって、第 1 及び第 2 の第 2 種ウェル領域のうち一方の第 2 種ウェル領域で生成されたキャリアが他方の第 2 種ウェル領域に影響を及ぼすことを防止することができる。

【図面の簡単な説明】

【図 1】この発明に実施の形態 1 である S R A M のメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 2】主として図 1 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 3】主として図 1 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。 10

【図 4】実施の形態 1 のメモリセルの等価回路を示す回路図である。

【図 5】実施の形態 2 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 6】主として図 5 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 7】隣接するメモリセル間における第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 8】実施の形態 3 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。 20

【図 9】主として図 8 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 10】実施の形態 3 のメモリセルの等価回路を示す回路図である。

【図 11】実施の形態 4 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 12】主として図 11 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 13】実施の形態 5 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 14】主として図 13 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。 30

【図 15】実施の形態 5 のメモリセルの等価回路を示す回路図である。

【図 16】実施の形態 6 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 17】主として図 16 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 18】主として図 16 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 19】実施の形態 7 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。 40

【図 20】主として図 19 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 21】主として図 19 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。

【図 22】実施の形態 8 の S R A M メモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図 23】主として図 22 の第 1 アルミ配線層下のレイアウト構成を平面視した説明図である。

【図 24】主として図 22 の第 2 アルミ配線層上のレイアウト構成を平面視した説明図である。 50

【図25】 実施の形態8のメモリセルの等価回路を示す回路図である。

【図26】 実施の形態9のS R A Mメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図27】 主として図26の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図28】 主として図26の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図29】 実施の形態10のS R A Mメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図30】 主として図29の第1アルミ配線層下のレイアウト構成を平面視した説明図である。 10

【図31】 主として図29の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図32】 実施の形態11のS R A Mメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図33】 主として図32の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図34】 主として図32の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図35】 実施の形態のS R A Mメモリセルの全層におけるレイアウト構成を平面視した説明図である。 20

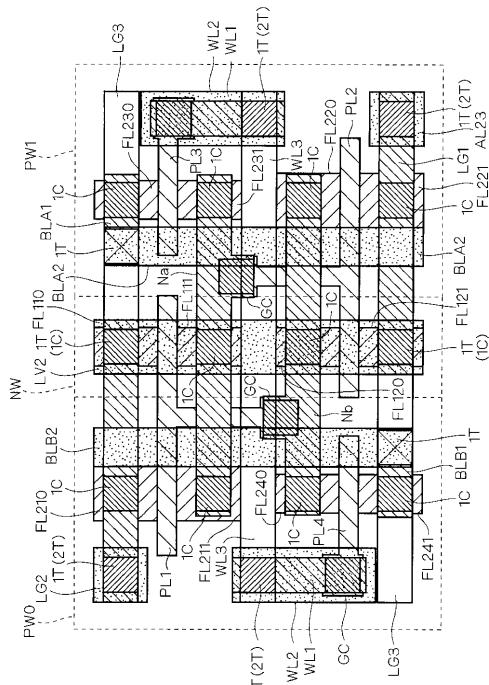
【図36】 主として図35の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図37】 従来のS R A Mメモリセルを示す回路図である。

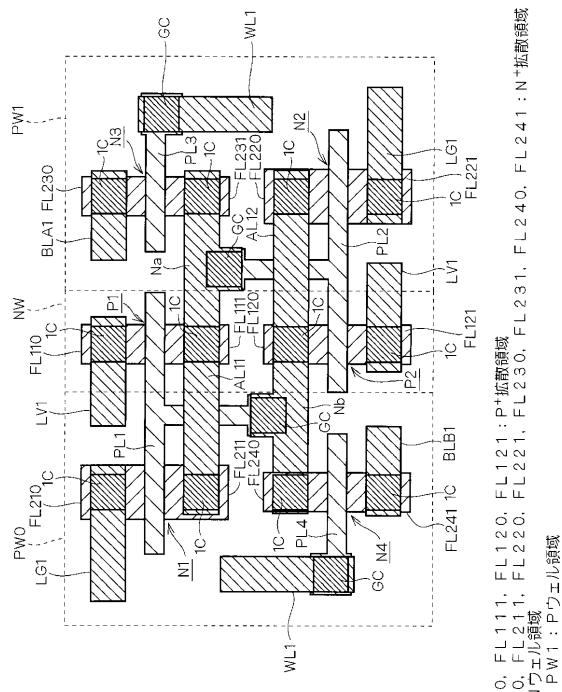
【符号の説明】

B L A , B L B , バーB L A , バーB L B ビット線、F L 1 1 0 , F L 1 1 1 , F L 1
2 0 , F L 1 2 1 P⁺拡散領域、F L 2 1 0 ~ F L 2 1 5 , F L 2 2 0 ~ F L 2 2 5 ,
F L 2 3 0 ~ F L 2 3 3 , F L 2 4 0 ~ F L 2 4 3 N⁺拡散領域、I 1 , I 2 インバ
ータ、M 0 0 , M 0 1 高抵抗金属配線、N 1 , N 2 NMOSトランジスタ(ドライバ
トランジスタ)、N 3 ~ N 7 NMOSトランジスタ(アクセストランジスタ)、N W
Nウエル領域、P 1 , P 2 PMOSトランジスタ(ドライバトランジスタ)、P L 5
共用ポリシリコン配線P L 5、P L 7 , P L 8 高抵抗ポリシリコン配線、P W 0 , P W
1 Pウエル領域、R 1 , R 2 抵抗、W L , W L A , W L B ワード線。 30

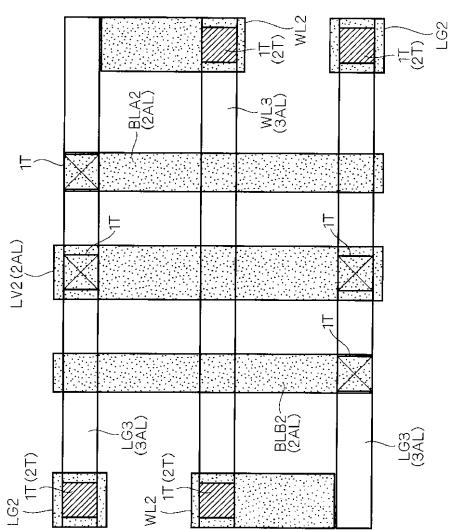
【図1】



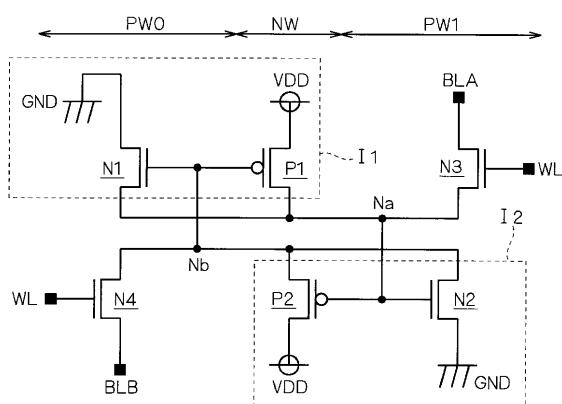
【図2】



【図3】

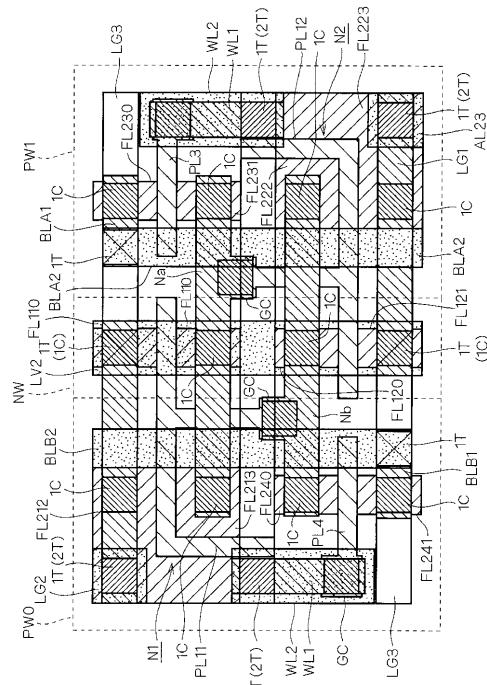


【図4】

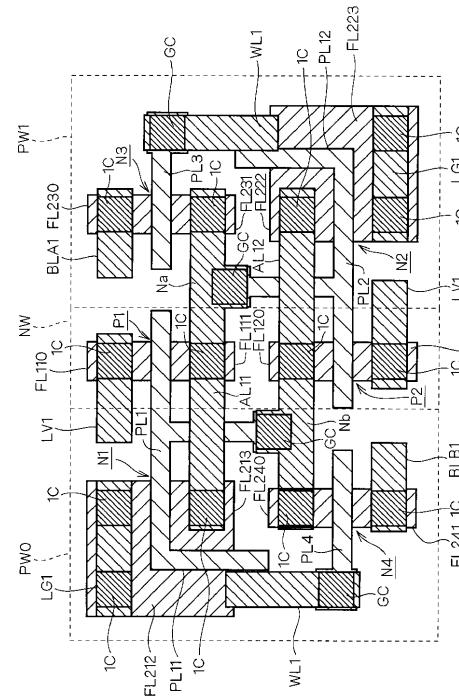


I₁, I₂ : CMOS インバータ
 N₁, N₂ : NMOS ランジスタ (ドライバトランジスタ)
 N₃, N₄ : NMOS ランジスタ (アクセストランジスタ)
 P₁, P₂ : PMOS ランジスタ (ドライバトランジスタ)
 WL : ワード線
 BLA, BLB : ビット線
 PW0, PW1 : パス線

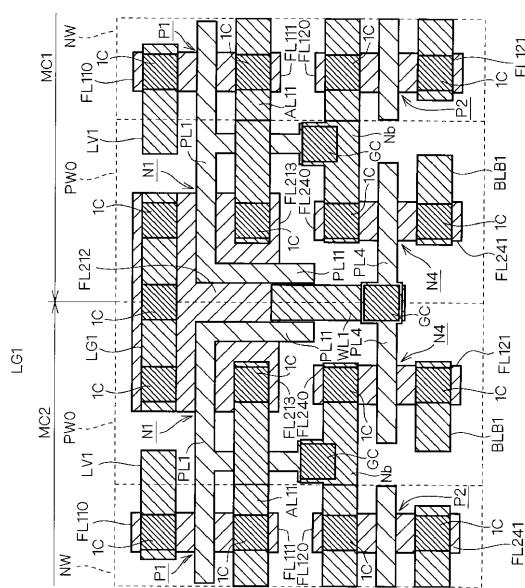
【図5】



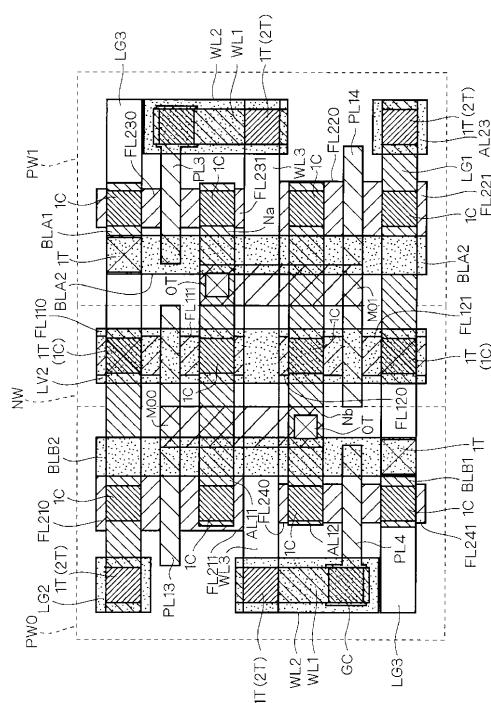
【 四 6 】



【四七】

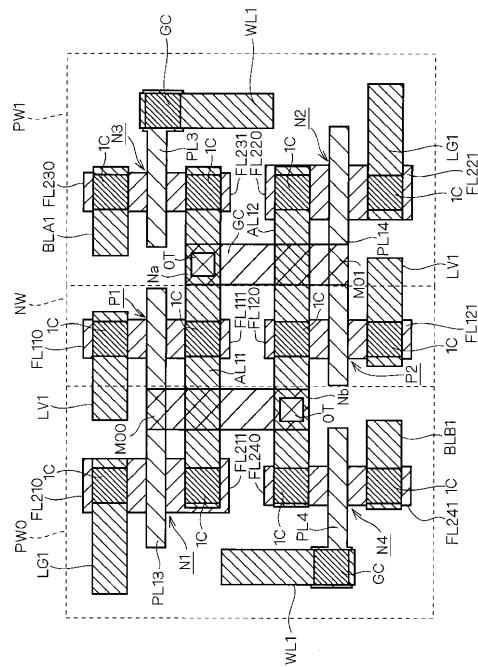


【 四 8 】

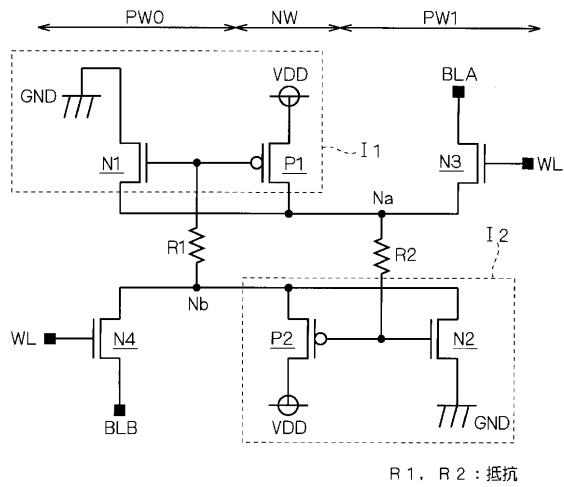


M00, M01 : 高抵抗金屬配線

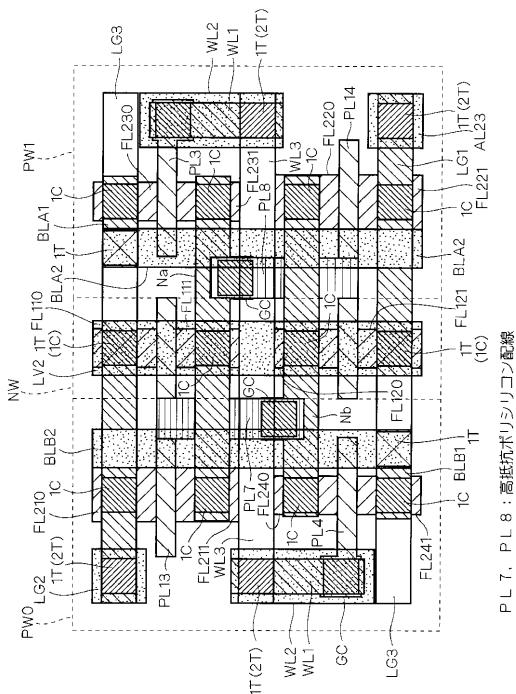
【図9】



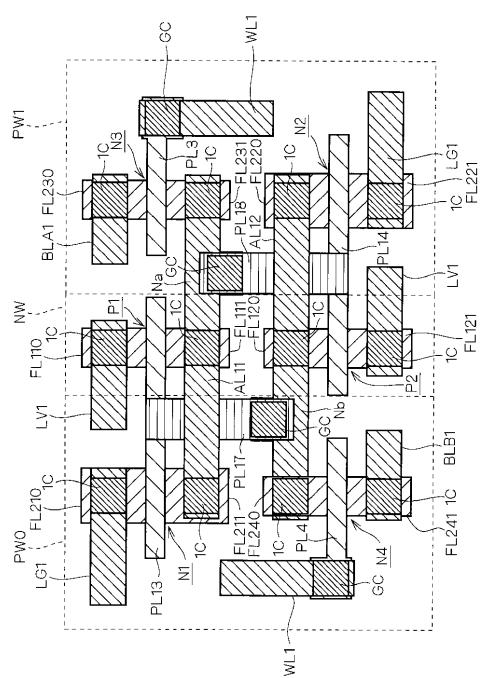
【 図 1 0 】



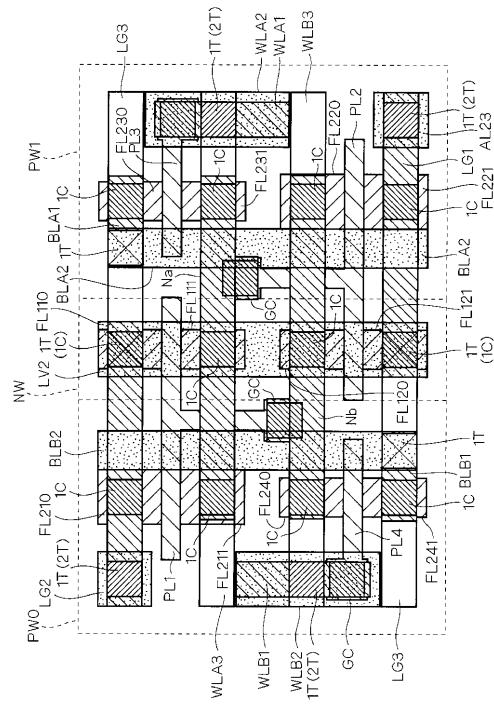
【図11】



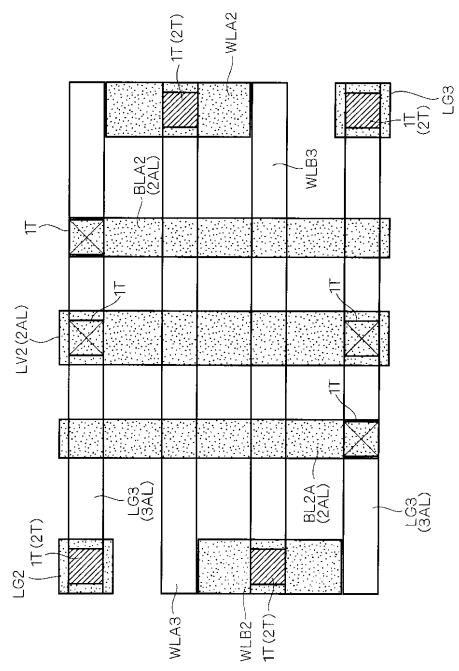
【図12】



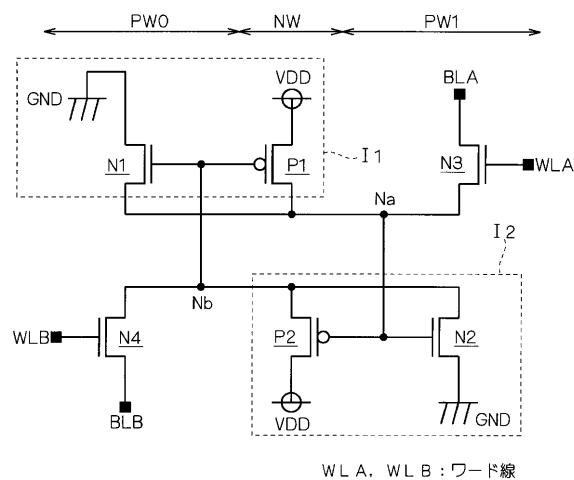
【図13】



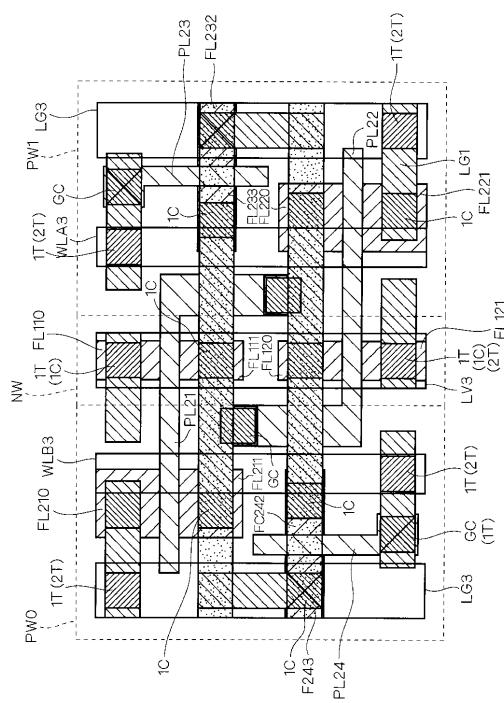
【図14】



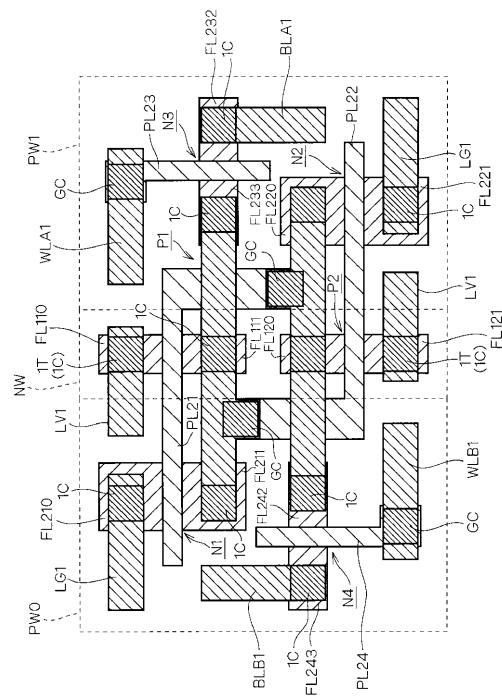
【図15】



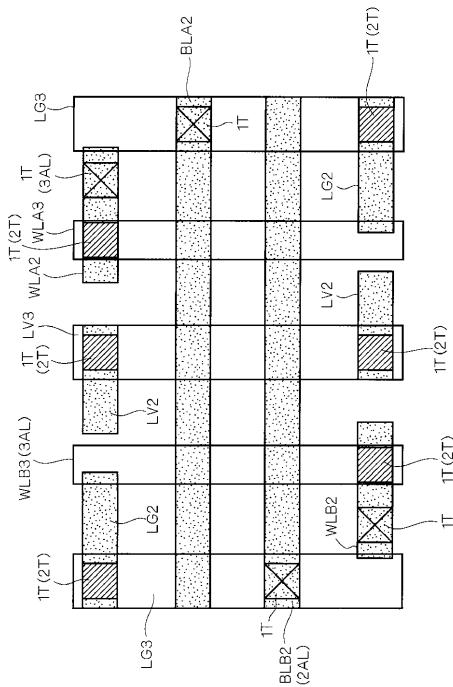
【図16】



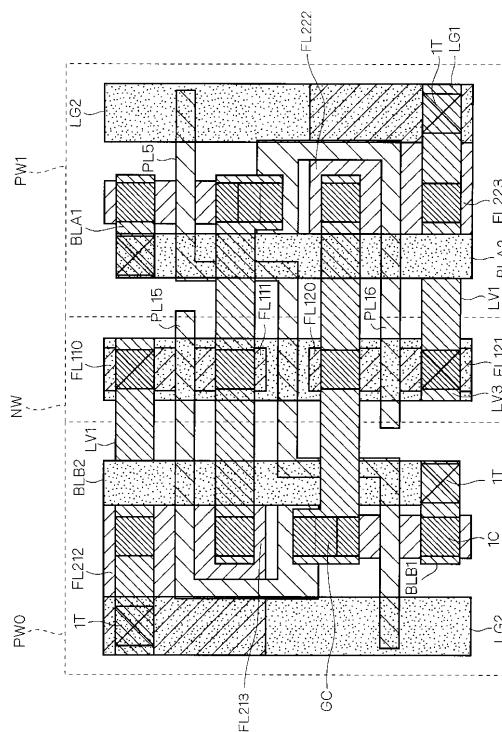
【図17】

FL 232, FL 233, FL 242, FL 243 : N⁺拡散領域

【図18】

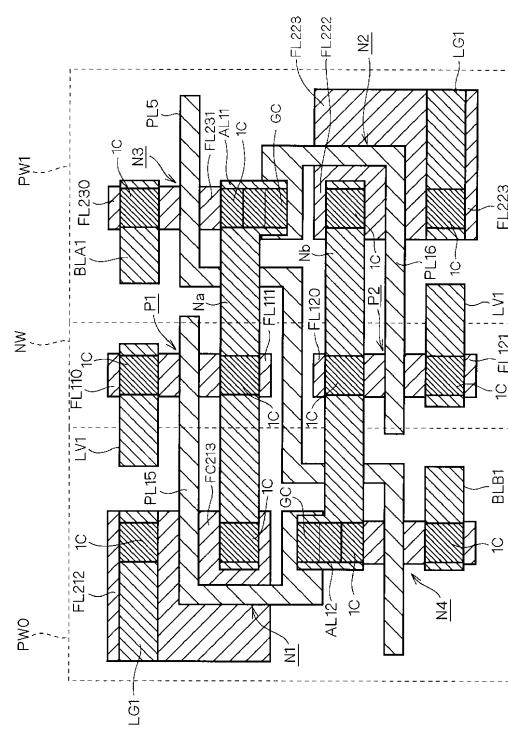
FL 232, FL 233, FL 242, FL 243 : N⁺拡散領域

【図19】

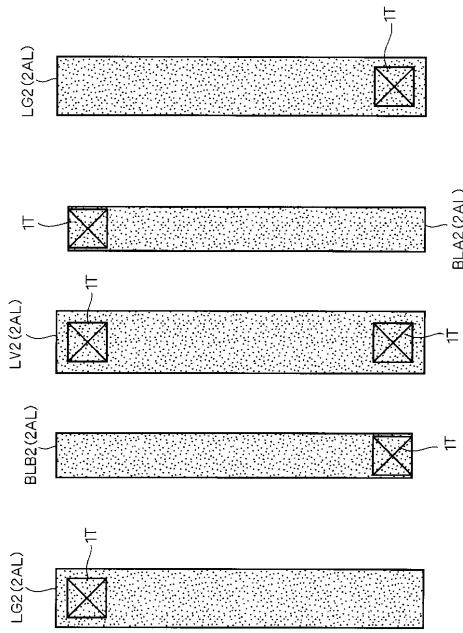


PL5 : 共用ポリシリコン配線

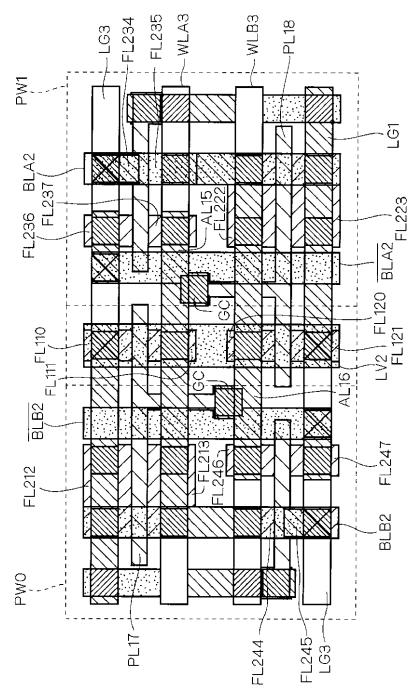
【図20】



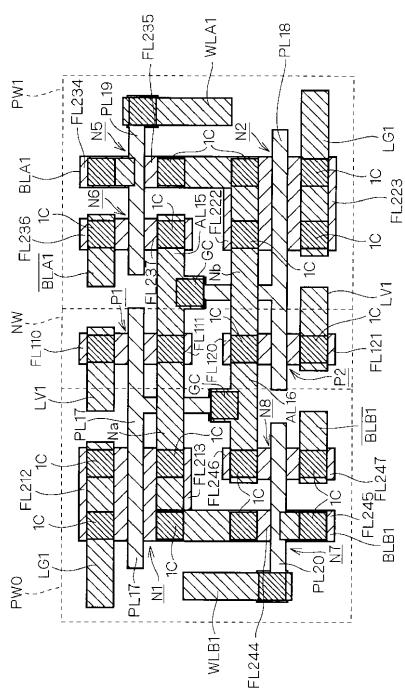
【図21】



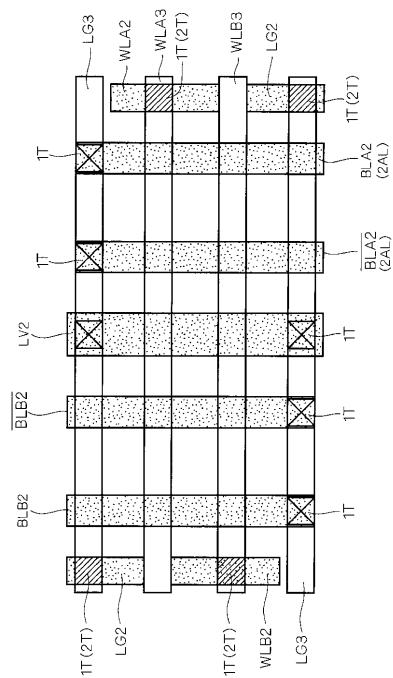
【図22】



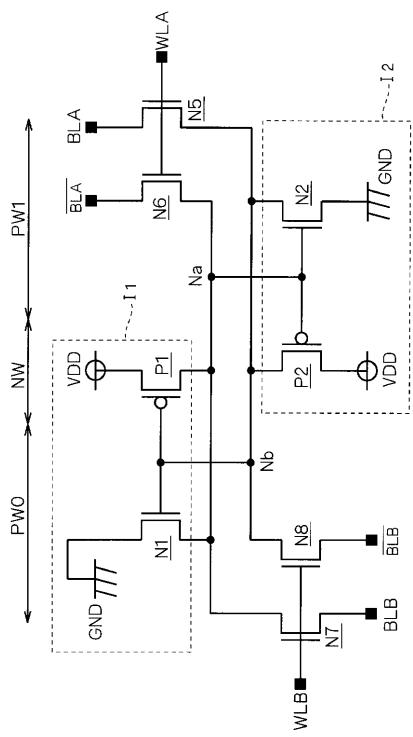
【図23】



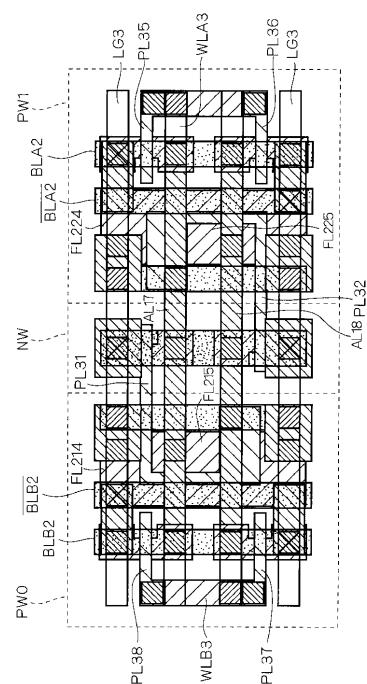
【図24】



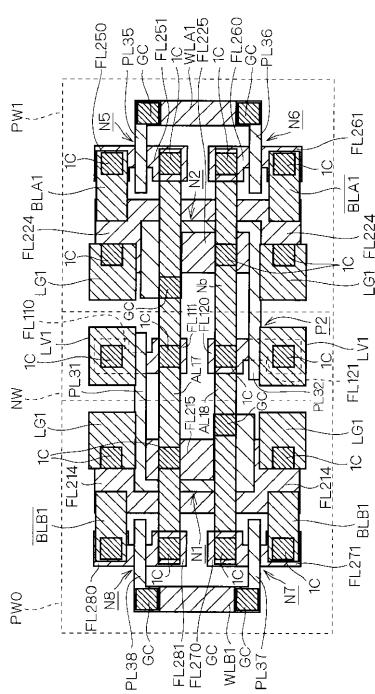
【図25】



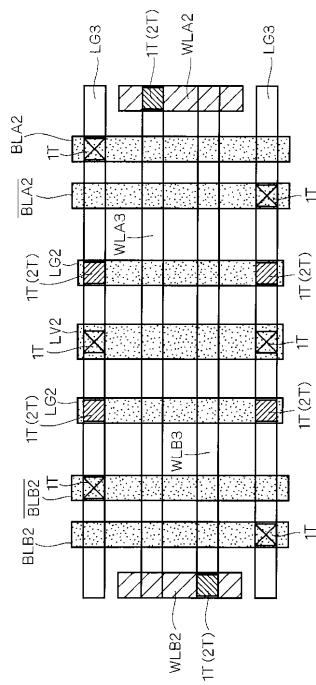
【図26】



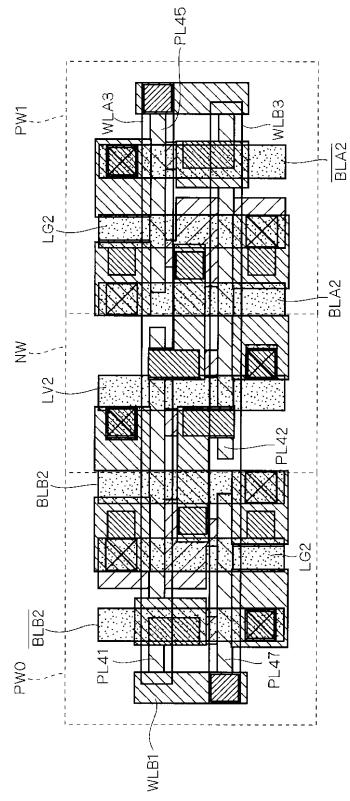
【図27】



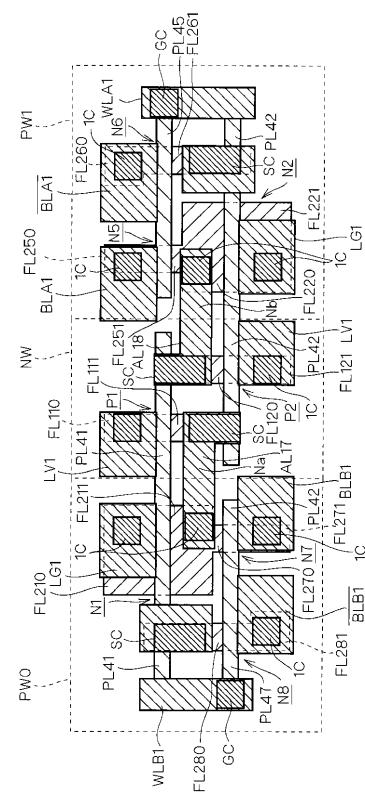
【図28】



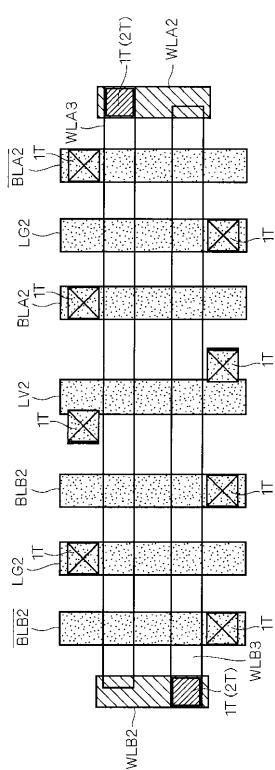
【図29】



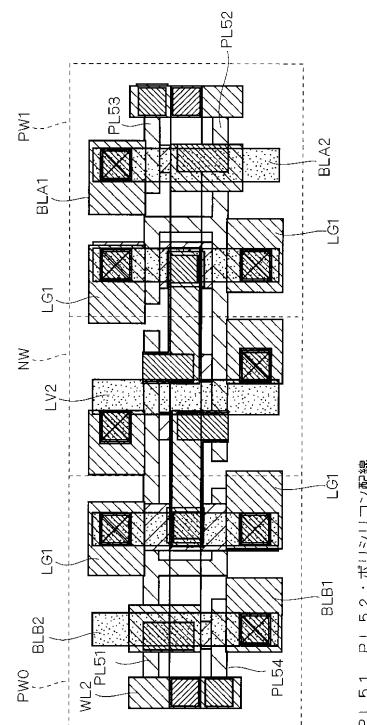
【図30】



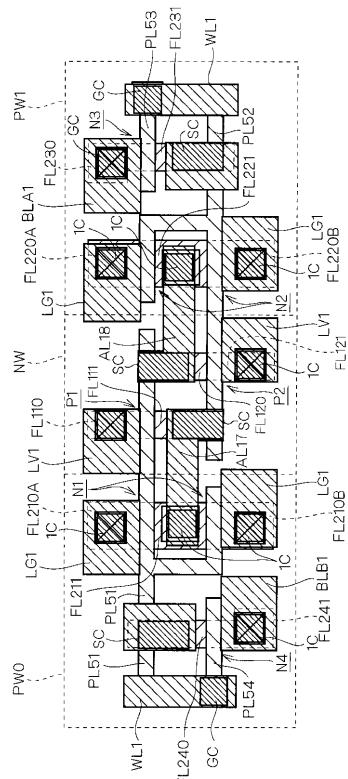
【図31】



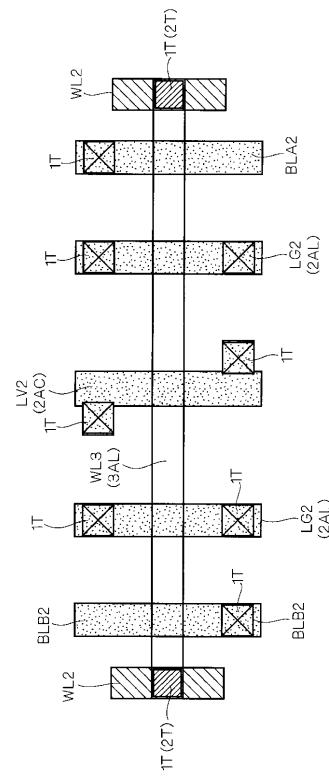
【図32】



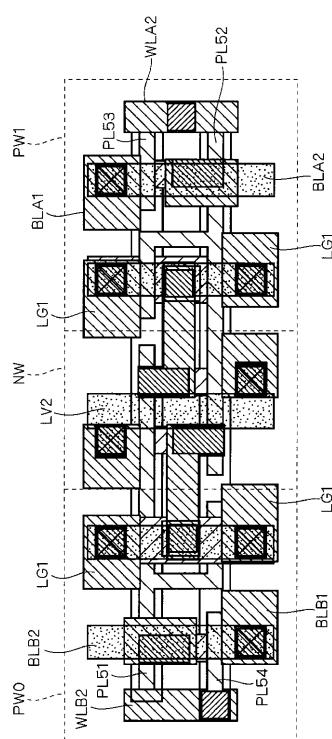
【図33】



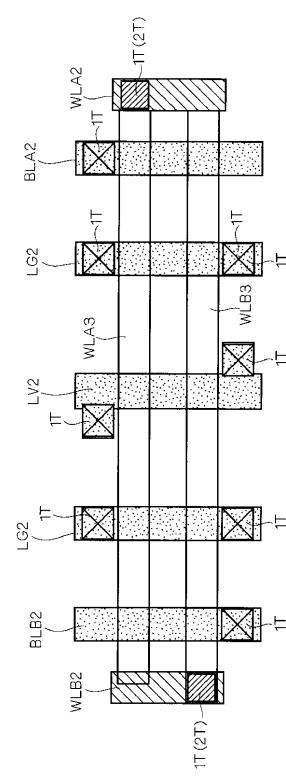
【図34】



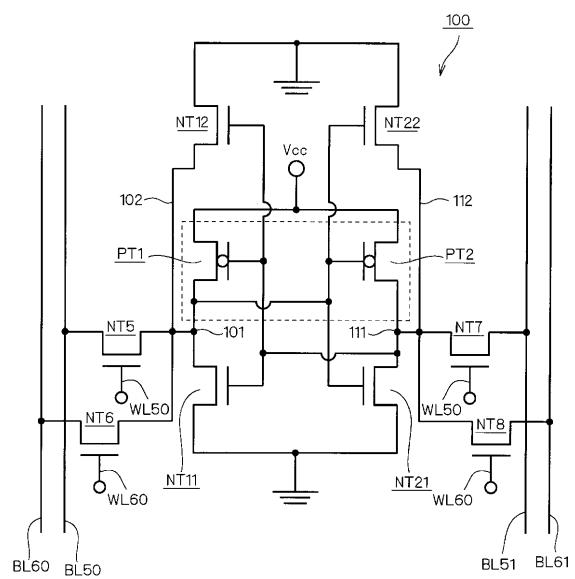
【図35】



【図36】



【図37】



フロントページの続き

(56)参考文献 特開2000-243858(JP,A)
特開平10-178110(JP,A)
特開2000-236029(JP,A)
特開平06-097393(JP,A)
特開平02-150062(JP,A)
特開2000-150651(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244

H01L 27/11