(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년04월15일
(11) 등록번호 특0180063
(24) 등록일자 1998년11월30일

(21) 출원번호	특1994-023804	(65) 공개번호	특1995-009745
(22) 출원일자	1994년09월17일	(43) 공개일자	1995년04월24일
(30) 우선권주장	93-233657 1993년09월20일 일본(JP)		

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 다나카 도모하루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이범일

심사관 : 김용주

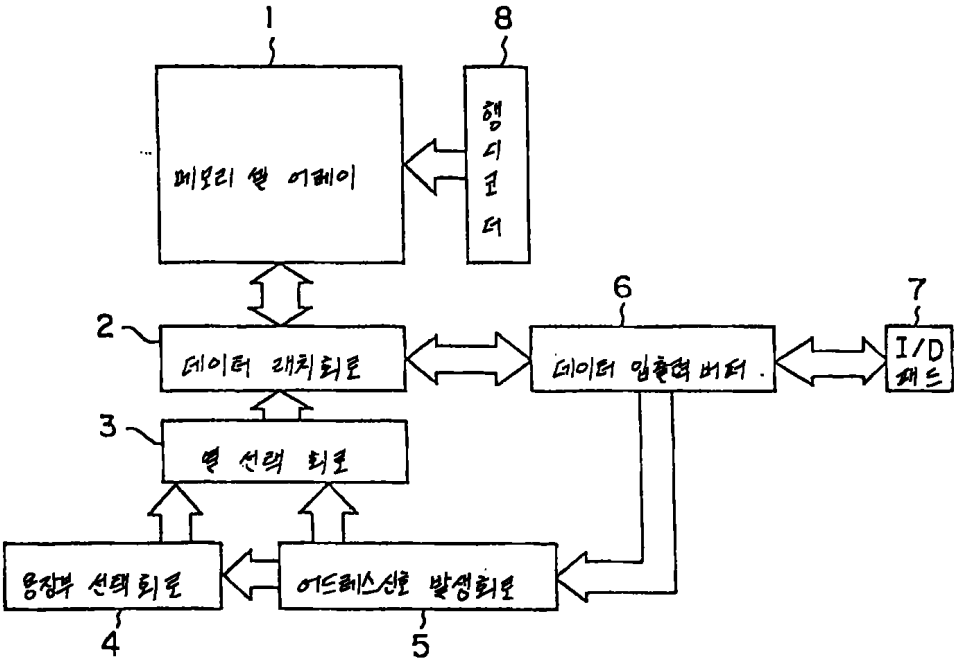
(54) 반도체 기억장치

요약

본 발명은, 억세스 시간을 늦어지게 하는 것 없이 불량메모리셀을 구제할 수 있어 고속으로 데이터 입출력을 수행할 수 있는 반도체 기억장치를 제공하기 위한 것이다.

본 발명은, 억세스시의 어드레스의 순서가 미리 결정되어 있는 반도체 기억장치에 있어서, 용장부를 포함하는 메모리셀 어레이(1)와, 메모리셀 어레이(1)에 대해 데이터 기록과, 데이터 독출을 수행하기 위한 데이터 래치회로(2) 및, 불량메모리셀의 어드레스에 따라 억세스하는 사이클의 1사이클 전의 어드레스를 기억해 두고, 그 기억내용과 입력 어드레스신호를 비교하여 일치하는가의 여부의 구제정보를 출력하는 용장부 선택회로(4)를 구비하고, 용장부 선택회로(4)에서의 구제정보를 1사이클 후에 어드레스신호의 절환과 동시에 출력하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 개략구성을 나타낸 블록도.

제2도는 실시예에서 우수열의 데이터 래치회로와 열선택회로의 구체적 구성을 나타낸 도면.

제3도는 실시예에서 기수열의 데이터 래치회로와 열선택회로의 구체적 구성을 나타낸 도면.

제4도는 실시예에서 용장열이 선택되는 타이밍을 나타낸 도면.

제5도는 실시예에서 최하위 열어드레스를 발생시키는 어드레스신호 발생회로의 구성을 나타낸 도면.

제6도는 실시예에서 최하위 열을 제외하고 열어드레스를 발생시키는 어드레스신호 발생회로의 구성을 나타낸 도면.

제7도는 실시예에서 어드레스 카운터의 카운트업 펄스를 출력하는 회로의 구성을 나타낸 도면.

제8도는 실시예에서 용장부 선택회로의 구성을 나타낸 도면.

제9도는 실시예에서 데이터 입출력 버퍼의 구성을 나타낸 도면.

제10도는 실시예에서 데이터 입출력 버퍼의 구성을 나타낸 도면.

제11도는 실시예에서 데이터 독출동작을 나타낸 타이밍도.

제12도는 실시예에서 데이터 독출동작을 나타낸 타이밍도.

제13도는 실시예에서 데이터 입력동작을 나타낸 타이밍도.

제14도는 실시예에서 데이터 입력동작을 나타낸 타이밍도.

제15도는 실시예에서 열어드레스의 발생순서를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 메모리셀 어레이 2 : 데이터 래치회로

3 : 열선택회로 4 : 용장부 선택회로

5 : 어드레스 발생회로 6 : 데이터 입출력버퍼

7 : 외부 입출력단자 8 : 행디코더

Qh : n채널 MOS트랜지스터 Qp : p채널 MOS트랜지스터

I : 인버터회로 G : 논리회로

D.L. : 데이터 래치회로 F : 퓨즈

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명의 반도체 기억장치에 관한 것으로, 특히 불량구제를 위한 용장메모리를 갖춘 반도체 기억장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래, DRAM, SRAM, EEPROM 등에 있어서는, 불량구제를 위한 용장메모리를 탑재하는 메모리가 알려져 있다. 이는, 예컨대 64M비트의 메모리라면 6700만개 이상의 메모리셀이 탑재되어 있어 이 안에 몇 개의 메모리셀이 불량하게 되어 있어도 64M비트의 메모리로서 구성할 수 있도록 불량메모리셀을 치환하기 위한 예비의 메모리셀을 용장메모리로서 갖추고 있는 것이다. 더욱이, 불량어드레스를 기억시키기 위한 ROM을 구비하고 있다. 통상, 이 ROM은 폴리실리콘으로 이루어진 퓨즈로 구성되고, 퓨즈를 절단함으로써 불량어드레스를 기억시킨다. 이 기억되어 있는 불량어드레스와 어드레스신호를 비교해서 어드레스신호와 불량어드레스가 일치하는 경우는 용장메모리를 억세스하도록 회로가 구성된다.

그러나, 이러한 종류의 반도체 기억장치에 있어서는 다음과 같은 문제가 있었다. 즉, 종래의 회로구성에서는 어드레스신호를 확정하고나서 그 어드레스가 불량어드레스인가의 여부를 검출하고 있기 때문에 어드레스 확정으로부터 메모리 억세스까지 기다려야만 한다. 이 때문에, 억세스시간이 길어지게 되어 데이터의 입출력이 늦어지게 된다는 문제가 있었다.

이와 같이, 종래의 반도체 기억장치에서는 불량메모리셀을 구제하기 위한 회로를 탑재함으로써 억세스시간이 길어지게 되어 고속의 데이터 입출력을 할 수 없다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 억세스시간을 지연시키지 않고 불량메모리셀을 구제할 수 있어 고속으로 데이터 입출력을 수행할 수 있는 반도체 기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명에 따른 반도체 기억장치는, 억세스시의 어드레스 순서가 미리 결정되어 있는 반도체 기억장치에 있어서, 각각에 고유의 어드레스번지가 할당된 복수의 메모리셀로 구성되는 메모리셀 어레이와, 상기 메모리셀 어레이 내의 불량메모리셀을 치환구제하기 위하여 용장 어드레스번지가 할당된 용장 메모리셀, 1사이클마다 어드레스번지를 나타내는 어드레스신호를 절환하고, 미리 결정된 순서의 어드레스번지에 따라 상기 메모리셀 어레이를 억세스하는 수단, 상기 불량메모리셀의 어드레스번지의 n사이클 전에 억세스되는 어드레스번지를 기억하는 어드레스 기억회로, 상기 어드레스 기억회로에

기억되어 있는 어드레스번지와 억세스중의 어드레스번지를 어드레스신호를 이용하여 비교하는 비교회로 및, 상기 비교회로에 있어 어드레스번지가 일치한 경우, 상기 불량메모리셀의 어드레스번지가 억세스되는 사이클로 상기 용장 어드레스번지를 나타내는 어드레스신호를 출력하는 수단을 구비하여 구성된 것을 특징으로 한다.

여기서, 본 발명의 바람직한 실시예로서는 다음의 것을 들 수 있다.

(1) 어드레스신호를 자동적으로 발생시키는 어드레스신호 발생회로를 구비한 것.

(2) 어드레스신호 발생회로가 발생하는 초기어드레스신호를 설정하는 어드레스 설정회로를 구비하고, 이 어드레스 설정회로는 억세스 선두어드레스번지의 n사이클 전의 어드레스번지를 나타내는 어드레스신호를 초기어드레스신호로서 설정하며, 어드레스 발생회로는 억세스 개시전의 n사이클분의 더미사이클 중에 어드레스신호를 발생하는 것인 것.

(3) 구제정보를 대응하는 사이클에서 출력하는 수단은, 대응하는 사이클에서 어드레스신호의 절환과 동시에 또는 앞서 출력하는 것인 것.

(4) 용장메모리셀은 용장열을 구성하고, 어드레스 기억회로는 불량 열어드레스를 기억하는 것인 것.

(5) 상기 용장메모리셀은 용장행을 구성하고, 어드레스 기억회로는 불량 행어드레스를 기억하는 것인 것.

[작용]

상기와 같이 구성된 본 발명은, 미리 n사이클 후의 어드레스신호가 불량어드레스와 일치하는가의 여부를 검출해 두고, 그 검출정보(구제정보)가 n사이클 후 어드레스신호에서 늦어지게 되는 것 없이 출력된다. 따라서, 본 발명에 의하면, 불량메모리셀을 구제하기 위해 억세스시간이 길어지게 되는 것을 방지할 수 있고, 불량메모리셀 구제를 위한 용장메모리를 구비한 반도체 기억장치에 있어서, 용장메모리를 구비하지 않은 반도체 기억장치와 억세스시간을 동등하게 할 수 있다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도는, 본 발명의 1실시예에 따른 반도체 기억장치의 개략구성을 나타낸 블록도로서, 용장부를 포함하는 메모리셀 어레이(1)에 대해 데이터 기록과 데이터 독출을 수행하기 위한 데이터 래치회로(2)가 설치되어 있다. 열선택회로(3)에 의해 선택된 어드레스의 데이터 래치회로(2)와 데이터 입출력단자(7;I/O패드) 사이의 데이터의 전송은 데이터 입출력 버퍼(6)를 매개로 수행된다. 어드레스신호는 어드레스신호 발생회로(5)에 의해 연속적으로 발생되고, 그 선두어드레스는 외부로부터 지정된다. 어드레스신호는 용장부 선택회로(4)에 입력되고, 열용장부를 선택할 경우는 용장부 선택신호를 발생시켜, 어드레스신호 발생회로(5)의 출력어드레스 신호에서의 열선택을 비활성화한다. 또한, 메모리셀 어레이(1)의 워드선을 구동시키기 위한 행디코더(8)가 설치되어 있다.

제2도와 제3도에 데이터 래치회로(D.L.)를 포함하는 데이터 래치회로부(2)와 열선택회로(3)의 구체적인 구성을 도시한다. 제2도는 우수열번지의 I/Oi(i=0~7)에 대응하는 부분을 나타내고 있다. 제3도는 기수열번지의 대응하는 부분이다. 데이터 래치회로(2)는 n채널 MOS트랜지스터(Qn1~Qn10,Qn11~Qn20)의 열선택 트랜지스터를 매개로 데이터 입출력선(IOiI,IOiLB,IOiR,IOiRB)에 접속된다. 열선택 트랜지스터의 게이트는 열선택회로(3)의 출력을 받는 것으로 되어 있다.

NAND회로(G1,G2,G8,G9)와 인버터(I1,I2,I9,I10)는 용장부를 선택하기 위한 것이기 때문에, 용장 열어드레스신호(CSKX(K=1,2,X=L,R))와 용장 열활성화신호(CENBRDX(X=L,R))를 입력으로 한다. NAND회로(G3~G5,G10~G12)와 인버터(I3~I5,I11~I13)는 통상 열을 선택하기 위한 것이기 때문에, 어드레스신호 (X)AiSX,AiSXB(i=1~7,X=L,R)내의 어드레스에 대응하는 7개의 신호와, 통상 열활성화신호(CENBX(X=L,R))를 입력으로 한다.

NAND회로(G6,G13)와 인버터(I6,I14)는 CENBRDX를 출력하는 회로에서 용장부 선택회로(RECLMX(X=L,R))와, 열활성화신호(CENB) 및, 열선택 중지신호(CXSTOPB(X=L,R))를 입력으로 한다. NAND회로(G7,G14)와 인버터(I7,I8,I15,I16)는 CENBX를 출력하는 회로로서, 용장 열활성화신호(CENBRDX)를 출력하는 회로와는 NAND회로의 신호(RECLMX)의 입력이 반전하고 있는 것이 다르다. 본 실시예에서는 직열 억세스 고속화 때문에 우수열번지와 기수열번지의 데이터 래치회로가 동시에 선택된다.

본 발명의 목적을 달성하기 위해 어드레스신호와, 용장부 선택신호, 용장열어드레스신호 및, 열활성화신호는 제4도(a)에 도시된 바와 같이 발생된다. 제4b도는 종래예이다. 종래에는 불량 열어드레스를 용장부 선택회로에서 퓨즈등으로 기억시키고 있었다. 이 때문에, 어드레스신호가 출력되고나서 용장부를 선택하는가의 여부를 검출해서 용장부 선택신호나 용장 열어드레스신호가 출력되기까지에서 타이밍(t_{AR})이 발생되고 있었다.

본 실시예에 있어서는, 1사이클 전의 열어드레스신호에서 다음 사이클의 열어드레스가 불량 열어드레스인가의 여부를 검출하고, 다음 사이클의 어드레스신호가 출력됨과 동시에 용장부 선택신호나 용장 열어드레스신호를 출력한다. 이 때문에, 제4a도에서 보여지는 바와 같은 타이밍(t_{AR})은 생기지 않게 되어 고속으로 억세스할 수 있도록 된다. 이 때문에, 용장부 선택회로에서는 불량 어드레스가 출력되는 1사이클 전의 열어드레스를 기억시켜 놓는다.

제4a도와 제4b도에서, t_{RS}는 용장부 선택신호 또는 용장열어드레스신호가 출력되고나서 열을 활성화하기까지의 시간이고, t_{SH}는 열활성화 시간이며, t_{SA}는 열이 비활성화 되고나서 다음의 열 어드레스신호를 출력하기까지의 시간이다.

제5도와 제6도는 어드레스신호 발생회로(5)의 구체적인 회로구성을 나타낸 것으로, 제5도는 최하위 열어드레스(A0S,A0SB) 신호발생회로를 도시하고 있다. 이 회로는 초기치 설정가능 카운터회로와 레지스터회로

로서 주로 구성된다. 신호(DIN0)는 선두어드레스의 최하위이다. 신호(AINPC,AINPCB)를 각각 H와 L로 하여 선두어드레스를 설정한다. 카운터업신호(Ø0,Ø0(bar))가 H와 L로 되면, 인버터(I20,I21)로 구성되는 레지스터에서 카운터의 출력이 취입되고, L과 H로 되면 카운트업 된다. 또한, DIN0에 의해 인버터(I24,I25)로 구성되는 레지스터는 선두어드레스가 기수인가 우수인가를 기억한다.

제6도는 어드레스신호(AiSX,AiSBX(i=1~7,X=L,R)) 발생회로이다. 이 회로는, 주로 초기치 설정 가능한 카운터회로와 레지스터회로로 구성된다. 신호(DINi(i=1~7))는 선두어드레스 데이터이다. Øi(i=1~7)와 CNTINV는 각각 카운트업신호와 카운터 어드레스 반전신호이다. 신호(AiSC(i=1~7))는 카운터 어드레스이다. 신호(ACUP1,ACUPB1)는 인버터(I36,I37)로 구성되는 레지스터(R1)에서 카운터 출력을 취입하기 위한 신호로서, ACUP1과 ACUPB1이 각각 H와 L로 되면 취입되고, 각각 L과 H로 되는 것으로 래치한다.

신호(ACUP2,ACUPB2)는 인버터(I39,I39)로 구성되는 레지스터(R2)에서 카운터 출력을 취입하기 위한 신호이다. 신호(SKX,SKXB(K=1,2,X=L,R))는 레지스터(RK(K=1,2))의 출력을 어드레스신호(AiSX,AiSBX(X=L,R))로서 출력하기 위한 신호로서, 예컨대 SIL이 H이고, S1LB가 L로 되면, 레지스터(R1)의 출력이 AiSL과 AiSBL로서 출력된다.

제7도는 어드레스 카운터의 카운트업신호(Ø0,Ø0(bar),Øi(i=1~7))를 출력하는 회로의 구성을 도시한 것이다. Ø1는 카운트업펄스(PULC)로 구동된다. Øi(i=2~7))는 그 i번째 카운터 어드레스(AiSC)보다 하위의 카운터 어드레스가 전부 H인 경우에만 카운트업펄스(PLUC)를 받아 구동된다. 신호(Ø0,Ø0(bar))는 직열 독출시에는 독출 활성화신호(REP)로, 데이터 입력시에는 기록 활성화 신호(WESB)로 구동된다. 직열 독출신호(SREAD)는 직렬 독출시에 H이고, 데이터 입력신호(DLOAD)는 데이터 입력시에 H로 된다.

제8도는 용장부 선택회로(4)의 구체적인 구성을 도시하고 있다. n채널 MOS트랜지스터(Qn59~Qn72)의 게이트에는 열어드레스신호(AiSX,AiSBX(i=1~7,X=L,R))가 입력된다. 예컨대, 불량 열어드레스가 0라면 그 1사이클 전의 열어드레스는 11111110이기 때문에 X=L의 용장부 선택회로의 퓨즈(F1~F7)를 절단한다. 1010101이면 그 1사이클 전의 열어드레스는 1010011이기 때문에 X=R의 용장부 선택회로의 퓨즈(F1,F4,F6,F9,F10,F12,F14)를 절단한다.

본 실시예에서는, 우수와 기수열 어드레스 동시 억세스에서 어드레스신호(Aisx, AiSBX(i=1~7, X=L,R))는 카운터에서 연속적으로 발생시키고 있기 때문에, 불량 열어드레스의 최하위 어드레스에 대응한 용장부 선택회로의 1사이클 전의 열어드레스에 대응하는 퓨즈를 절단한다. 또한, 본 실시예에서는 기수와 우수 각각의 열군에 대해 2열까지 구제할 수 있다.

용장부 선택회로는 신호(STAB)가 H로 활성화 되고, 불량 열어드레스의 1사이클 전에 신호(PULC)가 H로 되면, 용장 열어드레스신호(CSKX(K=1,2,X=L,R))가 H로 된다. CS1X 또는 CS2X가 H로 되면, NOR회로(G28)와 인버터(I69) 혹은 NOR회로(G29)와 인버터(I70)에 의해 용장부 선택신호(RECLMX)가 H로 된다(X=L,R).

제9도와 제10도는 데이터 입출력 버퍼(6)의 구체적인 구성이다. 입출력패드(IOPADi(i=1~7)에 입력된 데이터는 기록 활성화신호(WESB)가 L로 받아들여지게 된다. 이때, 어드레스 데이터 래치펄스(ALP)가 H이면, 입력 데이터는 어드레스 카운터의 초기치(DINi(i=0~7)로 된다.

데이터 래치펄스(DLT1)가 H로, 최하위 열어드레스(A0SB)가 H라면 우수 H로, 최하위 열어드레스(A0S)가 H라면 기수 어드레스에 대응하는 열의 데이터로서 래치된다. 데이터 래치펄스(DLT2)가 H로 되어 인버터(I90,I91,I95,I96)로 구성되는 레지스터로 데이터가 전송되어 데이터 입력신호(DLOAD,DLOADB)가 각각 H와 L이라면, 데이터는 데이터 입출력 버퍼(6)에서 출력된다.

신호(CENB1B)가 L로 되어 IOiX와 IOiXB(i=0~7,X=L,R)의 이퀄라이즈는 해제된다. 데이터 입출력선(IOiX,IOiXB)으로 데이터 래치회로(2)로부터 출력된 신호는 n채널 MOS트랜지스터(Qn96,Qn97,Qn101,Qn102)와 p채널 MOS트랜지스터(Qp62,Qp63,Qp67,Qp68,Qp69)에서 구성되는 전류미러회로에서 신호(CENB2B)가 L로 되어 감지된다.

감지된 데이터는 신호(CENB3)가 H로 되어 인버터(I100,I101,I104,I105)로 구성되는 레지스터에서 래치되고, 신호(CENB4)가 H로 되어 인버터(I72,I73,I75,I76)로 구성되는 레지스터로 전송된다. 이 데이터는 최하위 열어드레스신호(A0S,A0SB)에 의해 선택적으로, 출력회로 활성화신호(OES,OESB)가 각각 H와 L로 되어 입출력 패드(IOPADi(i=0~7)에서 출력된다.

다음에, 이와 같이 구성된 반도체 기억장치의 동작을 제11도~제14도에 따라 설명한다. 제11도와 제12도는 독출동작의 타이밍 챠트이고, 제13도와 제14도는 데이터 입출력 동작의 타이밍 챠트를 도시하고 있다. 각각 실선은 선두 어드레스가 기수열인 경우, 점선은 선두어드레스가 우수열인 경우이다.

독출동작에서는, 우선 신호(WESB)의 상승으로 외부단자(IOPADi(i=0~7))의 데이터를 선두 열어드레스로서 취입한다. 어드레스(A1SC~A7SC)용의 어드레스 카운터에서는 반전 데이터가 초기 설정된다. 이 후, 카운트업펄스(PULC)가 출력되고, 카운터 어드레스 반전신호(CNTINV)가 펄스 출력됨으로써 A1SC~A7SC용의 어드레스 카운터에서는 선두 열어드레스의 1사이클 전의 어드레스로 설정된다.

다음에, 신호(ACUP1,ACUP1B)가 각각 H와 L되어, 레지스터(R1)에 어드레스가 취입된다. 이때, 선두 어드레스가 기수인 경우, 펄스신호(PULC)가 출력되어 어드레스 카운터는 카운트업 된다. 더욱이, 신호(ACUP2,ACUP2B)가 각각 H와 L로 되어 레지스터(R2)에 어드레스가 취입된다. 레지스터(R2)에 취입되는 어드레스는 선두어드레스가 기수인 경우 카운트업된 어드레스와 선두 어드레스가 우수인 경우 레지스터(R1)와 같은 어드레스이다.

이후의 동작에서는, 펄스신호(PLUC)가 출력될 때, 신호(ACUP1/ACUP1B,ACUP2/ACUP2B)는 교대로 반드시 출력된다. 또한, 펄스신호(PULC)의 상승이 하강에 일치되어 신호(SKX,SKXB(K=1,2,X=L,R))는 도시한 바와 같이 출력된다.

이상 설명한 동작에 의해, AiSX, AiSBX(i=1~7,X=L,R)에서는 선두 어드레스의 1사이클 전의 어드레스신호가 출력된다. 따라서, 다음에 펄스신호(PULC)가 출력되고, H로 된 시점에서 선두어드레스 열이 불량열인

경우, 용장 열어드레스(CSKX)가 H로 되어 용장부 선택회로(RECLMX)가 H가 된다.

다음에, 데이터 래치회로(2)의 데이터를 외부단자(IOPADi)로 출력하는 사이클로 된다. 펄스신호(PULC)가 출력되고, 어드레스신호가 출력된다. 이 어드레스가 불량 열인 경우는 신호(CSKX,RECLMX)가 먼저 출력된다. 신호(CENB1B,CENB2B)가 L로 되고, 열활성화신호(CENB)가 H로 되어 신호(CENB3)가 H로 되면 인버터(I100,I101,I104,I105)로 구성되는 레지스터에 데이터 래치회로(2)의 데이터가 래치된다.

이 래치된 데이터는 독출 활성화신호(REP)가 H로 되고, 신호(CENB4)가 H가 되어 출력회로 활성화신호(OES,OESB)가 각각 H와 L로 되면 외부출력단자(IOPADi)로 출력된다. 신호(REP)에 동기하여 최하위 열어드레스(AOS,AOSB)가 절환된다. 또한, 신호(REP)의 기수번째의 상승에 동기하여 CENB4에서 펄스가 출력되고, 내부에서의 1사이클이 기동된다.

제13도와 제14도의 데이터 입출력 동작에 대해서 설명한다. 데이터 입력동작에 앞서 열어드레스가 1사이클전의 어드레스로 설정되는 부분을 데이터 독출동작과 마찬가지다. 선두 어드레스를 취입한 후, 데이터 입력신호(DLOAD,DLOADB)가 H와 L로 된다. 신호(WESB)에서 동기하여 최하위 열어드레스(AOS,AOSB)가 절환되어 데이터 래치 펄스(DLT1)가 출력된다. 최하위 열어드레스와 펄스(DLT1)에 의해 IOPADi로부터의 입력데이터는 우수/기수열의 데이터로서 취입되고, 우수번째의 펄스(DLT1)에서 동기하여 펄스(DLT2)가 출력되며, 데이터 입출력선(IOiX,IOiXB(i=0~7,X=L,R))으로 기록 데이터가 출력된다.

또한, 펄스(DLT2)에 동기하여 펄스(PULC)가 출력되어 열어드레스가 절환되고, 다음의 펄스(DLT2)가 출력되기까지에 열활성화신호(CENB)가 출력된다. 신호(DLOAD)가 H로 된 후의 우수번째의 WESB펄스의 상승으로 내부의 1사이클이 기동된다.

어드레스신호(AiSX,AiSBX)는 사이클 초기에 출력되고, 용장 열어드레스신호(CSKX)는 이것보다 빠르게 출력된다. 용장 열어드레스신호(CSKX)는 지연시간을 대기시키는 것으로 사이클의 초기에 어드레스신호(AiSX,AiSBX)와 동시에 출력시키는 것도 용이하게 가능하다.

예컨대, 선두 열어드레스가 기수열인 경우 또는 우수개의 데이터 입력인 경우, 기수번째의 WESB펄스 후, 데이터 입력을 하지 않는 쪽의 열선택 중지신호(CXSTOPB(X=L,R))가 L로 되어 최후의 데이터 입력 사이클을 기동시킨다. 제13도와 제14도에서는 선두 열어드레스에 관계없이 기수개의 데이터 입력이 되는 경우를 도시하고 있지만, 데이터 입력이 우수개인 경우는 통상의 재부 1사이클이 기동되어 최후의 사이클이 종료된다.

제15도는 열어드레스(AiSX,AiSBX(i=1~7,X=L,R))의 카운트업 되는 쪽을 도시하고 있다. 제11도와, 제12도, 제13도 및, 제14도와 마찬가지로, 선두 어드레스가 우수인 경우를 점선으로, 기수인 경우를 실선으로 나타내고 있다. 열어드레스는 제15도의 상부에서 하부 방향으로 점선 또는 실선으로 연결되어 있는 어드레스가 조로 되어 발생된다.

이와 같이 본 실시예에서는, 데이터 독출/데이터 입력시에 1사이클 전의 어드레스로 다음 사이클의 어드레스가 용장부에서 치환을 한 열인가의 여부를 검출하기 때문에 1사이클을 단축할 수 있어 고속으로 데이터 출력이 수행되는 반도체 기억장치를 얻을 수 있다.

또한, 본 발명은 상술한 실시예에 한정되는 것은 아니다. 실시예에서는 어드레스 기억회로에 있어서 불량 어드레스와 일치하는 어드레스신호가 출력되는 사이클보다 1사이클 전의 어드레스를 기억했지만, 반드시 1사이클 전으로 제한되지는 않고, n사이클 전의 어드레스를 기억하도록 하면 된다. 또한, 어드레스신호 발생회로는 반드시 내부에 갖출 필요는 없고, 외부에서 어드레스신호를 입력하도록 해도 된다. 또한, 메모리셀 어레이로서는 DRAM과, SRAM, EEPROM 및, 그외 다른 종류의 반도체 메모리에 적용할 수 있다. 그외, 본 발명의 요지를 이탈하지 않는 범위내에서 여러가지로 변형하여 실시할 수 있다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 미리 n사이클 후의 어드레스신호가 불량 어드레스와 일치하는가의 여부를 검출하여 두고, 그 검출정보(구제정보)를 n사이클 후에 어드레스신호에서 늦어지는 것 없이 출력함으로써 억세스 시간을 늦어지게 하지 않고 불량메모리셀을 구제할 수 있어 고속으로 데이터 입출력을 수행할 수 있는 반도체 기억장치를 실현할 수 있게 된다.

(57) 청구의 범위

청구항 1

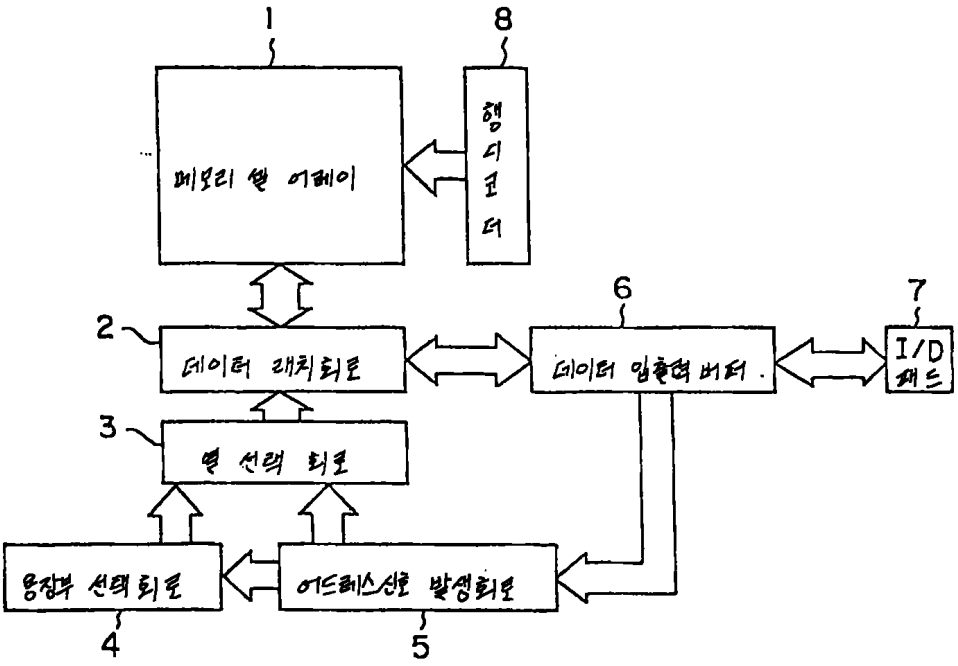
각각에 고유의 어드레스번지가 할당된 복수의 메모리셀로 구성되는 메모리셀 어레이와, 상기 메모리셀 어레이 내의 불량메모리셀을 치환해서 구제하기 위하여 용장 어드레스번지가 할당된 용장 메모리셀, 1사이클마다 어드레스번지를 나타내는 어드레스신호를 절환하고, 미리 결정된 순서의 어드레스번지에 따라 상기 메모리셀 어레이를 억세스하는 수단, 상기 불량메모리셀의 어드레스번지의 n사이클 전에 억세스되는 어드레스 번지를 기억하는 어드레스 기억회로, 상기 어드레스 기억회로에 기억되어 있는 어드레스번지와 억세스중의 어드레스번지를 어드레스신호를 이용하여 비교하는 비교회로 및, 상기 비교회로에 있어 어드레스번지가 일치한 경우, 상기 불량메모리셀의 어드레스번지가 억세스되는 사이클로 상기 용장 어드레스번지를 나타내는 어드레스신호를 출력하는 수단을 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 2

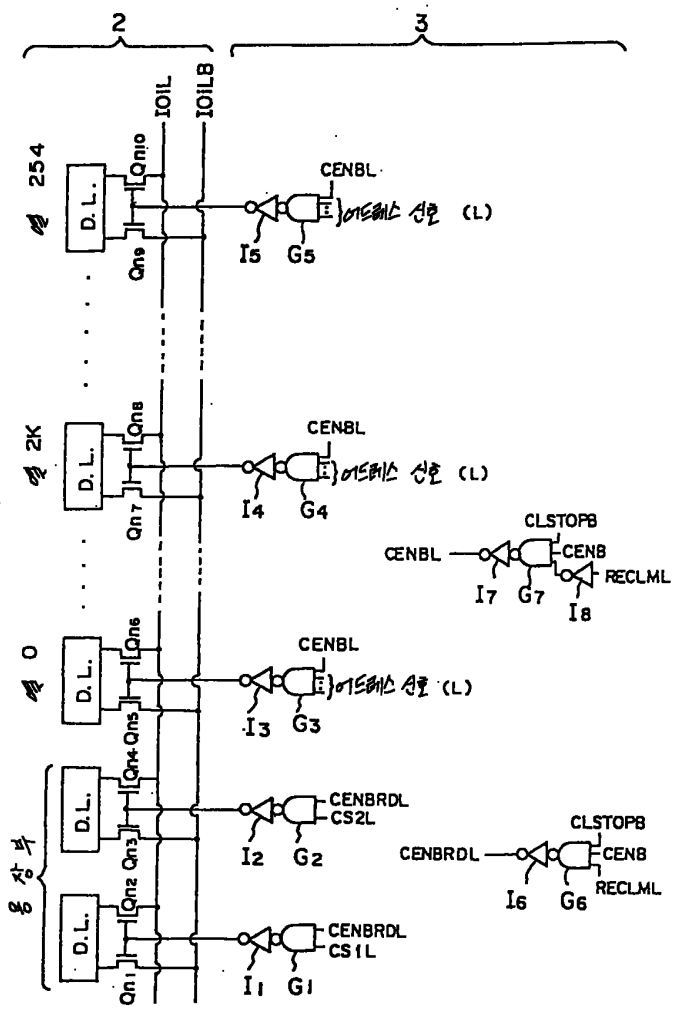
제1항에 있어서, 상기 어드레스신호를 자동적으로 발생시키는 어드레스신호 발생회로와, 상기 어드레스신호 발생회로가 발생하는 초기 어드레스신호를 설정하는 어드레스 설정회로를 구비하여 구성되고, 상기 어드레스 설정회로는 억세스 선두 어드레스번지의 상기 n사이클 전의 어드레스번지를 나타내는 어드레스신호를 초기 어드레스신호로 설정하고, 상기 어드레스 발생회로는 억세스 개시전의 상기 n사이클분의 더미사이클중에 어드레스신호를 발생시키는 것을 특징으로 하는 반도체 기억장치.

도면

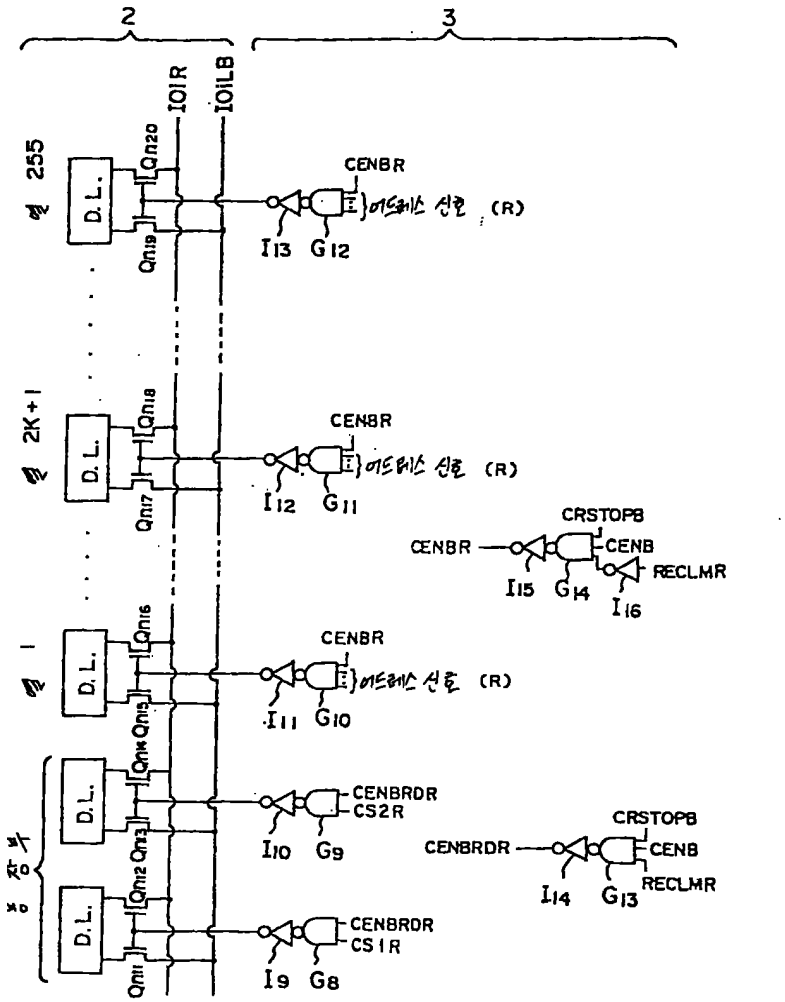
도면1


1
8
메모리 셀 어레이
행 디코더
2
데이터 래치회로
6
데이터 입출력 버퍼
7
I/O 패드
3
열 선택 회로
용장부 선택회로
어드레스신호 발생회로
4
5

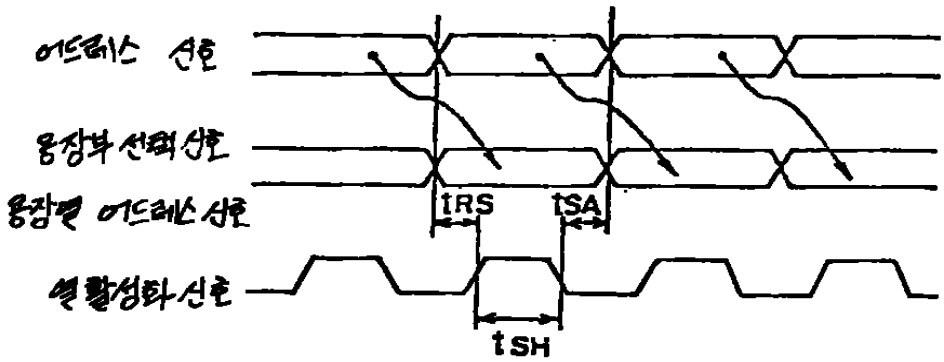
도면2


2
3
IOIL
IOILB
254
2K
0
D.L.
Qn10
Qn9
Qn8
Qn7
Qn6
Qn5
Qn4
Qn3
Qn2
Qn1
CENBL
어드레스 신호 (L)
I5 G5
I4 G4
I3 G3
CLSTOPB
CENB
RECLML
I7 G7
I8
CENBRDL
CS2L
CS1L
I2 G2
I1 G1
I6 G6
용장부

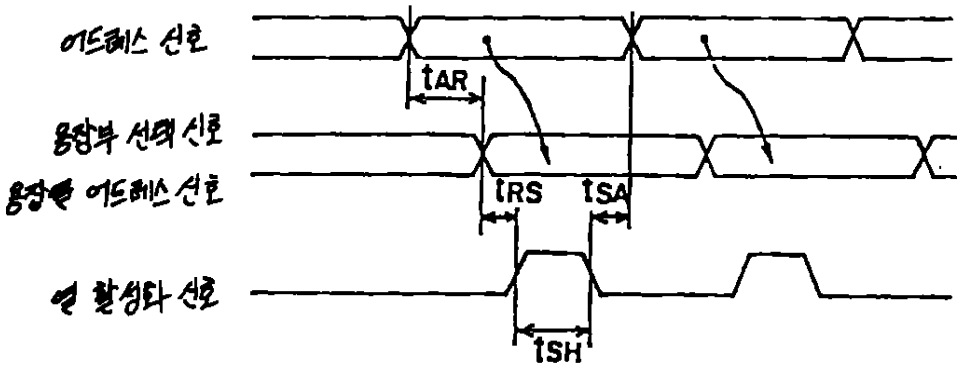
도면3


2
3
101R
101LB
255
2K+1
1
D.L.
Qn20
Qn19
Qn18
Qn17
Qn16
Qn15
Qn14
Qn13
Qn12
Qn11
CENBR
어드레스 신호 (R)
I13 G12
I12 G11
I11 G10
CRSTOPB
CENB
RECLMR
I15 G14
I16
CENBRDR
CS2R
CS1R
I10 G9
I14 G13
I9 G8

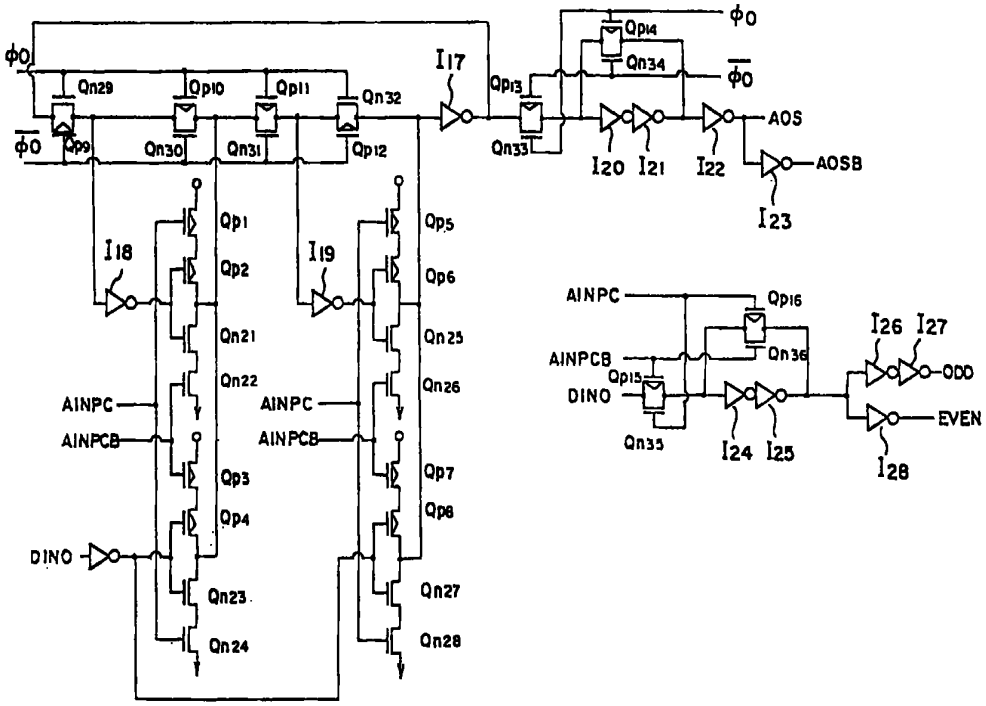
도면4a


어드레스 신호
용장부 선택 신호
용장셀 어드레스 신호
셀 활성화 신호
tRS
tSA
tSH

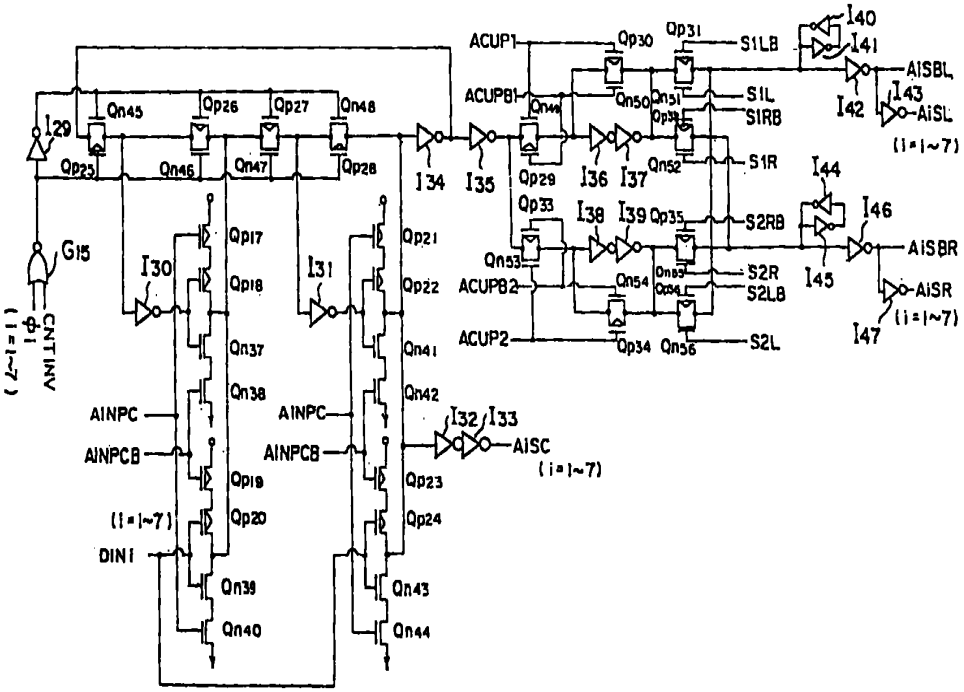
도면4b


어드레스 신호
tAR
용장부 선택 신호
용장용 어드레스 신호
tRS
tSA
열 활성화 신호
tSH

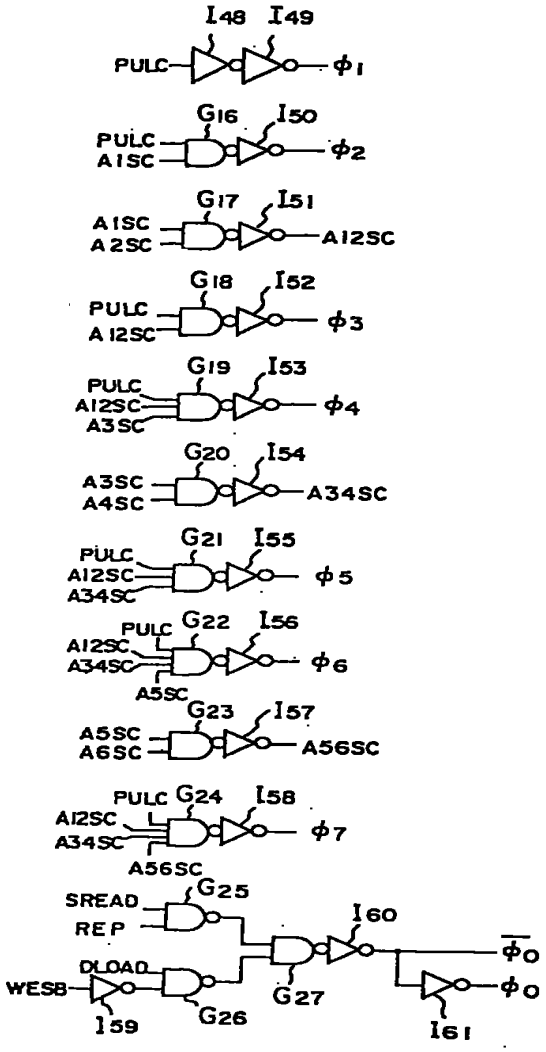
도면5


ϕ0
Qn29
Qp10
Qp11
Qn32
I17
Qp13
Qp14
Qn34
ϕ0
ϕ0
Qp9
Qn30
Qn31
Qp12
Qn33
I20 I21
I22
AOS
AOSB
I23
Qp1
Qp2
I18
I19
Qp5
Qp6
Qn21
Qn22
Qn25
Qn26
AINPC
AINPCB
AINPC
AINPCB
Qp3
Qp4
Qp7
Qp8
DINO
Qn23
Qn24
Qn27
Qn28
AINPC
Qp16
AINPCB
Qn36
Qp15
DINO
Qn35
I24 I25
I26 I27
ODD
EVEN
I28

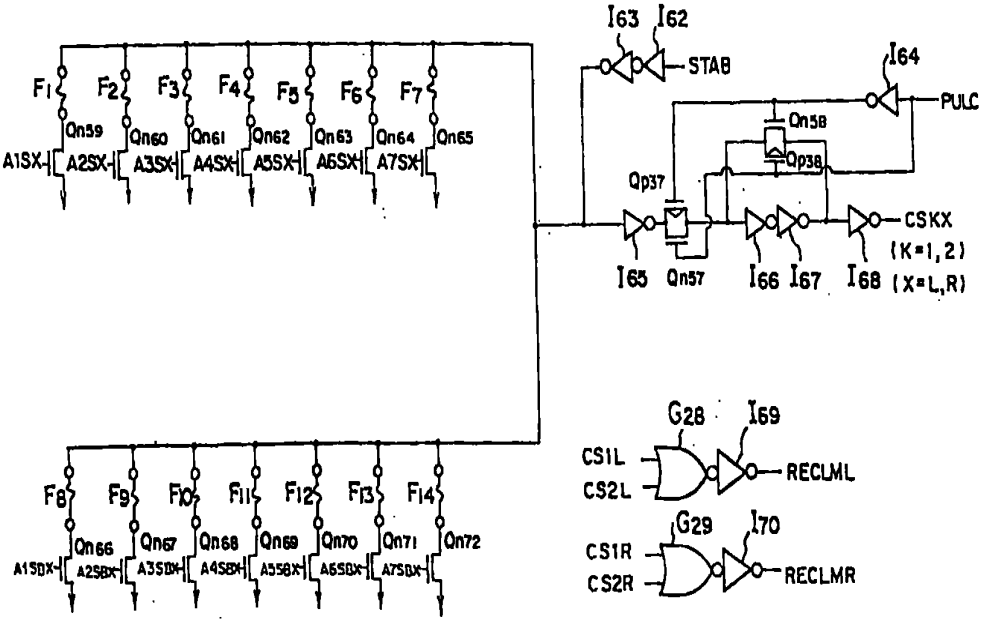
도면6


ACUP1
ACUPB1
ACUPB2
ACUP2
S1LB
S1L
S1RB
S1R
S2RB
S2R
S2LB
S2L
AISBL
AISBR
AISC
AINPC
AINPCB
DIN1
CNTINV
(i=1~7)

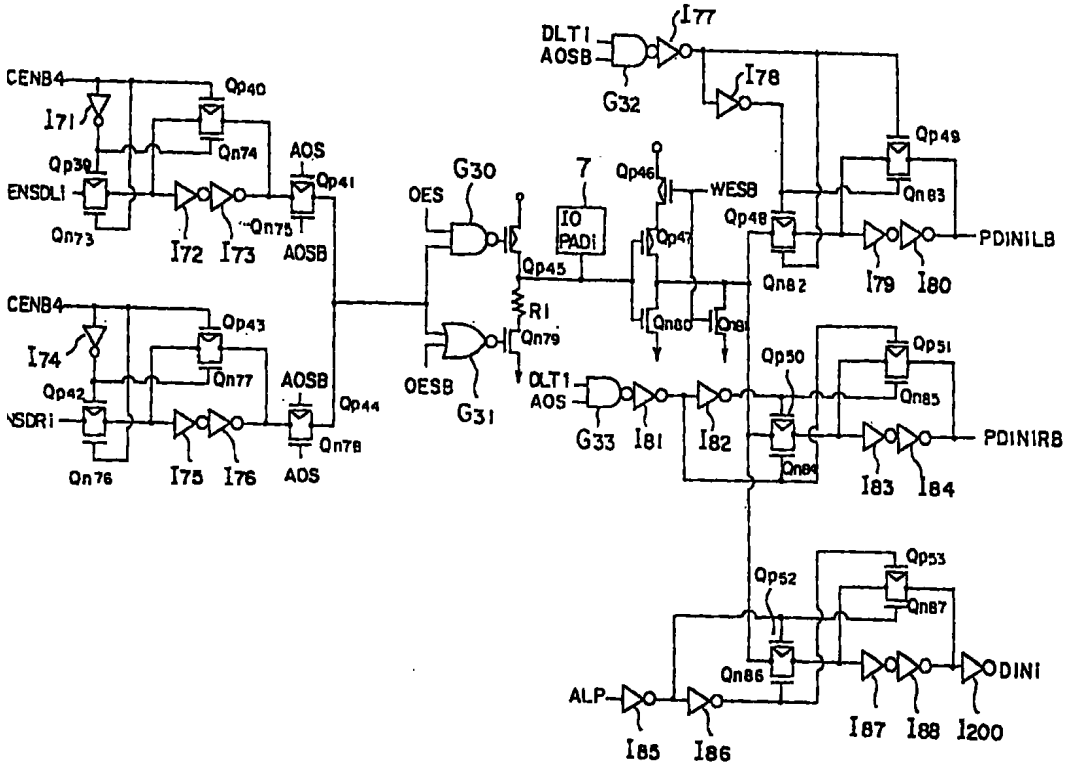
도면7


I48
I49
PULC
φ1
G16
I50
PULC
A1SC
φ2
G17
I51
A1SC
A2SC
A12SC
G18
I52
PULC
A12SC
φ3
G19
I53
PULC
A12SC
A3SC
φ4
G20
I54
A3SC
A4SC
A34SC
G21
I55
PULC
A12SC
A34SC
φ5
PULC
G22
I56
A12SC
A34SC
φ6
A5SC
G23
I57
A5SC
A6SC
A56SC
PULC
G24
I58
A12SC
A34SC
φ7
A56SC
G25
SREAD
REP
I60
φ0
DLOAD
WESB
G27
φ0
I59
G26
I61

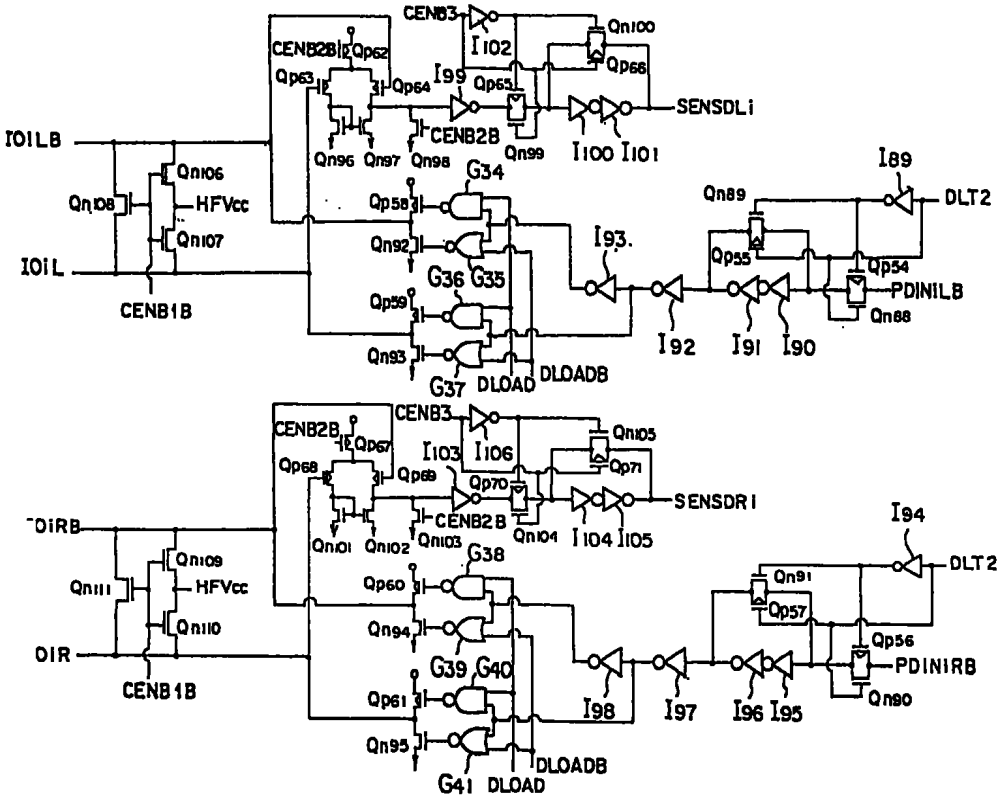
도면8


I63
I62
STAB
I64
PULC
F1
F2
F3
F4
F5
F6
F7
Qn59
Qn60
Qn61
Qn62
Qn63
Qn64
Qn65
A1SX
A2SX
A3SX
A4SX
A5SX
A6SX
A7SX
Qn58
Qp38
Qp37
CSKX
(K=1,2)
I65
Qn57
I66
I67
I68
(X=L,R)
G28
I69
CS1L
CS2L
RECLML
G29
I70
CS1R
CS2R
RECLMR
F8
F9
F10
F11
F12
F13
F14
Qn66
Qn67
Qn68
Qn69
Qn70
Qn71
Qn72
A1SBX
A2SBX
A3SBX
A4SBX
A5SBX
A6SBX
A7SBX

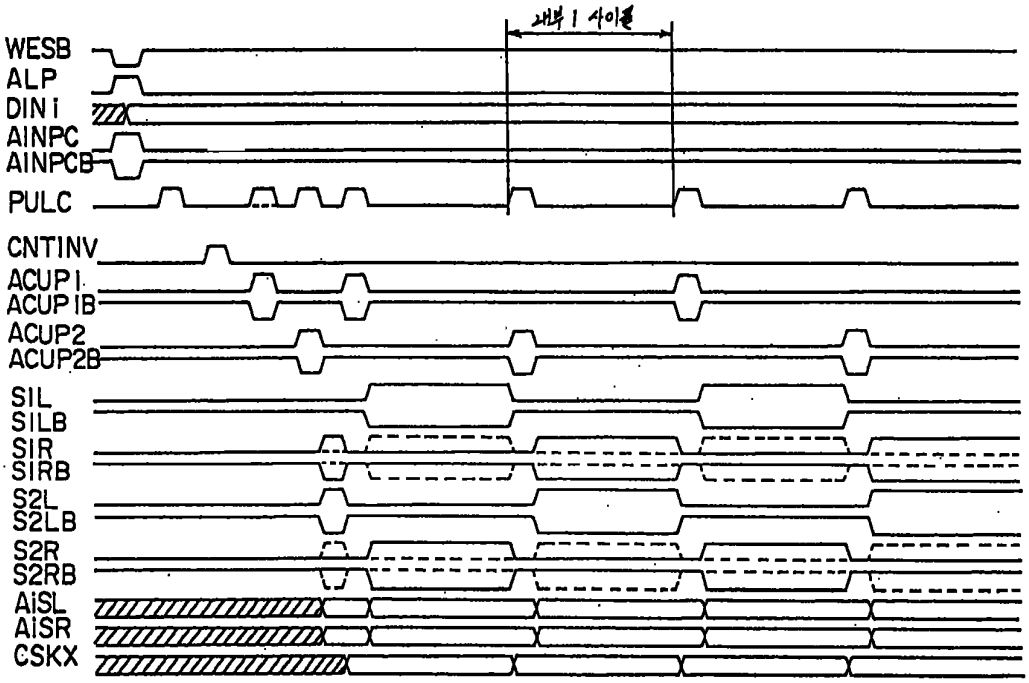
도면9


DLT1
AOSB
I77
G32
I78
CENB4
Qp40
I71
Qn74
Qp39
ENSDL1
Qn73
AOS
Qp41
I72
I73
Qn75
AOSB
G30
OES
7
IO
PAD1
Qp46
WESB
Qp47
Qp48
Qp49
Qn83
PDINILB
Qp45
Qn82
I79
I80
R1
Qn79
Qn80
Qn81
CENB4
Qp43
I74
Qn77
Qp42
NSDR1
Qn76
AOSB
Qp44
Qn78
I75
I76
AOS
OESB
G31
DLT1
AOS
G33
I81
I82
Qp50
Qp51
Qn85
Qn84
PDINIRB
I83
I84
Qp52
Qp53
Qn87
Qn86
ALP
I85
I86
I87
I88
I200
DINI

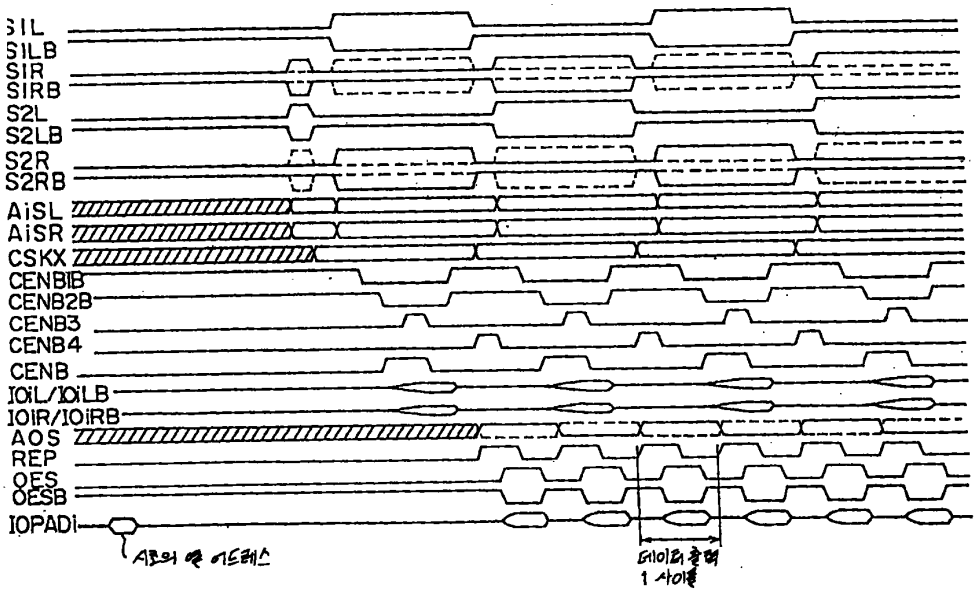
도면10


CENB3
I102
Qn100
CENB2B
Qp62
Qp63
Qp64
I99
Qp65
Qp66
SENSDLi
CENB2B
Qn96 Qn97 Qn98
Qn99
I100 I101
I01LB
Qn106
Qn108
HFVcc
Qn107
I01L
CENB1B
G34
Qp58
Qn92
G36 G35
Qp59
Qn93
G37
DLOAD
DLOADB
I93.
I92
I91
I90
I89
Qn89
DLT2
Qp55
Qp54
PDINILB
Qn88
CENB2B
CENB3
Qp67
I103
I106
Qn105
Qp68
Qp69
Qp70
Qp71
SENSDRI
CENB2B
Qn101 Qn102 Qn103
Qn104
I104 I105
DIRB
Qn109
Qn111
HFVcc
Qn110
DIR
CENB1B
G38
Qp60
Qn94
G39 G40
Qp61
Qn95
G41
DLOAD
DLOADB
I98
I97
I96 I95
I94
DLT2
Qn91
Qp57
Qp56
PDINIRB
Qn90

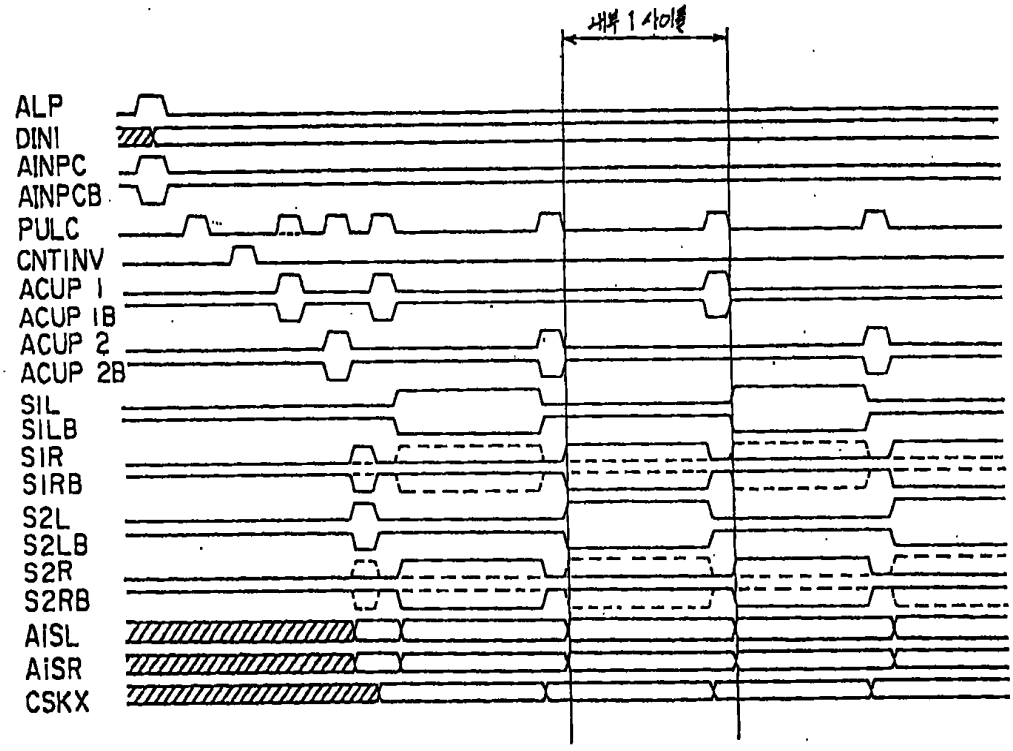
도면11


WESB
ALP
DINi
AINPC
AINPCB
PULC
CNTINV
ACUP1
ACUP1B
ACUP2
ACUP2B
SIL
SILB
SIR
SIRB
S2L
S2LB
S2R
S2RB
AiSL
AiSR
CSKX

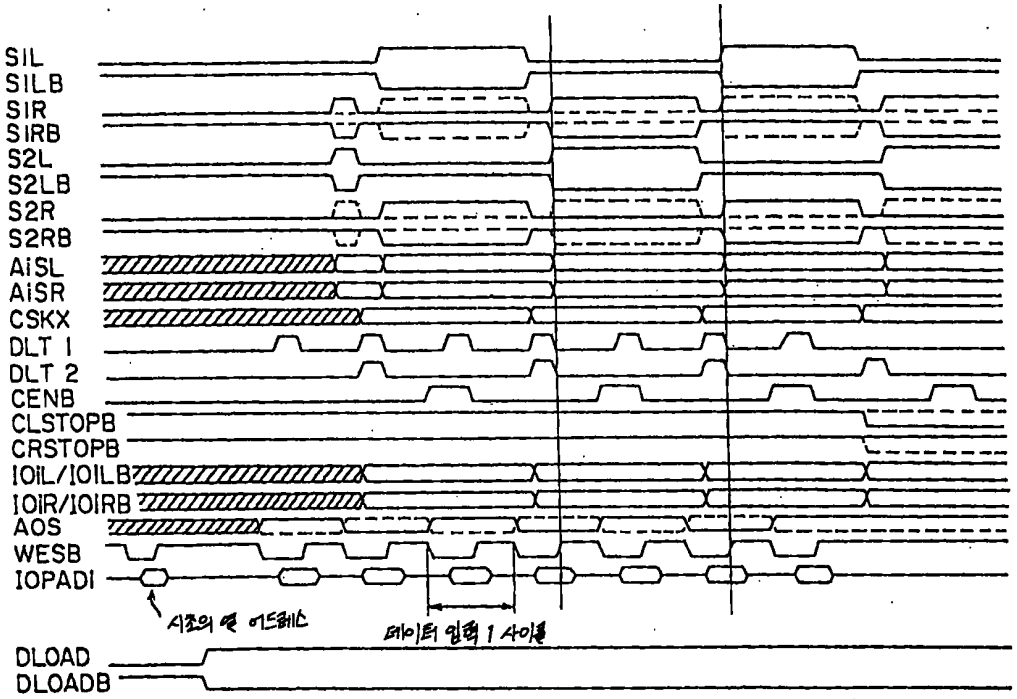
도면12


SIL
SILB
SIR
SIRB
S2L
S2LB
S2R
S2RB
AiSL
AiSR
CSKX
CENBIB
CENB2B
CENB3
CENB4
CENB
IOiL/IOiLB
IOiR/IOiRB
AOS
REP
OES
OESB
IOPADi
시프터 출력 어드레스
데이터 출력 1 사이클

도면13


내부 1 사이클
ALP
DINI
AINPC
AINPCB
PULC
CNTINV
ACUP 1
ACUP 1B
ACUP 2
ACUP 2B
SIL
SILB
SIR
SIRB
S2L
S2LB
S2R
S2RB
AISL
AiSR
CSKX

도면14



도면15

어드레스 AISL (I=1~7) 어드레스 AISR (I=1~7)

