

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4136495号
(P4136495)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl.	F I
G06F 17/50 (2006.01)	G06F 17/50 660M
	G06F 17/50 652A
	G06F 17/50 658K
	G06F 17/50 658N
	G06F 17/50 666C

請求項の数 16 (全 36 頁)

(21) 出願番号	特願2002-192593 (P2002-192593)	(73) 特許権者	000005108
(22) 出願日	平成14年7月1日(2002.7.1)		株式会社日立製作所
(65) 公開番号	特開2003-122809 (P2003-122809A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成15年4月25日(2003.4.25)	(74) 代理人	110000198
審査請求日	平成17年6月3日(2005.6.3)		特許業務法人湘洋内外特許事務所
(31) 優先権主張番号	特願2001-240077 (P2001-240077)	(72) 発明者	小松 豊彦
(32) 優先日	平成13年8月8日(2001.8.8)		神奈川県川崎市麻生区王禅寺1099番地
(33) 優先権主張国	日本国(JP)		株式会社日立製作所 システム開発研究所内
		(72) 発明者	大坂 英樹
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所 システム開発研究所内
		審査官	早川 学

最終頁に続く

(54) 【発明の名称】 方向性結合器を含む回路の設計支援装置、その設計支援プログラム、及び回路の設計方法

(57) 【特許請求の範囲】

【請求項1】

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品相互の結線を示す回路図の設計支援装置において、

前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルが記憶されているシンボル記憶手段と、

前記シンボル記憶手段に記憶されている各種シンボルのうち、いずれのシンボルを配置するかの指示を受け付けると共に、該シンボルの配置位置を受け付けて、該シンボルを受け付けた配置位置に配置するシンボル配置手段と、

前記シンボル配置手段で配置されたシンボル、及び該シンボルの配置位置を記憶する回路図情報記憶手段と、

前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手段と、

前記シンボル配置手段で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付手段で受け付けた前記結合器属性情報を記憶する属性情報記憶手段と、

を備えていることを特徴とする設計支援装置。

【請求項2】

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品の配置、及び部品相互の結線の配置を示す回路レイアウト図の設計支援装置において、

前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手段と、

前記属性情報受付手段で受け付けた前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置手段と、

二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック手段と、

前記配線間隔チェック手段によるチェック対象を受け付け、受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック手段のチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック手段のチェック対象とするチェック対象抽出手段と、

を備えていることを特徴とする設計支援装置。

【請求項 3】

請求項 2 に記載の設計支援装置において、

前記方向性結合器を含む複数の部品がシンボルで示されていると共に、部品相互の結線が示されている回路図の情報を受け付ける回路図情報受付手段を備え、

前記部品配置手段は、前記回路図情報受付手段が受け付けた前記回路図情報中のシンボルに関する配置を受け付けると、前記属性情報受付手段が受け付けた前記結合器属性に基づいて、該シンボルが前記方向性結合器であるか否かを判断し、該シンボルが該方向性結合器であると判断すると、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を配置する、

ことを特徴とする設計支援装置。

【請求項 4】

請求項 2 及び 3 のいずれか一項に記載の設計支援装置において、

各種情報を表示する表示手段を備え、

前記属性情報受付手段は、前記方向性結合器の前記平行信号線長の変更を受け付け、

前記部品配置手段は、変更後の前記平行信号線長で前記方向性結合器を配置した場合、該方向性結合器の配置位置に他の部品が存在する場合には、前記表示手段に方向性結合器の配置不可を表示させるか、又は該他の部品を移動してもよいかの旨を表示させる、

ことを特徴とする設計支援装置。

【請求項 5】

請求項 1 から 4 のいずれか一項に記載の設計支援装置において、

回路を動作させたときの状態を仮想的に実行する回路シミュレータ手段と、

前記回路シミュレータ手段によるシミュレートで得られた前記方向性結合器のクロストーク信号の振幅と予め定められた振幅範囲とを比較し、該シミュレートで得られたクロストーク信号の振幅が該予め定めた振幅範囲外であれば、該シミュレートで得られたクロストーク信号の振幅が該予め定めた振幅範囲内になるまで、該方向性結合器の新たな平行信号線長の設定と、設定した平行信号線長で該回路シミュレータ手段によるシミュレートと、を繰り返す信号線長設定手段と、

を備えていることを特徴とする設計支援装置。

【請求項 6】

請求項 1 に記載の設計支援装置と、

請求項 2 から 4 のいずれか一項に記載の設計支援装置と、

を備え、

10

20

30

40

50

請求項 2 から 4 のいずれか一項に記載の前記設計支援装置は、請求項 1 に記載の前記設計支援装置により作成された前記回路図を受け取って、該回路図に基づいて、前記レイアウト図を作成する、

ことを特徴とする設計支援システム。

【請求項 7】

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品相互の結線を示す回路図の設計支援をコンピュータに実行させるための設計支援プログラムにおいて、

前記コンピュータの第一の記憶領域には、前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルの形状に関するシンボルデータが予め記憶されており、

前記コンピュータの入力手段により、前記第一の記憶領域に記憶されている各種シンボルデータのうち、いずれのシンボルを配置するかの指示を受け付けると共に、該シンボルの配置位置を受け付けるシンボル配置受付手順と、

前記シンボル配置受付手順で指示された前記シンボルを、該シンボル配置受付手順で受け付けた前記配置位置に配置するシンボル配置手順と、

前記シンボル配置手順で配置されたシンボル、及び該シンボルの配置位置を前記コンピュータの第二の記憶領域に記憶する回路図情報記憶手順と、

前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手順と、

前記シンボル配置手順で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付手順で受け付けた前記結合器属性情報を前記コンピュータの第三の記憶領域に記憶する属性情報記憶手順と、

を前記コンピュータに実行させることを特徴とする設計支援プログラム。

【請求項 8】

請求項 7 に記載の設計支援プログラムにおいて、

前記方向性結合器のシンボルは、該方向性結合器に接続する配線のための端子を有し、

前記シンボル配置手順で配置された前記方向性結合器のシンボル中の前記端子に、配線の指示を受け付けると、該端子を配線の始点又は終点として、配線を配置する配線配置手順を前記コンピュータに実行させ、

前記回路図情報記憶手順では、前記配線配置手順で配置された前記配線の配置位置を前記第二の記憶領域に記憶する、

ことを特徴とする設計支援プログラム。

【請求項 9】

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品の配置、及び部品相互の結線の配置を示すレイアウト図の設計支援をコンピュータに実行させるための設計支援プログラムにおいて、

前記コンピュータの入力手段により、前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手順と、

前記属性情報受付手順で受け付けた前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置手順と、

二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック手順と、

前記入力手段により、前記配線間隔チェック手順によるチェック対象を受け付けるチェック対象受付手順と、

前記チェック対象受付手順で受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記

10

20

30

40

50

第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック手順でのチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック手段でのチェック対象とするチェック対象抽出手順と、

を前記コンピュータに実行させることを特徴とする設計支援プログラム。

【請求項 10】

請求項 9 に記載の設計支援プログラムにおいて、

前記属性情報受付手順では、前記結合器情報として、前記方向性結合器の識別情報含む結合器属性情報を受け付け、

前記チェック対象抽出手順では、前記結合器属性情報の前記識別情報に基づいて、前記チェック対象内に、前記方向性結合器が存在するか否かを判定する、

ことを特徴とする設計支援プログラム。

【請求項 11】

請求項 9 及び 10 のいずれか一項に記載の設計支援プログラムにおいて、

前記方向性結合器を含む複数の部品がシンボルで示されていると共に、部品相互の結線が示されている回路図の情報を受け付ける回路図情報受付手順を前記コンピュータに実行させ、

前記部品配置手順では、前記回路図情報受付手順で受け付けた前記回路図情報中のシンボルに関しての配置を受け付けると、前記属性情報受付手順で受け付けた前記結合器属性に基づいて、該シンボルが前記方向性結合器であるか否かを判断し、該シンボルが該方向性結合器であると判断すると、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を配置する、

ことを特徴とする設計支援プログラム。

【請求項 12】

請求項 9 から 11 のいずれか一項に記載の設計支援プログラムにおいて、

前記属性情報受付手順で受け付けた前記結合器属性情報として、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分がいずれも直線で曲がっている部分を有してはいけない旨の情報が存在する場合、前記部品配置手順では、該第一の信号線の部分及び該第二の信号線の部分を配置する過程で、他の部品の存在で該第一の信号線の部分及び該第二の信号線の部分を迂回させる必要が生じても、該第一の信号線の部分及び該第二の信号線の部分を迂回させずに、該他の部品を移動させて、該第一の信号線の部分及び該第二の信号線の部分の直線性を維持する、

ことを特徴とする設計支援プログラム。

【請求項 13】

請求項 9 から 12 のいずれか一項に記載の設計支援プログラムにおいて、

前記属性情報受付手順で受け付けた前記結合器属性情報として、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分が、回路基板の一方の面から他方の面の方向に重なり合わせる旨の情報が存在する場合、前記部品配置手順では、該第一の信号線の部分及び該第二の信号線の部分を前記方向で重なり合うように配置する

ことを特徴とする設計支援プログラム。

【請求項 14】

請求項 9 から 13 のいずれか一項に記載の設計支援プログラムにおいて、

各種情報を表示する表示手順を前記コンピュータに実行させ、

前記属性情報受付手順では、前記方向性結合器の前記平行信号線長の変更を受け付け、前記部品配置手順では、変更後の前記平行信号線長で前記方向性結合器を配置した場合、該方向性結合器の配置位置に他の部品が存在する場合には、前記表示手順で方向性結合器の配置不可を表示させるか、又は該他の部品を移動させてもよいかの旨を表示させる、

ことを特徴とする設計支援プログラム。

【請求項 15】

請求項 7 から 14 のいずれか一項に記載の設計支援プログラムにおいて、

10

20

30

40

50

回路を動作させたときの状態を仮想的に実行する回路シミュレータ手順と、
前記回路シミュレータ手順でのシミュレートで得られた前記方向性結合器のクロストーク信号の振幅と予め定められた振幅範囲とを比較し、該シミュレートで得られたクロストーク信号の振幅が該予め定めた振幅範囲外であれば、該シミュレートで得られたクロストーク信号の振幅が該予め定めた振幅範囲内になるまで、該方向性結合器の新たな平行信号線長の設定と、設定した平行信号線長で該回路シミュレータ手順でのシミュレートと、を繰り返す信号線長設定手順と、

を前記コンピュータに実行させることを特徴とする設計支援プログラム。

【請求項16】

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路の設計方法において、

コンピュータの第一の記憶領域には、前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルの形状に関するシンボルデータが予め記憶されており、

前記コンピュータの入力手段により、前記第一の記憶領域に記憶されている各種シンボルデータのうち、いずれのシンボルを配置するかの指示を受け付けると共に、該シンボルの配置位置を受け付けるシンボル配置受付工程と、

前記シンボル配置受付工程で指示された前記シンボルを、該シンボルは位置受付工程で受け付けた前記配置位置に配置して、回路図を作成する回路図作成工程と、

前記回路図作成工程で配置されたシンボル、及び該シンボルの配置位置を前記コンピュータの第二の記憶領域に記憶する回路図情報記憶工程と、

前記入力手段により、前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付工程と、

前記シンボル配置工程で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付工程で受け付けた前記結合器属性情報を前記コンピュータの第三の記憶領域に記憶する属性情報記憶工程と、

レイアウト図に配置する部品が前記回路図中のシンボルが前記方向性結合器のシンボルであるか否かを判断し、該方向性結合器のシンボルである場合には、前記第三の記憶領域に記憶されている前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置工程と、

二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック工程と、

前記配線間隔チェック工程でのチェック対象を受け付けるチェック対象受付工程と、

前記チェック対象受付工程で受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック工程でのチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック工程でのチェック対象とするチェック対象抽出工程と、

を前記コンピュータが実行することを特徴とする設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロストークを利用する方向性結合器を含む回路の回路図や回路レイアウト図の設計支援装置、その設計支援プログラム、及び回路の設計方法に関する。

【0002】

【従来の技術】

複数のモジュール間でデータ転送する技術として、コンピュータ内のデータ転送等に用いられているバスシステムが知られている。このバスシステムでは、複数のモジュール間を

10

20

30

40

50

共通のバスで接続し、このバスをデータ伝送路として各モジュール間で時分割にデータの転送を行う。このようなバスは、通常、アドレス信号用配線、データ信号用配線、制御信号用配線等で構成される。

【 0 0 0 3 】

バスシステムにおいて、バスおよびモジュールの接続形態としては、各モジュールを直接または抵抗を介してバスに接続する形態や、クロストークを利用して各モジュールを非接触でバスに接続する形態等が知られている。このクロストークを利用して非接触でバスに接続する形態については、特開2000-132290号公報等に記載されている。

【 0 0 0 4 】

クロストークを利用するにあたっては、例えば、図35に示すように、ドライバ3501にドライバ信号線3502を接続し、レシーバ3511にレシーバ信号線3512を接続し、このドライバ信号線3502の一部分3504とレシーバ信号線3512の一部分3514とを、一定の間隔で平行に配置する。この互いに平行な部分がメイン配線3504及びスタブ配線3514で、これらの配線で方向性結合器(カプラ)3500が構成される。このカプラ3500には、ドライバ3501からの信号でクロストークが発生する。クロストーク信号には、メイン配線3504における信号方向に対して反対方向に生じる後方クロストークと、メイン配線3504の信号方向と同じ方向に生じる前方クロストークがある。図35に示す構成では、後方クロストークがスタブ配線3514を介してレシーバ3511に送られ、前方クロストークがスタブ配線3514に接続されている終端抵抗器3513によって吸収される。また、メイン配線3504に接続されている終端抵抗器3503により、ドライバ3501からの信号の波形が吸収される。これにより、ドライブ信号の反射による不要なクロストークがスタブ配線3514に生じない。

【 0 0 0 5 】

一般的に、二つの通常配線間にクロストークが発生すると、このクロストークが信号ノイズとなるため、このクロストークを避けるべく、二つの配線間隔を一定以上離している。これに対して、以上の技術では、二つの配線間隔を狭めて、意図的にクロストークを発生させて、一方の配線から他方の配線へ非接触で信号を渡している。

【 0 0 0 6 】

ところで、クロストークを利用したバスシステムの回路図は、従来、図36に示すように描かれる。

【 0 0 0 7 】

この回路図において、611, 612は機能部品である。機能部品611には端子D1, D2, CLKが設けられており、それぞれ配線621, 622, 623が引き出されている。機能部品612にも同様に端子D1, D2, CLKが設けられており、それぞれ配線641, 642, 643が引き出されている。

【 0 0 0 8 】

同図中では、3601, 3602, 3603の部分をカプラとして形成し、D1端子同士、D2端子同士、CLK端子同士をそれぞれ間接的に接続しようとしている。なお、同図では、カプラ部分3601, 3602, 3603を丸で囲んでいるが、これはカプラ部分の位置を理解しやすくするために便宜上描いただけで、従来の回路図では、カプラは単なる二つの配線として扱われ、カプラ部分は描かれない。

【 0 0 0 9 】

以上の回路図を用いて、回路レイアウト図を描く場合、従来技術では、回路図に描かれている多数の配線のうち、カプラを形成する2本の配線を改めて選び出し、この2本の配線の一部を一定の間隔で互いに平行になるように配置して、図37に示すような回路レイアウト図を作成する。なお、同図は、図36におけるカプラ部分3601, 3602, 3603のレイアウト図である。

【 0 0 1 0 】

【 発明が解決しようとする課題 】

しかしながら、以上の従来技術では、回路図中、カプラは単なる配線としてしか扱われて

10

20

30

40

50

いないために、つまり、カブラとして描かれていないために、この回路図を参照して回路レイアウト図を描く場合、回路図に示されている多数の配線のうちから、改めて、カブラを形成する2本の配線を選び出す必要がある上に、回路図と回路レイアウト図との対応関係の認識に手間がかかってしまう。

【0011】

特に、バス配線でクロストークを利用する場合、カブラの数は、「バス幅」と「機能部品数」の積となり、例えば、バス幅が64、機能部品数が9の場合、カブラ数は512個にもなる。このため、回路図と回路レイアウト図との対応関係の認識には多大の労力を必要とする。

【0012】

また、通常、一旦、回路レイアウト図が完成すると、設計支援装置で多数の配線相互の間隔をチェックし、配線ルール違反が見つかり、改めて配線レイアウトをし直している。この場合、図37に示すように、回路レイアウト図中にカブラ800が存在すると、カブラ800を形成する2本の配線間隔3701が配線ルール違反となってしまうため、設計支援装置を用いなくて、目視でチェックを行おうとすると、その労力たるや非常に膨大なものになる上に、カブラを構成しない2本の配線間隔3702が狭く、両配線間にクロストークが発生するような場合でも、これを見逃してしまう虞もある。

【0013】

すなわち、従来技術では、カブラを含む回路のレイアウト図の作成に多大な労力がかかってしまうという問題点がある。

【0014】

本出願は、このような従来技術の問題点に着目し、カブラを含む回路のレイアウト図の設計工数を減らすことができる、回路図及びレイアウト図の設計支援装置、この装置を含むシステム、設計支援のためにコンピュータを動作させる設計支援プログラム及び設計方法に係る発明を提供することを目的とする。

【0015】

【課題を解決するための手段】

前記目的を達成するための第一の設計支援装置は、

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品相互の結線を示す回路図の設計支援装置において、

前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルが記憶されているシンボル記憶手段と、

前記シンボル記憶手段に記憶されている各種シンボルのうち、いずれのシンボルを配置するかを受け付けると共に、該シンボルの配置位置を受け付けて、該シンボルを受け付けた配置位置に配置するシンボル配置手段と、

前記シンボル配置手段で配置されたシンボル、及び該シンボルの配置位置を記憶する回路図情報記憶手段と、

前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手段と、

前記シンボル配置手段で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付手段で受け付けた前記結合器属性情報を記憶する属性情報記憶手段と、

を備えていることを特徴とするものである。

【0016】

また、前記目的を達成するための第二の設計支援装置は、

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品の配置、及び部品相互の結線の配置を示す

10

20

30

40

50

回路レイアウト図の設計支援装置において、
 前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手段と、
 前記属性情報受付手段で受け付けた前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置手段と、
 二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック手段と、
 前記配線間隔チェック手段によるチェック対象を受け付け、受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック手段のチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック手段のチェック対象とするチェック対象抽出手段と、
 を備えていることを特徴とする設計支援装置。

【0017】

ここで、第二の設計支援装置において、
 前記方向性結合器を含む複数の部品がシンボルで示されていると共に、部品相互の結線が示されている回路図の情報を受け付ける回路図情報受付手段を備え、前記部品配置手段は、前記回路図情報受付手段が受け付けた前記回路図情報中のシンボルに関する配置を受け付けると、前記属性情報受付手段が受け付けた前記結合器属性に基づいて、該シンボルが前記方向性結合器であるか否かを判断し、該シンボルが該方向性結合器であると判断すると、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を配置することを特徴とするものであってもよい。

【0018】

前記目的を達成するための設計支援システムは、
 前記第一の設計支援装置と、前記第二の設計支援装置とを備え、
 前記第二の設計支援装置は、前記第一の設計支援装置により作成された前記回路図を受け取って、該回路図に基づいて、前記レイアウト図を作成する、ことを特徴とするものである。

【0019】

ここで、この設計支援システムは、さらに、前記レイアウト図の情報に基づいて、回路製造データを作成する製造データ作成装置を備えていてもよい。

【0020】

前記目的を達成するための第一の設計支援プログラムは、
 信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品相互の結線を示す回路図の設計支援をコンピュータに実行させるための設計支援プログラムにおいて、
前記コンピュータの第一の記憶領域には、前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルの形状に関するシンボルデータが予め記憶されており、
前記コンピュータの入力手段により、前記第一の記憶領域に記憶されている各種シンボルデータのうち、いずれのシンボルを配置するかの指示を受け付けると共に、該シンボルの配置位置を受け付けるシンボル配置受付手順と、
前記シンボル配置受付手順で指示された前記シンボルを、該シンボル配置受付手順で受け付けた前記配置位置に配置するシンボル配置手順と、
 前記シンボル配置手順で配置されたシンボル、及び該シンボルの配置位置を前記コンピュータの第二の記憶領域に記憶する回路図情報記憶手順と、
前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手順と、

10

20

30

40

50

前記シンボル配置手順で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付手順で受け付けた前記結合器属性情報を前記コンピュータの第三の記憶領域に記憶する属性情報記憶手順と、

を前記コンピュータに実行させることを特徴とするものである。

【0021】

前記目的を達成するための第二の設計支援プログラムは、

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路に関して、部品の配置、及び部品相互の結線の配置を示すレイアウト図の設計支援をコンピュータに実行させるための設計支援プログラムにおいて、

10

前記コンピュータの入力手段により、前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付手順と、

前記属性情報受付手順で受け付けた前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置手順と、

二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック手順と、

前記入力手段により、前記配線間隔チェック手順によるチェック対象を受け付けるチェック対象受付手順と、

20

前記チェック対象受付手順で受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック手順でのチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック手段でのチェック対象とするチェック対象抽出手順と、

を前記コンピュータに実行させることを特徴とするものである。

【0022】

ここで、前記第二の設計支援プログラムにおいて、

前記属性情報受付手順は、前記結合器情報として、前記方向性結合器の識別情報を含む結合器属性情報を受け付け、

30

前記チェック対象抽出手順は、前記結合器属性情報の前記識別情報に基づいて、前記チェック対象内に、前記方向性結合器が存在するか否かを判定する、ことを特徴とするものであってもよい。

【0023】

また、前記第二の設計支援プログラムにおいて、

前記方向性結合器を含む複数の部品がシンボルで示されていると共に、部品相互の結線が示されている回路図の情報を受け付ける回路図情報受付手順を前記コンピュータに実行させ、

前記部品配置手順では、前記回路図情報受付手順で受け付けた前記回路図情報中のシンボルに関しての配置を受け付けると、前記属性情報受付手順で受け付けた前記結合器属性に基づいて、該シンボルが前記方向性結合器であるか否かを判断し、該シンボルが該方向性結合器であると判断すると、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を配置する、ことを特徴とするものであってもよい。

40

【0024】

また、前記第二の設計支援プログラムにおいて、

前記属性情報受付手順で受け付けた前記結合器属性情報として、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分がいずれも直線で曲がっている部分を有してはいけないうの情報が存在する場合、前記部品配置手順では、該第一の信号線の部分及び該第二の信号線の部分を配置する過程で、他の部品の存在で該第一の信号

50

線の部分及び該第二の信号線の部分を迂回させる必要が生じても、該第一の信号線の部分及び該第二の信号線の部分を迂回させずに、該他の部品を移動させて、該第一の信号線の部分及び該第二の信号線の部分の直線性を維持する、ことを特徴とするものであってもよい。

【 0 0 2 5 】

さらに、前記第二の設計支援プログラムにおいて、

前記属性情報受付手順で受け付けた前記結合器属性情報として、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分が、回路基板の一方の面から他方の面の方向に重なり合わせる旨の情報が存在する場合、前記部品配置手順では、該第一の信号線の部分及び該第二の信号線の部分を前記方向で重なり合うように配置する、ことを特徴とするものであってもよい。

10

【 0 0 2 6 】

前記目的を達成するための設計方法は、

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路の設計方法において、

コンピュータの第一の記憶領域には、前記方向性結合器を含む各種部品の、部品ごとに予め定めたシンボルの形状に関するシンボルデータが予め記憶されており、

前記コンピュータの入力手段により、前記第一の記憶領域に記憶されている各種シンボルデータのうち、いずれのシンボルを配置するかの指示を受け付けると共に、該シンボルの配置位置を受け付けるシンボル配置受付工程と、

20

前記シンボル配置受付工程で指示された前記シンボルを、該シンボルは位置受付工程で受け付けた前記配置位置に配置して、回路図を作成する回路図作成工程と、

前記回路図作成工程で配置されたシンボル、及び該シンボルの配置位置を前記コンピュータの第二の記憶領域に記憶する回路図情報記憶工程と、

前記入力手段により、前記方向性結合器の平行信号線長さ及び信号線間隔を少なくとも含む結合器属性情報を受け付ける属性情報受付工程と、

前記シンボル配置工程で配置され又は配置される前記方向性結合器のシンボルと関係付けて、前記属性情報受付工程で受け付けた前記結合器属性情報を前記コンピュータの第三の記憶領域に記憶する属性情報記憶工程と、

30

レイアウト図に配置する部品が前記回路図中のシンボルが前記方向性結合器のシンボルであるか否かを判断し、該方向性結合器のシンボルである場合には、前記第三の記憶領域に記憶されている前記結合器属性情報に少なくとも基づいて、前記方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分を、前記方向性結合器として配置する部品配置工程と、

二つの配線相互間の間隔を予め定められたルールに従ってチェックする配線間隔チェック工程と、

前記配線間隔チェック工程でのチェック対象を受け付けるチェック対象受付工程と、

前記チェック対象受付工程で受け付けたチェック対象内に、前記方向性結合器が存在するか否かを判定し、該方向性結合器が存在する場合には、該方向性結合器を構成する前記第一の信号線の部分及び前記第二の信号線の部分の相互間隔に関して前記配線間隔チェック工程でのチェック対象から外す一方で、該第一の信号線の部分及び該第二の信号線の部分を一つの方向性結合器として該配線間隔チェック工程でのチェック対象とするチェック対象抽出工程と、

40

を前記コンピュータが実行することを特徴とするものである。

【 0 0 2 7 】

前記目的を達成するための第二の設計方法は、

信号を出力するドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信するレシーバに接続された第二の信号線とが、部分的に平行に配置される方向性結合器を含む回路を、コンピュータを利用して設計する設計方法において、

50

前記方向性結合器が前記クロストーク信号を発生する条件で定められた、該方向性結合器の情報を記憶しておき、

レイアウト図中に、前記方向性結合器の配置指示を受け付けると、前記方向性結合器の情報に基づいて、該方向性結合器を形成する前記第一の信号線の部分と前記第二の信号線の部分とを配置する、ことを特徴とするものである。

【0028】

ここで、前記方向性結合器の情報には、当該方向性結合器を識別する識別情報と、方向性結合器を形成する第一の信号線の部分及び第二の信号線の部分の長さ、及び方向性結合器を形成する第一の信号線の部分と第二の信号線の部分との間隔と、を含むことが好ましい。この場合、前記間隔は、第一の信号線の部分と第二の信号線の部分との間に、前記クロストーク信号が発生する間隔の最大値であってもよい。なお、この間隔は、最大値を超えない範囲で、適宜変更してもよい。

10

【0029】

以上の設計支援に係る発明で設計された回路基板は、信号を出力するドライバと、該ドライバに接続された第一の信号線と、該ドライバからの信号に基づくクロストーク信号を受信する複数のレシーバと、複数の該レシーバにそれぞれ接続された第二の信号線と、これらが設けられる基板本体と、を備え、複数の前記第二の信号線の部分であるスタブ配線と前記第一の信号線の部分であるメイン配線とが互いに平行に配されて、複数の方向性結合器を成している回路基板において、複数の前記方向性結合器は、該方向性結合器を形成する前記メイン配線及び前記スタブ配線は、いずれも直線で且つ互いに平行であることを特徴とするものである。

20

【0030】

ここで、前記回路基板は、3以上の前記レシーバと、該レシーバの数量と同数の方向性結合器とを備え、複数の前記方向性結合器を形成する、それぞれの前記メイン配線及び前記スタブ配線は、いずれも同一方向に伸びており、

3以上の前記レシーバは、前記メイン配線及び前記スタブ配線が伸びている方向に並んでおり、隣り合うレシーバ相互間隔として、該メイン配線及び該スタブ配線の長さよりも長い間隔の箇所と、該メイン配線及び該スタブ配線の長さよりも短い間隔の箇所とが存在し、

複数の前記方向性結合器は、いずれも、前記長い間隔の一以上の箇所内に配置されている、ことを特徴とするものであってもよい。

30

【0031】

この場合、複数の前記方向性結合器を形成する、それぞれの前記メイン配線及び前記スタブ配線は、前記基板本体の一方の面から他方の面の方向において、重なり合っている、ことが好ましい。このような回路基板は、前記基板本体としては、内層基材を有し、前記方向性結合器を形成する前記メイン配線は、前記内層基材の一方の面に配置され、該方向性結合器を形成する前記スタブ配線は、該内層基材の他方の面に配置されている、ことが好ましい。

【0032】

【発明の実施の形態】

以下、本発明に係る設計支援システムの一実施形態について説明する。

40

【0033】

本実施形態の設計支援システムは、図19に示すように、部品相互の結線内容を示す回路図の設計を支援する回路図設計支援装置1900と、この回路図に基づくレイアウト図の設計を支援するレイアウト図設計支援装置1920と、このレイアウト図に基づく回路製造データを作成する回路製造データ作成装置1940と、を備えている。

【0034】

回路図設計支援装置1900は、支援装置本体1901と、表示装置1911と、設計者の指示等を受け付ける入力装置（受付手段）1912と、印刷装置1913とを備えている。支援装置本体1901は、各種部品のシンボルが記憶されている部品シンボル記憶部

50

1904と、回路図情報が記憶される回路図情報記憶部1905と、カプラの属性としてのカブラ長（平行信号線長）やカブラ間隔（信号線間隔）等のカブラ情報や基板の層構成情報が記憶されるカブラ・層情報記憶部1906と、入力装置1912で受け付けた指示内容に応じて部品シンボルを配置すると共に部品シンボル相互間を結線する回路図エディタ（シンボル配置手段、配線配置手段）1902と、一旦作成した回路図が示す回路を動作させたときの状態を仮想的に実行する簡易回路シミュレータ1903と、カブラ長を設定するカブラ長設定部（信号線長設定手段）1907と、レイアウト図設計支援装置1920との間でデータを送受信するための通信部1908と、を有している。

【0035】

また、レイアウト図設計支援装置1920は、支援装置本体1921と、表示装置1931と、設計者の指示等を受け付ける入力装置（受付手段）1932と、印刷装置1933とを備えている。支援装置本体1921は、回路図設定支援装置1900からの回路図情報が記憶される回路図情報記憶部1924と、レイアウト図情報が記憶されるレイアウト図情報記憶部1925と、配線レイアウトのための配線ルール情報が記憶されている配線ルール情報記憶部1926と、カブラ情報や層構成情報が記憶されるカブラ・層情報記憶部1927と、入力装置1932で受け付けた指示内容に応じて部品を配置すると共に部品相互間の配線を配置するレイアウト図エディタ（部品配置手段、配線間隔チェック手段）1922と、一旦作成したレイアウト図が示す回路を動作させたときの状態を仮想的に実行する詳細回路シミュレータ1923と、カブラ長を設定するカブラ長設定部（信号線長設定手段）1928と、回路図設計支援装置1900や回路製造データ作成装置1940との間でデータを送受信するための通信部（受付手段）1929と、を有している。

【0036】

レイアウト図エディタ1922は、実際に部品を配置すると共に部品相互間の配線を配置してレイアウト図を作成するレイアウト部（部品配置手段）1935と、このレイアウト部1935で作成された路レイアウト図中の多数の配線の相互間隔をチェックする配線チェック部1936と、を有している。この配線チェック部1936は、チェック対象となる配線を抽出する対象抽出部（チェック対象抽出手段）1937と、対象抽出部1937で抽出された配線に対して実際に配線チェックする配線チェッカー（配線間隔チェック手段）1938とを有している。

【0037】

回路製造データ作成装置1940は、データ作成装置本体1941と、表示装置1951と、入力装置1952と、印刷装置1953と、を備えている。データ作成装置本体1941は、回路製造データを記憶する回路製造データ記憶部1943と、レイアウト図に基づいて回路製造データを作成する製造データエディタ1942と、レイアウト図設計支援装置1920との間でデータを送受信するための通信部1944と、を有している。

【0038】

回路図設計支援装置1900の本体1901は、図20に示すように、ハードウェア的には、処理装置2010と記憶装置2020とを備えている。処理装置2010は、各種プログラムや各種データを一時的に記憶しておく主記憶装置2011と、各種プログラムを実行する演算装置2012と、演算装置2012の指示に従って表示装置等1911, 1912, 1913や記憶装置2020を制御する制御装置2013と、他の装置との間でデータを送受信するための通信装置2014とを有している。また、記憶装置2020は、部品シンボル情報ファイル2021と、回路図情報ファイル2022と、カブラ・層情報ファイル2023と、回路図エディタプログラムファイル2024と、簡易シミュレータプログラムファイル2025と、カブラ長設定プログラムファイル2026と、を有する。

【0039】

図19における回路図エディタ1902は、記憶装置2020の回路図エディタプログラムファイル2024に記憶されている回路図エディタプログラムを処理装置2010の演算装置2012が実行することで機能することになる。同様に、図19における簡易シミ

10

20

30

40

50

ュレータ1902、カブラ長設定部1907も、それぞれ、記憶装置2020の簡易シミュレータプログラムファイル2025に記憶されている簡易シミュレータプログラム、カブラ長設定プログラムファイル2026に記憶されているカブラ長設定プログラムを処理装置2010の演算装置2012が実行することで機能することになる。また、図19における部品シンボル記憶部1901、回路図情報記憶部1905、カブラ・層情報記憶部1906、通信部1908は、それぞれ、部品シンボル情報ファイル2021、回路図情報ファイル2022、カブラ・層情報ファイル2023、通信装置2014を有して構成されている。なお、部品シンボル情報、回路図エディタプログラム、簡易シミュレータプログラム、カブラ長設定プログラムは、記憶媒体に記憶されている設計支援ツールを入力装置1912で取り込むことで、記憶装置2020内に登録することができる。

10

【0040】

また、レイアウト図設計支援装置1920の本体1921や回路製造データ作成装置1940の本体1941も、ハードウェア的には、以上の回路図設計支援装置1900の本体1901と同様に、処理装置と記憶装置とを備えている。図19に示すレイアウト図設計支援装置1920のレイアウト図エディタ1922、詳細シミュレータ1923、カブラ長設定部1928、同じく図19に示す回路製造データ作成装置1940の製造データエディタ1942は、いずれも、記憶装置に記憶されている対応プログラムを処理装置の演算装置が実行することで機能する。これらのプログラムは、回路図設計支援装置1900の場合と同様、記憶媒体に記憶されている設計支援ツールを入力装置で取り込むことで、記憶装置に内に登録することができる。

20

【0041】

なお、以上で説明した設計支援システムでは、回路図設計支援装置1900が回路図エディタ1902や簡易シミュレータ1903等を有し、レイアウト図設計支援装置1920がレイアウト図エディタ1922や詳細シミュレータ1923等を有しているが、本発明はこれに限定されるものではなく、各機能1902, 1903, 1907, 1922, 1923, 1928毎に独立した装置を構成するようにしてもよいし、各機能を適宜組み合わせ、組み合わせた機能群毎に独立した装置を構成するようにしてもよい。また、ここでは、回路図設計支援装置1900にも、レイアウト図設計支援装置1920にも、カブラ長設定部1907, 1928を設けたが、これはいずれか一方の装置のみでもよい。

30

【0042】

以上で説明した回路図設計支援装置1900の部品シンボル記憶部1902には、抵抗やコンデンサやカブラや各種素子のシンボルが記憶されている。

【0043】

カブラのシンボルとしては、例えば、図1に示すカブラシンボル100がある。

【0044】

同図中、101はカブラシンボル100に付加される部品番号である。カブラシンボル100には、4つの端子102, 103, 104, 105が設けられている。端子102, 103は1本の配線で結線されている。また、端子104, 105も1本の配線で結線されている。このカブラシンボル100では、前者の配線と後者の配線とが、カブラとして非接触で結合されていることを示す。

40

【0045】

図2は、図1に示すカブラシンボル100がレイアウト図エディタ1922でレイアウトされた例である。

【0046】

レイアウトされたカブラ200は、配線間隔 D_c で、長さ L_c の2本の平行配線である。カブラを構成している2本の配線には、それぞれの配線の始点および終点を示す情報を持つ。この情報は、ポイントP1、P2、P3、P4である。このポイントは、図1の端子102, 103, 104, 105にそれぞれ対応する。ポイント102, 103, 104, 105からは、それぞれ配線202, 203, 204, 205が引き出されている。同図では示していないが、配線202, 203, 204, 205は、別の部品又は回路に接

50

続されている。

【 0 0 4 7 】

図 3 は、カブラ情報（カブラ属性情報）3 0 1 の内容を示している。このカブラ情報 3 0 1 とは、回路図設計支援装置 1 9 0 0 及びレイアウト図設計支援装置 1 9 2 0 のカブラ・層情報記憶部 1 9 0 6 , 1 9 2 7 に記憶される情報であって、レイアウト図エディタ 1 9 2 2 がカブラシンボルからカブラレイアウト図を作成する際やカブラの動作をシミュレートする際等に使用する情報である。このカブラ情報 3 0 1 は、入力装置 1 9 1 2 , 1 9 3 2 から回路図エディタ 1 9 0 2 又はレイアウト図エディタ 1 9 2 2 を介して、カブラ・層情報記憶部 1 9 0 6 , 1 9 2 7 に登録することができる。また、このカブラ情報 3 0 1 は、入力装置 1 9 1 2 , 1 9 3 2 から回路図エディタ 1 9 0 2 又はレイアウト図エディタ 1 9 2 2 に指示を与えることにより、表示装置 1 9 1 1 , 1 9 3 1 で表示することができる。

10

【 0 0 4 8 】

カブラ情報 3 0 1 には、部品番号 X、メイン配線開始座標 P 1、スタブ配線開始座標 P 2、カブラ長 L c、カブラ間隔 D c、メイン配線幅 w m、スタブ配線幅 w s、終端抵抗部品名 R T T、終端電源名 V T T、カブラの変形を認めるか否か等の項目が含まれている。このカブラ情報 3 0 1 は、レイアウト上のカブラ 1 つに付き、1 つ存在する。

【 0 0 4 9 】

カブラ情報 3 0 1 の部品番号 X は、図 1 のカブラシンボル 1 0 0 の部品番号 1 0 1 と対応している。この部品番号により、回路図エディタ 1 9 0 2 とレイアウト図エディタ 1 9 2 2 は、カブラを一つの部品として認識すると共に、同一部品番号のカブラは同一部品であると認識する。このため、回路図とレイアウト図との対応関係が極めて明確になり、ユーザーの設計工数を削減することができる。

20

【 0 0 5 0 】

カブラ情報 3 0 1 の開始座標 P 1 , P 2 は、レイアウト図エディタ 1 9 2 2 の動作時に、ユーザーがカブラ 2 0 0 を構成するメイン配線またはスタブ配線をレイアウト図画面上に配置することで、自動的に設定される。また、逆に、レイアウト図エディタ 1 9 2 2 の動作時に、ユーザーが開始座標 P 1 , P 2 を設定すると共に、カブラ長 L c とカブラ間隔 D c も設定すると、これらのカブラ情報 3 0 1 を基に、カブラ 2 0 0 を構成するメイン配線またはスタブ配線が自動的に配置される。このように、カブラを構成するメイン配線とスタブ配線を、カブラ長 L c およびカブラ間隔 D c を用いて関連付けることで、座標設定の手間等、配線レイアウト作業の工数を削減することが可能となる。

30

【 0 0 5 1 】

図 4 は、他のカブラシンボルの例である。同図のカブラシンボル 4 0 0 と図 1 のカブラシンボル 1 0 0 との相違点は、図 1 における端子 1 0 5 が省略されている点である。これは、端子 1 0 5 には、基本的に決まって終端抵抗が接続されるため、シンボルとして端子 1 0 5 が省略されていても、実害がないからである。

【 0 0 5 2 】

図 5 は、さらに他のカブラシンボルの例である。同図のカブラシンボルは、図 1 のカブラシンボル 1 0 0 の端子 1 0 5 に終端抵抗 5 0 1 を接続し、さらにこの終端抵抗 5 0 1 に終端電源 V T T を接続したものである。すなわち、同図のカブラシンボルは、図 1 におけるカブラシンボル 1 0 0 で省略していた終端抵抗及び終端電源を追加したものである。なお、図 3 における終端抵抗名及び終端電源名は、それぞれ、以上の終端抵抗 5 0 1 の名称、終端電源 V T T の名称である。このように、カブラシンボルに終端抵抗名及び終端電源名を付した場合には、カブラ情報 3 0 1 として、終端抵抗部品名 R T T と終端電源名 V T T の項目を省略することができる。逆に、図 1 や図 4 のカブラシンボル 1 0 0 , 4 0 0 のように、シンボル中に終端抵抗及び終端電源を省略した場合には、図 3 に示すように、カブラ情報 3 0 1 として、これらの情報が必要になる。

40

【 0 0 5 3 】

図 6 は、回路図エディタ 1 9 0 2 で作成された回路図の例である。同図に示す回路図には

50

、機能部品 6 1 1 , 6 1 2 が設けられている。各機能部品 6 1 1 , 6 1 2 は、端子 D 1 , D 2 , C L K を持つ。端子 D 1 と端子 D 2 はバス配線端子で、端子 C L K はクロック配線端子である。機能部品 6 1 1 と機能部品 6 1 2 とは、カプラによって接続されている。この回路図でカプラは、図 4 のカプラシンボル 4 0 0 で示されている。機能部品 6 1 1 の端子 D 1 には、バス配線 6 2 1、バス配線 6 3 1、抵抗 6 5 1 が接続され、機能部品 6 1 1 の端子 D 2 には、バス配線 6 2 2、バス配線 6 3 2、抵抗 6 5 2 が接続され、機能部品 6 1 1 の端子 C L K には、バス配線 6 2 3、バス配線 6 3 3、抵抗 6 5 3 が接続されている。また、機能部品 6 1 2 の端子 d 1 には配線 6 4 1 が接続され、機能部品 6 1 2 の端子 d 2 には配線 6 4 2 が接続され、機能部品 6 1 2 の端子 c l k には配線 6 4 3 が接続されている。

10

【 0 0 5 4 】

図 7 は、回路図エディタ 1 9 0 2 で作成された他の回路図の例で、回路としては図 6 の回路図が示す回路と等価である。図 7 の回路図では、図 6 の機能部品 6 1 1 , 6 1 2 の端子 D 1 , D 2 を一つのバス配線端子 D で示し、これに伴い、図 6 のバス配線 6 2 1 , 6 2 2、カプラシンボル 4 0 0 , 4 0 0、バス配線 6 3 1 , 6 3 2、バス配線 6 4 1 , 6 4 2 を、それぞれ、一つのバス配線 7 2 1、一つのカプラシンボル 7 0 0、一つのバス配線 7 3 1、バス配線 7 4 1 で示している。同図のカプラシンボル 7 0 0 は、以上で述べたように、本来、二つのカプラであるが、二つのカプラの仕様が同じであるため、このカプラシンボル 7 0 0 に対するカプラ情報は、一つである。但し、このカプラ情報には、同仕様のカプラが二つである旨の情報が含まれている。この場合、さらに、二つのカプラの相互間隔

20

【 0 0 5 5 】

図 8 は、図 6 又は図 7 の回路図を元にレイアウト図エディタ 1 9 2 2 で作成したカプラ回りのレイアウト図の例である。

【 0 0 5 6 】

このレイアウト図では、図 6 のカプラシンボル 4 0 0 で示す三つのカプラ X 1 , X 2 , X 3 を、上から順に配置している。端子 8 0 1 , 8 1 1 は、それぞれ、図 6 の機能部品 6 1 1 , 6 1 2 の端子 D 1 , d 1 に対応し、端子 8 2 1 , 8 3 1 は、それぞれ、図 6 の機能部品 6 1 1 , 6 1 2 の端子 D 2 , d 2 に対応し、端子 8 4 1 , 8 5 1 は、それぞれ、図 6 の機能部品 6 1 1 , 6 1 2 の端子 C L K , c l k に対応する。

30

【 0 0 5 7 】

レイアウト図エディタ 1 9 2 2 の動作中、ユーザがカプラ X 1 のメイン配線開始座標 P 1 を与えると、機能部品 6 1 1 の端子 D 1 を示す端子 8 0 1 とカプラ 8 0 0 との間隔 L m 1 が決まるため、端子 8 0 1 の座標が既に定まっていれば、端子 8 0 1 とカプラ 8 0 0 と間にバス配線 8 0 2 が配置される。同様に、ユーザがカプラ X 1 のスタブ配線開始座標 P 2 を与えると、機能部品 6 1 2 の端子 d 1 を示す端子 8 1 1 とカプラ 8 0 0 との間隔 L s 1 が決まるため、端子 8 1 1 とカプラ 8 0 0 と間に配線 8 1 2 が配置される。

【 0 0 5 8 】

バス配線は、対応する他のバス配線と同じ長さにする必要がある。このため、レイアウト図エディタ 1 9 2 2 は、機能部品 6 1 1 の各端子 8 0 1 , 8 2 1 , 8 4 1 から対応カプラまでの間隔 L m 1 , L m 2 , L m 3 は相互に同じで、機能部品 6 1 2 の各端子 8 1 1 , 8 3 1 , 8 5 1 から対応カプラまでの間隔 L s 1 , L s 2 , L s 3 も相互に同じであるとして取り扱う。この結果、レイアウト図エディタ 1 9 2 2 は、ユーザがカプラ X 1 の開始座標 P 1 , P 2 を与えた時点で、機能部品 6 1 1 , 6 1 2 の端子 D 2 , d 2 を示す端子 8 2 1 , 8 3 1 との関係において、カプラ X 2 の開始座標 P 2 1 , P 2 2 を定め、さらに機能部品 6 1 1 , 6 1 2 の端子 C L K , c l k を示す端子 8 4 1 , 8 5 1 との関係において、カプラ X 3 の開始座標 P 3 1 , P 3 2 を定める。従って、ユーザがカプラ X 1 のメイン配線開始座標 P 1 , P 2 を与えた後、各バス配線 8 0 2 , 8 1 2 , 8 2 2 , 8 3 2 , 8 4 2 , 8 5 2 の配置を指示するだけで、別途、配線終端座標等を与えなくても、各バス配線は自動的に配置される。

40

50

【 0 0 5 9 】

また、各カブラの終端側の各バス配線 8 0 3 も、カブラ 8 0 0 から終端抵抗等の端子 8 0 4 までの間隔を相互に等しくする必要があるので、レイアウト図エディタ 1 9 2 2 は、以上のバス配線と同様に、配置する。

【 0 0 6 0 】

従って、本実施形態では、バス配線を構成する各配線長さを簡単に揃えることができる。これにより、機能部品間のスキューを抑えることができ、実際のプリント配線基板の高速化と、設計工数の削減の両立を図ることができる。

【 0 0 6 1 】

ところで、配線レイアウト上、他の部品との関係等で、各バス配線の長さを正確に同じにすることは困難なことが度々ある。そのため、レイアウト図エディタ 1 9 2 2 には、各バス配線の長さに許容範囲が設けられており、例えば、配線長 L_{m1} の 2 0 パーセント以内という配線ルールが設けられている。そして、レイアウト図エディタ 1 9 2 2 は、あるバス配線 8 0 2 に対して、他のバス配線 8 2 2 の長さを同じにできないときには、この許容範囲内で、他のバス配線 8 2 2 の長さを短く又は長くする。

【 0 0 6 2 】

次に、カブラ 2 0 0 のカブラ長を変更する手順について説明する。

【 0 0 6 3 】

まず、図 9 に基づいて、カブラ長 $L_{c'}$ を L_c に短くする場合の手順について説明する。

【 0 0 6 4 】

カブラ長を短くする場合、機能部品側の座標 P_1 , P_2 の座標は固定として、座標 P_3 , P_4 をカブラ長に合わせて移動する。これは、座標 P_1 , P_2 の位置は、機能部品とカブラとの間の配線距離に影響し、 P_1 , P_2 側を移動すると、機能部品間の信号伝搬時間が変わってしまうためである。

【 0 0 6 5 】

座標 P_3 は、配線 2 0 3 の延長線上を移動する。また、座標 P_4 は、カブラ間隔 D_c を確保するため、線分 $P_1 - P_3$ に対して線分 $P_2 - P_4$ が平行になるように移動する。 P_3 , P_4 の移動後、配線 2 0 3 の開始座標を P_3' から P_3 に移動して、新たに配線 2 0 3 を配置し、配線 2 0 5 の開始座標を P_4' から P_4 に移動して、新たに配線 2 0 5 を配置する。

【 0 0 6 6 】

次に、図 1 0 に基づいて、カブラ長 $L_{c'}$ を L_c に長くする場合の手順について説明する。

【 0 0 6 7 】

カブラ長 $L_{c'}$ を長くする場合、前述の短くする場合と同様に、機能部品側の座標 P_1 , P_2 の座標を固定して、座標 P_3 , P_4 をカブラ長 L_c に合わせて移動する。

【 0 0 6 8 】

座標 P_3 は、配線 2 0 3 上を移動する。また、座標 P_4 は、カブラ間隔 D_c を確保するため、線分 $P_1 - P_3$ に対して線分 $P_2 - P_4$ が平行になるように移動する。 P_3 , P_4 の移動後、配線 2 0 3 の開始座標を P_3' から P_3 に移動して、新たに配線 2 0 3 を配置し、配線 2 0 5 の開始座標を P_4' から P_4 に移動して、新たに配線 2 0 5 を配置する。

【 0 0 6 9 】

次に、カブラ長変更時のレイアウト図エディタ 1 9 2 2 の動作について、図 1 1 のフローチャートに従って説明する。

【 0 0 7 0 】

レイアウト図エディタ 1 9 2 2 は、変更後カブラ長 L_c を受け付けると、この変更後カブラ長 L_c をカブラ・層情報記憶部 1 9 2 7 に仮登録すると共に、現状のレイアウト図に示されているカブラ長 $L_{c'}$ を調べる (ステップ 1 1 0 1)。現状のカブラ長 $L_{c'}$ を調べる際には、対象カブラの開始座標 P_1 と終端座標 P_2 を調べるか、又はカブラ・層情報記憶部 1 9 2 7 のカブラ情報 3 0 1 として既に登録されているカブラ長 $L_{c'}$ を抽出する。

10

20

30

40

50

【0071】

続いて、変更後カブラ長 Lc' は現状のカブラ長 Lc よりも長いかなかを判定し(ステップ1102)、変更後カブラ長 Lc' が現状のカブラ長 Lc よりも長いと判定した際には、伸ばすスタブ配線上に別の配線等が存在するか否かを判断する(ステップ1103)。伸ばすスタブ配線上に別の配線等が存在しないと判断した場合には、前述したように、メイン配線の開始座標 $P1$ を基準に、メイン配線の終端座標 $P3$ をメイン配線に沿って($Lc-Lc'$)だけ移動し、続いて、メイン配線の終端座標 $P3$ を基準に、スタブ配線の終端座標 $P4$ を移動して、スタブ配線を配線し直す(ステップ1104)。その後、仮登録されていた変更後カブラ長 Lc をカブラ・層情報記憶部1927に本登録する。また、ステップ1103で、伸ばすスタブ配線上に別の配線等が存在すると判断した場合には、配置不可の警告を表示装置1933に表示させる(ステップ1105)。その後、カブラ・層情報記憶部1927に仮登録されていた変更後カブラ長 Lc を消去する。

10

【0072】

ステップ1102で、変更後カブラ長 Lc' は現状のカブラ長 Lc よりも長くないと判定した場合には、変更後カブラ長 Lc' は現状のカブラ長 Lc よりも短いかなかを判定する(ステップ1106)。変更後カブラ長 Lc' は現状のカブラ長 Lc よりも短くないと判定した場合には、つまり、変更後カブラ長 Lc' は現状のカブラ長 Lc と等しいと判定した場合には、そのまま、このカブラ長変更処理ルーチンを終了する。また、変更後カブラ長 Lc' が現状のカブラ長 Lc よりも短いと判定した場合には、縮めるスタブ配線上に別の配線等が存在するか否かを判断する(ステップ1107)。縮めるスタブ配線上に別の配線等が存在しないと判断した場合には、前述したように、メイン配線の開始座標 $P1$ を基準に、メイン配線の終端座標 $P3$ をメイン配線に沿って($Lc'-Lc$)だけ移動し、続いて、メイン配線の終端座標 $P3$ を基準に、スタブ配線の終端座標 $P4$ を移動して、スタブ配線を配線し直す(ステップ1108)。また、ステップ1107で、縮めるスタブ配線上に別の配線等が存在すると判断した場合には、配置不可の警告を表示装置1933に表示させる(ステップ1105)。

20

【0073】

以上のように、カブラ長変更の際には、変更後のカブラ長を与えるだけで、変更後カブラ長で、カブラを構成するメイン配線及びスタブ配線が配置されるので、配線レイアウト修正の作業工数を減らすことができる。

30

【0074】

次に、カブラ長の求め方について説明する。

【0075】

カブラ長を求めるためには、カブラ・層情報記憶部1906, 1927に記憶されているカブラ情報301(図3)のうちのカブラ間隔 Dc 、メイン配線幅 wm 、スタブ配線幅 ws の他に、図12に示すように、電源層1203, 1204の厚さ $d1, d5$ 、絶縁層1205, 1206の厚さ $d2, d4$ 、メイン配線1201及びスタブ配線1202の層 $d3$ も必要である。そのため、これらの値は、カブラ情報301と同様に、カブラ・層情報記憶部1906, 1927に層構成情報1301(図13)として記憶されている。なお、この層構成情報1301も、カブラ情報301と同様に、入力装置1912, 1932から回路図エディタ1902又はレイアウト図エディタ1922を介して、カブラ・層情報記憶部1906, 1927に登録することができ、また、入力装置1912, 1932から回路図エディタ1902又はレイアウト図エディタ1922に指示を与えることにより、表示装置1911, 1931で表示することができる。

40

【0076】

カブラ長の設定にあたっては、さらに、基板材料の情報、ドライバ仕様の情報、カブラの設計条件の情報が必要である。基板材料情報としては、図14(a)に示すように、プリント配線基板に用いる絶縁材の比誘電率 r と、抵抗率 ρ とがある。ドライバ情報としては、図14(b)に示すように、波形遷移時間 t_r, t_f と、信号出力レベル V_H とがある。また、カブラ設計条件情報としては、図14(c)に示すように、最小入力信号レベ

50

ル V_{sw} と、最大カブラ長 L_{cmax} と、最大入力信号幅 T_w の項目とがある。これらの値も、図 19 では図示していないが対応する記憶部に登録することになる。

【0077】

次に、図 17 に示すフローチャートに従って、カブラ長の設定手順について説明する。カブラ長は、カブラをレイアウトする際に必要な情報であるため、少なくともレイアウト前にカブラ長を一度求めておく必要がある。このため、この実施形態では、回路図設計支援装置 1900 にカブラ長設定部 1907 が設けられていると共に、レイアウト中にカブラ長を求めることも考慮して、レイアウト図設計支援装置 1920 にも、同様のカブラ長設定部 1928 が設けられている。なお、以下では、回路図設計支援装置 1900 のカブラ長設定部 1907 の動作について説明する。

10

【0078】

まず、カブラ長設定部 1907 は、図 14 (a) に示す基板材料情報、図 3 に示すカブラ情報 301、及び図 13 に示す層構成情報 1301 を基に、カブラの単位長さ当たりの分布定数回路を求める (ステップ 1701)。これには、基板断面形状から分布定数回路を求めるためのシミュレータを用いる。この処理で、分布定数回路モデルを得ることができる。

【0079】

次に、検証用変数 L_c' に、カブラ情報 301 に仮設定したカブラ長 L_c を設定する (ステップ 1702)。これにより、検証の開始ポイントを定義する。

【0080】

次に、簡易回路シミュレータ 1903 に、ステップ 1701 で求めた単位長さ当たりの分布定数回路及びステップ 1702 で設定した検証用変数 L_c' の長さを与えて、検証用カブラ長での回路モデルを生成し、この回路モデルで回路シミュレーションを行う (ステップ 1703)。ここでは、図 14 (b) 及び図 15 に示すように、ドライバの出力波形として、波形遷移時間 t_r 、 t_f が 500 ps、信号出力レベル V_H が 1.8 V の用いて、検証用カブラを介してレシーバに入力する波形を調べる。具体的には、図 16 に示すレシーバの入力波形から信号振幅 V_{sw}' を計測する (ステップ 1704)。続いて、この信号振幅 V_{sw}' と、図 14 (c) に示すカブラ設計条件情報の信号振幅 V_{sw} との大小関係を比較する (ステップ 1705)。そして、 V_{sw}' の方が小さくない場合、カブラ長 L_c が足りないと判断し、検証用変数 L_c' に 1 mm 加算し (ステップ 1706)、この加算した値を最大カブラ長 L_{cmax} と比較する (ステップ 1707)。 L_{cmax} よりも L_c' が大きい場合は、設計限界と判断し、表示装置 1911 に「設計限界」の旨を表示させる (ステップ 1808)。また、 V_{sw}' が L_{cw} 以下であれば、ステップ 1703 に戻る。

20

30

【0081】

ステップ 1705 の判断で、計測信号振幅 V_{sw}' の方が小さいと判断した場合、この計測信号振幅 V_{sw}' が、カブラ設計条件情報の最小信号振幅 V_{sw} の 110 パーセント以上であれば、逆に信号振幅が大きいと判断し (ステップ 1709)、検証用変数 L_c' から 1 mm 減算してから (ステップ 1710)、ステップ 1703 に戻る。

【0082】

計測信号振幅 V_{sw}' が設計最小信号振幅 V_{sw} 以上であり、且つ V_{sw} の 110 パーセント未満であれば、そのカブラ長は設計最適値と判断し、このカブラ長が最適である旨を表示装置 1911 に表示させる (ステップ 1711)。そして、ユーザーに対して、この L_c' をカブラ情報 301 に書き込むかどうかを問い合わせ (ステップ 1712)、ユーザーが書き込みを希望する場合は、 L_c' の値をカブラ情報 301 に書き込む (ステップ 1713)。その後、レイアウト図作成中であれば、前述の図 11 に示したカブラ長変更の処理を行う (ステップ 1714)。

40

【0083】

以上のように、ユーザーが、レシーバでの信号受信に必要な信号振幅 V_{sw} を与えることで、最適なカブラ長 L_c を自動的に計算することができ、設計効率の向上と、クロストー

50

クを用いたバスシステムの高性能化を図ることが可能である。

【0084】

次に、レイアウト図設計支援装置1920の配線ルール情報記憶部1925に記憶されている配線ルール情報について、図18を用いて説明する。

【0085】

この配線ルール情報1801は、一旦、回路レイアウト図を作成した後、配線ルール違反が在るか否かのチェックに必要な情報である。この配線ルール情報1801では、パイア - 配線間ds1、パイア - パイア間ds2、配線 - 配線間ds3、カブラ - カブラ間ds4、カブラ - 配線間ds5、カブラ - パイア間ds6の最小間隔を定めている。ここでは、カブラを従来技術のように二つの単なる配線として扱わず、カブラとしての一部品として扱っているため、従来の配線ルール情報にはないカブラ - カブラ間ds4、カブラ - 配線間ds5、カブラ - パイア間ds6が別途定められている。

10

【0086】

このように、本実施形態では、カブラを一部品として扱っているため、カブラを構成する二つの配線間隔をチェックすることがなくなる上に、カブラを構成する二つの配線それぞれに対して他の配線等との間隔チェックを行う必要もなくなるため、作業効率を高めることができる。また、カブラは、二つの配線で構成されるものの、本来的に、二つの配線により一つの機能を実現するものである上に、カブラとして二つの配線が扱う信号振幅が微弱であるため、カブラを一つの部品として扱って、このカブラと他の配線等との間隔を規定した方が、カブラ機能をより確実に確保することができる。

20

【0087】

なお、以上において、パイアとは、層間配線のことで、配線とは、一層内での配線のことである。

【0088】

次に、図21に示すフローチャートに従って、本実施形態の設計支援システムの動作について説明する。

【0089】

まず、回路図設計支援装置1900の回路図エディタ1902がユーザからの指示を受け付けて、回路図作成・編集を行う(ステップ2101)。このステップ2101では、部品シンボル記憶部1904に記憶されている各種シンボルを配置し、配置した複数のシンボル相互間を結線し、作成した回路図を回路図情報として、回路図情報記憶部1905に記憶する。なお、以上のステップ2101の詳細に関しては、図22を用いて後述する。

30

【0090】

次に、回路図設計支援装置1900の簡易シミュレータ1903が、ユーザからの指示を受け付けて、ステップ2101で作成した回路図が示す回路の動作をシミュレートし(ステップ2102)、回路動作を確認する(ステップ2103)。このシミュレートでは、大まかな回路動作シミュレートのほかに、製造時に使用する材料や配線レイアウト後の配線長等の大まかな見積もりも行う。さらに、図17を用いた前述したカブラ長の設定のためのシミュレートも行う。

【0091】

40

以上のシミュレートの結果(ステップ2103)、回路図が不適切なものであれば、簡易シミュレータ1903は、不適切な部分の内容を表示装置1911に表示させて、回路図エディタ1902による回路図作成・編集(ステップ2101)を促す。また、回路図が適切なものであれば、レイアウト図設計支援装置1920のレイアウト図エディタ1922が、ユーザからの指示を受け付けて、配線レイアウト作成・編集を行う(ステップ2104)。このレイアウト図の作成に移行する段階で、回路図設計支援装置1900の回路図情報記憶部1905に記憶されている回路図情報、カブラ・層情報記憶部1906に記憶されているカブラ情報及び層構成情報は、通信部1908により、レイアウト図設計支援装置1920へ送られる。回路図設計支援装置1900からの情報は、レイアウト図設計支援装置1920の通信部1908で受信されて、回路図情報記憶部1925やカブラ

50

・層情報記憶部 1906 に記憶される。

【0092】

ステップ 2104 では、まず、レイアウト図エディタ 1922 のレイアウト部（部品配置手段）1935 が、回路図情報が示す部品や配線等をユーザからの指示に従って配置する。なお、ここで配置する部品および配線の情報は、前述のステップ 2101 で作成した回路図の情報と 1対1 で対応する。このレイアウト部 1935 でレイアウト図が作成されると、このレイアウト図の情報がレイアウト図情報として、レイアウト図情報記憶部 1925 に記憶される。その後、このレイアウト図の配線を配線チェック部 1936 がチェックし、エラー箇所があれば、その内容を表示し、レイアウト部 1935 によるレイアウト図の再編集を促す。なお、以上のステップ 2104 におけるレイアウト部 1935 の詳細動作、及び配線チェック部 1936 の詳細動作に関しては、それぞれ、図 23 及び図 24、図 25 を用いて後述する。

10

【0093】

次に、レイアウト図設計支援装置 1920 の詳細シミュレータ 1923 が、ユーザからの指示を受け付けて、ステップ 2104 で作成したレイアウト図が示す回路の動作をシミュレートし（ステップ 2105）、回路動作を確認する（ステップ 2106）。このシミュレート（ステップ 2105）では、ステップ 2102 の簡易シミュレートよりも、更に詳細なシミュレートを行う。具体的には、ここでは、配線の遅延時間や、隣接配線間のクロストークノイズ等を、回路シミュレーションによって検証する。

【0094】

以上の詳細シミュレートの結果（ステップ 2105）、レイアウト図が不適切なものでなければ、詳細シミュレータ 1923 は、不適切な部分の内容を表示装置 1931 に表示させて、レイアウト図エディタ 1922 によるレイアウト図作成・編集（ステップ 2104）を促す。例えば、詳細シミュレートの結果、カプラ長が原因で、適切な動作がなされていないとなった場合には、ステップ 2104 に戻って、図 11 に示すカプラ長の変更処理を行う。また、レイアウト図が適切なものであれば、回路製造データ作成装置 1940 の製造データエディタ 1942 が、レイアウト図設計支援装置 1920 からのレイアウト図情報を回路製造データに変換し、これを回路製造データ記憶部 1943 に登録する（ステップ 2107）。なお、この回路製造データは、カバーデータと呼ばれることもある。

20

【0095】

以上で、本実施形態の設計支援システムによる処理は終了する。

30

【0096】

その後、回路製造データ作成装置 1940 の回路製造データ記憶部 1943 に記憶されている回路製造データに基づいて、プリント配線基板の試作製造を行う。（ステップ 2108）。このステップ 2108 の作業では、プリント配線基板上に機能部品を実装する作業も含む場合もある。

【0097】

試作基板の製造後（ステップ 2108）、この試作基板を実際に動作させて、動作状態を検証、評価する（ステップ 2109）。この結果が不合格であれば、ステップ 2104 の配線レイアウト作成処理、又はステップ 2101 の回路図作成処理まで戻る。合格であれば、実際に、プリント配線基板の量産を行う（ステップ 2111）。

40

【0098】

次に、図 22 に示すフローチャートに従って、以上で説明した回路図作成・編集処理（ステップ 2101）の詳細処理について説明する。

【0099】

回路図設計支援装置 1900 の回路図エディタ 1902 が起動すると、まず、部品シンボル記憶部 1904 から部品シンボルを読み込む（ステップ 2201）。続いて、ユーザからの指示が回路図情報の変更である場合には、回路図情報記憶部 1905 に記憶されている回路図情報を読み出して、この回路図の画面を表示装置 1911 に表示させ、ユーザからの指示が新規作成の場合には、回路図新規作成画面を表示装置 1911 に表示させる（

50

ステップ2202)。

【0100】

次に、入力装置1912がシンボル配置指示又は配線配置指示を受け付ける(ステップ2203又は2208)。ステップ2203でシンボル配置指示を受け付けた場合には、各種部品シンボルを表示装置1911に表示させて、配置するシンボルの選択を受け付ける(ステップ2204)。回路図エディタ1902は、ユーザが選択したシンボルはカブラであるか否かを判断し(ステップ2205)、カブラであれば、このカブラのシンボルをユーザからの指示に従って所望の位置に配置する(ステップ2206)。ユーザは、基本的には、この段階で、カブラ・層情報記憶部1906にカブラ情報及び層構成情報を登録することが好ましい。この際、カブラ情報の一つであるカブラ長Lcに関しては、ここで、カブラ長設定部1907を動作させて、図17を用いて前述したように、カブラ長を設定してもよいが、カブラを構成する配線を実際に配置する直前に設定してもよい。また、ユーザが選択したシンボルがカブラ以外であれば、そのシンボルをユーザからの指示に従って所望の位置に配置する(ステップ2206)。

10

【0101】

また、ステップ2208で配線配置指示を受け付けた場合には、配線の始点位置を受け付ける(ステップ2209)。この場合、ユーザは、例えば、部品シンボル中の端子の表示画面上で指定してもよいし、配線始点位置の座標を入力してもよい。続いて、始点位置の受付と同様に、配線の終端位置を受け付ける(ステップ2210)。始点位置及び終端位置を受け付けると、始点から終点までの間に配線を引く(ステップ2211)。以上のようにして、仮に、カブラ回りの回路図を作成した場合には、この段階で、表示装置1911には、図26のような画面が表示される。なお、この画面に表示されている回路図は、図6に示した回路図と同じものである。

20

【0102】

ステップ2208又はステップ2211の後、回路図の保存指示及び回路図作成・編集の終了指示を受け付けなければ(ステップ2212, 2214)、ステップ2203に戻る。また、ステップ2212で回路図の保存指示を受け付けると、この回路図の情報を回路図情報記憶部1905に保存する(ステップ2213)。また、ステップ2214で回路図作成・編集の終了指示を受けると、以上の処理が終了する。

30

【0103】

以上のように、本実施形態では、回路図において、カブラは一部品としてシンボル表示されるので、回路図中のどの部位がカブラを構成するかを識別できるので、ユーザは、レイアウト図との対応関係を容易に認識することができる。また、レイアウト図を作成するレイアウト図設計支援装置1920にとっても、どの部位をカップとして配置すべきかを認識することができる。

【0104】

次に、図23及び図24に示すフローチャートに従って、先に説明した配線レイアウト作成・編集処理(ステップ2104)の詳細処理について説明する。

【0105】

レイアウト図設計支援装置1920のレイアウト図エディタ1922のが起動すると、まず、エディタ1922のレイアウト部1935が配線ルール情報記憶部1926から配線ルール情報を読み込み、カブラ・層情報記憶部1927からカブラ情報及び層構成情報を読み込む(ステップ2301)。さらに、回路図情報記憶部1924に記憶されている回路図情報を読み込む(ステップ2302)。なお、配線ルール情報の読み込みは、後述する配線ルールチェックを実行する際に読み込むようにしてもよい。続いて、ユーザからの指示がレイアウト図情報の変更である場合には、レイアウト図情報記憶部1925に記憶されているレイアウト図情報を読み出して、このレイアウト図の画面を表示装置1931に表示させ、ユーザからの指示が新規作成の場合には、レイアウト図新規作成画面を表示装置1931に表示させる(ステップ2303)。

40

【0106】

50

次に、入力装置 1932 がシンボル配置指示又は配線配置指示を受け付ける（ステップ 2304 又は 2311）。ステップ 2304 でシンボル配置指示を受け付けた場合には、回路図中のどのシンボルをレイアウト図中に配置するかを受け付ける（ステップ 2305）。レイアウト部 1935 は、ユーザが選択したシンボルはカブラであるか否かを判断し（ステップ 2306）、カブラであれば、このカブラシンボルの部品番号を参照して、カブラ・層情報記憶部 1927 から対応するカブラ情報 301 を読み出して、カブラ長 Lc 及びカブラ間隔 Dc を取得する（ステップ 2307）。続いて、カブラの開始座標 P1 及びカブラの伸張方向を受け付けると（ステップ 2308）、図 8 等を用いて前述したように、メイン配線及びサブ配線を配置する（ステップ 2309）。なお、メイン配線及びサブ配線の際に、これらの配線が他の配線又は他の機能部品と重なる場合には、基本的に、これらを迂回するように配置される。但し、図 3 に示す回路情報 301 で、「変形の良・否」が「否」となっている場合には、他の配線又は他の機能部品を移動させても良いか否かを表示し、移動許可を受けた場合には、他の配線又は他の機能部品を移動させて、メイン配線及びサブ配線の直線性を確保する。

10

【0107】

ステップ 2306 で、ユーザが選択したシンボルがカブラ以外である場合には、そのシンボルに配置に必要な座標等の情報を受け付けて、この情報に従ってシンボルを配置する（ステップ 2310）。なお、ここで配置する部品シンボルは、回路図で配置した部品シンボルと同じものでもよいが、好ましくは実際の部品寸法に対応したあるものが好ましく、例えば、抵抗であれば、実際の抵抗の長さに対応したものであることが好ましい。この場合、レイアウト図設計支援装置 1920 も、このようなシンボルが記憶されている部品シンボル記憶部を有する必要があることは言うまでもない。

20

【0108】

また、ステップ 2311 で配線配置指示を受け付けた場合には、配線の始点位置を受け付ける（ステップ 2312）。この場合、ユーザは、例えば、部品シンボル中の端子の表示画面上で指定してもよいし、配線始点位置の座標を入力してもよい。続いて、始点位置の受付と同様に、配線の終端位置を受け付ける（ステップ 2313）。始点位置及び終端位置を受け付けると、始点から終点までの間に配線を引く（ステップ 2314）。以上のようにして、仮に、カブラ回りのレイアウト図を作成した場合には、この段階で、表示装置 1931 には、図 27 のような画面が表示される。なお、この画面に表示されているレイアウト図は、図 8 に示したレイアウト図と同じものである。

30

【0109】

配線を引いた後、配線ルールチェック実行を受け付けると（ステップ 2315、以下、ステップ 2321 まで図 24 に示す）、レイアウト図エディタ 1922 の配線チェック部 1936 が起動し、ステップ 2301 で読み込んだ配線ルール情報を用いて、配線間隔をチェックする（ステップ 2316）。

【0110】

ステップ 2315 又はステップ 2316 の後、レイアウト図の保存指示及びレイアウト図作成・編集の終了指示を受け付けなければ（ステップ 2317、2319）、図 23 のステップ 2304 に戻る。また、ステップ 2317 でレイアウト図の保存指示を受け付けると、このレイアウト図の情報をレイアウト図情報記憶部 1925 に保存する（ステップ 2318）。また、ステップ 2319 でレイアウト図作成・編集の終了指示を受けると、以上の処理が終了する。

40

【0111】

次に、図 24 のステップ 2316 における配線ルールチェックの詳細処理について、図 25 に示すフローチャートに従って説明する。

【0112】

この配線ルールチェックでは、まず配線チェック部 1936 の対象抽出部 1937 が起動して、対象ネットを受け付けると共に、この対象ネットの近傍にある対象相手ネットを抽出して、これらのネットを構成要素の分解する（ステップ 2501）。この対象ネットの

50

近傍にある対象相手ネットの抽出にあたっては、対象ネットに対して予め定められた範囲内に入っている全てのネットを抽出する。ここで、ネットとは、ある部品等の端子から他の部品等の端子までの一連の配線、又は、この一連の配線及びこれに接続した機能部品を含むものである。また、ネットを構成要素に分解するとは、配線と機能部品とを分解すると共に、一連の配線を屈曲点や分岐点等で分解し、配線を直線成分又は一定の曲率の曲線成分のみにすることである。

【 0 1 1 3 】

ところで、本実施形態では、カプラを二つの配線としてではなく、一部品として取り扱っているため、対象ネット又は対象相手ネット内にカプラが存在していても、このカプラを二つの配線に分解せず、一つのカプラとして配線ルールチェックが行われる。このため、カプラを構成する二つの配線の相互間隔は、配線ルールチェック対象外になる。なお、対象ネット又は対象相手ネット内にカプラが存在するか否かは、これらのネット内に、カプラに付した部品番号を示すものが存在するか否かで判断する。

10

【 0 1 1 4 】

対象抽出部 1 9 3 7 は、対象ネットを構成する要素群及び対象相手ネットを構成する要素群から、それぞれ一つずつ抽出して、これらの要素を配線チェック部 1 9 3 6 の配線チェッカー 1 9 3 8 に渡す（ステップ 2 5 0 2 ）。

【 0 1 1 5 】

配線チェッカー 1 9 3 8 は、まず、二つの要素間の最短距離 s_p を調べる（ステップ 2 5 0 3 ）。続いて、二つの要素はどちらも V I A か否かを判断し（ステップ 2 5 0 4 ）、二つの要素とも V I A である場合には、図 1 8 に示す配線ルール情報 1 8 0 1 で規定する V I A - V I A 間の最小間隔 d_{s2} と、ステップ 2 5 0 3 で調べた s_p との大小関係を比較する（ステップ 2 5 0 5 ）。この比較の結果、 $s_p < d_{s2}$ の場合には、この二つの要素が配線ルール違反である旨を表示装置 1 9 3 1 に表示させる（ステップ 2 5 1 4 ）。

20

【 0 1 1 6 】

以下、二つの要素のうち一方がカプラで他方が配線である場合には、配線ルール情報 1 8 0 1 で規定するカプラ - 配線間の最小間隔 d_{s5} を用いて配線間隔チェックを行い（ステップ 2 5 0 7 , 2 5 0 8 , 2 5 1 3 ）、一方がカプラで他方が V I A である場合には、配線ルール情報 1 8 0 1 で規定するカプラ - V I A 間の最小間隔 d_{s6} を用いて配線間隔チェックを行い（ステップ 2 5 0 9 , 2 5 1 3 ）、両方がカプラである場合には、配線ルール情報で規定するカプラ - カプラ間の最小間隔 d_{s4} を用いて配線間隔チェックを行い（ステップ 2 5 1 0 , 2 5 1 3 ）、両方とも配線である場合には、配線ルール情報 1 8 0 1 で規定する配線 - 配線間の最小間隔 d_{s3} を用いて配線間隔チェックを行い（ステップ 2 5 1 1 , 2 5 1 4 ）、一方が配線で他方が V I A である場合には、配線ルール情報 1 8 0 1 で規定する配線 - V I A 間の最小間隔 d_{s1} を用いて配線間隔チェックを行う（ステップ 2 5 1 2 , 2 5 1 4 ）。

30

【 0 1 1 7 】

二つの要素に関して、配線間隔チェックが終了すると、全ての要素に関して、配線間隔チェックが終了したか否かを判断し（ステップ 2 5 1 5 ）、全ての要素に関して配線間隔チェックが終了していなければ、ステップ 2 5 0 2 に戻る。また、全ての要素に関して配線間隔チェックが終了していれば、対象ネット及び対象相手ネットに関する配線ルールチェックは終了する。なお、終了段階で、配線ルール違反が無ければ、対象ネット及び対象相手ネット内には、配線ルール違反がない旨を表示装置 1 9 3 1 に表示させる。

40

【 0 1 1 8 】

次に、以上で説明した設計支援システムで設計し、この設計に基づいて製造したプリント配線基板について説明する。

【 0 1 1 9 】

まず、製造するプリント配線基板の回路について、図 2 8 を用いて説明する。

【 0 1 2 0 】

この回路は、ドライバ 2 8 0 1 と、このドライバ 2 8 0 1 から伸びるドライバ信号線 2 8

50

02と、ドライバ信号線2802の端部に接続されているドライバ終端抵抗2803と、4つのレシーバ2810, 2820, 2830, 2840と、各レシーバから伸びるレシーバ信号線と、各レシーバ信号線に接続されているレシーバ終端抵抗2816, 2826, 2836, 2846と、を有している。ドライバ信号線2802に対して、4つのレシーバ信号線の一部分が一定の間隔で平行に配置されている。各レシーバ信号線の一部分と、これらの部分に平行なドライバ信号の各部分は、カプラ2813, 2823, 2833, 2843を形成している。つまり、各レシーバ信号線の一部分は、各カプラのスタブ配線2812, 2822, 2832, 2842を形成し、ドライバ信号の複数の部分は、各カプラのメイン配線2811, 2821, 2831, 2841を形成している。

【0121】

以上のような回路を従来技術で設計し、これに基づいてプリント配線基板を製造すると、図29に示すようなプリント配線基板が製造される。

【0122】

このプリント配線基板2900は、基板本体の上面に、ドライバ2801が設けられていると共に、第一のレシーバ2810と第四のレシーバ2840と第二のレシーバ2820と第三のレシーバ2830とがコネクタ2814, 2844, 2824, 2834を介して互いに等間隔で設けられ、さらに、ドライバ終端抵抗2803と第一のレシーバ終端抵抗2816と第二のレシーバ終端抵抗2826とが互いに等間隔で設けられている。また、基板本体の裏面には、第三のレシーバ終端抵抗2836と第四のレシーバ終端抵抗2846とが設けられている。この第三のレシーバ終端抵抗2836と第四のレシーバ終端抵抗2846との間隔は、第一のレシーバ終端抵抗2816と第二のレシーバ終端抵抗2826との間隔と同じである。

【0123】

基板本体の上面に設けられている4つのレシーバコネクタ2814, 2844, 2824, 2834からは、基板本体の裏面まで伸びているスルーホール2815, 2845, 2825, 2835が形成されている。レシーバ信号線は、このスルーホールの一部と、スルーホールの途中から基板本体の上面と平行な面内で伸びている部分と、その端部から基板本体の上面又は裏面に設けられている終端抵抗まで伸びている部分で形成されている。

【0124】

ドライバ信号線2802は、ドライバ2801から最も遠い位置に配置されている第三のレシーバ2830よりも更に遠い位置に形成されているスルーホール2805が折り返し部分を成し、このスルーホール2805から、ドライバ2801と第一のレシーバ2810との間に配置されているドライバ終端抵抗2803まで伸びている。

【0125】

各カプラ2813, 2823, 2833, 2843は、スルーホール2845, 2835, 2825, 2815を回避するため、いずれも迂回している。具体的には、図30に示すように、第一のカプラ2813のメイン配線2811は、第一のスルーホール2815を避けるために、第一のスルーホール2815から水平方向に一定距離離れている。この第一のスルーホール2815から伸びる第一のカプラ2813のスタブ配線2812は、第四のスルーホール2845を避けるために水平方向に迂回している。このため、メイン配線2811も、スタブ配線2812との平行性を維持するために、同様に迂回している。

【0126】

このように、カプラを迂回させると、カプラと屈曲部分で信号の反射現象が生じるため、クロストーク信号が歪んで所望のクロストーク信号を得ることが極めて難しく、データ転送速度を高めることができない。仮に、所望のクロストーク信号を得ようとするならば、このカプラを屈曲点毎に分割して、分割部分毎にシミュレートする必要があるため、カプラの設計に多くの工数がかかってしまう。

【0127】

これに対して、本実施形態では、図3に示すカプラ情報301の「変形の良・否」を「否

10

20

30

40

50

」に設定すると、図23のステップ2309において、前述したように、カブラが他の配線又は他の機能部品と重なる場合には、これらを移動して、カブラの直線性が確保されるので、図31及び図33に示すようなプリント配線基板3100を得ることができる。

【0128】

このプリント配線基板3100も、従来技術によるプリント配線基板2900と同様に、基板本体の上面に、ドライバ2801、第一から第4のレシーバ2810, 2820, 2830, 2840、ドライバ終端抵抗2803、第一のレシーバ終端抵抗2816、第二のレシーバ抵抗2826が設けられ、基板本体の裏面に、第三のレシーバ終端抵抗2836、第四のレシーバ終端抵抗2846が設けられている。しかしながら、このプリント配線基板3100では、レイアウト図設計段階で、カブラの直線性を維持するためにスルーホールを移動した結果、レシーバの配列順が変わった上に、レシーバ相互間隔及び終端抵抗相互間隔も等間隔ではなくなっている。

10

【0129】

具体的には、従来のプリント配線基板2900では、各レシーバは、ドライバ側から、第一のレシーバ2810、第四のレシーバ2840、第二のレシーバ2820、第三のレシーバ2830の順で並んでいるが、本実施形態のプリント配線基板3100では、ドライバ側から、第四のレシーバ2840、第一のレシーバ2810、第三のレシーバ2830、第二のレシーバ2820の順で並んでいる。また、従来のプリント配線基板2900では、隣り合う各レシーバ相互の間隔が前述したように等間隔であるが、本実施形態のプリント配線基板3100では、第四のレシーバ2840と第一のレシーバ2810との間隔と、第三のレシーバ2830と第二のレシーバ2820との間隔とは同じであるものの、第四のレシーバ2840と第一のレシーバ2810との間隔と、第一のレシーバ2810と第三のレシーバ2830との間隔とは同じではない。

20

【0130】

本実施形態では、以上のようなレイアウトを行った結果、前述したように、全てのカブラの直線性は確保されている。具体的には、図32に示すように、第一のカブラ2813のメイン配線2811にも、スタブ配線2812にも、スルーホールが邪魔にならないため、第一のカブラ2813を構成するメイン配線2811及びスタブ配線2812は、いずれも直線である。

【0131】

従って、本実施形態では、所望のクロストーク信号を得ることができるカブラを製造することができる。

30

【0132】

なお、以上では、カブラ情報301の「変形の良・否」を「否」に設定した場合のカブラ構成であるが、さらに、カブラ情報301として、「配線の上下重複の有・無」を追加し、これを「有」に設定できるようにして、図34に示すように、スタブ配線2812とメイン配線2811とを上下方向において重なり合うようにレイアウトしてもよい。この場合、図32において二点破線で示すように、第一のスルーホール2815からのレシーバ信号線を一旦ドライバ信号線側に向けて、ドライバ信号線2802の真下を通るようし、そこにスタブ配線2812を形成し、スタブ配線2812の端部からのレシーバ信号線を再びドライバ信号線2802から離れる方向に向けて、適当な位置から立ち上げて、その上端にレシーバ終端抵抗2816を設けるとよい。

40

【0133】

以上のようなレイアウトの場合、図34に示すように、基材3401の一方の面と他方の面の対応する位置に、それぞれ、メイン配線2811とスタブ配線2812を接着材3402, 3403で貼り付け、この接着剤3402, 3403の外側に電源配線層3404, 3405を貼り付けると、同一基材3401にメイン配線2811とスタブ配線2812とを設けることになるので、製造バラツキによる配線位置ズレを最小限に抑えることができ、カブラの性能劣化を抑えることができる。また、メイン配線2811とスタブ配線2812とを上下方向に重ねて配置することで、クロストーク電圧を高めやすくなり、結

50

果としてデータ転送速度を高めることができる。

【0134】

【発明の効果】

回路図の設計支援に関する発明によれば、方向性結合器が単なる配線としてではなく、部品シンボルとして回路図に描かれるので、回路図から方向性結合器を形成する配線を簡単に見出せる上に、この回路図とレイアウト図との対応関係を容易に認識することができる。この結果、この回路図に基づくレイアウト図の作成工数を減らすことができる。

【0135】

また、レイアウト図の設計支援に関する発明によれば、方向性結合器を形成する二つの配線は、一つの部品として扱われるため、間隔チェックの際には、この二つの配線の間隔チェックは行われず、一つの部品としての方向性結合器と他の配線との間隔チェックが行われるので、間隔チェックが効率的に且つ高精度で行われ、レイアウト図の作成工数を減らすことができる。

10

【0136】

また、レイアウト図の設計支援で設計された回路基板に係る発明によれば、方向性結合器が直線状に形成されるために、クロストーク信号の歪みを抑えることができ、データ転送速度を高めることができる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施形態としてのカプラシンボルを示す説明図である。

【図2】図1のカプラシンボルをレイアウトしたレイアウト図である。

20

【図3】本発明に係る一実施形態としてのカプラ情報の構成を示す説明図である。

【図4】本発明に係る第二の実施形態としてのカプラシンボルを示す説明図である。

【図5】本発明に係る第三の実施形態としてのカプラシンボルを示す説明図である。

【図6】本発明に係る第一の実施形態としての回路図である。

【図7】本発明に係る第二の実施形態としての回路図である。

【図8】図6又は図7の回路図をレイアウトしたレイアウト図である。

【図9】本発明に係る一実施形態としてのカプラ長の伸張方法を示す説明図である。

【図10】本発明に係る一実施形態としてのカプラ長の縮小方法を示す説明図である。

【図11】本発明に係る一実施形態としてのカプラ長変更の処理手順を示すフローチャートである。

30

【図12】本発明に係る一実施形態としての層構成情報を説明するための説明図である。

【図13】本発明に係る一実施形態としての層構成情報の構成を示す説明図である。

【図14】本発明に係る一実施形態としての基板材料情報の構成(a)、ドライバ情報の構成(b)、カプラ設計条件情報の構成(c)を示す説明図である。

【図15】ドライバの出力波形を示す説明図である。

【図16】レシーバの入力波形を示す説明図である。

【図17】本発明に係る一実施形態としてのカプラ長の設定処理手順を示すフローチャートである。

【図18】本発明に係る一実施形態としての配線ルール情報の構成を示す説明図である。

【図19】本発明に係る一実施形態としての設計支援システムの機能ブロック図である。

40

【図20】本発明に係る一実施形態としての回路図設計支援装置の回路ブロック図である。

【図21】本発明に係る一実施形態としてのプリント配線基板の設計から製造までの手順を示すフローチャートである。

【図22】本発明に係る一実施形態としての回路図エディタの動作を示すフローチャートである。

【図23】本発明に係る一実施形態としてのレイアウト図エディタの動作を示すフローチャート(その1)である。

【図24】本発明に係る一実施形態としてのレイアウト図エディタの動作を示すフローチャート(その2)である。

50

【図25】本発明に係る一実施形態としての配線チェック部の動作を示すフローチャートである。

【図26】本発明に係る一実施形態としての回路図の表示画面を示す説明図である。

【図27】本発明に係る一実施形態としてのレイアウト図の表示画面を示す説明図である。

【図28】複数のカブラを含む回路の回路図である。

【図29】従来のプリント配線回路基板の構成を示す説明図である。

【図30】図29に示すプリント配線回路基板の要部切欠き斜視図である。

【図31】本発明に係る一実施形態の設計方法で設計したプリント配線回路基板の構成を示す説明図である。

10

【図32】図31に示すプリント配線回路基板の要部切欠き斜視図である。

【図33】図31に示すプリント配線基板の全体斜視図である。

【図34】図31に示すプリント配線基板を一部変更した配線基板の断面図である。

【図35】カブラの構成を示す説明図である。

【図36】カブラを含む回路の従来の回路図である。

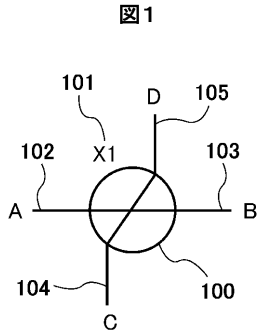
【図37】図36の回路図におけるカブラ回りのレイアウト図である。

【符号の説明】

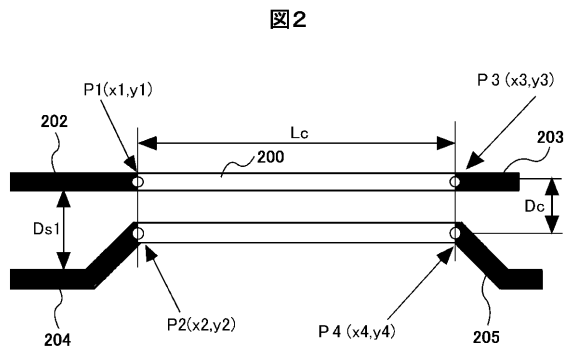
100, 400, 700...カブラシンボル、200, 800...カブラ、301...カブラ情報、1301...層構成情報、1801...配線ルール情報、1900...回路図設計支援装置、1901...回路図設計支援装置の本体、1902...回路図エディタ、1903...簡易シミュレータ、1904...部品シンボル記憶部、1905、1924...回路図情報記憶部、1906, 1927...カブラ・層情報記憶部、1907, 1928...カブラ長設定部、1908, 1929, 1944...通信部、1911, 1931, 1951...表示装置、1912, 1932, 1952...入力装置、1922...レイアウト図エディタ、1923...詳細シミュレータ、1926...配線ルール情報記憶部、1935...レイアウト部、1936...配線チェック部、1937...対象抽出部、1938...配線チェッカー、1940...回路製造データ作成装置。

20

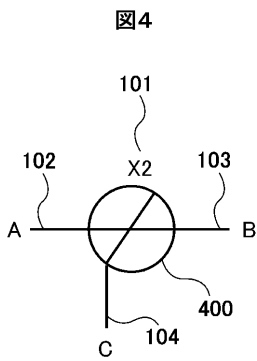
【 図 1 】



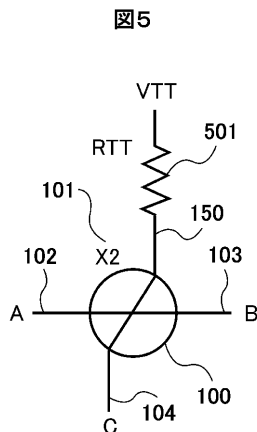
【 図 2 】



【 図 4 】



【 図 5 】



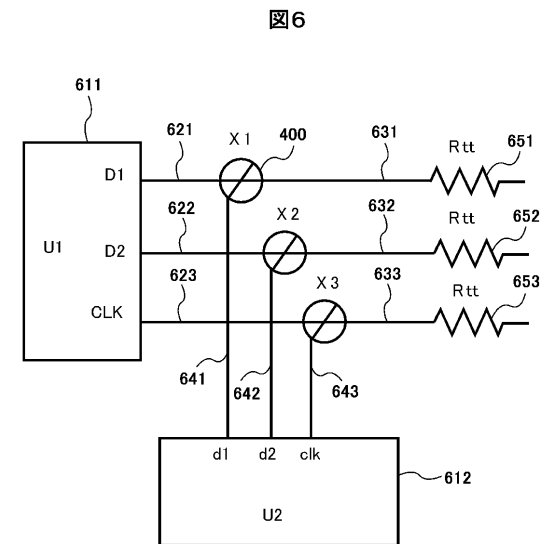
【 図 3 】

図3

ケーブル情報

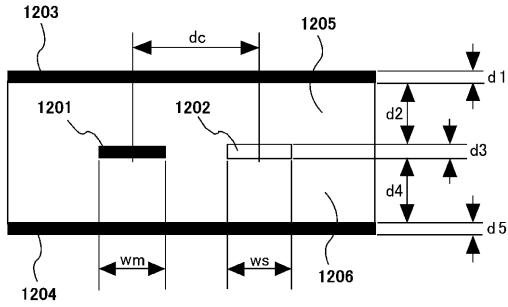
部品番号	X	X2	
メイン配線開始座標	P1	(160.000, 130.000)	mm
スタブ配線開始座標	P2	(160.000, 130.200)	mm
ケーブル長	Lc	35	mm
ケーブル間隔	Dc	200	μm
終端抵抗部品名	RTT	ChipR75	
終端電源名	VTT	VT18	
メイン配線幅	wm	100	μm
スタブ配線幅	ws	100	μm
変形の良・否	良 or 否		

【 図 6 】



【図12】

図12



【図13】

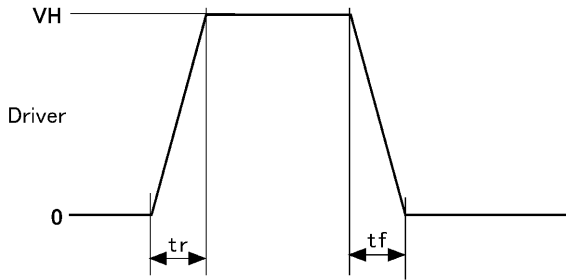
図13

層構成情報

層構成情報	1301		
電源層厚さ1	d1	35	μm
絶縁層厚1	d2	400	μm
配線層厚さ1	d3	35	μm
絶縁層厚さ2	d4	400	μm
電源層厚さ2	d5	35	μm

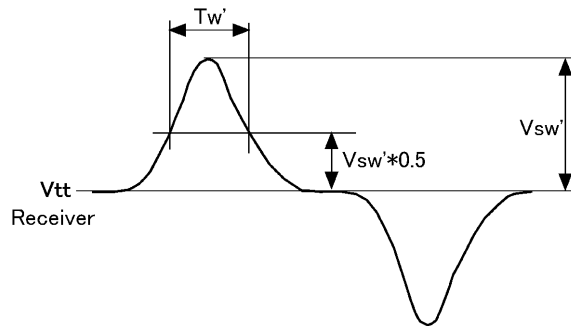
【図15】

図15



【図16】

図16



【図14】

図14

材料情報

比誘電率	ϵ_r	4.6	
抵抗率	σ	5.8	$\times 10^{-7} \Omega \cdot \text{m}$

(b)

ドライバ情報

波形遷移時間	t_r, t_f	500	ps
出力信号レベル	VH	1.8	V

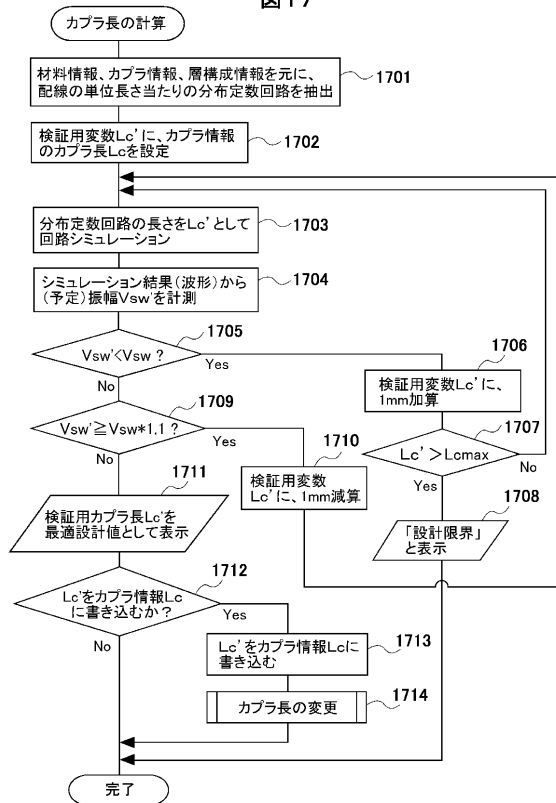
(c)

カプラ設計条件情報

最小入力信号レベル	Vsw	250	mV
最大カプラ長	Lcmax	40	mm
最大入力信号幅	Tw	2	ns

【図17】

図17



【図18】

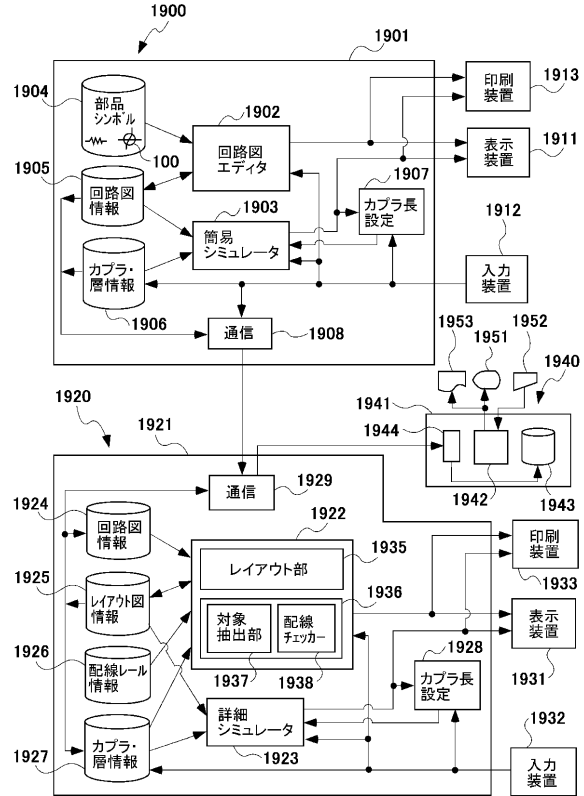
図18

配線ルール情報 1801

バイア-配線間	ds1	200	μm
バイア-バイア間	ds2	200	μm
配線-配線間	ds3	200	μm
カプラー-カプラー間	ds4	300	μm
カプラー-配線間	ds5	300	μm
カプラー-バイア間	ds6	300	μm

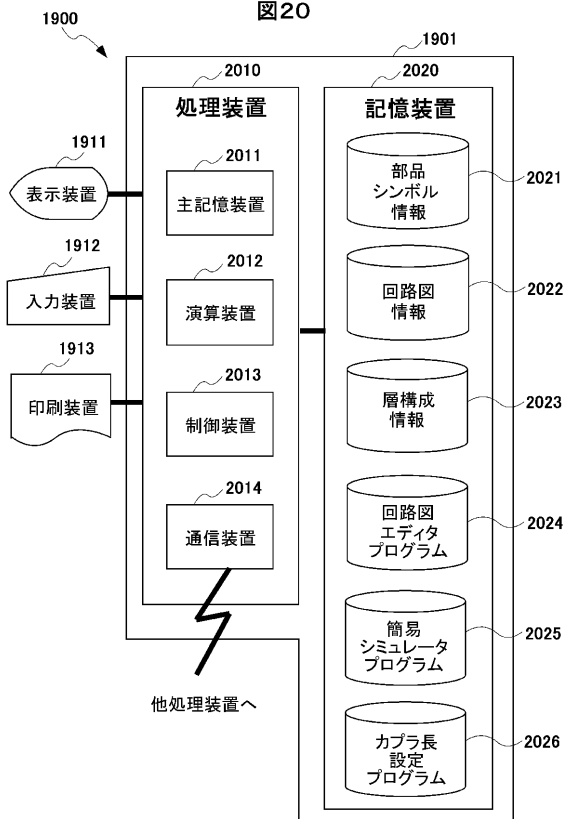
【図19】

図19



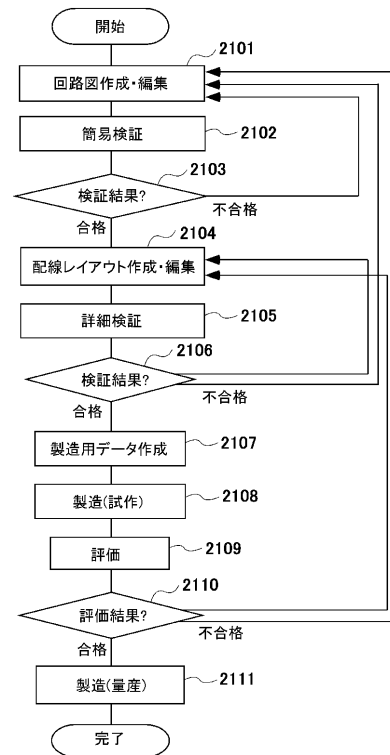
【図20】

図20

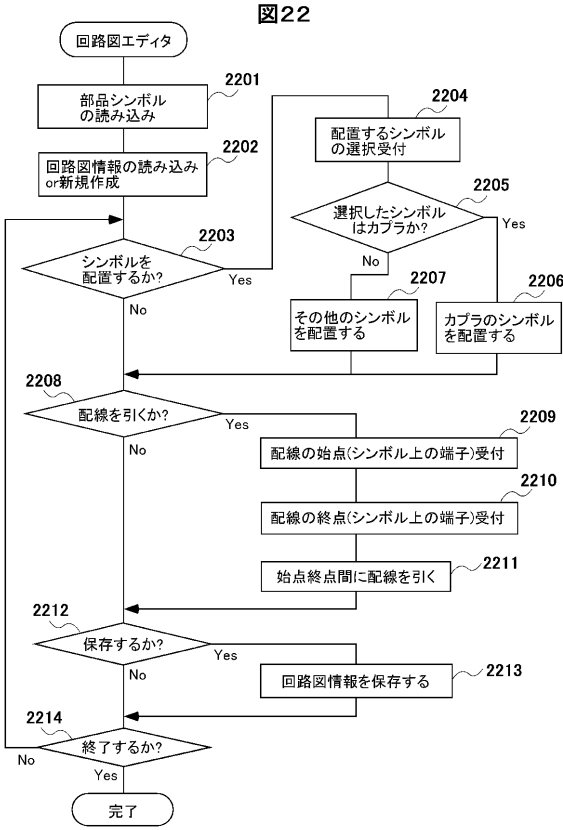


【図21】

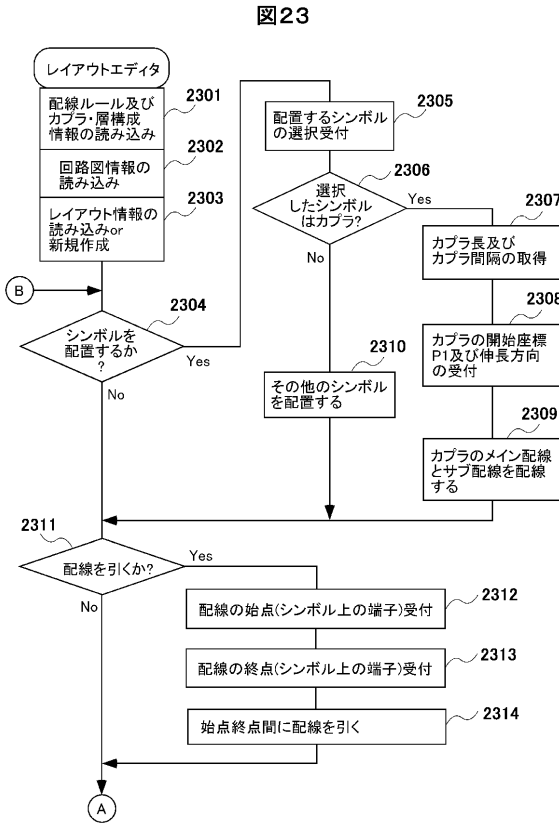
図21



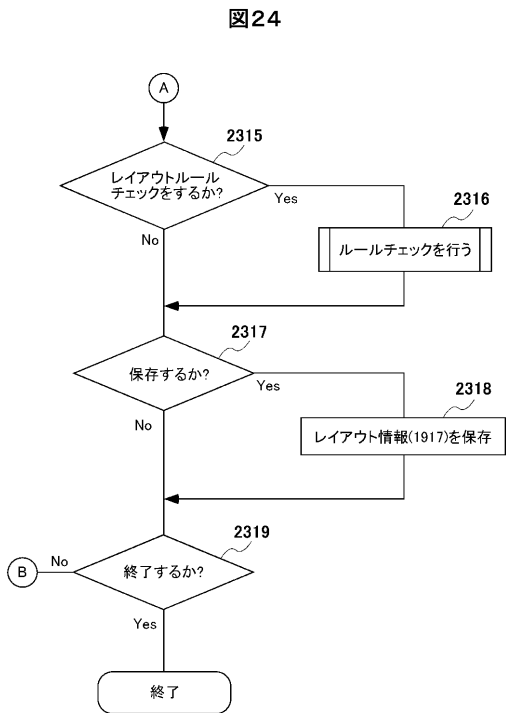
【図22】



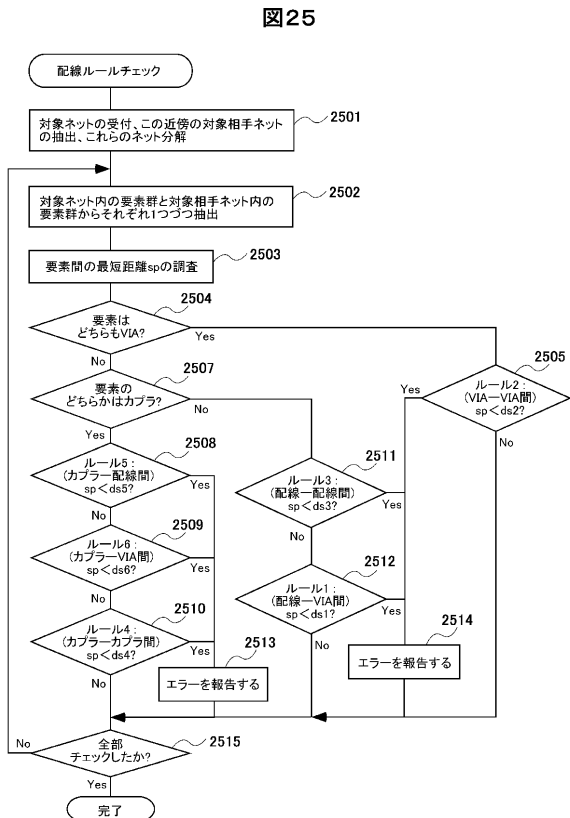
【図23】



【図24】

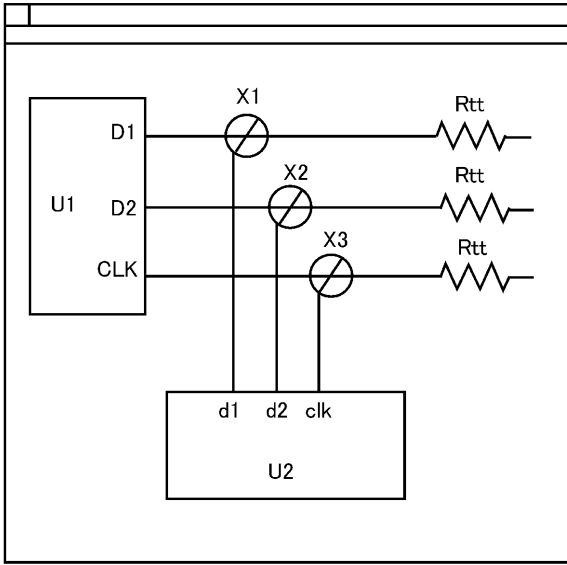


【図25】



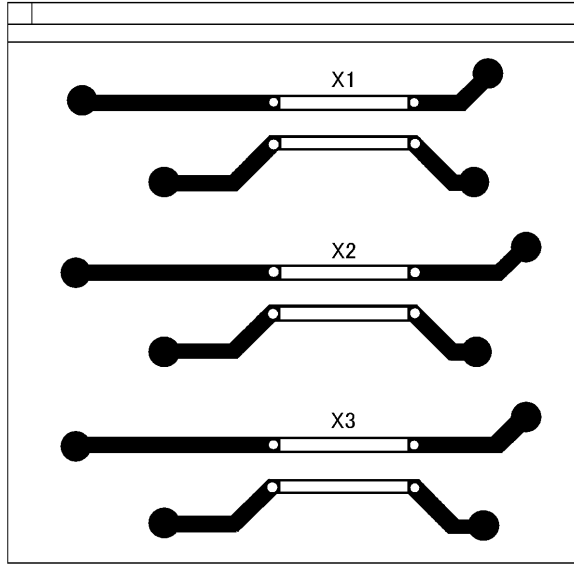
【 26 】

26



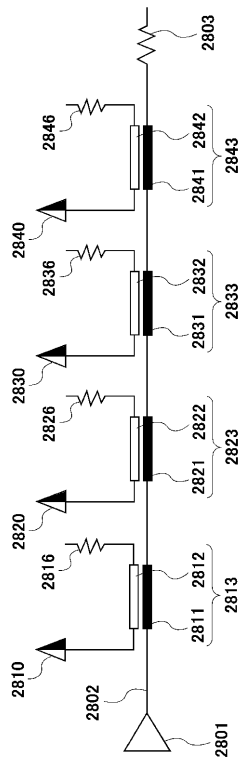
【 27 】

27



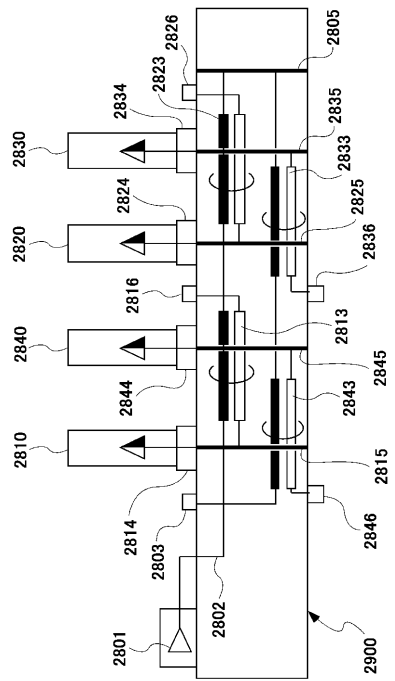
【 28 】

28

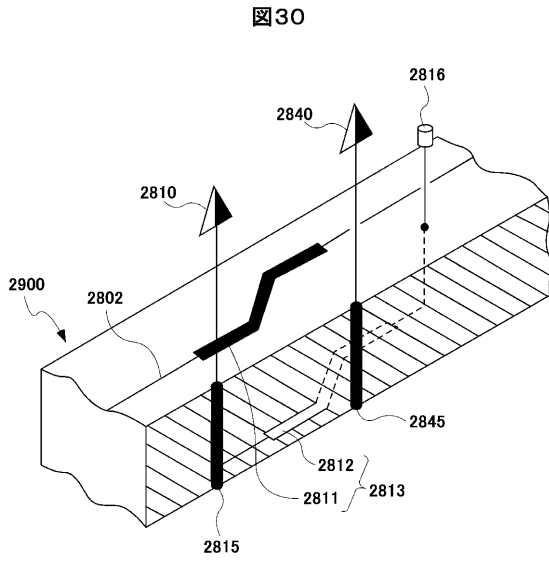


【 29 】

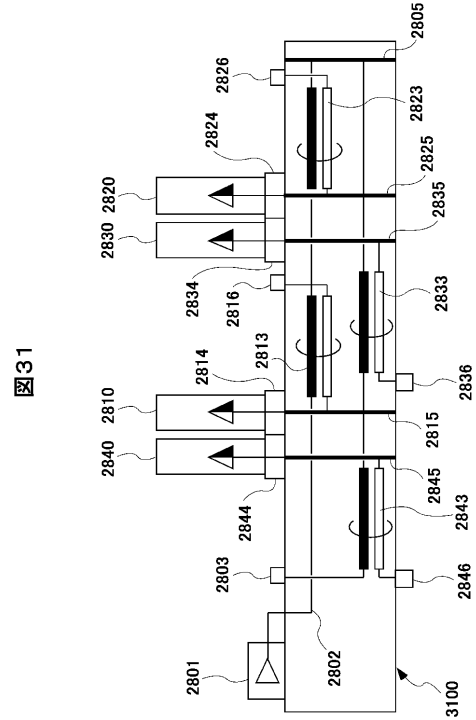
29



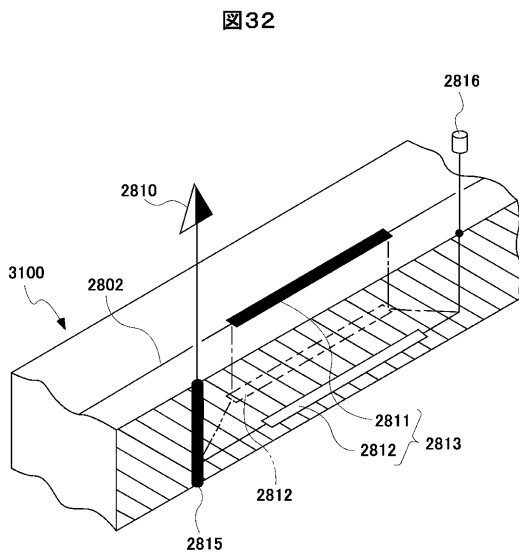
【 図 3 0 】



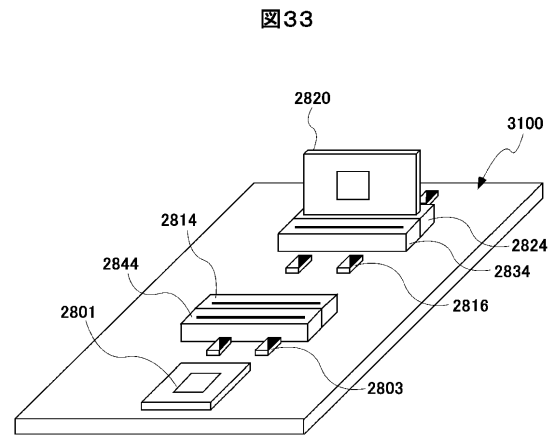
【 図 3 1 】



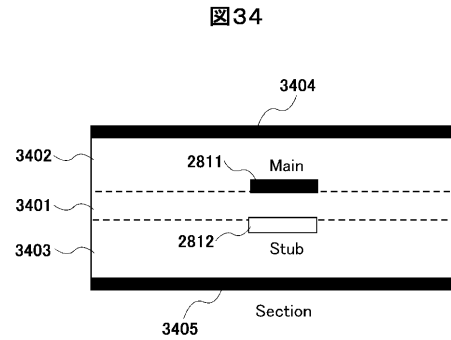
【 図 3 2 】



【 図 3 3 】

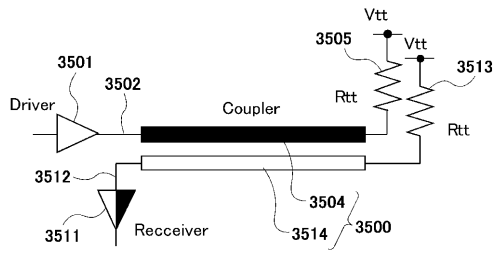


【 図 3 4 】



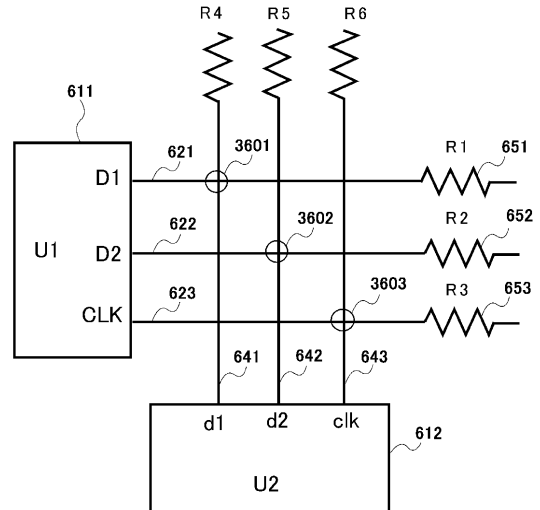
【 図 3 5 】

図35



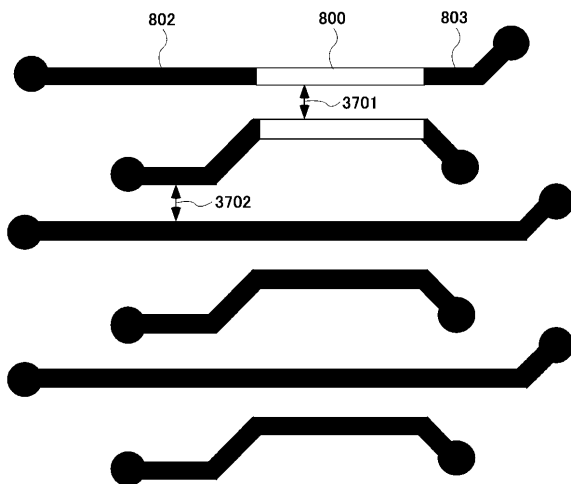
【 図 3 6 】

図36



【 図 3 7 】

図37



フロントページの続き

- (56)参考文献 特開平 10 - 293771 (JP, A)
特開 2001 - 045455 (JP, A)
特表平 08 - 505495 (JP, A)
特開 2000 - 132290 (JP, A)
特開昭 63 - 029883 (JP, A)
特開平 01 - 177679 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

G06F 17/50