[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H02M 3/07

[12]发明专利说明书

[21] ZL 专利号 96121658.1

[45]授权公告日 2001 年 1 月 31 日

[11]授权公告号 CN 1061484C

[22]申请日 1996.11.8 [24]颁证日 2000.10.21

[21]申请号 96121658.1

[30]优先权

[32]1995.11.8 [33]JP [31]290070/1995

[32]1996.8.30 [33]JP [31]230736/1996

[73]专利权人 索尼公司

地址 日本东京都

[72]发明人 曾根田光生 李 明

[56]参考文献

US 4398099 1983. 8. 9 H03K1756

审查员 陈钰生

[74]专利代理机构 中国专利代理(香港)有限公司

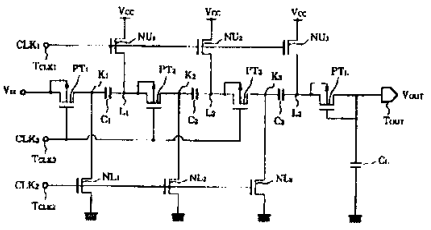
代理人 傅 康 王忠忠

权利要求书 6 页 说明书 25 页 附图页数 18 页

[54]发明名称 内部电源电路

[57]摘要

一种内部电源电路,包括:多个电荷存储器,一个第一电源端,一个第二电源 端,一个第一开关装置,用于把多个电荷存储器相互并联连接在第一状态,和 一个第二开关装置,用于把多个电荷存储器相互串联连接在第二状态,和电荷 存储器在第一状态或第二状态中被连接在第一电源端和第二电源端之间,和第 一状态和第二状态重复地被设置以便升高或降低一个在第一电源端和第二电源 端之间的电压。



ISSN1008-4274

知识产权出版社出版

权 利 要 求 书

1. 一种内部电源电路，包括；

多个电荷存储装置，

一个输入电源端，

一个升压输出电源端，

一个第一开关装置，用于把多个电荷存储装置相互并联连接在第一状态，和

一个第二开关装置，用于把多个电荷存储装置相互串联连接在第二状态，

其中，第一开关装置包括一个第三开关装置和一个第四开关装置，所述第三开关装置将所述电荷存储装置与电压供应线连接起来，所述第四开关装置将所述电荷存储装置接地；和

一个控制装置，用于根据第一状态或第二状态来激励第一开关装置或第二开关装置以便把多个电荷存储装置连接在第一电源端和第二电源端之间，和用于根据第一状态或第二状态来去除激励第一开关装置或第二开关装置以便使多个电荷存储装置不连接在第一电源端和第二电源端之间，该控制装置重复激励和去激励，

多个单独的升压电路，各个由其中一个所述电荷存储装置连接在第一节点与第二节点之间组成；

其中，第二开关装置在第一状态中把第一单独的升压电路的第一节点和一个后部分升压电路的第二节点保持在一个非导通状态和在第二状态中把它们保持在一个导通状态；

此外，其中在第一状态中，由第三开关装置和第四开关装置被保持在导通状态而第二开关装置被保持在非导通状态；和

此外，其中在第二状态中，由第三开关装置和第四开关装置构成的第一开关装置被保持在非导通状态而第二开关装置被保持在导通状态，以便把在输入端和输出端之间的电压升高。

2. 根据权利要求 1 的内部电源电路，其特征在于，电荷存储装置由电容器构成。

3. 根据权利要求 1 的内部电源电路，其特征在于，

一个与最初级部分升压电路的第二节点连接的偏置装置，用于把该第二节点保持在一个恒定的电位上和一个连接在最末级部分升压电路的第一节点和一个升压电压输出端之间的整流装置。

4.根据权利要求 3 的内部电源电路，其特征在于偏置装置是由一个开关装置构成的，在由第三开关装置和第四开关装置构成的第一开关装置被保持在非导通状态时该开关装置被设置在导通状态。

5.根据权利要求3的内部电源电路，其特征在于:

第一电源端是一个正电源端和第二电源端是一个负电源端，

恒定电位是第一电源端的电位，

偏置装置是这样被连接的整流元件，以便使从第一电源端朝向最初级部分升压电路的第二节点的方向变为正方向，和

该整流元件被这样的连接以便使从最末级部分升压电路的第一节点朝向输出端的方向变为正方向并且提供正的升压电压给输出端。

6.根据权利要求3的内部电源电路，其特征在于:

第一电源端是一个负电源端和第二电源端是一个正电源端，

恒定电位是第二电源端的电位，

偏置装置是这样被连接的整流元件，以便使从第一级部分升压电路的第二节点朝向第一电源端的方向变为正方向，和

该整流元件被这样的连接以便使从输出端朝向最末级部分升压电路的第一节点的方向变为正方向并且提供负的升压电压给输出端。

7.根据权利要求3的内部电源电路，其特征在于:

第三开关装置是由一个第一导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第一时钟的输入端连接的栅极、一个与第一电源连接的扩散层和另一个与部分升压电路的第一节点连接的扩散层;

第四开关装置是由一个第一导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第二时钟的输入端连接的栅极、一个与第二电源连接的扩散层和另一个与该部分升压电路的第二节点连接的扩散层;

第二开关装置是由一个第二导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第三时钟的输入端连接的栅极。

8.根据权利要求3的内部电源电路，其特征在于:

偏置装置是由一个第二导电型绝缘栅型场效应晶体管构成的，该晶体管

具有一个与第三时钟的输入端连接的栅极。

9. 根据权利要求 7 的内部电源电路，其特征在于第一时钟的幅值被设置在比在第一电源端和第二电源端之间的电位差更大的一个值上。

10. 根据权利要求 7 的内部电源电路，其特征在于第一电源端是一个正电源端和第一导电型绝缘栅型场效应晶体管是一个 P 沟道型晶体管并且在第一时钟的高电平区域中该晶体管被保持在比第一电源端电压更高的一个电平上。

11. 根据权利要求 7 的内部电源电路，其特征在于第一电源端是一个负电源端和第一导电型绝缘栅型场效应晶体管是一个 P 沟道型晶体管并且在第一时钟的低电平区域中该晶体管被保持在比第二电源端电压更低的一个电平上。

12. 根据权利要求 7 的内部电源电路，其特征在于构成第二开关装置的第二导电型绝缘栅型场效应晶体管在一个独立的沟中被形成。

13. 根据权利要求 8 的内部电源电路，其特征在于:

偏置装置是一个第二导电型绝缘栅型场效应晶体管，该晶体管被形成在与用于构成部分周边逻辑电路的第二导电型绝缘栅型场效应晶体管的沟相同的沟中。

14. 根据权利要求 1 的内部电源电路，其特征在于:

电荷存储装置是由电容器构成的;

在第二状态中，这些电容器被串联连接在第一和第二电源端之间并且然后被充电; 和

在第一状态中，这些电容器被并联连接在第二电源端和一个降压电压输出端之间由此在第一和第二电源端之间获得一个电压。

15. 根据权利要求 14 的内部电源电路，其特征在于还包括:

一个开关装置，该开关装置与在第一电源端的电压和第二电源端的电压之间的一个外部电源连接，并且具有至少一个比外部电源的电位更低的电位的辅助电源，该开关装置操作地连接外部电源和辅助电源，

一个装置，该装置用于根据与外部电源连接的开关装置顺序地转换导通和非导通状态以便产生对电容器的充电和放电。

16. 根据权利要求 15 的内部电源电路，其特征在于还包括一个装置，该装置用于根据与辅助电源连接的开关装置顺序地转换导通和非导通状态以便

产生对电容器的充电和放电。

17.根据权利要求15的内部电源电路，其特征在于:

至少有两个多个电容器的结构，这两个多个电容器结构根据一个时钟信号在串联连接和并联连接之间被转换，和

具有相向相位的时钟信号被提供给上述至少两个结构。

18.根据权利要求 14 的内部电源电路，其特征在于电容器包括从铁电电容器、高介电电容器、MIM（金属-绝缘体-金属）结构电容器、DRAM 槽和叠层电容器、平面电容器、外部电容器、和 MIS（金属-绝缘体-半导体）栅极电容器中选择的电容器。

19.一种用于升压的内部电源电路，包括:

多个电荷存储装置，

第一多个晶体管，与所述多个电荷存储装置交替串联连接，其中所述串联从所述第一多个晶体管的第一晶体管开始，至所述第一多个晶体管的最末晶体管结束;

第二多个晶体管，各个连接在电压供应线与其中一个所述多个电荷存储装置与其中一个所述第一多个晶体管之间的连接点之间；和

第三多个晶体管，各个连接在地与其中一个所述多个电荷存储装置与其中一个所述第一多个晶体管之间的连接点之间;

其中，除所述最末一个晶体管例外，各所述第一多个晶体管的栅极连接到提供第一时钟信号的第一时钟线;

此外，其中各所述第二多个晶体管的栅极接到提供与所述第一时钟信号不同的第二时钟信号的第二时钟线；且

此外，其中各所述第三多个晶体管的栅极接到提供与所述第二时钟信号不同的第三时钟信号的第三时钟线。

20.如权利要求 19 所述的内部电源电路，其特征在于所述最后一个晶体管，其漏极接一个输出端子，其栅极接到所述漏极，且通过寄生电容接地。

21.如权利要求 19 所述的内部电源电路，其特征在于，它还包括一个时钟电路供产生所述第一、第二和第三时钟信号，所述时钟电路的时钟发生器包括:

第一对晶体管，串联连接在地与电压源线之间;

第二对晶体管，串联连接在地与所述电压源线之间;

一个电容器，连接在第一点与第二点之间，所述第一点在所述第一对晶体管之间，所述第二点在所述第二对晶体管之间；和

一个时钟输出端子，连接所述第二点，其中所述第一时钟信号输出给所述时钟输出端子。

22. 如权利要求 21 所述的内部电源电路，其特征在于，所述第一时钟信号的电压幅值大于所述电压源线的电压。

23. 如权利要求 21 所述的内部电源电路，其特征在于，所述时钟电路还有多个触发电路，其中第一所述触发电路，其置位端接收所述第二时钟信号，其反相输出端接所述第二对晶体管的第一个晶体管的栅极。

24. 如权利要求 23 所述的内部电源电路，其特征在于，所述第一触发电路的输出端接到所述多个触发电路的第二触发电路的置位端，所述第二触发电路的输出端接到所述第二对晶体管的第二个晶体管的栅极。

25. 如权利要求 24 所述的内部电源电路，其特征在于所述第二触发电路的所述输出端接到所述多个触发电路的第三触发电路的置位端，所述第三触发电路的反相输出端接所述第一对晶体管的第一个晶体管。

26. 如权利要求 24 所述的内部电源电路，其特征在于，所述第二触发电路的反相输出端接到所述第一触发电路的复位端。

27. 如权利要求 25 所述的内部电源电路，其特征在于，所述第三触发电路的所述反相输出端接到所述第二触发电路的复位端。

28. 如权利要求 25 所述的内部电源电路，其特征在于，所述第三触发电路的输出端接到所述多个触发电路的第四触发电路的置位端，第四触发电路的输出端接到所述第一对晶体管的第二晶体管。

29. 如权利要求 28 所述的内部电源电路，其特征在于，所述第四触发电路的所述输出端通过一个延时元件接所述多个触发电路的第五触发电路的置位端，所述第五触发电路的反相输出端输出所述第二时钟信号。

30. 如权利要求 29 所述的内部电源电路，其特征在于，所述第一触发电路的所述反相输出端接到所述多个触发电路的第六触发电路的复位端，所述第六触发电路，其输出端输出所述第三时钟信号，其反相输出端通过一个延时元件接到所述触发电路的置位端。

31. 如权利要求 30 所述的内部电源电路，其特征在于，所述第六触发电路的所述输出端连接到所述第五触发电路的复位端。

32. 如权利要求 19 所述的内部电源电路，其特征在于，所述第一多个晶体管为 P 型晶体管，所述第二和第三多个晶体管为 n 型晶体管。

33. 如权利要求 19 所述的内部电源电路，其特征在于，所述第一多个晶体管为 n 型晶体管，所述第二和第三多个晶体管为 P 型晶体管。

34. 如权利要求 19 所述的内部电源电路，其特征在于，所述电源存储装置为电容器。

35. 如权利要求 19 所述的内部电源电路，其特征在于，它还包括一个电源输入端连接到所述第一晶体管的源极。

36. 如权利要求 19 所述的内部电源电路，其特征在于:

所述第二多个晶体管导通时将所述多个电荷存储装置与所述电压供应线并联连接；且

所述第一多个晶体管导通时使所述多个电荷存储装置彼此串联连接。

37. 如权利要求 19 所述的内部电源电路，其特征在于:

当所述第一多个晶体管导通、所述第二多个晶体管截止时，所述第一晶体管起偏置装置的作用使所述第一晶体管与其中一个所述电荷存储装置之间的连接节点保持不变的电位；且

所述最后一个晶体管起整流装置的作用连接在所述串联电路与升压输出端之间。

38. 如权利要求 19 所述的内部电源电路，其特征在于，所述多个电荷存储装置为三个电荷存储装置。

说　　明　　书

内部电源电路

本发明涉及一种电源电路，特别是涉及一种通过把外部电源升高来产生一个比外部电源电压更高的电压的升高电路或一个通过把外部电源降低来产生一个比外部电源电压更低电压的一个降压变换器或其它 DC （直流）-DC 变换器。

近年来，在 EEPROMs、快速存储器和其它能够被电重写的只读存储器的实际应用中只能从外部提供一个单一的低电源电压，在集成电路内部产生一个比由外部提供的电压更高的内部电压，并且通过在集成电路内部的高电压把数据写入到存储器中。

然而，作为一般的趋势外部电源的电压正在被减小并且电压越低升压效率下降。因此，已经不可能产生一个具有充足功率的内部升压电压。

另一方面，使用的外部电源通常是一个 5V 的单电源，但是由于希望处理伴随更高集成化的半导体装置的耐压的损坏和希望减小功率损耗，已经变为必须在较低的外部电压上操作半导体装置。

然而，由于在集成电路中的电源电路的操作所引起损耗是大的并且阻碍了功率损耗的减小。

本发明的一个目的是提供一种电源电路，该电源电路能够减小被用于通过增加升压和降压效率来获得一个希望的高电压的充电激励电路的数量并且能够输出一个具有低功率损耗的稳定输出电压。

根据本发明的一个方面提供一种外部电源电路，该电路包括：多个电荷存储装置，一个第一电源端，一个第二电源端，一个第一开关装置，用于把多个电荷存储装置相互并联连接在第一状态，和一个第二开关装置，用于把多个电荷存储装置相互串联连接在第二状态，一个控制装置，用于根据第一状态或第二状态来激励第一开关装置和第二开关装置以便把多个电荷存储装置连接在第一电源端和第二电源端之间，和用于根据第一状态或第二状态来去除激励第一开关装置和第二开关装置以便使多个电荷存储装置不连接在第一电源端和第二电源端之间，该控制装置重复激励和去激励。

最好，电荷存储装置是由电容器构成的；第一开关装置是由一个第三开关

装置和一个第四开关装置构成的；和一个单独的升压电路包括一个连接在第一节点和第二节点之间的电容器、连接在第一节点和第一电源端之间的第三开关装置和连接在第二节点和第二电源端之间的第四开关装置；设置多个单独的升压电路；第二开关装置在第一状态中把一个前部分升压电路的第一节点和一个后部分升压电路的第二节点保持在一个非导通状态和在第二状态中把它们保持在一个导通状态；在第一状态中，由第三开关装置和第四开关装置构成的第一开关装置被保持在导通状态而第二开关装置被保持在非导通状态；和在第二状态中，由第三开关装置和第四开关装置构成的第一开关装置被保持在非导通状态而第二开关装置被保持在导通状态，以便把在第一电源端和第二电源端之间的电压升高。

本发明的内部电源电路还包括：一个与最初级部分升压电路的第二节点连接的偏置装置，用于把该第二节点保持在一个恒定的电位上和一个连接在最末级部分升压电路的第一节点和一个升压电压输出端之间的整流装置。

最好偏置装置是由一个开关装置构成的，在由第三开关装置和第四开关装置构成的第一开关装置被保持在非导通状态时该开关装置被设置在导通状态。

最好第一电源端是一个正电源端和第二电源端是一个负电源端，恒定电位是第一电源端的电位，偏置装置是这样被连接的整流元件，以便使从第一电源端朝向最初级部分升压电路的第二节点的方向变为正方向，和该整流元件被这样的连接以便使从最末级部分升压电路的第一节点朝向输出端的方向变为正方向并且提供正的升压电压给输出端。

另一方面，第一电源端是一个负电源端和第二电源端是一个正电源端，恒定电位是第二电源端的电位，偏置装置是这样被连接的整流元件，以便使从第一级部分升压电路的第二节点朝向第一电源端的方向变为正方向，和该整流元件被这样的连接以便使从输出端朝向最末级部分升压电路的第一节点的方向变为正方向并且提供负的升压电压给输出端。

最好第三开关装置是由一个第一导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第一时钟的输入端连接的栅极、一个与第一电源连接的扩散层和另一个与部分升压电路的第一节点连接的扩散层；第四开关装置是由一个第一导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第二时钟的输入端连接的栅极、一个与第二电源连接的扩散层和另一个与该部分升

压电路的第二节点连接的扩散层；第二开关装置是由一个第二导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第三时钟的输入端连接的栅极。

最好偏置装置是由一个第二导电型绝缘栅型场效应晶体管构成的，该晶体管具有一个与第三时钟的输入端连接的栅极。

最好第一时钟的幅值被设置在比在第一电源端和第二电源端之间的电位差更大的一个值上。

最好第一电源端是一个正电源端和第一导电型绝缘栅型场效应晶体管是一个 n 沟道型晶体管并且在第一时钟的高电平区域中该晶体管被保持在比第一电源端电压更高的一个电平上。

最好第一电源端是一个负电源端和第一导电型绝缘栅型场效应晶体管是一个 P 沟道型晶体管并且在第一时钟的低电平区域中该晶体管被保持在比第二电源端电压更低的一个电平上。

最好构成第二开关装置的第二导电型绝缘栅型场效应晶体管在一个独立的沟中被形成。

最好偏置装置是一个第二导电型绝缘栅型场效应晶体管，该晶体管被形成在与用于构成部分周边逻辑电路的第二导电型绝缘栅型场效应晶体管的沟相同的沟中。

根据本发明的第二个方面提供一种内部电源电路，该电路包括；一个第一电源端，一个第二电源端，一个第一节点，一个第二节点，一个连接在第一节点和第二节点之间的电容器，一个连接在第一节点和第一电源端之间的第一开关装置，一个连接在第二节点和第二电源端之间的第二开关装置，一个与第二节点连接并且把该节点偏压在一个恒定电压上的偏置装置，一个连接在第一节点和升压电压输出端之间的整流装置，第一和第二开关装置被重复地设置在导通状态和非导通状态以便被重叠，由此输出一个升压电压给输出端。

最好偏置装置是这样被连接的整流元件，以便使从第一电源端朝向第二节点的方向变为正方向，和该整流元件被这样的连接以便使从第一节点朝向升压输出端的方向变为正方向。

最好偏置装置是这样被连接的整流元件，以便使从第二节点朝向第一电源端的方向变为正方向，和该整流元件被这样的连接以便使从升压输出端朝向

第一节点的方向变为正方向。

最好电荷存储装置是由电容器构成的；在第二状态中，这些电容器被串联连接在第一和第二电源端之间并且然后被充电；和在第一状态中，这些电容器被并联连接在第二电源端和一个降压电压输出端之间由此在第一和第二电源端之间获得一个电压。

最好还包括：一个开关装置，该开关装置与在第一电源端的电压和第二电源端的电压之间的一个外部电源连接，并且具有至少一个比外部电源的电位更低的电位的辅助电源，该开关装置操作地连接外部电源和辅助电源，一个装置，该装置用于根据与外部电源连接的开关装置顺序地转换导通和非导通状态以便产生对电容器的充电和放电。

最好还包括一个装置，该装置用于根据与辅助电源连接的开关装置顺序地转换导通和非导通状态以便产生对电容器的充电和放电。

最好还设置至少有两个多个电容器的结构，这两个多个电容器结构根据一个时钟信号在串联连接和并联连接之间被转换，和具有相反相位的时钟信号被提供给上述至少两个结构。

最好电容器是由铁电电容器、高介电电容器、MIM（金属-绝缘体-金属）结构电容器、DRAM 槽和叠层电容器、平板电容器、外部电容器、和 MIS（金属-绝缘体-半导体）栅极电容器构成的。

根据本发明，通过把第一和第二开关装置设置在导通状态和把第三开关装置设置在非导通状态，每个电容元件被充电到在第一电源和第二电源之间的不同电压电平上，然后，第一和第二开关装置被转换到非导通状态和第三开关装置被转换到导通状态，因此充电的电容元件被串联连接在恒定电位和电源电路的输出端之间并且一个正的或负的升压电压被输出给电源电路的输出端。

为此，升压电压的损失仅变为连接在最末级和输出端之间的整流元件的电压降，伴随着由基片偏置效应引起的阈值电压的上升而升压效率的减小能够被避免，并且能够实现减少用于获得一个希望的高电压的升压级数和缩短升压电压的上升时间。

此外，根据本发明，利用一个检测电路来检测外部电源电压的值并且根据这个检测的值来转换连接多个电容元件的数量。

接着，根据检测电压设置的这些电容元件被串联连接在外部电源和参考电

源之间和然后被并联连接，在这同时，由与外部电源连接的开关装置来按顺序地转换导通状态和非导通状态，因此一个值位于外部电源电压和参考电源电压之间的输出电压被获得。

同样的，根据时钟信号来进行在电容元件的串联连接和并联连接之间的转换。此外，利用彼此具有反相位的时钟信号来分别地驱动两个多电容元件的的系统。此时能够降低伴随着负载电流的波动。

同样的，电容元件是由像铁电电容这样的具有高的相对介电常数的元件构成的。

本发明的这些和其它的目的和特征通过结合下列附图所描述的优选实施例将变得更明显。

图 1 是一个内部电源电路的例子的电路图；

图 2 是根据本发明的一个内部电源电路的第一实施例的电路图；

图 3 是在图 2 中所示的第一实施例的一个升压级的结构的电路图；

图 4A-4J 是在图 2 中所示的第一实施例的电源电路的时间图；

图 5 是给图 2 中所示的第一实施例的电源电路提供时钟信号的时钟信号产生电路的一个例子的电路图；

图 6 是一个在图 5 中使用的升压时钟产生器的电路图；

图 7A-7H 是在图 5 中所示的时钟产生电路操作的时间图；

图 8 是根据本发明的电源电路的第二实施例的电路图；

图 9 是在图 8 中所示的第二实施例的一个升压级的结构的电路图；

图 10A-10J 是在图 8 中所示的第二实施例的电源电路的时间图；

图 11 是一个在图 8 中使用的升压时钟产生器的电路图；

图 12A-12E 是在图 8 中所示的时钟产生电路操作的时间图；

图 13 是作为被用于一个内部低电压电源电路的降压变换器的一个串联调压器的基本结构的电路图；

图 14 是一种电容器型降压变换器的结构的一个例子的电路图；

图 15 是根据本发明的降压变换器的第三实施例的电路图；

图 16A-16J 是在图 15 中所示的第三实施例的一个操作的时间图；

图 17 是根据本发明的提供 $0.25V_{CC}$ 的电源电路的结构的一个例子的电路图；

图 18 是根据本发明的一个降压变换器的第四实施例的电路图。

擦除或写入像一个 EEPROM 或闪速存储器(flash memory)这样的一个电的可擦编程只读存储器需要一个比供给的电压更高的电压。因此，设计出了各种各样的电源电路。图 1 是一个表示由一个升压电路构成的常规电源电路的例子的电路图。

应该指出的是，在图 1 中 M1 至 M4 是 n 沟道型（ nMOS ）晶体管，和 C_L 是负载电容器。

如在图中所示，图 1 中的电源电路是由连接成多个级的部分电路（升压级）构成的，每个级包括一个电容器，例如， C2 和一个 nMOS 晶体管，例如， M2，它们串联连接。

构成一个升压级的每个电容器 C2 、 C3 和 C4 的一个电极与 nMOS 晶体管 M1 、 M2 和 M3 的栅极和漏极扩散层的公共连接点相连接。电容器 C2 、 C3 和 C4 的另一电极交替地与时钟 φ 1 和 φ 2 的供电线中的一个连接。构成升压级的连接成二极管的 n 沟道型（ nMOS ）晶体管的栅极和漏极扩散层的公共连接点与前一级升压级的 n 沟道型（ nMOS ）晶体管的源极扩散层连接，而该源极扩散层与下一级的连接成二极管的 n 沟道型（ nMOS ）晶体管的栅极和漏极扩散层的公共连接点相连接。

此外，时钟 φ 1 和 φ 2 的连接顺序是：升压级的奇数级与时钟 φ 1 连接和升压级的偶数级与时钟 φ 2 连接。

用这种方法构成的上述电源电路通过给出反相位的时钟 φ 1 和 φ 2 从一个半导体基片上吸引电荷并且提供一个升压电压 V_{OUT} 给一个输出端 T_{OUT}，在该半导体基片上形成电源电压 V_{CC} 和本电路。

在上面描述的电源电路中，由于与 nMOS 晶体管的阈值电压 V_{TN} 对应的正向压降被产生，所以为了获得所需要的高电压需要许多级的连接成二极管的晶体管。特别是，越靠近电源电路的输出端 T_{OUT}，在源极和基片之间的反向电位差越大，以致于基片的偏置效应越大和该晶体管的阈值电压 V_{TN} 增加的越大。因此，它的缺点是：即使级数被增加，升压效率明显地被降低。代表

下面将结合附图来详细描述本发明的优选实施例。

图 2 是根据本发明的电源电路的第一实施例的电路图。

在图 2 中， CKL_1 、 CKL_2 和 CKL_3 代表时钟信号， T_{CLK1} 、 T_{CLK2} 和 T_{CLK3} 代表时钟信号输入端， PT_1 代表作为一个偏置装置的 p 沟道型（ pMOS ）晶体管， PT_2 和 PT_3 代表作为第三开关装置的 pMOS 晶体管， PT_L 代表连接成二

极管的 pMOS 晶体管，NU_1、NU_2 和 NU_3 代表作为第一开关装置的 n 沟道型（nMOS）晶体管，NL_1、NL_2 和 NL_3 代表作为第二开关装置的 nMOS 晶体管，K_1、K_2、K_3、L_1、L_2、和 L_3 代表升压级的节点，C_1、C_2 和 C_3 代表用于升压的电容元件（电容器），C_L 代表负载的一个寄生电容，和 T_{OUT} 代表升压电压 V_{OUT} 的一个输出端。

应该指出的是：在图 2 中所示的电源电路是由在图 3 中所示的升压级构成的。

在此，将描述假设在图 3 中所示的升压级是一个第 i 级的升压级时的结构。如图所示，该第 i 级的升压级是由一个电容器 C_i，节点 K_i 和 L_i 和 nMOS 晶体管 NU_i 和 NL_i 构成的。

电容器 C_i 被连接在节点 K_i 和 L_i 之间。

nMOS 晶体管 NU_i 的栅极与时钟信号 CLK_1 的输入端连接，一个扩散层与电源电压 V_{CC} 的供电线连接，另一个扩散层与节点 L_i 连接。

nMOS 晶体管 NL_i 的栅极与时钟信号 CLK_2 的输入端连接，一个扩散层与电源电压 V_{CC} 的节点 K_i 连接，另一个扩散层与地线连接。

在图 2 中所示的电源电路由在图 3 中所示的升压级的三个级串联连接构成的。

如在图中所示，第一级升压级的节点 K_1 通过 pMOS 晶体管 PT_1 与电源电压 V_{CC} 的供电线连接。也就是 pMOS 晶体管 PT_1 的源极与电源电压 V_{CC} 的供电线连接，漏极与节点 K_1 连接。pMOS 晶体管 PT_1 的栅极与时钟信号 CLK_3 的输入端 T_{CLK3} 连接。

第一级升压级的节点 L_1 通过 pMOS 晶体管 PT_2 与第二级升压级的节点 K_2 连接。也就是 pMOS 晶体管 PT_2 的源极与第一级升压级的节点 L_1 连接，漏极与第二级升压级的节点 K_2 连接。

pMOS 晶体管 PT_2 的栅极与时钟信号 CLK_3 的输入端 T_{CLK3} 连接。

第二级升压级的节点 L_2 通过 pMOS 晶体管 PT_3 与第三级升压级的节点 K_3 连接。也就是 pMOS 晶体管 PT_3 的源极与第二级升压级的节点 L_2 连接，漏极与第三级升压级的节点 K_3 连接。

pMOS 晶体管 PT_3 的栅极与时钟信号 CLK_3 的输入端 T_{CLK3} 连接。

第三级升压级的节点 L_3 通过 pMOS 晶体管 PT_L 与电源电路的输出端 T_{OUT} 连接。也就是 pMOS 晶体管 PT_L 的源极与第三级升压级的节点 L_3 连接，漏

极与电源电路的输出端 T_{OUT} 连接。

pMOS 晶体管 PT_L 的栅极与和漏极公共连接的输出端 T_{OUT} 连接。即，pMOS 晶体管 PT_L 是二极管连接式。

此外，输出端 T_{OUT} 通过负载电容器 C_L 接地。

应该指出的是；在图 2 中所示的电源电路中，作为偏置装置的 pMOS 晶体管 PT_1 在例如与构成电源电路的周边电路的其它晶体管的沟相同的沟中被形成。pMOS 晶体管 PT_2 和 PT_3 如第三开关装置一样在每个单独的沟中被形成。

下面将结合图 4A 至 4J 中的时间图来描述具有上述结构的电源电路的升压操作。

在升压操作时，一个时钟信号 CLK_1 被提供给构成升压级的 nMOS 晶体管 NU_1、NU_2 和 NU_3 的栅极。如在图 4A 中所示，时钟信号 CLK_1 的高电平被保持在比电源电压 V_{CC} 更高的电平上，例如一个（$V_{CC}+V_{TN}$)的电位。应该指出的是：在此，V_{TN} 是 nMOS 晶体管 NU_1、NU_2 和 NU_3 的一个阈值电压。

为此，当时钟信号 CLK_1 被保持在一个高电平时，比电源电压 V_{CC} 更高的一个电压，例如一个（$V_{CC}+V_{TN}$)的电压被提供给构成升压级的 nMOS 晶体管 NU_1、NU_2 和 NU_3 的栅极。这些晶体管的漏极被保持在与电源电压 V_{CC} 的电平相同的电位上。

提供给构成升压级的 nMOS 晶体管 NL_1、NL_2 和 NL_3 的栅极的时钟信号 CLK_2 被保持在与时钟信号 CLK_1 同步的高电平和低电平上。应该指出的是：时钟信号 CLK_2 的高电平例如被保持在电源电压 V_{CC} 的电平上。

当时钟信号 CLK_1 和时钟信号 CLK_2 被保持在高电平时，构成升压级的所有 nMOS 晶体管 NU_1、NU_2 和 NU_3 和 NL_1、NL_2 和 NL_3 被设置在导通状态，并且被提供给在升压级之间连接的 pMOS 晶体管 PT_1、PT_2 和 PT_3 的栅极的时钟信号 CLK_3 被保持在一个高电平上，例如电源电压 V_{CC} 的电平，因此，所有这些 pMOS 晶体管 PT_1、PT_2 和 PT_3 被保持在非导通状态。

由于这个原因，在图 4A 至 4B 中所示的从时间 t_0 至 t_1 的周期期间，时钟信号 CLK_1 和时钟信号 CLK_2 被保持在高电平，并且在升压级中存在的电容器 C_1、C_2 和 C_3 例如被充电到电源电压 V_{CC} 的电平。

在时间 t_1 时，时钟信号 CLK_1 和时钟信号 CLK_2 被转换到低电平，因此，在时间 t_2 时，构成升压级的 nMOS 晶体管 NU_1、NU_2 和 NU_3 和 NL_1、NL_2 和 NL_3 被设置在非导通状态。

接着，在时间 t_2 时，时钟信号 CLK_3 从高电平转换到低电平，例如地电位 GND。根据这种情况，所有 pMOS 晶体管 PT_1、PT_2 和 PT_3 被转换成导通状态。

由于这个原因，所有被充电到电源电压 V_{CC} 的电平的电容器 C_1、C_2 和 C_3 被串联连接在第一级的节点 K_1 和电源电路的输出端 T_{OUT} 之间，并且通过把电源电压乘以（升压级数+1）获得的电压在最末级的电容器的一个端上被获得。

在此，当电源电路的升压级数被限定为 n 和在最末级的升压级的节点 L_n 和输出端 T_{OUT} 之间之间连接成二极管的 pMOS 晶体管 PT_L 的阈值电压被限定为 V_{TP} 时，由电源电路获得的升压的电压 V_{OUT} 为：

$$V_{OUT}=(n+1)\times V_{CC}-V_{TP} \quad \ldots(1)$$

如在图 4D 至 4J 中所示，在 pMOS 晶体管 PT_1、PT_2 和 PT_3 都被转换成导通状态之后，第一级的升压级的节点 K_1 被保持在电源电压 V_{CC} 的电平上，和节点 L_1 被保持在 $2V_{CC}$ 的电平上。

第二级的升压级的节点 K_2 以与第一级的节点 L_1 相同的方式被保持在 $2V_{CC}$ 的电平上，和第二级的节点 L_2 被保持在 $3V_{CC}$ 的电平上。

第三级的升压级的节点 K_3 以与第二级的节点 L_2 相同的方式被保持在 $3V_{CC}$ 的电平上，和第三级的节点 L_3 被保持在 $4V_{CC}$ 的电平上。

pMOS 晶体管 PT_L 被连接成二极管。这种连接被设置以致于从第三级的节点 L_3 朝向输出端 T_{OUT} 的方向变成正方向，因此节点 L_3 的电压输出给输出端 T_{OUT}。到这时，电容器 C_L 被充电，和实际上 $4V_{CC}$ 的升压电压 V_{OUT} 输出给输出端 T_{OUT}。

图 5 是表示用于产生在图 2 中所示的时钟信号 CKL_1、CKL_2 和 CKL_3 的时钟产生电路的一个例子的电路图。

如在图 5 中所示，本例的时钟产生电路是由 RS 触发电路 RFF_1、RFF_2、RFF_3、RFF_4、RFF_5 和 RFF_6、一个时钟产生器 10 和延迟电路 DLY_1 和 DLY_2 构成的。

在图 6 中示出了时钟产生器 10 的结构的一个例子。

如在图 6 中所示，时钟产生器 10 是由 nMOS 晶体管 NA、NB、NC 和 ND 和一个电容器 C_{CK} 构成的。

nMOS 晶体管 NB 的一个扩散层与电源电压 V_{CC} 的供电线连接，另一个扩

散层与节点 ND_1 连接，栅极与时钟信号 B 的输入端连接。

nMOS 晶体管 NA 的一个扩散层与节点 ND_1 连接，另一个扩散层与地连接，栅极与时钟信号 A 的输入端连接。

nMOS 晶体管 ND 的一个扩散层与电源电压 V_{CC} 的供电线连接，另一个扩散层与节点 ND_2 连接，栅极与时钟信号 D 的输入端连接。

nMOS 晶体管 NC 的一个扩散层与节点 ND_2 连接，另一个扩散层与地连接，栅极与时钟信号 C 的输入端连接。

一个电容器 C_{CK} 被连接在节点 ND_1 和 ND_2 之间，节点 ND_2 被时钟信号 CKL_1 连接的输出端 T_1。

在升压操作时，在图 7A 至 7D 中所示的时钟信号 A、B、C 和 D 被输入给时钟产生器 10。

一收到这个时钟信号，时钟产生器 10 产生一个被保持在比电源电压 V_{CC} 在一个高电平时的电平更高的电平上的时钟信号 CKL_1。

如在图 5 中所示，RS 触发电路 RFF_1 的设置信号输入端 S 与 RS 触发电路 RFF_5 的反向输出端连接，而一个复位信号输入端 R 与 RS 触发电路 RFF_2 的反向输出端连接。

RS 触发电路 RFF_1 的输出端与 RS 触发电路 RFF_2 的设置信号输入端 S 连接，反向输出端而与 RS 触发电路 RFF_6 的复位信号输入端 R 连接。

此外，RS 触发电路 RFF_1 的反向输出端输出时钟信号 C 给时钟产生器 10。

RS 触发电路 RFF_2 的复位信号输入端 R 与 RS 触发电路 RFF_3 的反向输出端连接，而输出端与 RS 触发电路 RFF_3 的设置信号输入端 S 连接。

此外，RS 触发电路 RFF_2 的输出信号被提供给时钟产生器 10 作为时钟信号 D。

RS 触发电路 RFF_3 的复位信号输入端 R 与 RS 触发电路 RFF_4 的反向输出端连接，而输出端与 RS 触发电路 RFF_4 的设置信号输入端 S 连接。

此外，RS 触发电路 RFF_3 的反向输出信号被提供给时钟产生器 10 作为时钟信号 A。

RS 触发电路 RFF_4 的复位信号输入端 R 与 RS 触发电路 RFF_5 的反向输出端连接，而输出端通过延迟电路 DLY_1 与 RS 触发电路 RFF_5 的设置信号输入端 S 连接。

此外，RS 触发电路 RFF_4 的输出信号被提供给时钟产生器 10 作为时钟信号 B。

RS 触发电路 RFF_5 的复位信号输入端 R 与 RS 触发电路 RFF_6 的输出端连接，而反向输出端与时钟信号 CLK_2 的输出端 T_2 连接。

RS 触发电路 RFF_6 的复位信号输入端 R 与 RS 触发电路 RFF_1 的反向输出端连接，设置信号输入端 S 与延迟电路 DLY_2 的输出端连接，延迟电路 DLY_2 的输入端与 RS 触发电路 RFF_6 的反向输出端连接。

RS 触发电路 RFF_6 的输出端与时钟信号 CLK_3 的输出端 T_3 连接。

下面将结合图 7A 至 7H 来描述具有上述结构的时钟产生电路的操作。

在图 5 中所示的时钟产生电路产生在图 7A 至 7H 中所示的时钟信号 A、B、C 和 D 和时钟信号 CLK_1、CLK_2 和 CLK_3。

应该指出的是：时钟信号 A、B、C 和 D 是交替地取一个高电平，例如电源电压 V_{CC} 的电平，和一个低电平，例如地电位 GND 的电平的时钟信号。

类似地，时钟信号 CLK_1、CLK_2 和 CLK_3 是交替地取一个高电平，例如电源电压 V_{CC} 的电平，和一个低电平，例如地电位 GND 的电平的时钟信号。

时钟信号 A、B、C 和 D 被输入给时钟产生器 10。时钟产生器 10 产生一个时钟信号 CLK_1，该时钟信号 CLK_1 在高电平时被保持在比电源电压 V_{CC} 更高的一个电平上，并且在低电平时被保持在例如地电位 GND 的电平上。

如在图 6 中所示，当时钟信号 D 和时钟信号 A 被保持在高电平和时钟信号 B 和时钟信号 C 被保持在低电平时，nMOS 晶体管 NA 和 ND 被保持在导通状态，nMOS 晶体管 NB 和 NC 被保持在非导通状态。

到这时，节点 ND_1 被保持在电位 GND 的电平上，而节点 ND_2 侧被保持在从电源电压 V_{CC} 恰好减去 nMOS 晶体管 ND 的阈值电压 V_{TN} 的一个电压上，因此，电容器 C_{CK} 被充电到（$V_{CC}-V_{TN}$）。

此外，在这时，（$V_{CC}-V_{TN}$）的电压被输出给时钟信号 CLK_1 的输出端 T_1。

然后，在图 7A 至 7H 中所示的时间 T_0 时，时钟信号 B 从低电平被转换到高电平。同样地，在这时，时钟信号 A 和时钟信号 C 被保持在低电平，nMOS 晶体管 NA 和 NC 被设置在非导通状态。

根据这种情况，nMOS 晶体管 NB 被转换成导通状态，而节点 ND_1 被保持

在从电源电压 V_{CC} 恰好减去 nMOS 晶体管 NB 的阈值电压 V_{TN} 的一个电压上，也就是（$V_{CC}-V_{TN}$）。到这时，节点 ND_2 被保持在 2（$V_{CC}-V_{TN}$）。在这时，如在图 7F 中所示的，时钟信号 CLK_1 的输出端 T_1 的电压升高了一级并且变为 2（$V_{CC}-V_{TN}$），也就是被保持在比电源电压 V_{CC} 的电平更高的一个电平上。

接着，在时间 T_0 时，根据这种情况，时钟信号 B 从高电平被转换到低电平，并且时钟信号 A 从低电平被转换到高电平。此外，根据这种情况，时钟信号 C 从低电平被转换到高电平，并且时钟信号 D 从高电平被转换到低电平。

为此，在时间 T_1 时，节点 ND_1 和节点 ND_2 的电位被转换成地电位，时钟信号 CLK_1 的输出端 T_1 被保持在地电位。随后，在时间 T_2 时，时钟信号 CLK_3 从高电平转换到低电平。

在时间 T_3 时，时钟信号 CLK_2 和时钟信号 CLK_3 从低电平转换到高电平。根据这种情况，时钟信号 C 从高电平被转换到低电平，并且时钟信号 D 从低电平被转换到高电平，因此电容器 C_{CK} 再次被充电到（$V_{CC}-V_{TN}$）。

用这种方法，在图 5 中所示的时钟产生电路产生时钟信号 CLK_1，该时钟信号 CLK_1 在高电平时被保持在 2（$V_{CC}-V_{TN}$）的电平上，并且在低电平时被保持在地电位的电平上，和时钟信号 CLK_2 和时钟信号 CLK_3，该时钟信号 CLK_2 和时钟信号 CLK_3 在高电平时被保持在电源电压 V_{CC} 的电平上，在低电平时被保持在地电位的电平上，并且把它们提供给在图 2 中所示的电源电路。

如上面所述的，根据本实施例，在高电平时被保持在比电源电压 V_{CC} 的电平更高的电平上的时钟信号 CLK_1 被提供给构成升压级的 nMOS 晶体管 NU_1、NU_2 和 NU_3 的栅极，时钟信号 CLK_2 被提供给 nMOS 晶体管 NL_1、NL_2 和 NL_3 的栅极，时钟信号 CLK_3 被提供给连接在升压级之间的 pMOS 晶体管 PT_1、PT_2 和 PT_3 的栅极，时钟信号 CLK_1 和时钟信号 CLK_3 被保持在高电平，升压级的电容器 C_1、C_2 和 C_3 被充电到电源电压 V_{CC} 的电平，然后时钟信号 CLK_1 和时钟信号 CLK_2 被转换成低电平，时钟信号 CLK_3 被转换成高电平，并且升压的电压 V_{OUT} 被提供给电源电路输出端 T_{OUT}，因此，由于在升压时的基片偏置效应，所以没有升压电压的损失，用于获得希望的高电压所需要的级数能够被减小，每个基片区域上的输出电流能够被增大，上升时间能够被缩短。

图 8 是一个根据本发明的电源电路的第二实施例的电路图。

如在图 8 中所示，图 8 是一个表示用于产生与电源电压 V_{CC} 相比为一个负的升压电压的负升压电路的一个例子的电源电路的电路图。该电源电路例如能够被用于像动态随机存取存储器这样的一个半导体电路的偏压结构。

在图 8 中，CLK_{B2} 和 CLK_{B3} 是在图 1 中所示的时钟信号 CLK_2 和时钟信号 CLK_3 的反信号，CLK_{B1} 是这样一个时钟信号，该时钟信号在与时钟信号 CLK_{B2} 同步的高电平时被保持在电源电压 V_{CC} 的电平上和在低电平时被保持在比地电位 GND 更低的一个电平上，也就是，一个负电位。

T_{CLKB1}、T_{CLKB2} 和 T_{CLKB3} 表示钟信号 CLK_{B1}、CLK_{B2} 和 CLK_{B3} 的输入端，NT_1 表示作为偏置装置的一个 nMOS 晶体管，NT_2 和 NT_3 表示作为第三开关装置的 nMOS 晶体管，NT_L 表示连接成二极管的 nMOS 晶体管，PL_1、PL_2 和 PL_3 表示作为第一开关装置的 pMOS 晶体管，PU_1、PU_2 和 PU_3 表示作为第二开关装置的 pMOS 晶体管，KB_1、KB_2、KB_3、LB_1、LB_2 和 LB_3 表示升压级的节点，C_1、C_2 和 C_3 代表用于升压的电容器，C_L 代表负载的一个寄生电容，和 T_{OUTB} 代表负升压电压 V_{OUTB} 的一个输出端。

如在图中所示，本例的电源电路是由 pMOS 晶体管 PU_1、PU_2、PU_3、PL_1、PL_2 和 PL_3 和电容器 C_1、C_2 和 C_3 构成的三个升压级组成的。

在此，结合图 9 来描述由 pMOS 晶体管 PU_i 和 PL_i 和电容器 C_i 构成的第 i 级升压级的结构而毫不损失一般性。

如在图 9 中所示，pMOS 晶体管 PU_i 的栅极与钟信号 CLK_{B2} 的输入端连接，源极与电源电压 V_{CC} 的供电线连接，漏极与升压电压的节点 Kb_i 连接。

pMOS 晶体管 PL_i 的栅极与钟信号 CLK_{B1} 的输入端连接，源极与节点 Lb_i 连接，漏极与地连接。

电容器 C_i 的一个电极与节点 Kb_i 连接，另外一个电极与节点 Lb_i 连接。

图 10A 至 10J 是钟信号 CLK_{B1}、CLK_{B2} 和 CLK_{B3}、升压节点 KB_1、KB_2、KB_3、LB_1、LB_2 和 LB_3 上的电压和输出电压 V_{OUTB} 的波形图。

如在图 10A 和 10C 中所示，钟信号 CLK_{B1} 和钟信号 CLK_{B2} 是同步的。钟信号 CLK_{B1} 在高电平时被保持在电源电压 V_{CC} 的电平上和在低电平时被保持在比地电位 GND 更低的一个电平上，也就是一个负电位。钟信号 CLK_{B2} 在高电平时被保持在电源电压 V_{CC} 的电平上和在低电平时被保持在地电位 GND 的电平上。

如在图 10A 中所示，在时间 T_0 时，钟信号 CLK_{B1} 和钟信号 CLK_{B2} 从高电平转换到低电平。钟信号 CLK_{B1} 被保持在负电位和钟信号 CLK_{B2} 被保持在地电位 GND 电平。

在钟信号 CLK_{B1} 和钟信号 CLK_{B2} 被保持在低电平周期期间，pMOS 晶体管 PU_1、PU_2 和 PU_3 和 pMOS 晶体管 PL_1、PL_2 和 PL_3 被保持在导通状态并且电容器 C_1、C_2 和 C_3 被充电。

为此，在升压级中，节点 LB_1、LB_2 和 LB_3 被保持在地电位 GND 的电平上，节点 KB_1、KB_2 和 KB_3 被保持在电源电压 V_{CC} 的电平上，电容器 C_1、C_2 和 C_3 被充电到电源电压 V_{CC} 的电平。

在时间 T_1 时，钟信号 CLK_{B1} 和钟信号 CLK_{B2} 从低电平转换到高电平，pMOS 晶体管 PU_1、PU_2 和 PU_3 和 pMOS 晶体管 PL_1、PL_2 和 PL_3 被转换到非导通状态。

此外，在时间 T_2 时，钟信号 CLK_{B3} 从低电平转换到高电平，根据这种情况，nMOS 晶体管 NT_1、NT_2 和 NT_3 被转换到导通状态。

为此，在最初一级的升压级上，节点 KB_1 被保持在地电位 GND 电平上，而节点 LB_1 被保持在 $-V_{CC}$ 的电平上。

在第二级的升压级上，节点 KB_2 以与节点 LB_1 相同的方式被保持在 $-V_{CC}$ 的电平上，而节点 KB_2 被保持在 $-2V_{CC}$ 的电平上。

在第三级的升压级上，节点 KB_3 以与节点 LB_2 相同的方式被保持在 $-2V_{CC}$ 的电平上，而节点 KB_3 被保持在 $-3V_{CC}$ 的电平上。

节点 LB_3 上的电压通过连接成二极管的 nMOS 晶体管 NT_L 输出给输出端 T_{OUTB}。在此，当把 nMOS 晶体管 NT_L 的阈值电压限定为 V_{TN} 时，输出给输出端 T_{OUTB} 的负升压电压 V_{OUTB} 变为 $-(3V_{CC}-V_{TN})$。

一般来说，由 n 个级的升压级构成的负升压电路获得的升压电压 V_{OUTB} 由下面的等式得到：

$$V_{OUTB}=-(n\times V_{CC}-V_{TN}) \quad \cdots(2)$$

用这种方法，由在图 8 中所示的负升压电路获得的升压电压 V_{OUTB} 的电压损失仅仅是在最后级和输出端 T_{OUTB} 之间连接成二极管的晶体管的压降，并且能够获得电源电路效率的改进。

应该指出的是：在本实施例的负升压电路中，用与在图 2 中所示的正升压电路相同的方式，nMOS 晶体管 NT_1 以与例如构成负升压电路的周边电路的

其它晶体管的连接方式相同的方式被形成。nMOS 晶体管 NT_2 和 NT_3 以各自单独的形式被形成。

图 11 是在第二实施例中的时钟信号 CLK_{B1} 的产生器 10a 的一个例子的电路图。

如在图中所示，时钟产生器 10a 是由 nMOS 晶体管 NA_B、NB_B、NC_B 和 ND_B、和电容器 C_{CK} 构成的。

nMOS 晶体管 NB_B 的一个扩散层与电源电压 V_{CC} 的供电线连接，另一个扩散层与节点 ND_1 连接，栅极与时钟信号 B_B 的输入端连接。

nMOS 晶体管 NA_B 的一个扩散层与节点 ND_1 连接，另一个扩散层与地连接，栅极与时钟信号 A_B 的输入端连接。

nMOS 晶体管 ND_B 的一个扩散层与电源电压 V_{CC} 的供电线连接，另一个扩散层与节点 ND_2 连接，栅极与时钟信号 D_B 的输入端连接。

nMOS 晶体管 NC_B 的一个扩散层与节点 ND_2 连接，另一个扩散层与地连接，栅极与时钟信号 C_B 的输入端连接。

一个电容器 C_{CK} 被连接在节点 ND_1 和 ND_2 之间，节点 ND_2 被时钟信号 CKL_{B1} 连接的输出端 T_{B1}。

在升压操作时，在图 12A 至 12D 中所示的时钟信号 A_B、B_B、C_B 和 D_B 被输入给时钟产生器 10a。

一收到这个时钟信号，时钟产生器 10a 产生一个时钟信号 CKL_{B1}，该时钟信号 CKL_{B1} 在高电平时被保持在电源电压 V_{CC} 上和在低电平时被保持在比地电位 GND 的电平更低的电平上。

下面将结合在图 12A 至 12E 所示的时钟信号 A_B、B_B、C_B 和 D_B 和时钟信号 CKL_{B1} 的波型图来描述在图 11 中所示时钟信号 CKL_{B2} 的产生器 10a 的操作。

如在图 12A 至 12D 中所示，在时间 T_0 时，时钟信号 B_B 和 C_B 被转换到高电平，例如电源电压 V_{CC} 的电平。应该注意的是：在这时，时钟信号 A_B 和 D_B 被保持在低电平，例如地电位 GND。

根据这种情况，在时钟产生器 10a 中，nMOS 晶体管 NA_B 和 ND_B 被设置在非导通状态，而 nMOS 晶体管 NB_B 和 NC_B 被设置在导通状态。

为此，电容器 C_{CK} 被充电，节点 ND_1 被保持在一个电压上，该电压是从电源电压 V_{CC} 恰好减去 nMOS 晶体管 NB_B 的阈值电压 V_{TN} 的一个电压，也就是

（$V_{CC}-V_{TN}$）。

接着，在时间 T_0 时，时钟信号 B_B 和 C_B 被转换到低电平，时钟信号 A_B 从低电平被转换到高电平，例如电源电压 V_{CC} 的电平。应该注意的是：在这时，时钟信号 D_B 被保持在它的低电平上。

根据这种情况，nMOS 晶体管 NB_B 和 NC_B 被转换到非导通状态，nMOS 晶体管 NA_B 被转换到导通状态。此外 nMOS 晶体管 ND_B 被保持在它的非导通状态。为此节点 ND_1 被保持在地电位 GND 上和节点 ND_2 被保持在负电位上，例如-（$V_{CC}-V_{TN}$）。

接着，在时间 T_1 时，时钟信号 A_B 被转换到低电平，，时钟信号 D_B 被升高到高电平，例如电源电压 V_{CC}。根据这种情况，nMOS 晶体管 NA_B 被转换到非导通状态，nMOS 晶体管 ND_B 被转换到导通状态。

应该注意的是：在这时，时钟信号 B_B 和 C_B 被保持在低电平和 nMOS 晶体管 NB_B 和 NC_B 被保持在非导通状态，因此节点 ND_2 被保持在电源电压 V_{CC} 的电位上。

随后在时间 T_4 时，，时钟信号 D_B 被转换到低电平，时钟信号 B_B 和 C_B 被升高到高电平，因此，nMOS 晶体管 NB_B 和 NC_B 被设置在导通状态，电容器 C_{CK} 被充电，节点 ND_1 被保持在（$V_{CC}-V_{TN}$）电平上。

上述的操作被重复地进行，因此在图 11 中所示的时钟产生电路 10a 产生时钟信号 CLK_{B1}，该时钟信号 CLK_{B1} 在低电平部分期间被保持在比地电位 GND 更低的电平上，并且在高电平时被保持电源电压 V_{CC} 的电平上，和从输出端 T_{B1} 输出相同的电平信号。然后，这个时钟信号 CLK_{B1} 被提供给在图 8 中所示的负升压电路，并且负升压电压 V_{OUTB} 被产生。

如上面所述的，根据本实施例，时钟信号 CKL_{B2} 被提供给构成升压级的 pMOS 晶体管 PU_1、PU_2 和 PU_3 栅极，在高电平时被保持在电源电压 V_{CC} 的电平和在低电平时被保持在负电位的时钟信号 CLK_{B1} 被提供给 pMOS 晶体管 PL_1、PL_2 和 PL_3 的栅极，时钟信号 CKL_{B3} 被提供给连接在升压级之间的 nMOS 晶体管 NT_1、NT_2 和 NT_3 的栅极，时钟信号 CKL_{B1} 和时钟信号 CKL_{B2} 被保持在低电平，升压级的电容器 C_1、C_2 和 C_3 被充电到电源电压 V_{CC} 的电平，然后时钟信号 CLK_{B1} 和时钟信号 CLK_{B2} 被转换成高电平，时钟信号 CLK_{B3} 被转换成高电平，并且负升压电压 V_{OUTB} 被提供给输出端 T_{OUTB}，因此，由于在升压时的基片偏置效应，所以没有升压电压的损失，用于获得希

望的高电压所需要的级数能够被减小，每个基片区域上的输出电流能够被增大，上升时间能够被缩短。

此外，近年来在一个 LSI（大规模集成电路）中对一个与电源电压 V_{CC} 无关的低电压（例如 V_{CC}/m）的需要已经增加，例如在集成电路片之间和在一个集成电路片中对一个小的振幅转换的需要。

作为这种型式的内部低电压电源，一般地使用如在图 13 中所示的串联调压器。

如在图 13 中所示，这种串联调压器由具有一个与恒定电压 V_L 的供电线连接的反向输入端（-）的运算放大器 11 和一个 pMOS 晶体管 12 构成，该 pMOS 晶体管 12 具有一个与运算放大器 11 的输出连接的栅极、一个与电源电压 V_{CC} 的供电线连接的源极和一个与运算放大器的非反向输入端（+）的漏极，该串联调压器从节点 N_1 提供一个低电压给一个电路单元 13。

当考虑到串联调压器的功率损失时，由 pMOS 晶体管 12 引起的一个功率损失 P_{LS} 由下列等式来表示：

$$P_{LS}=(V_{CC}-V_L)\cdot i_L \qquad \cdots(3)$$

然后，当 $V_L<(V_{CC}/2)$ 时，功率损失变为百分之 50 或更大，该损失是减少 LSI 的功率损耗的主要障碍。

特别是，一个锂离子电池被用作为 V_{CC} 用外部电源时，V_{CC} 的波动是大的并且产生了功率损失的问题。

因此，一个不使用 MOS 晶体管作为一个驱动器和仅由电容元件和开关构成并且能够获得一个希望的低电压电源电位的 DC-DC 变换器已经被提出。

图 14 是这种 DC-DC 变换器结构的一个例子的电路图。

如在图 14 中所示，这种 DC-DC 变换器 20 是由开关电路 21-23 和电容器 31-33 构成的。应该注意的是：开关电路 21-23 是由例如 MOS 型晶体管构成的。同样的，作为电容器 31 和 32，它们具有相同的电容量。

开关电路 21 的一个操作接点 a 与电源电压 V_{CC} 的供电线连接，一个操作接点 b 与一个输出节点 ND_{OUT} 连接，和一个固定接点 c 与电容器 31 的一个极连接。

开关电路 22 的一个操作接点 a 与开关电路 23 的一个操作接点 a 连接，操作接点 b 接地，并且固定接点 c 与电容器 31 的另一个电极连接。

开关电路 23 的一个操作接点 b 与输出节点 ND_{OUT} 连接，一个固定接点 c 与

电容器 32 的一个极连接。然后电容器 32 的另一个电极接地。

同样的，电容器 33 是一个连接在输出节点 ND_{OUT} 和地线之间的稳定电容器，用于抑制由负载电流 I_L 在输出节点 ND_{OUT} 上引起的电压下降和稳定输出节点 ND_{OUT} 的电压。应该注意的是：在输出电源线上的寄生电容是大的情况下不需要设置这种稳定电容器 33。

当时钟信号 ϕ 是在 V_{CC} 电平（高电平）上时，开关电路 21、21 和 23 把它们的固定接点 c 与操作接点 a 连接，当时钟信号 ϕ 是在地电平（低电平）上时，开关电路 21、21 和 23 把它们的固定接点 c 与操作接点 b 连接。

在这种结构中，当时钟信号 ϕ 是在一个高电平上时，两个电容器 31 和 32 被串联连接在电源电压 V_{CC} 的供电线和地之间以便对电容器 31 和 32 充电。

当时钟信号 ϕ 是在一个低电平上时，两个电容器 31 和 32 被并联连接以便使电容器 31 和 32 放电。

接着，由于电容器 31 和 32 是由具有相同电容量的元件构成的，由于上述的充电和放电功能，在输出节点 ND_{OUT} 上出现的输出电压 Va 变为 $V_{CC}/2$，该电压被提供给在这个低电压 $V_{CC}/2$ 上操作的电路单元 40。

在图 14 中所示的降压变换器中，当节点 ND1 和 ND2 分别从电源电压 V_{CC} 和 $0.5V_{CC}$ 至 $0.5V_{CC}$ 和 0V 被放电时，一个由下列等式表示的功率 Pd 被损耗：

$$Pd=(1/2)\cdot(C_S1+C_S2)\cdot(V_{CC}/2)^2\cdot(1/\tau)\quad\cdots(4)$$

这里，C_S1 和 C_S2 是节点 ND1 和 ND2 的寄生电容。

类似的，同样在充电时，相同量的功率被损耗，结果，由下列等式表示的功率总共被损耗：

$$P=(1/4)\cdot(C_S1+C_S2)\cdot(V_{CC}/\tau)^2\quad\cdots(5)$$

虽然由等式（5）示出了功率损耗，然而对减少 LSI 的功率损耗的要求没有被充分的满足，因此，希望实现一种利用更低的功率损耗能够获得稳定的输出电压的 DC-DC 变换器。

图 15 是根据本发明的 DC-DC 变换器的第三实施例的电路图。同样地，图 16A-16B 是图 15 的电路的时间图。

如在图 15 中所示，这个 DC-DC 变换器 20a 是由开关电路 21a-23a、电容器 31a、32a 和 33a、一个电源电压 V_{CC} 的外部电源 50、一个用于 $0.25V_{CC}$ 的电源 60 和一个定时产生电路 70 构成的，该定时产生电路 70 在图 16A-

16F 中所示的定时时产生时钟信号 ϕ 1 和 ϕ 7。

在开关电路 21a 中，两个导通-关断开关 111 和 112 的固定接点 C1 和 C2 与电容器 31a 的一个极并联连接，开关 111 的操作接点 a1 与外部电源 50 连接，开关 112 的操作接点 a2 与输出节点 ND_{OUT} 连接。

然后，由时钟信号 ϕ 1 控制开关 111 的导通或关断，并且时钟信号 ϕ 5 来控制开关 112 的导通或关断。

更确切地说，当时钟信号是在高电平时开关 111 和 112 变为导通状态，当时钟信号是在低电平时开关 111 和 112 变为关断状态。这些开关的导通和关断控制被互补地进行。

在开关电路 22a 中，三个导通-关断开关 121、122 和 123 的固定接点 C1、C2 和 C3 与电容器 31a 的另一个极并联连接，开关 121 的操作接点 a1 与开关电路 23a 的开关 131 的操作接点 a1 连接。开关 122 的操作接点 a2 与提供 $0.25V_{CC}$ 的电源 60 连接，开关 123 的操作接点 a1 接地。

然后，由时钟信号 ϕ 2 控制开关 121 的导通或关断，并且时钟信号 ϕ 6 来控制开关 122 的导通或关断，和由时钟信号 ϕ 7 控制开关 123 的导通或关断。

更确切地说，当时钟信号是在高电平时开关 121、122 和 123 变为导通状态，当时钟信号是在低电平时开关 121、112 和 123 变为关断状态。这些开关 121、122 和 123 的导通和关断控制按顺序地被进行。

在开关电路 23a 中，两个导通-关断开关 131 和 132 的固定接点 C1 和 C2 与电容器 32a 的一个极并联连接，开关 132 的操作接点 a2 与输出节点 ND_{OUT} 连接。

然后，由时钟信号 ϕ 3 控制开关 131 的导通或关断，并且时钟信号 ϕ 4 来控制开关 132 的导通或关断。

更确切地说，当时钟信号是在高电平时开关 131 和 132 变为导通状态，当时钟信号是在低电平时开关 131 和 132 变为关断状态。这些开关的导通和关断控制被互补地进行。

此外，电容器 32a 的另一个电极接地。

应该注意的是：开关电路 21a 和 23a 例如是由 MOS 系统晶体管构成的。

同样的，一个用于抑制由负载电流 I_L 在输出节点 ND_{OUT} 上引起电压下降的稳定电容器 33a 被连接在输出节点 ND_{OUT} 和地线之间。

应该注意的是：当输出电源线上的寄生电容是大的时候不需要设置这种稳定电容器 33a。

同样的，作为电容器 31a 和 32a，这些具有相同的电容量的电容器被使用。

图 17 是提供 $0.25V_{CC}$ 的电源 60 的结构的一个例子的电路图。

这个 $0.25V_{CC}$ 电源 60 是由开关电路 511-517 和电容器 521-525 构成的，如在图 17 中所示。应该注意的是：开关电路 511-517 例如是由 MOS 系统晶体管构成的。同样的，作为电容器 521-524，这些具有相同的电容量的电容器被使用。

开关电路 511 的一个操作接点 a 与电源电压 V_{CC} 的供电线连接，一个操作接点 b 与一个输出节点 ND_{OUT} 连接，和一个固定接点 c 与电容器 521 的一个极连接。

开关电路 512 的一个操作接点 a 与开关电路 513 的一个操作接点 a 连接，操作接点 b 接地，并且固定接点 c 与电容器 521 的另一个电极连接。

开关电路 513 的一个操作接点 b 与输出节点 ND_{OUT} 连接，和固定接点 c 与电容器 522 的一个极连接。

开关电路 514 的一个操作接点 a 与开关电路 515 的一个操作接点 a 连接，操作接点 b 接地，并且固定接点 c 与电容器 522 的另一个电极连接。

开关电路 515 的一个操作接点 b 与输出节点 ND_{OUT} 连接，和固定接点 c 与电容器 523 的一个极连接。

开关电路 516 的一个操作接点 a 与开关电路 517 的一个操作接点 a 连接，操作接点 b 与输出节点 ND_{OUT} 连接，并且固定接点 c 与电容器 524 的一个电极连接。

此外，电容器 524 的另一极接地。

此外，电容器 525 是一个连接在输出节点 ND_{OUT} 和地线之间的稳定电容器，用于抑制由负载电流 I_L 在输出节点 ND_{OUT} 上引起的电压下降和稳定输出节点 ND_{OUT} 的电压。应该注意的是：当输出电源线上的寄生电容是大的时候不需要设置这种稳定电容器 33。

当时钟信号 ϕ_{50} 是在 V_{CC} 电平（高电平）上时，开关电路 511-517 把它们的固定接点 c 与操作接点 a 连接，当时钟信号 ϕ_{50} 是在地电平（低电平）上时，开关电路 511-517 把它们的固定接点 c 与操作接点 b 连接。

在具有这种结构的电源60中，当时钟信号ϕ_{50}是在一个高电平上时，四个电容器521、522、523和524被串联连接在电源电压V_{CC}的供电线和地之间以便对电容器521-524充电。

当时钟信号ϕ_{50}是在一个低电平上时，四个电容器521-524被并联连接以便使电容器521-524被放电。

电容器521-524是由具有相同电容量的元件构成的，因此，由于上述的充电和放电功能，在输出节点ND_{OUT}上出现的输出电压Va变为$V_{CC}/4=0.25V_{CC}$，该电压被提供给在图15的电路中的开关电路12a的开关122的操作接点a2。

定时产生电路70在如图16中所示的一个高电平时首先设置时钟信号ϕ1-ϕ3、保持开关111、121和131在导通状态、把两个电容器31a和32a串联连接在外部电源50和地线之间和使它们相对于电容器31a和32a进行充电。

接着，在一个时间t1时，时钟信号ϕ1-ϕ3被转换到低电平，时钟信号ϕ4和时钟信号ϕ6被设置在一个高电平，节点ND2与$0.25V_{CC}$电源60连接，在与节点ND2连接侧上电容器31a的电荷被放电给电源50。

接着，在一个预定时间的经过之后的时间t2时，时钟信号ϕ6被转换到低电平，时钟信号ϕ7被设置在一个高电平上，节点ND2与地线连接，电容器31a被放电以致于节点ND1呈现$0.5V_{CC}$和节点ND2呈现0V。

接着，在时间t3时，时钟信号ϕ5被设置在一个高电平上，节点ND1与输出节点ND_{OUT}连接和$0.5V_{CC}$（$V_{CC}/2$）被提供给输出节点ND_{OUT}。

此外，在时间t4时，时钟信号ϕ5和ϕ7被转换到低电平，时钟信号ϕ6被设置在一个高电平，节点ND2与$0.25V_{CC}$电源60连接，电容器31a被充电以致于节点ND1的电位从$0.5V_{CC}$变到$0.75V_{CC}$和节点ND2的电位从0V变到$0.25V_{CC}$。

接着，在时间t5时，时钟信号ϕ6被转换到低电平，时钟信号ϕ1被设置在一个高电平，节点ND1与外部电源50连接，电容器31a被充电以致于节点ND1的电位变为V_{CC}和节点ND2的电位变为$0.5V_{CC}$。

接着，结合图16的时间图将描述上述结构的操作。

首先，在时钟信号ϕ1-ϕ7之中的时钟信号ϕ1、ϕ2和ϕ3在定时产生电路70中被设置成一个高电平，时钟信号ϕ1被提供给开关电路21a的开

关 111，时钟信号 φ 2 被提供给开关电路 22a 的开关 121，时钟信号 φ 3 被提供给开关电路 23a 的开关 131。

到这时，开关 111、121 和 131 变为导通状态，两个电容器 31a 和 32a 串联连接在外部电源 50 和地线之间和电容器 31a 和 32a 被充电。

接着，在一个时间 t1 时，时钟信号 φ 1-φ 3 在定时产生电路 70 中被转换到低电平，时钟信号 φ 4 和时钟信号 φ 6 被设置在一个高电平，时钟信号 φ 4 被提供给开关电路 23a 的开关 132，时钟信号 φ 6 被提供给开关电路 22a 的开关 122。

到这时，开关 111、121 和 131 变为关断状态，开关 132 和 122 变为导通状态，$V_{CC}/2$ 的电压提供给电容器 33a 和电路单元 40 被启动。

除了开关 122 变为导通状态之外，节点 ND2 与 $0.25V_{CC}$ 电源 60 连接，在与节点 ND2 连接侧上电容器 31a 的电荷被放电给电源 60。在此，通过开关 122，$0.25V_{CC}$（C_S1+C_S2）的电荷流入的电源 50 中。在这时节点 ND1 上的电平是 $0.75V_{CC}$。

在这种情况下，在开关 122 上由下列等式所示的功率损耗产生：

$$P_{111}=(1/2)\cdot(C_S1+C_S2)\cdot(V_{CC}/4)^2\cdot\cdot(1/\tau)\quad\cdots(6)$$

在此，C_S1 和 C_S2 是节点 ND1 和 ND2 的寄生电容。相对于电容器 31a 的电容 C_{21} 的关系式被设置为 $C_{21}\gg C_S1$，C_S2。

接着，在一个时间 t2 时，时钟信号 φ 6 在定时产生电路 70 中被转换到低电平，时钟信号 φ 7 被设置在一个高电平，时钟信号 φ 7 被提供给开关电路 22a 的开关 123。

到这时，开关 122 变为关断状态，开关 123 变为导通状态。

除了开关 123 变为导通状态之外，节点 ND2 与地线连接。其结果是，电容器 31a 被放电以致于节点 ND1 呈现 $0.5V_{CC}$ 和节点 ND2 呈现 0V。

在这种情况下，在开关 123 上与由上述等式（6）表示的功率等效的一个功率被损耗。

接着，在一个时间 t3 时，时钟信号 φ 5 在定时产生电路 70 中被设置在一个高电平并且被提供给开关电路 21a 的开关 112。

到这时，开关 112 变为关断状态和 $0.5V_{CC}$（$V_{CC}/2$）被提供给输出节点 ND_{OUT}。

同样的，在一个时间 t4 时，时钟信号 φ 5 和 φ 7 在定时产生电路 70 中被

转换到低电平，时钟信号 ϕ 6 被设置在一个高电平，时钟信号 ϕ 6 被提供给开关电路 22a 的开关 122。

到这时，开关 122 和 123 变为关断状态，开关 122 变为导通状态。

除了开关 122 变为导通状态之外，节点 ND2 与 $0.25V_{CC}$ 电源 60 连接，其结果是：电容器 31a 被充电以致于节点 ND1 的电位从 $0.5V_{CC}$ 变到 $0.75V_{CC}$ 和节点 ND2 的电位从 0V 变到 $0.25V_{CC}$。

在这种情况下，在开关 122 上与由上述等式（6）表示的功率等效的一个功率被损耗。

在此，$0.25V_{CC}$（C_S1+C_S2）的电荷通过开关 122 流出电源 60。用这种方法，在 $0.25V_{CC}$ 电源 60 上，由充电和放电产生了 $0.25V_{CC}$（C_S1+C_S2）电荷的流入和流出并且电荷被重复循环。为此，用于电源 50 的时针信号 ϕ_{50} 的频率可以是低的，并且几乎没有由图 15 的电路产生的功率损耗。

接着，在一个时间 t5 时，时钟信号 ϕ 6 在定时产生电路 70 中被转换到低电平，时钟信号 ϕ 1 被设置在一个高电平，时钟信号 ϕ 1 被提供给开关电路 21a 的开关 111。

到这时，开关 122 变为关断状态，开关 111 变为导通状态。

除了开关 111 变为导通状态之外，节点 ND1 与外部电源 40 连接，其结果是：电容器 31a 被充电以致于节点 ND1 的电位变为 V_{CC} 和节点 ND2 的电位变为 $0.5V_{CC}$。

在这种情况下，在开关 111 上与由上述等式（6）表示的功率等效的一个功率被损耗。

由一系列放电和充电操作损耗的功率 PT 由下列等式给出：

$$PT = 4X\ (1/2)\cdot(Cs1+Cs2)\cdot(Vcc/4)^2\cdot(1/\tau)$$
$$= 4X\ (1/8)\cdot(Cs1+Cs2)\cdot Vcc^2\cdot(1/\tau) \quad \cdots(7)$$

这个功率消耗是常规电路 $P = (1/4)\cdot(C_{S1}+C_{S2})\cdot(V_{CC}/\tau)^2$ 的 1/2

如上面所述，根据第一实施例，在一个 DC-DC 转换器中，两个电容器 31a 和 32a 被串联连接在外部电源和参考电源（地）之间以便被充电和被并联连接以便根据时钟信号 ϕ 1-ϕ 3 产生一个值在外部电源电压和参考电源电压之间的输出电压 Va，由一个电源 60 构成的装置用于提供比外部电源 50 和地电压电源的电位更低的电压，由分别地操作把外部电源 50 和用于提供低电位的电源 60 与电容器 31a 和一个电路 60 连接的开关 121、122 和 123

构成的装置用于从与外部电源连接的开关侧顺序地转换连接和断开状态以便对电容器 31a 充电和放电，并且用于从与地电压电源连接的开关侧顺序地转换连接和断开状态以便对电容器 31a 放电，由此进行一个热绝缘充电，因此其优点是：能够实现一个具有低功率损耗的低电压电源，利用该低电压电源能够获得一个稳定的输出电压 Va。

应该注意的是：在本实施例中，虽然使用了一个所谓的两级充电方法，但是通过采用开关电路 22a 的开关数被进一步增加到 n 的一个 n 级充电方法，功率损耗能够被减小到常规方法的功率损耗的 1/n。

应该注意的是：不用说电容器的连接数并没有被限制在本例的数量上，各种变型都是可能的。

同样的，开关电路例如能够由 CMOS 型的传输门构成，但是相对于传输电压最好是选择和使用一个 p 沟道型 MOS 晶体管和 n 沟道型 MOS 晶体管。

同样的，为了减小功率损耗，作为电容器最好使用由外部电容、高介电电容、MIM（金属-绝缘体-金属）结构电容、DRAM 槽或叠层电容、平面电容、铁电电容、或类似电容构成的电容器。

特别地，像 PZT 这样的一个铁电体具有比 Sio_2 大两位数或更大的相对介电常数，并且寄生电容能够被充分地减小。

图 18 是根据本发明的 DC-DC 转换器的第四实施例的电路图。

第四实施例与上述第三实施例的区别在于：系统 A 和系统 B 的开关电路和电容器列被并联连接，它们分别由彼此具有反相位（被偏置 τ/2 相位）的时钟信号 ϕ 1-ϕ 7 和 ϕ 1-ϕ 7 来驱动。

应该注意的是：该电路本身的基本操作与第三实施例的操作是类似的，因此，在此省略了对该电路操作的描述。

在这种结构中，在系统 A 的电路中，例如当节点 ND1A 和 ND2A 借助于开关 122A 对 $0.25V_{CC}$ 电源 60a 分别从 V_{CC} 和 $0.5V_{CC}$ 放电到 $0.75V_{CC}$ 和 $0.25V_{CC}$ 时，在系统 B 的电路中，仅通过相同的电荷量进行相反的充电操作，因此两者被抵消了。此外，从 $0.25V_{CC}$ 电源 60a 供给的电荷是 0，其优点是：$0.25V_{CC}$ 电源 60a 变为非常稳定。

输出节点ND_{OUT}伴随负载电流I_L的波动能够被降低。

本发明的许多不同的实施例可以被构成而不脱离本发明的精神和保护范围。应该理解的是：本发明不限于上面描述的特殊实施例。

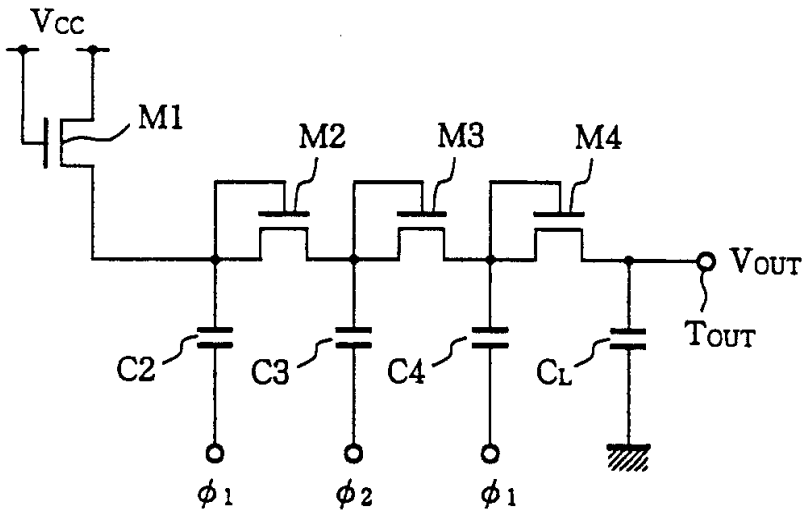


图　1

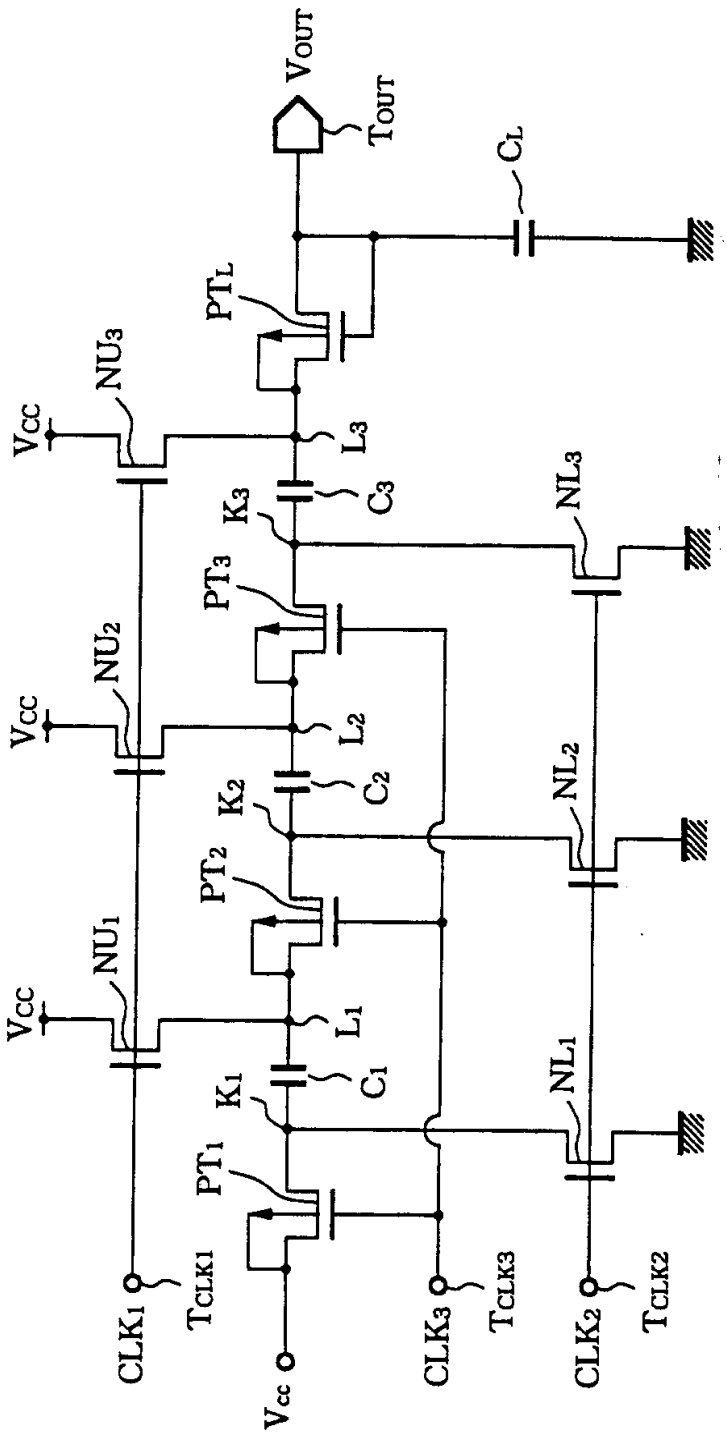

VOUT
TOUT
CL
PTL
NU3
VCC
L3
C3
K3
NL3
PT3
NU2
VCC
L2
C2
K2
NL2
PT2
NU1
VCC
L1
C1
K1
NL1
PT1
CLK1
TCLK1
Vcc
CLK3
TCLK3
CLK2
TCLK2

图 2

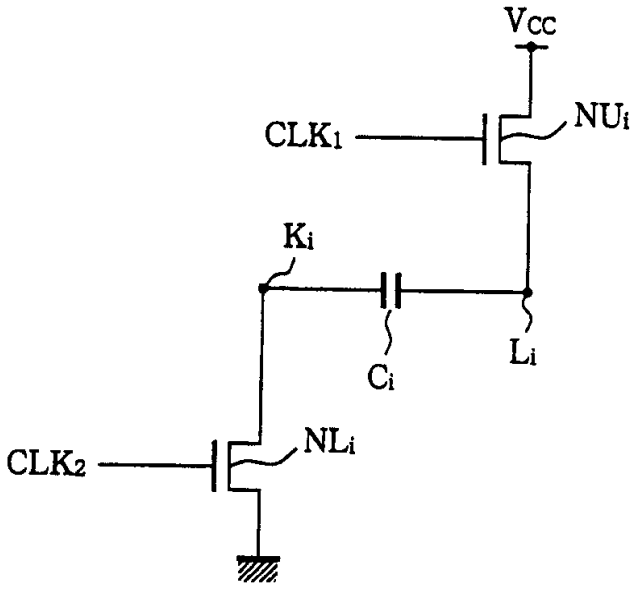
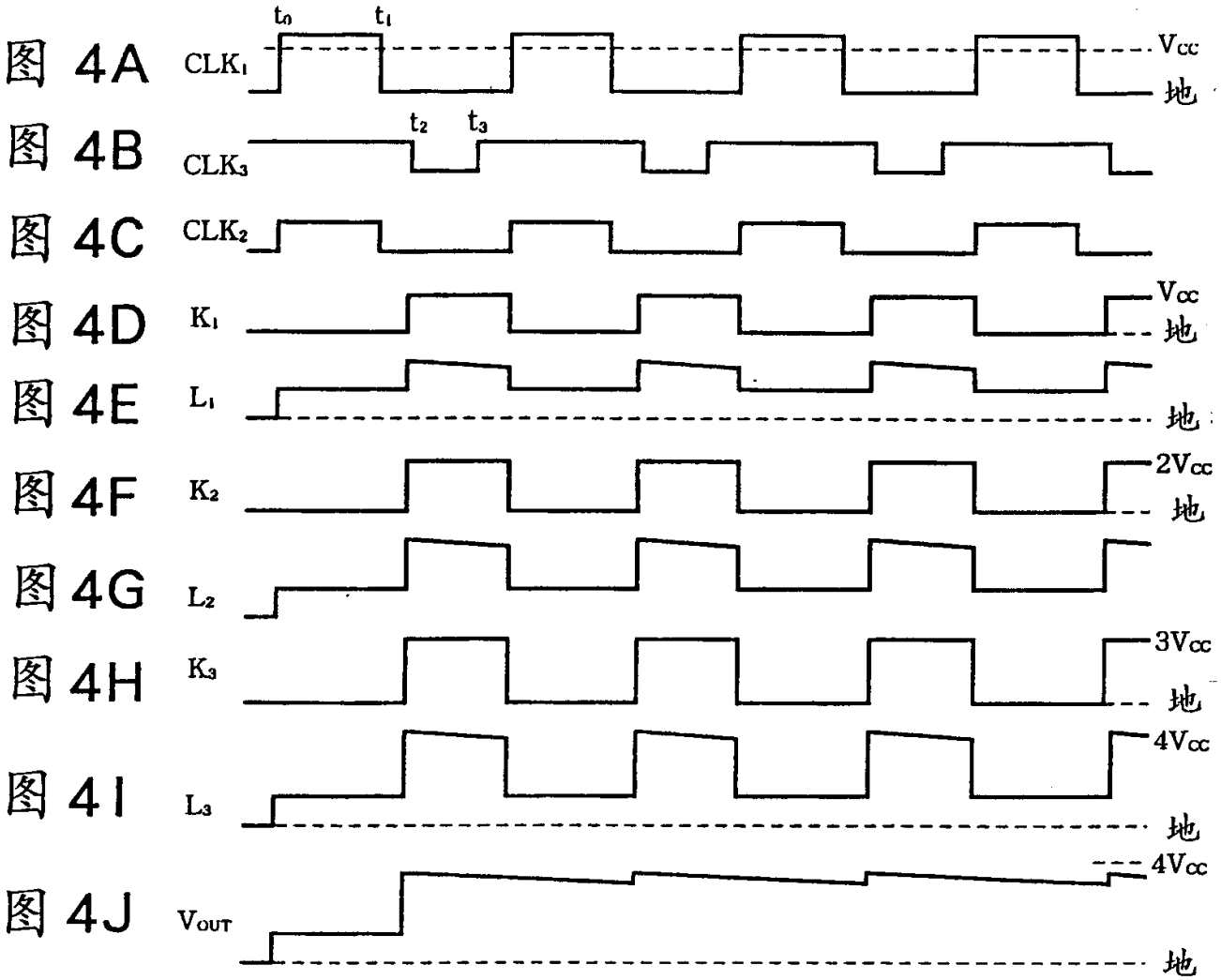


图 3


图 4A
CLK1
t0
t1
Vcc
地
图 4B
CLK3
t2
t3
图 4C
CLK2
图 4D
K1
Vcc
地
图 4E
L1
地
图 4F
K2
2Vcc
地
图 4G
L2
图 4H
K3
3Vcc
地
图 4I
L3
4Vcc
地
图 4J
VOUT
4Vcc
地

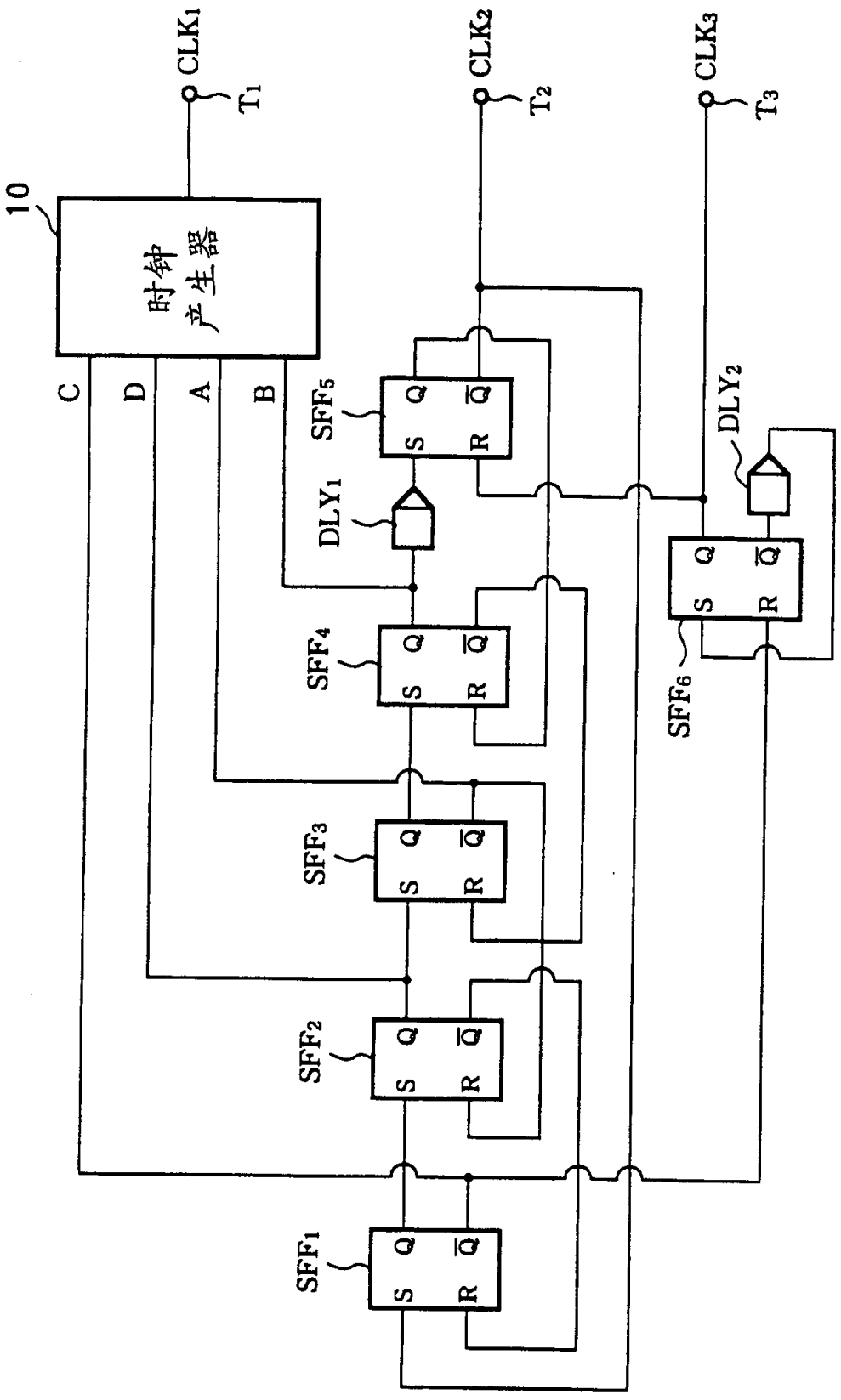

10
时钟
产生器
CLK1
T1
CLK2
T2
CLK3
T3
C
D
A
B
SFF5
DLY1
SFF4
SFF3
SFF2
SFF1
DLY2
SFF6
Q
S
R

图 5

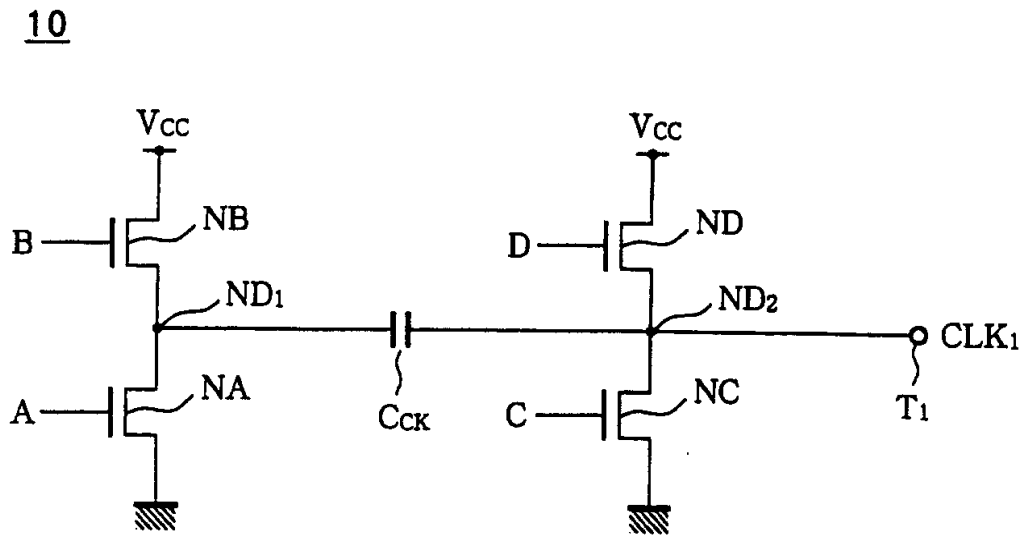
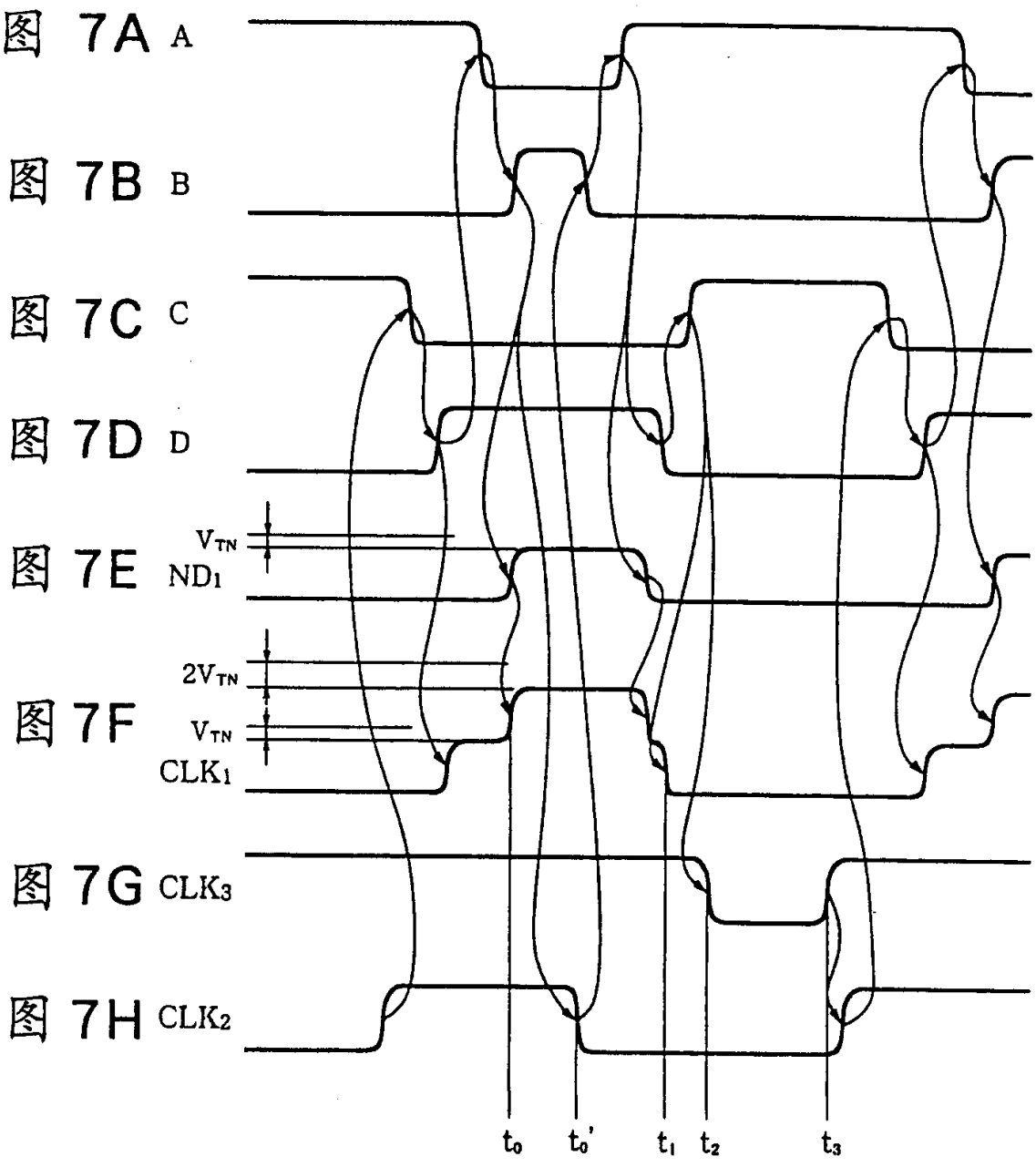


图 6


图 7A A
图 7B B
图 7C C
图 7D D
图 7E V_{TN} ND_1
图 7F $2V_{TN}$ V_{TN} CLK_1
图 7G CLK_3
图 7H CLK_2
t_0 t_0' t_1 t_2 t_3

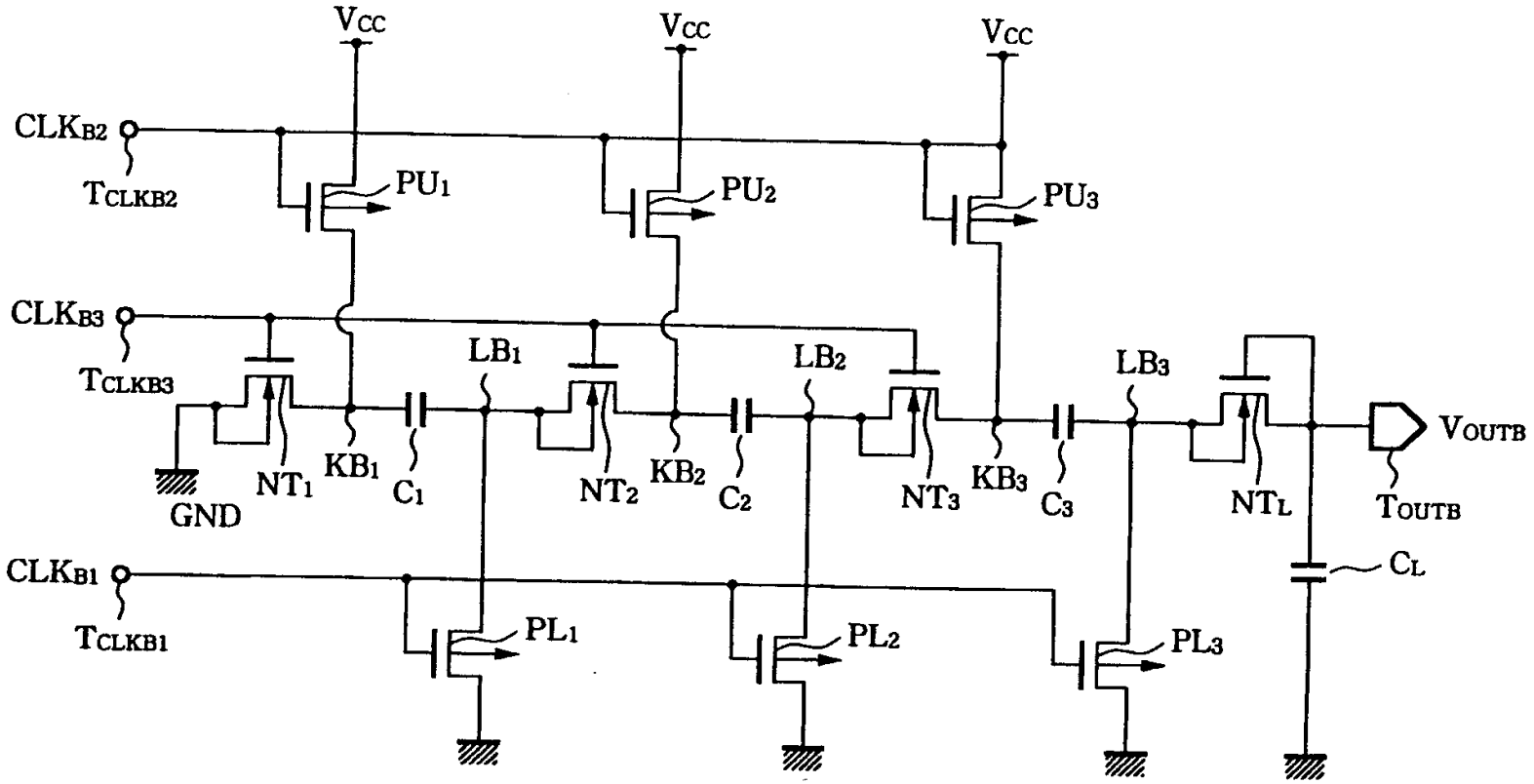

Vcc
Vcc
Vcc
CLKB2
TCLKB2
PU1
PU2
PU3
CLKB3
TCLKB3
LB1
LB2
LB3
VOUTB
GND
NT1
KB1
C1
NT2
KB2
C2
NT3
KB3
C3
NTL
TOUTB
CLKB1
CL
TCLKB1
PL1
PL2
PL3

图 8

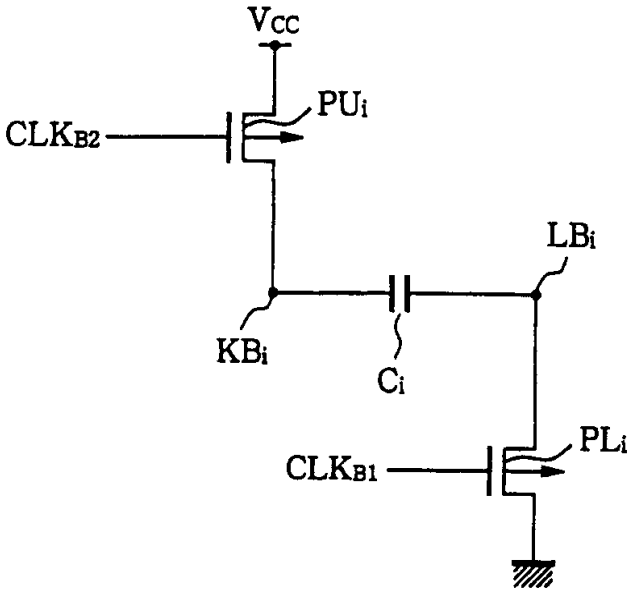


图 9

图 10A

图 10B

图 10C

图 10D

图 10E

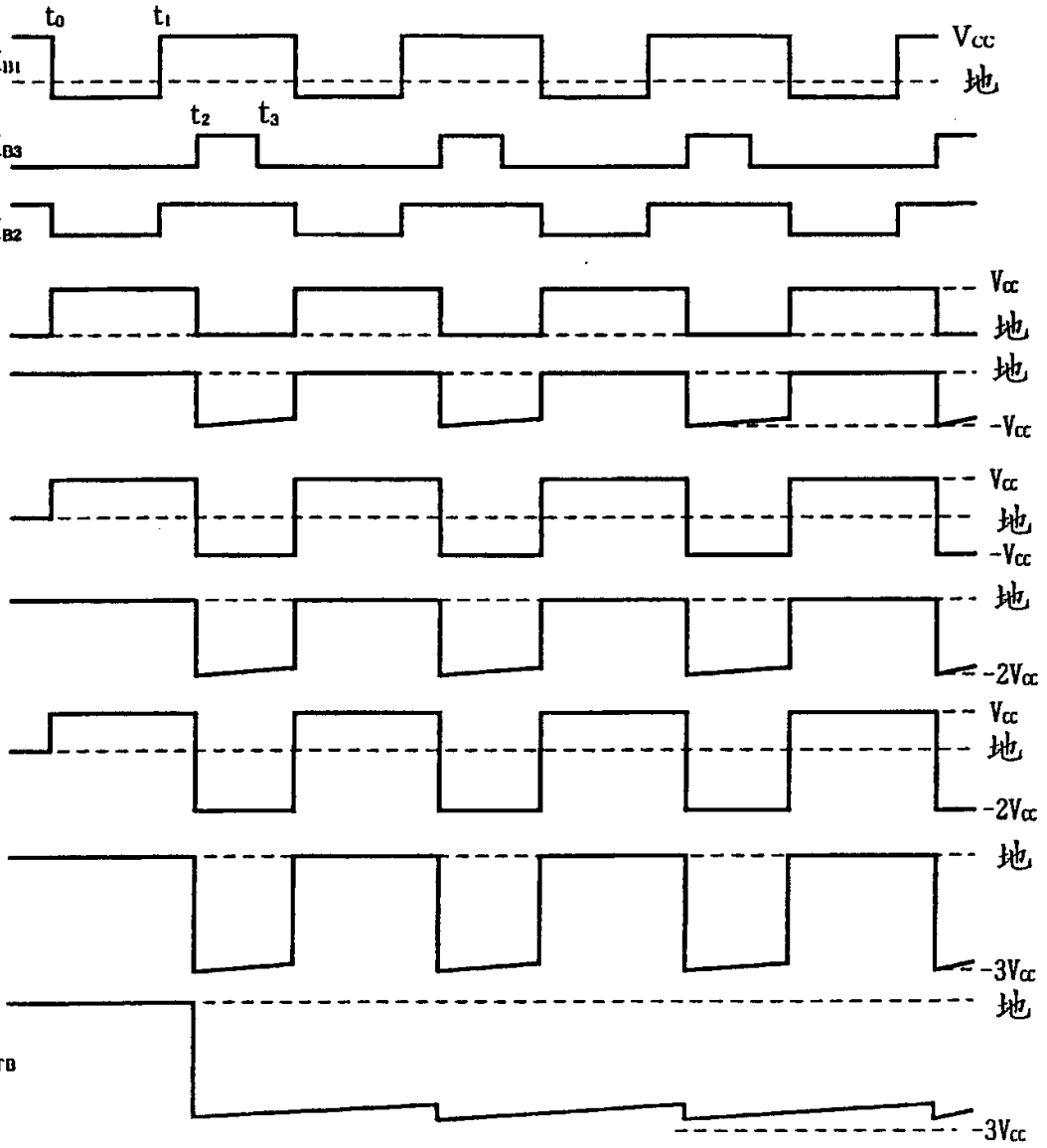
图 10F

图 10G

图 10H

图 10 I

图 10J



10a

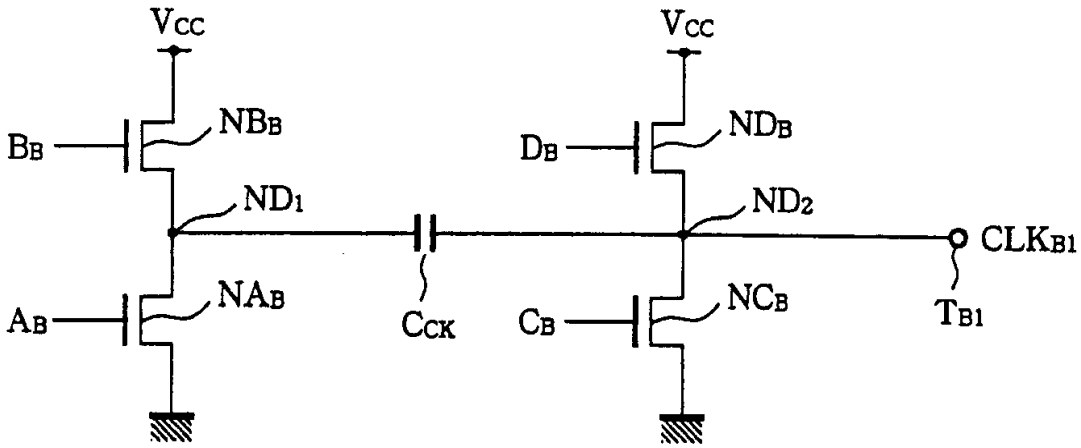


图 11

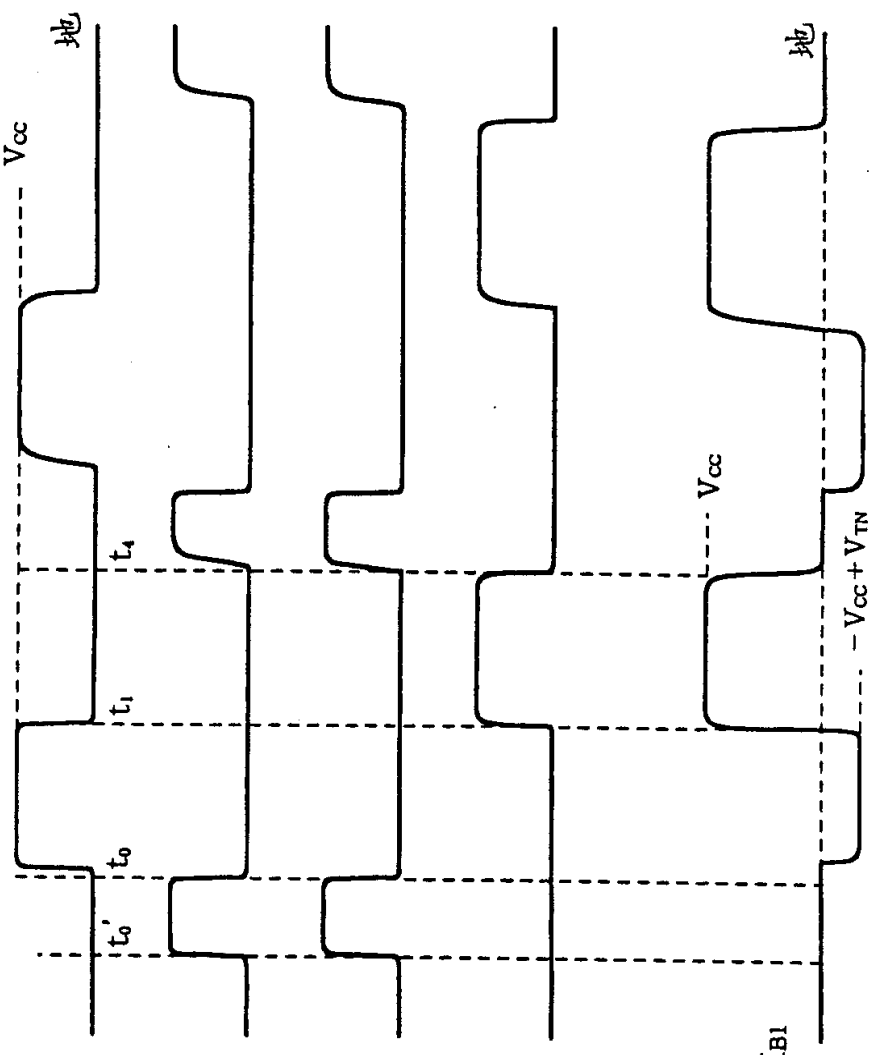


图 12A 图 12B 图 12C 图 12D 图 12E

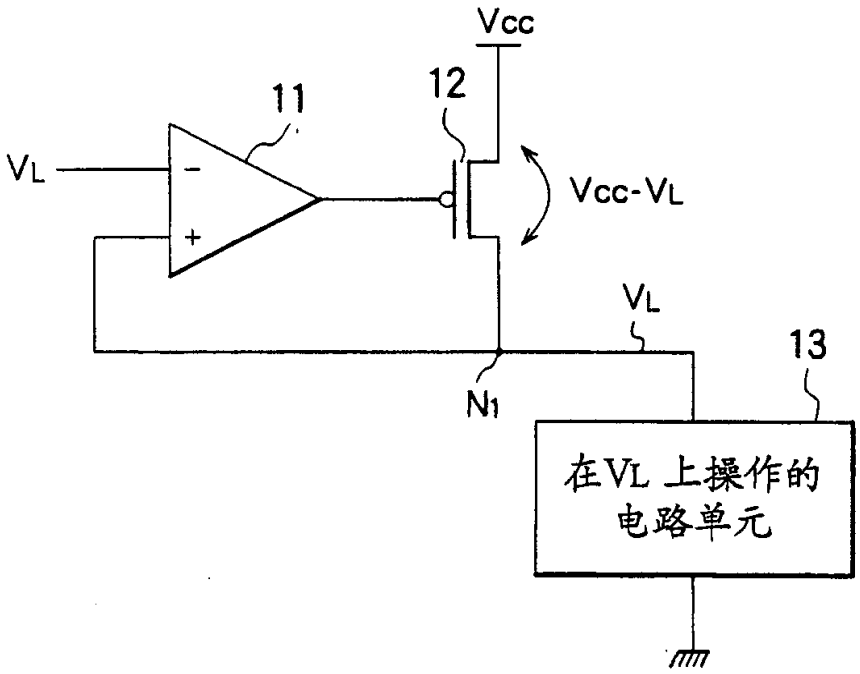


图 13

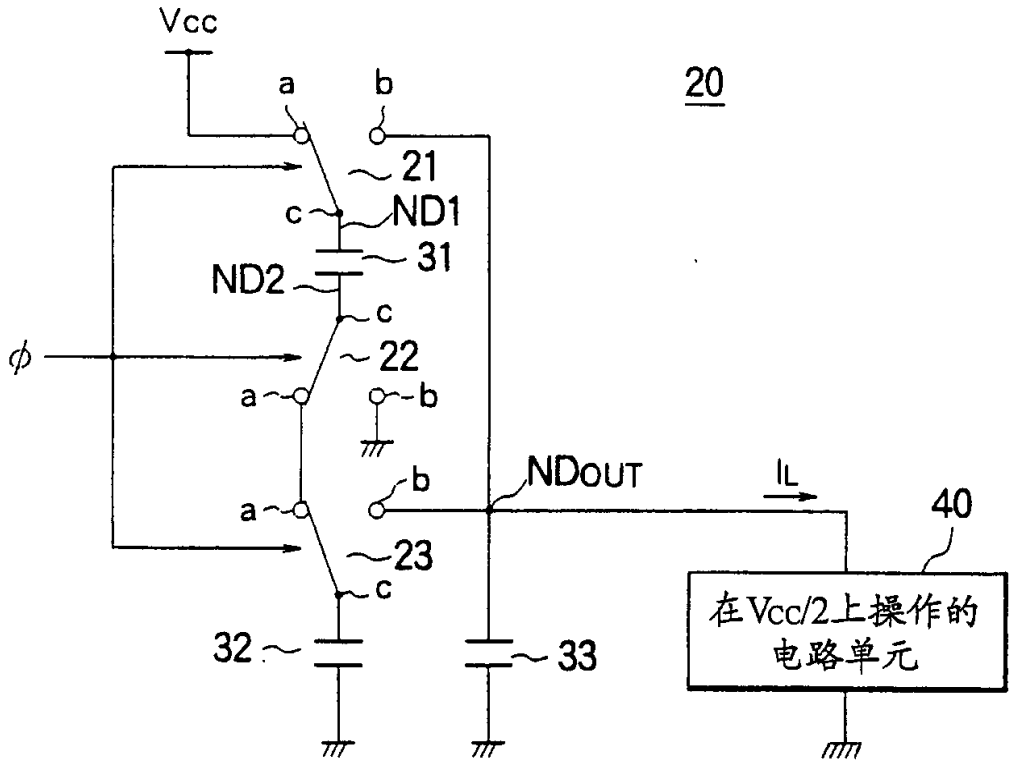

Vcc
a
b
20
21
c
ND1
31
ND2
c
φ
22
a
b
b
NDOUT
IL
a
40
23
c
在Vcc/2上操作的
电路单元
32
33

图 14

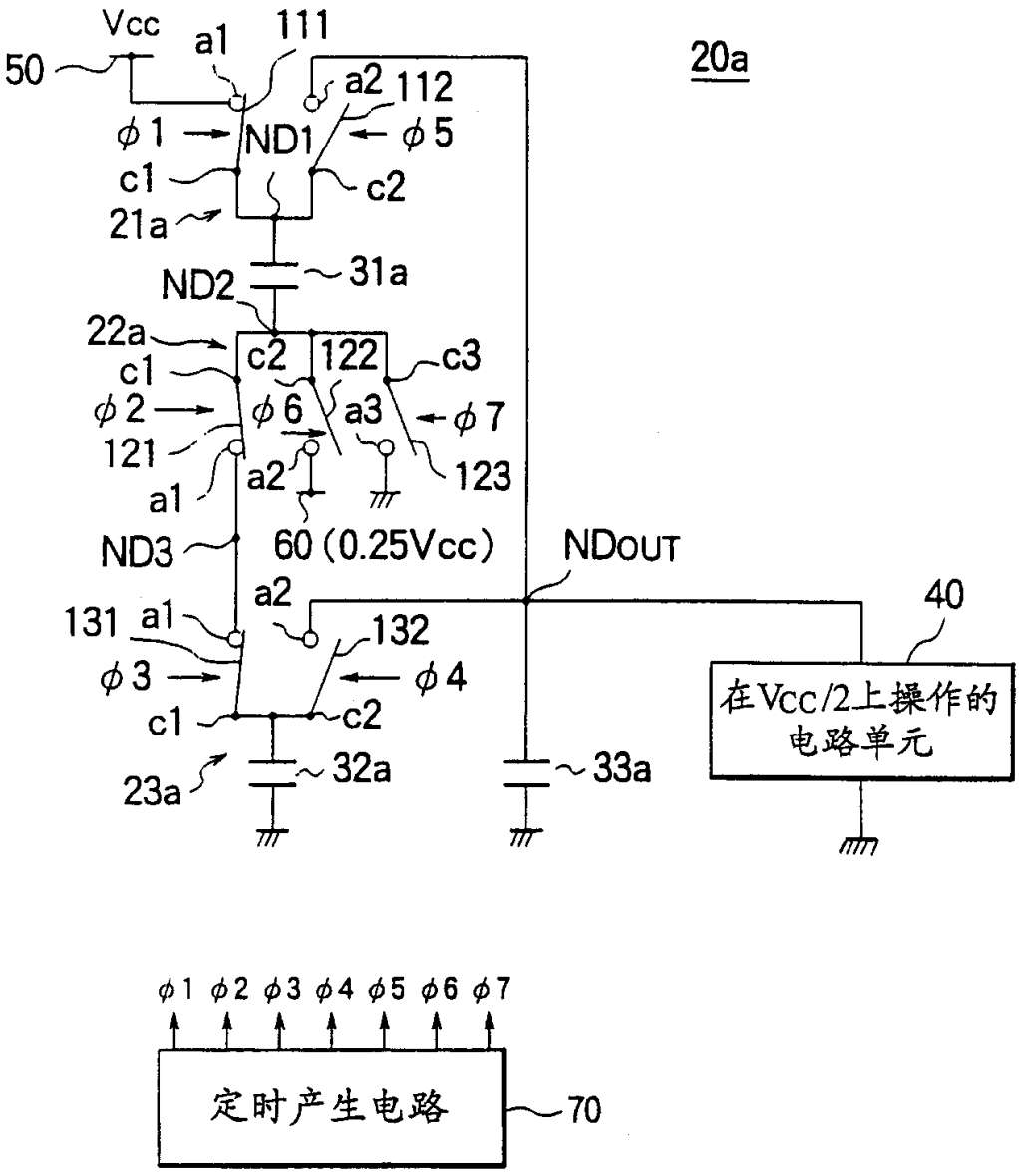
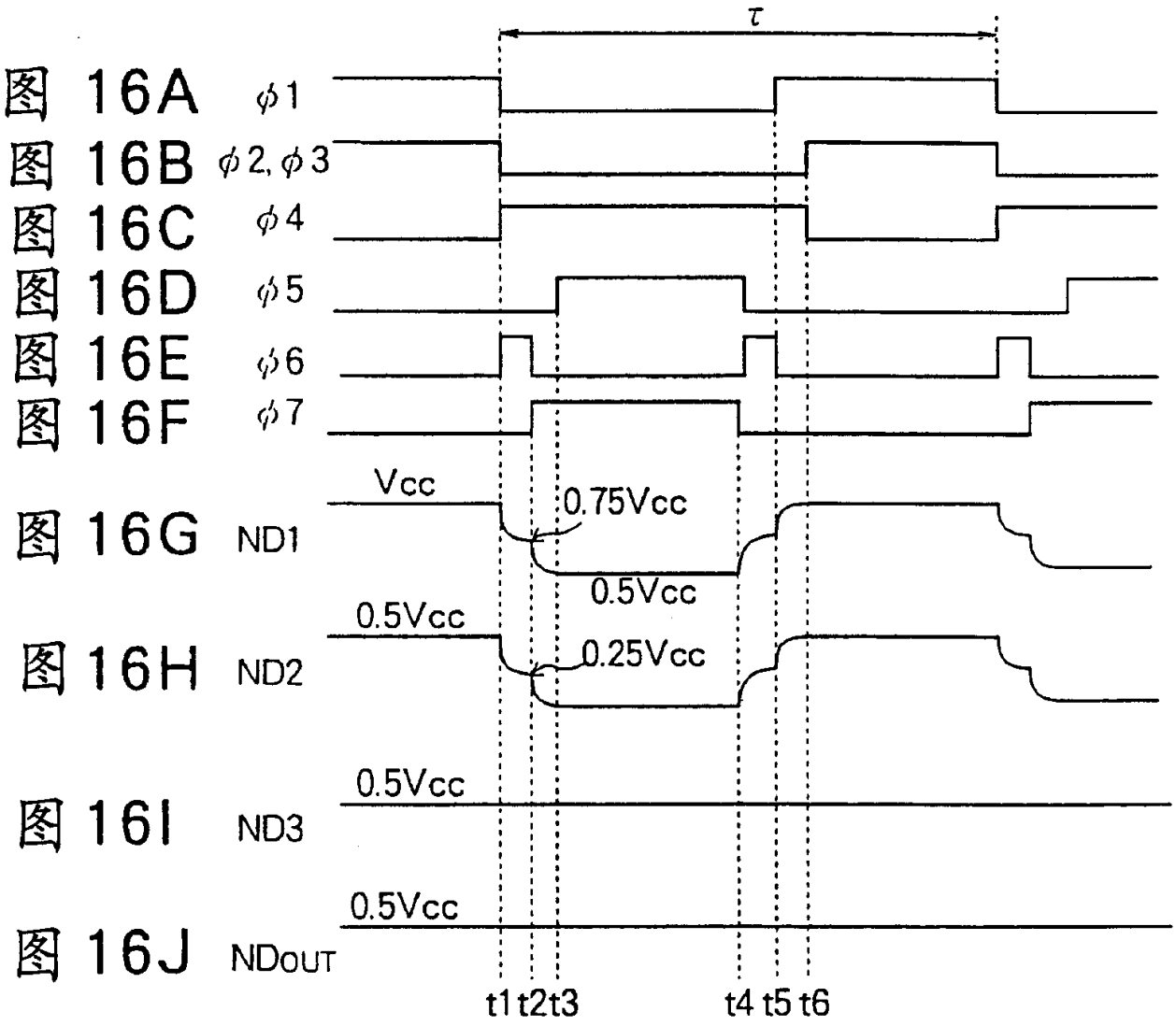

Vcc
a1
111
50
20a
a2
112
φ1
ND1
φ5
c1
c2
21a
31a
ND2
22a
c2
122
c3
c1
φ2
φ6
a3
φ7
121
a2
123
a1
ND3
60 (0.25Vcc)
NDOUT
a2
40
131
a1
132
φ3
φ4
c1
c2
23a
32a
33a
在Vcc/2上操作的
电路单元
φ1 φ2 φ3 φ4 φ5 φ6 φ7
定时产生电路
70

图 15


τ
图 16A φ1
图 16B φ2, φ3
图 16C φ4
图 16D φ5
图 16E φ6
图 16F φ7
Vcc
0.75Vcc
0.5Vcc
图 16G ND1
0.5Vcc
0.25Vcc
图 16H ND2
0.5Vcc
图 16I ND3
0.5Vcc
图 16J NDOUT
t1 t2 t3 t4 t5 t6

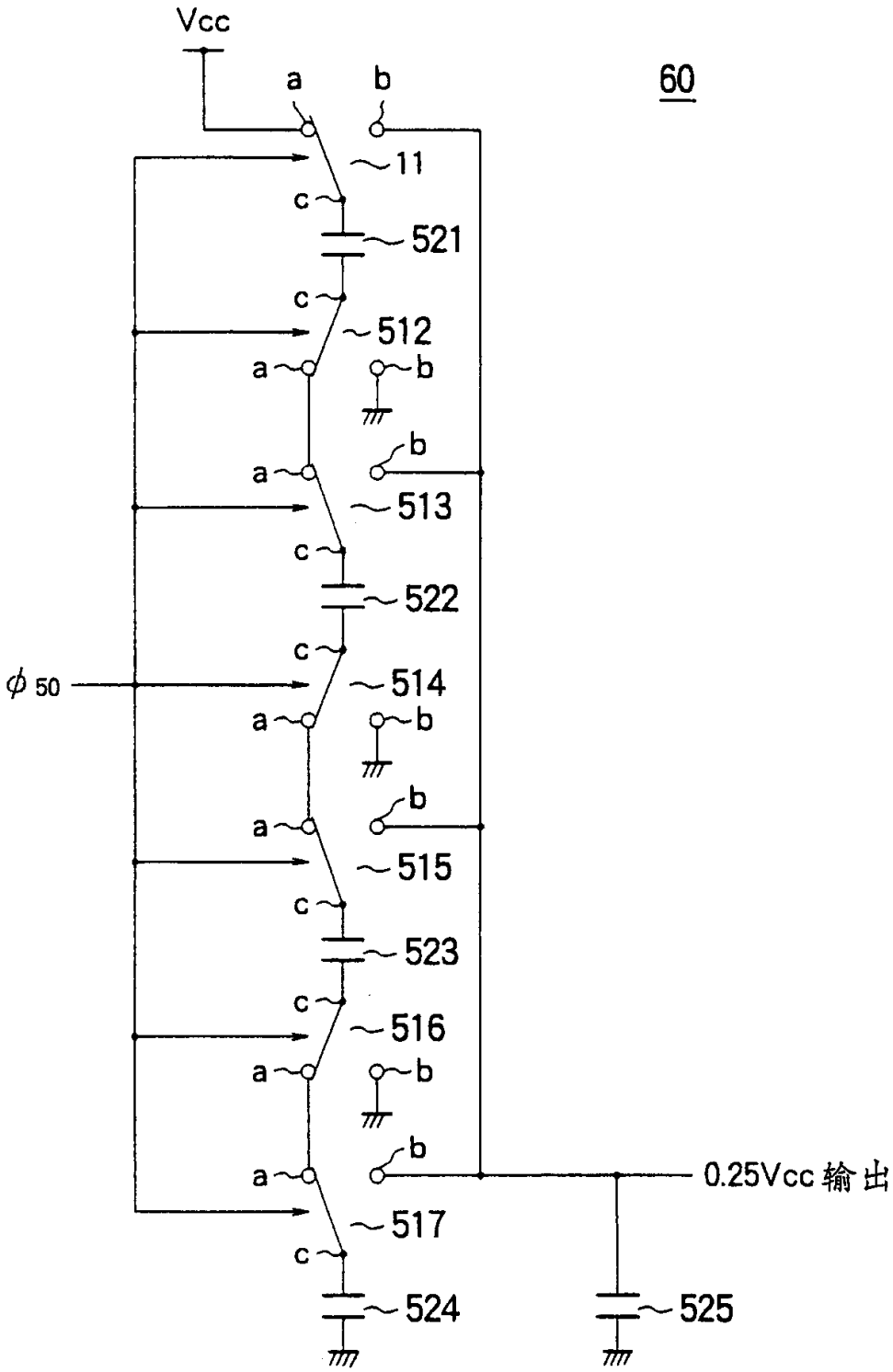

Vcc
a
b
60
11
c
521
512
513
522
514
515
523
516
517
524
525
φ 50
0.25Vcc 输出

图 17

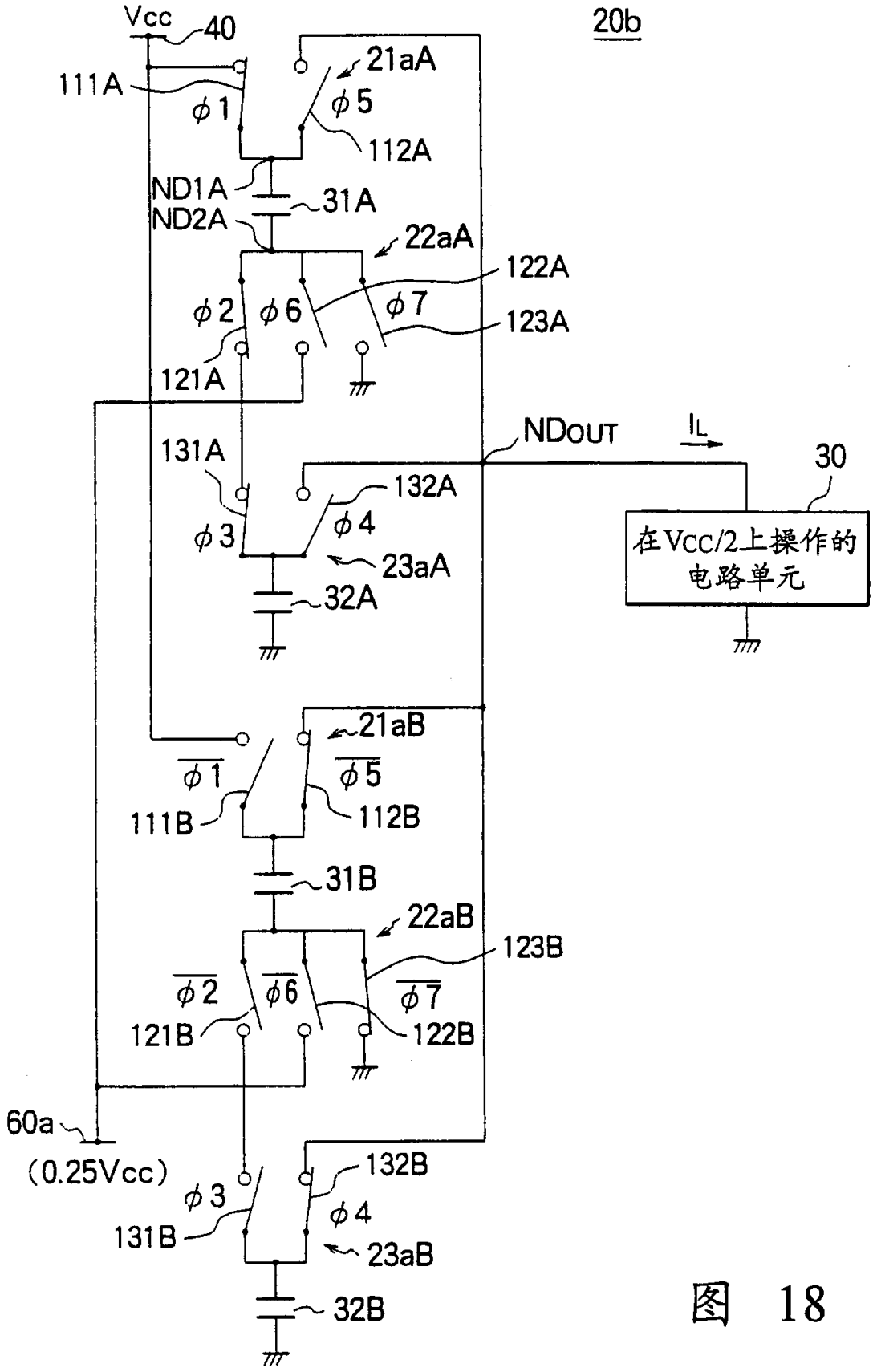

Vcc
40
20b
111A
φ1
21aA
φ5
112A
ND1A
31A
ND2A
22aA
122A
φ2
φ6
φ7
123A
121A
NDOUT
IL
30
131A
132A
φ3
φ4
23aA
32A
在Vcc/2上操作的
电路单元
21aB
φ1
φ5
111B
112B
31B
22aB
123B
φ2
φ6
φ7
121B
122B
60a
(0.25Vcc)
132B
φ3
φ4
131B
23aB
32B

图 18