



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년11월21일

(11) 등록번호 10-1678242

(24) 등록일자 2016년11월15일

(51) 국제특허분류(Int. Cl.)

H01L 33/22 (2010.01) H01L 27/15 (2006.01)

(21) 출원번호 10-2011-7017209

(22) 출원일자(국제) 2009년11월02일

심사청구일자 2014년07월29일

(85) 번역문제출일자 2011년07월22일

(65) 공개번호 10-2011-0101220

(43) 공개일자 2011년09월15일

(86) 국제출원번호 PCT/DE2009/001550

(87) 국제공개번호 WO 2010/072187

국제공개일자 2010년07월01일

(30) 우선권주장

10 2008 062 932.4 2008년12월23일 독일(DE)

(56) 선행기술조사문헌

JP2007220972 A\*

JP2008198876 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

오스람 옵토 세미컨덕터스 게엠베하

독일 레겐스부르크 라이브니츠슈트라쎄 4 ( 우:93055 )

(72) 발명자

마인비서, 니꼴라우스

독일, 93083 오버트르아블링, 엔바커슈트라쎄 7  
사바틸, 마티아스독일, 93059 레겐스부르크, 암 프롯젠판바이히 21  
비

레버, 안드레아스

독일, 93049 레겐스부르크, 로터 브라크벡 87

(74) 대리인

김태홍

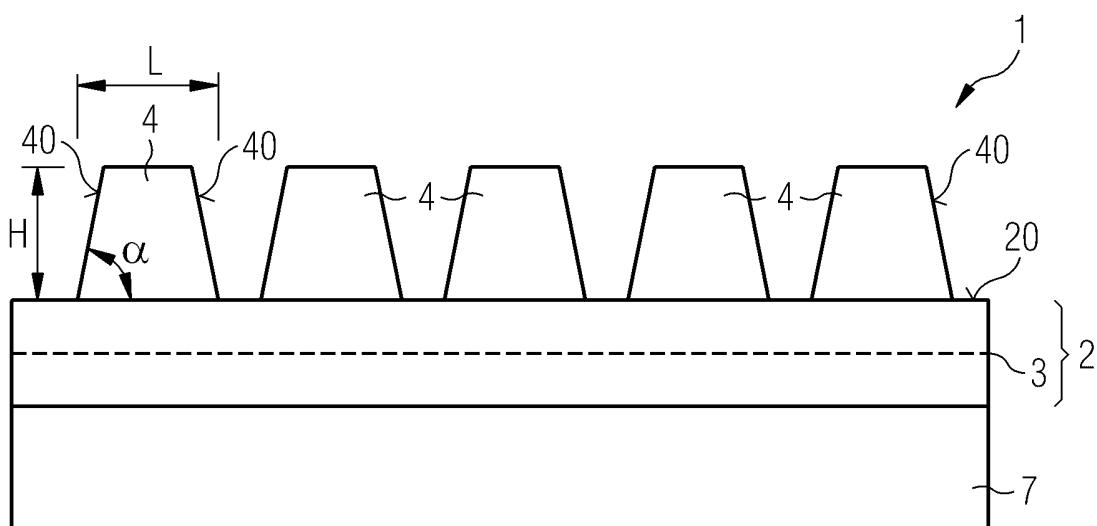
전체 청구항 수 : 총 14 항

심사관 : 김동우

(54) 발명의 명칭 광전 반도체칩 및 광전 반도체칩의 제조 방법

**(57) 요약**

광전 반도체칩(1)의 적어도 일 실시예에서, 광전 반도체칩은 전자기 복사의 생성을 위해 설계된 적어도 하나의 활성층(3)을 구비한 반도체층 시퀀스(2)를 포함한다. 또한, 광전 반도체칩(1)은 상기 반도체층 시퀀스(2)의 복사 투과면(20) 상에 적어도 간접적으로 설치된 아웃커플링 구조물들(4)을 포함한다. 아웃커플링 구조물(4)의 물질은 반도체층 시퀀스(2)의 물질과 다르다. 아웃커플링 구조물(4)의 물질의 굴절률과 반도체층 시퀀스(2)의 물질의 굴절률은 최대 30%만큼 서로 상이하다. 또한, 아웃커플링 구조물(4)의 측면(40)의 전체면은 복사 투과면(20)의 면적의 적어도 30%이다.

**대 표 도 - 도1**

## 명세서

### 청구범위

#### 청구항 1

전자기 복사의 생성을 위한 적어도 하나의 활성층(3)을 구비한 반도체층 시퀀스(2)와, 상기 반도체층 시퀀스(2)의 복사 투과면(20) 상에 직접적으로 마련되는 아웃커플링 구조물들(4)을 포함하는 광전 반도체칩(1)에 있어서,

상기 아웃커플링 구조물(4)의 물질은 상기 반도체층 시퀀스(2)의 물질과 상이하고,

상기 아웃커플링 구조물(4)의 물질의 굴절률과 상기 반도체층 시퀀스(2)의 물질의 굴절률은 최대 30%만큼 차이 나고,

상기 아웃커플링 구조물들(4)의 측면들(40)은 상기 복사 투과면(20)의 면적의 적어도 5%인 총 면적을 보유하고,

상기 아웃커플링 구조물들(4)의 물질에 의해 복수의 아일랜드(island)(6)가 형성되고, 인접한 아일랜드들(6)은 서로 분리되어 있고,

상기 반도체층 시퀀스(2)의 복사 투과면(20) 상에 적어도 하나의 도전층(5)이 마련되고, 상기 도전층(5)은 투명 전도 산화물을 포함하여 형성되며, 상기 아웃커플링 구조물들(4)은 상기 도전층(5)을 완전하게 관통하고,

상기 아웃珂파링 구조물들(4)은 상기 복사 투과면(20)에 대해 수직인 방향으로  $0.3\mu\text{m}$  내지  $10\mu\text{m}$ 인 높이를 가지며,

상기 도전층(5)의 두께는 상기 복사 투과면(20)에 대해 수직인 방향으로  $250\text{nm}$  이하여서, 상기 도전층(5)의 두께는 상기 아웃珂파링 구조물들(4)의 두께보다 더 얇은 것을 특징으로 하는 광전 반도체칩.

#### 청구항 2

제 1 항에 있어서,

상기 측면들(40)은, 상기 복사 투과면(20)과 최소  $15^\circ$  와 최대  $75^\circ$  사이의 각( $\alpha$ )을 이루는 아웃珂파링 구조물(4)의 경계면들이거나, 또는 그 경계면들의 부분들인 것을 특징으로 하는 광전 반도체칩.

#### 청구항 3

제 1 항에 있어서,

상기 아웃珂파링 구조물들(4)은 상기 복사 투과면(20)에 대해 평행한 방향에서  $1\mu\text{m}$  내지  $3\mu\text{m}$ 의 측방향 치수(L)를 가지고, 상기 아웃珂파링 구조물들(4)은  $0.5\mu\text{m}$  내지  $3\mu\text{m}$ 의 높이(H)를 가지는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 4

제 1 항에 있어서,

상기 반도체층 시퀀스(2)의 복사 투과면(20) 및 상기 도전층(5)은 평활하면서 거칠기가 없으며, 그리고 상기 복사 투과면(20)은 완전히 상기 아웃珂파링 구조물들(4)과 함께 상기 도전층(5)에 의해 덮이는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 5

제 4 항에 있어서,

상기 아웃珂파링 구조물들(4)은 각뿔대형, 구면대형, 반구형 또는 원뿔대형 구조 요소들에 의해 형성되며, 상기 아웃珂파링 구조물들(4)의 기저면은 상기 복사 투과면(20)을 향해 있는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 6

제 4 항에 있어서,

상기 도전층(5)은 상기 복사 투과면(20) 상에 직접 적층되는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 7

제 5 항에 있어서,

상기 아일랜드들(6)은 각각 상기 아웃커플링 구조물들(4)의 딱 하나의 구조 요소에 의해 형성되는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 아웃커플링 구조물들(4)의 물질은 TiO<sub>2</sub>, ZnS, AlN, SiC, BN, Ta<sub>2</sub>O<sub>5</sub> 중 하나의 성분을 포함하거나 그것으로 구성되며, 상기 도전층(5)은 인듐주석산화물, 인듐아연산화물 또는 아연산화물로 구성되는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

인접한 아웃커플링 구조물들(4) 사이에는 상기 아웃커플링 구조물들(4) 자체의 물질에 의한 결합이 존재하지 않는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 10

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 아웃커플링 구조물들(4)의 측면들(40)의 총 면적은 상기 복사 투과면(20)의 면적의 적어도 20%인 것을 특징으로 하는 광전 반도체칩.

#### 청구항 11

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 아웃커플링 구조물들(4)의 물질의 굴절률은 2.4 내지 2.6인 것을 특징으로 하는 광전 반도체칩.

#### 청구항 12

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 반도체층 시퀀스(2)의 물질은 GaN, InGaN, AlGaN 및/또는 AlInGaN을 기반으로 하고,

상기 복사 투과면(20)과 상기 아웃커플링 구조물(4)의 측면(40) 사이의 각( $\alpha$ )은 30° 내지 60°이며,

상기 아웃커플링 구조물들(4)은 원뿔대형으로 형성되고 TiO<sub>2</sub>로 이루어지는 것을 특징으로 하는 광전 반도체칩.

#### 청구항 13

광전 반도체칩의 제조 방법으로서,

기판(7) 상에 적어도 하나의 활성층(3)을 구비한 반도체층 시퀀스(2)를 성장시키는 단계;

상기 반도체층 시퀀스(2)의 복사 투과면(20)에 감광 물질(15)을 마련하여 구조화하는 단계;

상기 감광 물질(15)을 일부 영역들(16)에서 제거하는 단계;

상기 일부 영역들(16)에서 상기 복사 투과면(20)에 아웃커플링 구조물들(4)을 설치하는 단계; 및

잔여 감광 물질(15)을 제거하는 단계를 포함하고,

상기 아웃커플링 구조물(4)의 물질은 상기 반도체층 시퀀스(2)의 물질과 상이하고, 상기 물질들은 굴절률에 있어서 최대 30%만큼 차이나며,

상기 아웃커플링 구조물들(4)의 측면들의 총 면적은 상기 복사 투과면(20)의 면적의 적어도 30%이며,

상기 아웃커플링 구조물들(4)은 상기 복사 투과면(20) 상에 직접적으로 설치되고,

상기 아웃커플링 구조물들(4)의 물질에 의해 복수의 아일랜드(6)가 형성되고, 인접한 아일랜드들(6)은 서로 분리되어 있으며,

상기 반도체층 시퀀스(2)의 복사 투과면(20) 상에 적어도 하나의 도전층(5)이 마련되고, 상기 도전층(5)은 투명 전도 산화물로 형성되며, 상기 아웃커플링 구조물들(4)은 상기 도전층(5)을 완전하게 관통하고,

상기 아웃커플링 구조물들(4)은 상기 복사 투과면(20)에 대해 수직인 방향으로  $0.3\mu\text{m}$  내지  $10\mu\text{m}$ 인 높이를 가지며,

상기 도전층(5)의 두께는 상기 복사 투과면(20)에 대해 수직인 방향으로  $250\text{nm}$  이하여서, 상기 도전층(5)의 두께는 상기 아웃커플링 구조물들(4)의 두께보다 더 얇은 것을 특징으로 하는 광전 반도체칩의 제조 방법.

## 청구항 14

제 13 항에 있어서,

상기 감광 물질(15)을 마련하여 구조화하기 전에, 상기 감광 물질과 상기 복사 투과면(20) 사이에 적어도 국부적으로 상기 도전층(5)이 생성되고, 상기 일부 영역들(16)에서 상기 감광 물질(15)이 제거되면서 상기 일부 영역들(16)에서 상기 도전층(5)이 부분적으로 제거되는 것을 특징으로 하는 광전 반도체칩의 제조 방법.

## 청구항 15

삭제

### 발명의 설명

#### 기술 분야

[0001] 광전 반도체칩이 제공된다. 또한, 광전 반도체칩의 제조 방법이 제공된다.

[0002] 본 특허 출원은 독일 특허 출원 10 2008 062932.4에 대한 우선권을 청구하며, 그 공개 내용은 참조로 포함된다.

#### 배경 기술

[0003] 문현 US 2007/0267640 A1은 광 방출 반도체 다이오드 및 그 제조 방법에 관한 것이다.

#### 발명의 내용

##### 해결하려는 과제

[0004] 본 발명의 목적은 광 아웃커플링 효율이 높은 광전 반도체칩을 제공하는 것이다. 본 발명의 또 다른 목적은 광전 반도체칩을 제조하는 방법을 제공하는 것이다.

##### 과제의 해결 수단

[0005] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체칩은 전자기 복사의 생성을 위한 적어도 하나의 활성층을 가지는 반도체층 시퀀스를 포함한다. 활성층은 적어도 하나의 pn 접합 및/또는 적어도 하나의 양자상자를 포함할 수 있다. 예컨대, 반도체칩은 박막칩으로서 형성될 수 있고, 이는 문현 WO 2005/081319 A1에 기술된 바와 같으며, 상기 문현의 공개 내용은 상기 문현에서 기술한 반도체칩 및 상기 문현에서 기술된 제조 방법과 관련하여 참조로 포함된다. 또한, 반도체층 시퀀스는 클래딩층, 도파층 및/또는 전류 확산층을 포함할 수 있다.

[0006] 광전 반도체칩의 적어도 일 실시예에 따르면, 전체의 반도체층 시퀀스는 동일한 물질계이며, 이 때 반도체층 시퀀스의 개별층들은 서로 다른 물질 조성, 가령 서로 다른 도핑을 포함할 수 있다. 예컨대, 반도체층 시퀀스는 GaN, GaP 또는 GaAs계이고, 이 때 층 시퀀스내에서 가령 Al 및/또는 In의 비율은 변경될 수 있다. 마찬가지로, 반도체층 시퀀스는 P, B, Mg 및/또는 Zn의 비율을 가변적으로 포함할 수 있다.

[0007] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 아웃커플링 구조물들을 포함하고, 이러한 구조는

활성층에서 반도체칩의 구동 시 생성된 전자기 복사가 반도체칩으로부터 나가는 아웃커플링 효율을 향상시키도록 설계된다.

[0008] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 측면들(facets)을 포함한다. 측면이란, 아웃커플링 구조물의 모든 경계면, 또는 이러한 경계면에서 반도체층 시퀀스와 다른 방향을 향해있지 않고 반도체층 시퀀스의 복사 투과면과  $15^\circ$  내지  $75^\circ$  의 각도를 이루는 부분이다. 아웃커플링 구조물의 측면은 하나로 이어진 단일의 면으로 형성될 수 있다. 아웃커플링 구조물이 예컨대 원뿔대이면, 측면은 상기 원뿔대의 측방향 클래드면으로 형성된다. 아웃커플링 구조물들이 예컨대 반구체형이면, 측면은 경계면에서 접선이 복사 투과면과  $15^\circ$  내지  $75^\circ$  의 각도를 이루는 부분들이며, 이 때 접선은 각각 복사 투과면에 대해 수직인 평면에 위치한다.

[0009] 바람직하게는, 광전 반도체칩의 복사 투과면은, 제조 공차 범위내에서 특히 반도체층 시퀀스의 성장 방향에 대해 수직으로 배향되며 상기 반도체층 시퀀스를 성장 방향에 대해 수직인 방향에서 한정하는 평편한 면을 가리킨다. 즉, 복사 투과면은 반도체층 시퀀스의 주요측이다. 특히, 복사 투과면은 캐리어 또는 기판과 다른 방향을 향해있는 반도체층 시퀀스의 측에 위치한다. 복사 투과면은, 반도체층 시퀀스에서 생성된 복사의 적어도 일부가 상기 복사 투과면을 통해 반도체층 시퀀스로부터 나오도록 설계된다.

[0010] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물은 반도체층 시퀀스의 복사 투과면 상에 적어도 간접적으로 설치된다. 즉, 아웃커플링 구조물과 복사 투과면 사이에 예컨대 전극의 물질이 위치할 수 있고, 전극은 반도체층 시퀀스의 전기 접촉을 위해 역할한다.

[0011] 그러나 바람직하게는, 아웃커플링 구조물은 복사 투과면 상에 직접적으로 설치된다. 바꾸어 말하면, 아웃커플링 구조물의 물질은 적어도 부분적으로, 복사 투과면과 직접 접촉하거나, 상기 복사 투과면을 형성하는 반도체층 시퀀스의 반도체 물질과 직접 접촉한다.

[0012] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물의 물질은 반도체층 시퀀스의 물질과 상이하다. 상이하다는 것은, 아웃커플링 구조물은 반도체층 시퀀스와 다른 물질계라는 것을 의미한다. 즉, 특히, 아웃커플링 구조물 및 반도체층 시퀀스의 물질이 도핑에 있어서만 서로 다르거나, 물질 성분 비율에 있어서만 상이한 것을 의미하진 않는다. 예컨대, 반도체층 시퀀스는 GaN계인 반면, 아웃커플링 구조물은 TiO<sub>2</sub>계이다.

[0013] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물 및 반도체층 시퀀스의 물질의 굴절률은 최대 30%만큼 서로 상이하다. 바꾸어 말하면, 두 물질의 굴절률의 차를 반도체층 시퀀스의 물질의 굴절률로 나눈 몫의 값은 0.30이하이다. 상기 반도체층 시퀀스의 물질은, 상기 반도체층 시퀀스에서 복사 투과면을 형성하는 물질로 이해할 수 있다. 아웃커플링 구조물 및 반도체층 시퀀스는 서로 다른 굴절률을 가질 수 있다.

[0014] 굴절률은, 특히, 관련된 파장 또는 관련된 파장 영역에서 각 굴절률을 의미할 수 있다. 관련된 파장이란, 특히, 반도체층 시퀀스에서 생성된 복사의 파장이다.

[0015] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물의 측면의 전체면은 복사 투과면의 면적의 적어도 5%, 바람직하게는 적어도 20%, 특히 적어도 60%이다. 바꾸어 말하면, 모든 측면들의 면들의 합, 즉 아웃커플링 구조물에서 복사 투과면에 대해 경사져 배치된 모든 경계면들의 합은 적어도 앞서 언급한 값을 가진다. 즉, 측면들의 전체면은 복사 투과면의 면적과 관련된다.

[0016] 적어도 일 실시예에서, 측면의 전체면이 복사 투과면의 면적보다 클 수 있다. 이 경우, 측면의 면들은 복사 투과면의 면적의 100%를 초과한다.

[0017] 광전 반도체칩의 적어도 일 실시예에서, 광전 반도체칩은 전자기 복사의 생성을 위해 설계된 적어도 하나의 활성층을 가지는 반도체층 시퀀스를 포함한다. 또한, 광전 반도체칩은 아웃커플링 구조물을 포함하며, 아웃커플링 구조물은 반도체층 시퀀스의 복사 투과면 상에 적어도 간접적으로 설치된다. 아웃커플링 구조물의 물질은 반도체층 시퀀스의 물질과 다르다. 아웃커플링 구조물의 물질의 굴절률과 반도체 층시퀀스의 물질의 굴절률은 최대 30%만큼 서로 상이하다. 또한, 아웃커플링 구조물의 측면들은 복사 투과면의 면적의 적어도 5%에 달하는 전체면을 포함한다.

[0018] 이와 같은 아웃커플링 구조물, 특히 반도체층 시퀀스의 물질과 약간의 굴절률차를 가지는 아웃커플링 구조물에 의해, 반도체칩에서 생성된 복사가 상기 반도체칩으로부터 나오는 아웃커플링 효율을 높게 보장할 수 있다. 아웃커플링 구조물이 반도체층 시퀀스와 다른 물질을 포함하면, 아웃커플링 구조물의 제조 및 광전 반도체칩의 제조가 간단해질 수 있다.

- [0019] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물은 복사 투과면의 적어도 20%, 특히 적어도 40%의 비율만큼 덮는다. 아웃커플링 구조물이 복사 투과면과 직접 접촉한다면, 복사투과면에서 아웃커플링 구조물의 물질과 직접 접촉하는 비율은 적어도 20%, 또는 적어도 40%이다. 아웃커플링 구조물이 복사 투과면 상에 간접적으로 제공되면, 반도체층 시퀀스를 향한 아웃커플링 구조물의 면들이 복사 투과면의 적어도 20%라는 비율로 돌출된다. 상기 돌출은 복사 투과면에 대해 수직인 방향에서 이루어진다.
- [0020] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물은 복사 투과면에서 최대 80%의 비율을 덮는다.
- [0021] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물의 물질의 굴절률 및 반도체층 시퀀스의 물질의 굴절률은 최대 20%, 특히 최대 10%만큼 상호간 상이하다. 예컨대, 이 오차가 최대 10%이고, 반도체층 시퀀스의 굴절률이 약 2.5라는 값을 가지면, 아웃커플링 구조물의 물질의 굴절률은 2.25 내지 2.75이다.
- [0022] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물 및 반도체층 시퀀스의 물질의 굴절률은 최대 5%만큼 서로 상이하다.
- [0023] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물에 의해 덮인 복사 투과면의 비율은 35%을 초과하고 65%미만이다.
- [0024] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물은 규칙적 패턴으로, 특히 2차원 패턴으로 복사 투과면 상에 배치된다. 규칙적으로라는 것은, 패턴이 단위셀을 포함한다는 것을 의미할 수 있다. 예컨대, 아웃커플링 구조물의 규칙적 배열은 포토리소그래피 공정에 의해 구현될 수 있다.
- [0025] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물은 복사 투과면 상에서 육각 격자로 배치된다. 바꾸어 말하면, 아웃커플링 구조물의 배열의 단위셀은 육각형, 특히 정육각형 및/또는 등변의 육각형이다.
- [0026] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물의 측방향 치수, 즉 복사 투과면에 대해 평행한 방향에서의 치수는  $0.2 \mu\text{m}$  내지  $10 \mu\text{m}$ 사이이고, 특히  $1 \mu\text{m}$  내지  $3 \mu\text{m}$ 이다. 바람직하게는, 아웃커플링 구조물의 측방향 치수는 반도체층 시퀀스에서 생성된 복사의 파장보다 크다. 특히, 아웃커플링 구조물의 측방향 치수는 복사의 파장의 적어도 2배이다. 파장은 반도체층 시퀀스의 물질에서 복사가 가지는 파장을 가리킨다.
- [0027] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물의 물질에 의해 아일랜드(island)가 형성되고, 이 때 인접한 아일랜드들은 각각 분리되어 있다. 바꾸어 말하면, 아웃커플링 구조물의 인접한 아일랜드들은 서로 접촉하지 않는다. 인접한 아웃커플링 구조물들 사이에 또는 아일랜드들 사이에는 아웃커플링 구조물의 물질 자체에 의한 결합이 없다. 아일랜드들은 각각 특히, 아웃커플링 구조물 중 정확히 하나의 구조 요소로 형성된다. 예컨대, 아일랜드는 원뿔대형으로 형성된다.
- [0028] 광전 반도체칩의 적어도 일 실시예에 따르면, 인접한 아웃커플링 구조물들 사이의 간격 또는 아일랜드들 사이의 간격은, 적어도, 반도체층 시퀀스에서 생성된 복사의 진공 파장과 같다. 이를 통해 예컨대 회절 격자일 때와 유사한 효과를 줄일 수 있다.
- [0029] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 구체 일부 형태로, 반구형으로, 각뿔형으로 및/또는 원뿔대형으로 형성되고, 이 때 아웃커플링 구조물들의 바닥면은 복사 투과면을 향해있다. 바닥면은 예컨대 반구체, 각뿔대 또는 원뿔대의 밑면이다. 이러한 아웃커플링 구조물의 측면들과 복사 투과면 사이의 각도는 예컨대 약  $45^\circ$  이다.
- [0030] 반구형이란, 속이 찬 아웃커플링 구조물에서 복사 투과면과 다른 방향을 향해있는, 특히 단일의 경계면이 굽어있거나 원형인 것을 의미한다. 아웃커플링 구조물들의 측면은 이러한 경계면들 중, 복사 투과면과  $15^\circ$  내지  $75^\circ$ 의 각을 이루는 부분들만을 의미한다.
- [0031] 광전 반도체칩의 적어도 일 실시예에 따르면, 복사 투과면에 대해 수직인 방향에서 아웃커플링 구조물들의 높이는  $0.3 \mu\text{m}$  내지  $10 \mu\text{m}$ , 특히  $0.5 \mu\text{m}$  내지  $3 \mu\text{m}$ 이다.
- [0032] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체칩의 측방향 치수는 아웃커플링 구조물들의 높이와 동일하거나 거의 동일하다. 거의 동일하다는 것은, 상기 높이 및 측방향 치수가 상호간 25% 미만, 특히 10% 미만의 오차를 가진다는 것을 의미할 수 있다.
- [0033] 광전 반도체칩의 적어도 일 실시예에 따르면, 전체 복사 투과면은 제조 공차 범위내에서 아웃커플링 구조물에 의해 균일하게 덮여있다. 즉, 제조 공차 범위내에서 아웃커플링 구조물들의 배열 패턴은 전체 복사 투과면 상

에 걸쳐 가변적이지 않다.

[0034] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 구체 일부 형태로 형성된다. 구체 일부 형태라는 말은, 아웃커플링 구조물이 타원의 일부 형태를 가질 수 있는 경우를 배제하지 않는다.

[0035] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 물질은 반도체층 시퀀스에서 생성된 복사에 대해 투명하다. 바꾸어 말하면, 반도체층 시퀀스에서 생성되어 아웃커플링 구조물을 투과하는 복사의 20% 미만, 특히 5% 미만이 상기 아웃커플링 구조물의 물질에 의해 흡수된다. 아웃커플링 구조물들은 생성된 복사와 관련하여 투명하게 형성된다.

[0036] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 물질은 반도체층 시퀀스에서 생성된 복사에 대해 산란 기능을 가진다. 바람직하게는, 상기 물질은 반도체층 시퀀스에서 생성되어 아웃커플링 구조물들을 투과하는 복사의 20% 미만, 특히 5% 미만을 흡수한다.

[0037] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 적어도 하나의 연속한 층형 영역을 포함하고, 이러한 영역에서 복수 개의 개구부들이 형성된다. 개구부들은 층의 형태를 가진 영역을 복사 투과면으로 가는 방향에서 완전히 관통한다. 바람직하게는, 개구부들은 적어도 반도체층 시퀀스의 복사 투과면까지 달한다. 바람직하게는, 개구부들은 반도체층 시퀀스안으로 뚫고 들어가지 않거나 의미있는 정도로 뚫고 들어가진 않는다. 아웃커플링 구조물들의 측면들은 적어도 부분적으로 개구부로 형성된다. 바꾸어 말하면, 복사 투과면의 적어도 일부 영역에 아웃커플링 구조물들의 물질로 이루어진 층이 형성되고, 이러한 층에 개구부, 관통홀, 리세스 또는 구멍이 형성된다. 이러한 개구부들에 의해, 상기 층에서 측방향 경계면이 형성되며, 이 때 상기 경계면은 적어도 부분적으로, 아웃커플링 구조물들의 측면을 나타낸다. 바람직하게는, 개구부들은 복사 투과면을 향해가면서 뾰족해진다. 예컨대 개구부들은 원뿔대 또는 각뿔대와 유사한 형태를 가지고, 이 때 더 좁은 기저 측이 복사 투과면을 향해있다.

[0038] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 유전체 물질을 포함하여 형성된다. 유전체는, 특히, 아웃커플링 구조물들의 물질의 비전기전도도(specific electrical conductivity)가 복사투과면을 형성하는 반도체층시퀀스의 물질의 비전기전도도보다 적어도 10배, 바람직하게는 적어도 100배 더 작다는 것을 의미할 수 있다. 유전체는, 아웃커플링 구조물들의 물질이 낮은 비전기전도도를 가진 반도체 특성을 가지는 경우를 반드시 배제하진 않는다.

[0039] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 물질은 전기 전도성이다. 바람직하게는, 아웃커플링 구조물들의 물질의 전기 전도도는 반도체층 시퀀스의 물질의 전기전도도를 초과한다.

[0040] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 물질은  $TiO_2$ ,  $ZnS$ ,  $AlN$ ,  $SiC$ ,  $BN$ ,  $Ta_2O_5$ 라는 성분들 중 하나를 포함하거나 이 중 하나로 구성된다.

[0041] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 물질의 굴절률은 적어도 2.1, 바람직하게는 적어도 2.25, 특히 적어도 2.4이다.

[0042] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체층 시퀀스의 복사 투과면 상에 국부적으로 적어도 하나의 도전층이 적층되며, 이 때 도전층은 특히 투명 전도 산화물로 구성된다. 도전층은 높은 전기적 횡전도도를 가지고도록 설계된다. 도전층에 의해, 전체 복사 투과면을 거쳐 반도체층 시퀀스안으로 균일한 전류 주입이 구현될 수 있다. 예컨대, 도전층은 인듐주석산화물, 약어로 ITO, 인듐아연산화물, 약어로 IZO 또는 ZnO를 포함하여 형성되거나 이러한 물질 중 하나로 구성된다.

[0043] 광전 반도체칩의 적어도 일 실시예에 따르면, 도전층은 아웃커플링 구조물들에 의해 부분적으로, 또는 바람직하게는 완전히 관통된다. 예컨대, 도전층에는 가령 식각을 이용하여 구멍이 삽입되고, 상기 구멍안으로 아웃커플링 구조물들이 적층되거나 성장된다. 이 때 바람직하게는, 아웃커플링 구조물들의 물질은 복사 투과면의 물질과 직접 접촉한다. 아웃커플링 구조물들이 도전층을 관통함으로써 높은 아웃커플링 효율이 보장된다. 이러한 점은 특히, 예컨대, 약 2.0이란 값을 가진 투명 전도 산화물의 굴절률이 예컨대 약 2.5의 굴절률을 가지는 GaN에 비해 상대적으로 작을 때에 해당한다.

[0044] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 복사 투과면 상에 적층되고, 상기 복사 투과면은 n형 물질을 포함한다.

[0045] 광전 반도체칩의 적어도 일 실시예에 따르면, 복사 투과면은 제조 공차 범위내에서 평편하게 형성된다.

- [0046] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들은 반도체층 시퀀스로부터 멀어지는 방향에서 반도체층 시퀀스의 물질보다 돌출한다. 바꾸어 말하면, 아웃커플링 구조물들은 반도체층 시퀀스안에서 물질 제거 또는 힘볼부에 의해 형성되지 않고, 반도체층 시퀀스가 완성된 이후 상기 반도체층 시퀀스 상에 적층 및/또는 성장된다.
- [0047] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체층 시퀀스에서 생성된 복사의 파장은 자외선, 가시선 및/또는 적외선 스펙트럼 영역에 위치한다. 복사는 200 nm 내지 1500 nm의 파장을 가지며, 특히 340 nm 내지 1080 nm의 파장을 가진다.
- [0048] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체층 시퀀스에서 생성된 복사의 파장은 특히 600 nm이하이다. 복사는 특히 자외선 복사이거나, 또는 청색이나 녹색 복사로 형성된다.
- [0049] 광전 반도체칩의 적어도 일 실시예에 따르면, 플랭크와 복사 투과면 사이의 각은 40° 내지 50° 이다.
- [0050] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체층 시퀀스의 물질은 GaN, InGaN, AlGaN 및/또는 AlInGaN을 포함하여 형성된다. 복사의 파장은 특히 600 nm이하이며, 측면들과 복사 투과면 사이의 각은 30° 내지 60° 이다. 또한, 아웃커플링 구조물들은 원뿔대형으로 형성되고, TiO<sub>2</sub>로 구성된다.
- [0051] 광전 반도체칩의 적어도 일 실시예에 따르면, 아웃커플링 구조물들의 기능 방식 또는 작용 방식은 기하학적 광학계를 이용하여 거의 설명할 수 있다. 아웃커플링 구조물들은 특히 파동 광학에 기반을 둔 광자 결정을 형성하지 않는다. 아웃커플링 구조물들의 통상적 길이 척도 또는 주기성은 반도체층 시퀀스로부터 아웃커플링될 복사의 적어도 하나의 파장에 상응한다.
- [0052] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체층 시퀀스의 주요측은 구조화된 부분 또는 거칠기를 포함하지 않는다. 바꾸어 말하면, 반도체층 시퀀스의 주요측은 평활하다. 반도체칩이 도전층을 포함하면, 바람직하게는 이러한 도전층도 평활하고, 거칠기가 없다.
- [0053] 또한, 광전 반도체칩의 제조 방법도 제공된다. 본 방법을 이용하면, 예컨대, 상기 설명한 실시예 중 적어도 하나와 관련하여 제공되는 바와 같은 광전 반도체칩이 제조될 수 있다.
- [0054] 방법의 적어도 일 실시예에 따르면, 적어도 하나의 활성층을 포함한 반도체층 시퀀스가 기판 상에서 성장된다. 성장 기판은 에피택시얼 성장 기판을 가리킬 수 있다. 기판은 특히 성장기판이다.
- [0055] 방법의 적어도 일 실시예에 따르면, 반도체층 시퀀스의 복사 투과면 상에 감광 물질이 도포되어 구조화된다. 감광 물질이란 예컨대 포토레지스트 또는 복사에 의해 구조화될 수 있는 다른 물질을 가리킨다. 복사는 UV 복사, X선 복사, 전자빔 또는 이온빔을 의미할 수 있다.
- [0056] 구조화는 예컨대 포토마스크를 이용한 노광 및 경우에 따라서 그 이후에 시행하는 감광 물질의 현상이다. 바꾸어 말하면, 구조화는 특히 포토기술적으로 경화된 감광 물질 영역들이 형성되면서 이루어진다. 이러한 맥락에서, 구조화는 감광 물질의 현저한 제거를 의미하진 않는다.
- [0057] 방법의 적어도 일 실시예에 따르면, 감광 물질은 일부 영역들에서 제거된다. 제거는 식각 또는 소각을 가리킬 수 있다. 예컨대, 노광되지 않거나 대안적으로 노광된 감광 물질 영역들이 소각되고, 습식 화학적으로 또는 플라즈마를 이용하여 제거 식각되거나/제거식각되며 용제를 이용하여 제거 세척되거나 용해된다.
- [0058] 방법의 적어도 일 실시예에 따르면, 감광 물질 대신 예컨대 스템핑 방법 또는 인쇄 방법을 이용하여 반도체층 시퀀스의 복사 투과면에 마스크가 제공된다. 또한 소위 임프린트 방법이 사용될 수 있는데, 이러한 방법에서는 마스크를 형성하는 물질이 특히 균일한 층으로 적층되고, 이후, 상기 물질이 경화되기 전에, 상기 층에 예컨대 스템프를 이용하여 개구부들이 생성된다. 아웃커플링 구조물들은 이러한 개구부들에서 형성된다.
- [0059] 방법의 적어도 일 실시예에 따르면, 아웃커플링 구조물을 형성하는 물질은 제조 공차 범위내에서 특히 균일한 층으로 반도체층 시퀀스의 복사 투과면에 적층된다. 이후, 이러한 층은 아웃커플링 구조물로 형성되는데, 예컨대 포토리소그래피 공정 및/또는 습식 화학적 식각 또는 건식 화학적 식각을 이용한다.
- [0060] 방법의 적어도 일 실시예에 따르면, 복사 투과면에 적어도 간접적으로 위치하는 아웃커플링 구조물들은 일부 영역들에 설치된다. 아웃커플링 구조물의 설치란, 성장 및/또는 증발증착을 가리킬 수 있다. 또한, 아웃커플링 구조물이 자가 조직 공정에 의해 설치될 수 있다.
- [0061] 방법의 적어도 일 실시예에 따르면, 특히 아웃커플링 구조물의 설치 이후 나머지 감광 물질에 제거된다. 이러

한 제거는 예컨대 블로우오프(blow off)에 의해 구현될 수 있다. 잔여 감광 물질이 이와 같이 제거되면, 아웃커플링 구조물을 형성하는 물질 중 감광 물질 상에 증착된 잔여 물질도 제거될 수 있다.

[0062] 광전 반도체칩의 제조 방법의 적어도 일 실시예에서, 방법은:

- 기판 상에 적어도 하나의 활성층을 포함하는 반도체층 시퀀스를 성장시키는 단계;

- 반도체층 시퀀스의 복사 투과면에 감광 물질을 마련하여 구조화하는 단계;

- 일부 영역에서 감광 물질을 제거하는 단계;

- 일부 영역에서 복사 투과면에 적어도 간접적으로 아웃커플링 구조물을 설치하는 단계; 및

- 잔여 감광 물질을 제거하는 단계를 포함한다.

[0068] 바람직하게는, 방법 단계의 순서는 제공된 바와 같다. 물론, 제조되는 광전 반도체칩의 구체적 형상에 따라 이와 다른 순서도 마찬가지로 적용될 수 있다.

[0069] 방법의 적어도 일 실시예에 따르면, 감광 물질을 마련하여 구조화하기 전에, 감광 물질과 반도체층 시퀀스의 복사 투과면 사이에 적어도 국부적으로 도전층, 특히 정확히 하나의 도전층이 생성된다.

[0070] 방법의 적어도 일 실시예에 따르면, 일부 영역에서 감광 물질을 제거하는 단계에 의해 마찬가지로 상기 부분 영역에서 도전층도 제거된다. 바꾸어 말하면, 도전층 물질의 제거 및 감광 물질의 제거가 동일한 방법 단계에서, 특히 동일한 식각 단계에서 이루어진다. 도전층의 패턴 또는 구조를 생성하고 아웃커플링 구조물을 설치하기 위해, 감광 물질의 형태와 동일한 마스크가 사용된다.

[0071] 방법의 적어도 일 실시예에 따르면, 방법은 성장된 반도체층 시퀀스를 캐리어 상에 재결합시키는 단계를 포함한다. 캐리어는 특히 성장 기판을 가리키지 않는다. 캐리어는, 반도체층 시퀀스를 기계적으로 담지하고 지지하도록 설계된다. 바람직하게는, 캐리어 상에 재결합시키는 단계는 감광 물질을 마련하여 구조화하는 단계 이전에 실시한다.

[0072] 방법은 또 다른 단계를 포함할 수 있다. 예컨대, 전기 접촉이 설치될 수 있고, 웨이퍼 결합물로 성장된 반도체층 시퀀스가 다수의 별도 반도체칩들로 분할될 수 있거나/있고 예컨대 실리콘 또는 에폭시와 같은 포팅컴파운드가 반도체층 시퀀스 및/또는 아웃커플링 구조물 상부에 제공될 수 있다.

### 발명의 효과

[0073] 본 명세서에 기술된 광전 반도체칩이 적용될 수 있는 일부 응용 분야는 가령 디스플레이나 표시장치의 백라이트이다. 또한, 본 명세서에 기술된 반도체칩은 영사목적의 조명 장치에, 투광기나 광빔 또는 일반 조명에 사용될 수 있다.

[0074] 이하, 본 명세서에 기술된 광전 반도체칩 및 광전 반도체칩의 제조 방법이 도면을 참조하고 실시예에 의거하여 더욱 상세히 설명된다. 동일한 참조번호는 도면에서 동일한 요소를 가리킨다. 그러나, 치수가 정확한 참조가 아니며, 오히려 개별 요소들은 더 나은 이해를 위해 과장되어 크게 도시되어 있을 수 있다.

### 도면의 간단한 설명

[0075] 도 1은 본 명세서에 기술된 광전 반도체칩의 실시예에 대한 개략적 단면도이다.

도 2 및 3은 본 명세서에 기술된 광전 반도체칩의 다른 실시예에 대한 개략적 단면도이다.

도 4은 본 명세서에 기술된 광전 반도체칩의 다른 실시예에서 복사 투과면의 개략적 평면도이다.

도 5 및 6은 본 명세서에 기술된 광전 반도체칩의 다른 실시예에 대한 개략적 단면도이다.

도 7은 본 명세서에 기술된 광전 반도체칩의 아웃커플링 구조물들 및 복사 투과면에 대한 개략적 평면도이다.

도 8 및 9는 반도체칩에 대해 본 명세서에 기술된 다양한 매개변수에 대하여 아웃커플링 효율의 종속도를 나타낸 개략도이다.

도 10은 본 명세서에 기술된 돔형의 아웃커플링 구조물의 개략적 측면도이다.

도 11은 본 명세서에 기술된 광전 반도체칩을 제조하기 위해 본 명세서에 기술된 방법의 개략도이다.

도 12는 본 명세서에 기술된 광전 반도체칩의 다른 실시예에 대한 개략적 평면도(A) 및 개략적 단면도(B)이다.

### 발명을 실시하기 위한 구체적인 내용

[0076]

광전 반도체칩(1)의 실시예는 도 1에 도시되어 있다. 기판(7) 상에 반도체층 시퀀스(2)가 위치한다. 반도체층 시퀀스(2)는 활성층(3)을 포함하고, 상기 활성층에서는 반도체칩(1)의 구동 시 전자기 복사가 생성된다. 반도체층 시퀀스(2)의 두 주요측은 제조 공차 범위내에서 평활하고, 거칠기를 생성하지 않는다. 또한 기판(7)도 평활한 주요측을 가진다.

[0077]

기판(7)과 다른 방향을 향해있는 반도체층 시퀀스(2)의 측은 복사 투과면(20)을 형성하고, 상기 복사 투과면은 반도체층 시퀀스(2)의 물질로 형성된다. 복사 투과면(20)은 기판(1)과 다른 방향을 향해있는 반도체층 시퀀스(2)의 경계면으로, 상기 경계면은 제조 공차 범위내에서 평편하다.

[0078]

복사 투과면(20)에 아웃커플링 구조물들(4)이 제공되고, 아웃커플링 구조물들은 복사 투과면(20)과 직접 접촉한다. 아웃커플링 구조물들(4)의 물질은 반도체층 시퀀스(2)의 물질과 상이하다. 아웃커플링 구조물(4)의 높이(H)는 복사 투과면(20)에 대해 수직인 방향에서 약  $0.3 \mu\text{m}$  내지  $4 \mu\text{m}$ 이다. 아웃커플링 구조물들(4)의 측방향 치수(L)는 복사 투과면(20)에 대해 평행한 방향에서 약  $1 \mu\text{m}$  내지  $7 \mu\text{m}$ 이다. 아웃커플링 구조물들(4)은 각뿔대형이거나, 바람직하게는 원뿔대형으로 형성된다. 아웃커플링 구조물들(4)의 측방향 경계면을 형성하는 측면(40)은 복사 투과면(20)과 약  $15^\circ$  내지  $75^\circ$ , 예컨대 약  $60^\circ$ 의 각( $\alpha$ )을 이룬다. 측면(40)의 전체면은 복사 투과면(20)의 면적의 적어도 50%이다. 마찬가지로, 측면(40)의 전체면은 복사 투과면의 면적을 초과할 수 있다.

[0079]

아웃커플링 구조물들(4)의 물질은 반도체층 시퀀스(2)에서 생성된 복사와 관련하여 투명하다. 또한, 아웃커플링 구조물들(4)의 물질은 반도체층 시퀀스(2)의 물질보다 현저히 더 불량한 전기 전도도를 가진다. 반도체층 시퀀스(2)의 물질의 굴절률 또는 복사 투과면(20) 및 아웃커플링 구조물들(4)의 굴절률은 상호간에 최대 5% 만큼 상이하다.

[0080]

기판(7)은 반도체층 시퀀스(2)가 성장된 성장 기판을 가리킬 수 있다. 마찬가지로, 기판(7)은 캐리어 기판으로 형성될 수 있고, 상기 캐리어 기판 상에 반도체층 시퀀스(2)는 예컨대 재결합 또는 웨이퍼 이송 공정에 의해 고정된다.

[0081]

도 2에는 광전 반도체칩(1)의 다른 실시예가 도시되어 있다. 사파이어를 포함할 수 있는 기판(7) 상에 n형층(8)이 성장된다. 적어도 국부적으로 n형층(8)은 전체 반도체층 시퀀스(2)와 같이 GaN계이다. 기판(7)과 다른 방향을 향해있는 n형층(8)의 측에 활성층(3)이 성장되고, 상기 활성층의 상부에 기판(7)으로부터 멀어지는 방향에서 p형층(9)이 위치한다. p형층의 두께는 복사 투과면(20)에 대해 수직인 방향에서 n형층의 두께보다 현저히 작다.

[0082]

p형층(9) 상에는 복사 투과면(20)을 따르는 전류 분포를 위해 도전층(5)이 적층된다. 도전층(5)은 예컨대 인듐 주석산화물, 인듐아연산화물 또는 아연산화물로 구성된다. 도전층(5)의 두께는 복사 투과면(20)에 대해 수직인 방향에서  $250 \text{ nm}$ 이하이다. 도전층(5)은 아웃커플링 구조물들(4)에 의해 완전히 관통됨으로써, 아웃커플링 구조물들(4)이 복사 투과면(20)과 직접 접촉한다. 반도체층(2)과 다른 방향을 향해있는 도전층(5)의 측은 제조 공차 범위내에서 평활하게 형성된다.

[0083]

아웃커플링 구조물들(4)이 삽입되는 도전층(5)의 리세스는 식각 공정 및/또는 포토리소그래피 방법에 의해 생성될 수 있다. 복사 투과면(20)은 매끄럽게 형성되고, 아웃커플링 구조물들(4)은 복사 투과면(20)에 대해 수직인 방향에서 반도체층 시퀀스(2) 상부에서 돌출된다. 아웃커플링 구조물들(4)은 반도체층 시퀀스(2)로부터 물질을 제거하여 생성되지 않는다.

[0084]

반도체층 시퀀스(2)의 전기 접촉을 위해, n형층(8) 상에 n형 접촉(10)이 적층된다. 도전층(5) 상에 p형 접촉(11)이 위치한다. 접촉(10, 11)은 예컨대 금속으로 구성된다.

[0085]

아웃커플링 구조물들(4)의 형성에 대한 대안적 가능성은 반도체층 시퀀스(2)를 식각함으로써 얻어진다. 이 때, 아웃커플링 구조물들은 특히 n형층(8) 또는 p형층(9)으로부터 물질이 제거됨으로써 생성된다. 이러한 방식으로 아웃커플링 구조물들(4)을 생성하기 위해서는, n형층(8) 또는 p형층(9)은 큰 두께를 가짐으로써, 효율적인 아웃커플링을 위해 필요한 아웃커플링 구조물들의 높이(H)가 생성되도록 해야 한다.

[0086]

p형층 및 n형층(8, 9)의 두께가 두꺼우면 이러한 층들(8, 9)에서 예컨대 열 부하에 의해 물질 응력이 야기될 수

있어서, 광전 반도체칩(1)의 유효 수명이 감소할 수 있다. 무엇보다 이러한 이유로, 가능한 한 얇은 두께의 층들(8, 9)이 바람직하다. 층들(8, 9)의 두께가 얇은 것이 바람직하므로, 반도체층 시퀀스(2)로부터 물질이 제거되어 아웃커플링 구조물들(4)이 생성되는 것은 까다로운 공정인데, 물질 제거가 너무 심하면 활성층(3)이 손상될 수 있고, 반도체칩(1)은 더이상 사용할 수 없기 때문이다.

[0087] 반도체층 시퀀스(2)로부터 물질을 제거하지 않고, 반도체층 시퀀스(2) 상에 아웃커플링 구조물들을 적층함으로써, 한편으로는 도전층(8, 9)의 까다로운 식각 공정이 생략된다. 또한, 층들(8, 9)의 두께가 줄어들 수 있어, 광전 반도체칩(1)의 유효 수명이 증가할 수 있다.

[0088] 도 3에 따른 반도체칩(1)의 실시예에서, 아웃커플링 구조물들(4)은 원뿔형으로 형성된다. 측면(40)과 복사 투과면(20)사이의 각(a)은 약 45°이다.

[0089] 아웃커플링 구조물들(4)은 n형층(8) 상에 적층된다. n형층(8)은 p형층(9)보다 더 큰 횡전도도를 가지므로, 가령 도 2에 따른 경우와 같은 도전층은 상기 실시예에서 필요하지 않다.

[0090] 캐리어(13)는 캐리어 기판으로 형성되고, 반도체층 시퀀스(2)는 성장 기판 상에서 성장된 이후 상기 캐리어 기판 상에 고정된다. 아웃커플링 구조물들(4)의 생성 전에, 미도시된 성장 기판이 반도체층 시퀀스(2)로부터 제거된다.

[0091] 선택적으로, 반도체칩(1)은 미도시된 포팅 몸체를 포함할 수 있다. 포팅 몸체는 예컨대 반도체층 시퀀스(20) 및 아웃커플링 구조물들(4)을 둘러싼다.

[0092] 도 4에는 예컨대 도 1 내지 도 3 중 어느 한 항에 따른 반도체칩(1)의 복사 투과면(20)의 일부에 대한 개략적 평면도가 도시되어 있다. 아웃커플링 구조물들(4)은 아일랜드(6)를 형성한다. 인접한 아일랜드들(6) 또는 아웃커플링 구조물들(4)은 서로 분리되고, 즉 아웃커플링 구조물들(4)의 물질 또는 아일랜드들 자체의 물질에 의해 인접한 아일랜드들(6)간에 결합이 이루어지진 않는다. 아일랜드들(6)은 각각 원뿔형으로 형성되어, 각각 하나의 아일랜드(6)가 바람직하게는 아웃커플링 구조물들(4) 중 정확히 하나에 대응될 수 있다. 인접한 아일랜드들(6)간의 간격(d)은 반도체층 시퀀스(2)에서 생성된 복사의 과장보다 더 크다.

[0093] 아웃커플링 구조물들(4)은 전체 복사 투과면(20)상부에서 균일하게 육각 패턴으로 배치된다. 육각 패턴은 기하학적으로 격자(12)로 설명될 수 있고, 격자는 제조 공차 범위내에서 동일하고 규칙적이며 등변의 육각형으로 형성된다. 복사 투과면(20)에서 아일랜드들(6) 또는 아웃커플링 구조물들(4)에 의해 덮이는 면의 비율은 약 50%이다.

[0094] 또는, 마찬가지로, 아웃커플링 구조물들(4)은 육각 격자(12)대신 가령 정사각형 또는 직사각형 격자로 배치될 수 있다. 도 1 내지 3과 달리, 아일랜드들(6) 또는 아웃커플링 구조물들(4)은 구체 또는 타원의 일부와 유사한 반구체 형상을 가질 수 있다.

[0095] 도 5에는 광전 반도체칩(1)의 실시예가 도시되어 있고, 이 때 반도체층 시퀀스(2)는 박막층으로서 형성된다. 반도체층(2)은 결합 수단(14)을 경유하여 캐리어(13) 상에 적층된다. 캐리어(13)는 활성층(3)을 구비한 반도체층 시퀀스(2)가 성장되었던 기판이 아니다. 바꾸어 말하면, 반도체층 시퀀스(2)는 미도시된 성장 기판 상에서 성장된 후, 캐리어(13) 상에서 재결합되었다. 결합 수단(14)은 금속 땜납을 가리킬 수 있다. 바람직하게는, 결합 수단(14)은 반도체층 시퀀스(2)에서 생성된 복사를 반사한다. 결합 수단(14)에 의해 p형 접촉(11)이 구현된다.

[0096] 결합 수단(14)는 총 체계로 형성될 수 있고, 예컨대 하나 이상의 땜납, 적어도 하나의 증발증착된 금속겹 및 적어도 하나의 반사성 거울층, 특히 금속 거울층을 포함할 수 있다.

[0097] 캐리어(13)를 향해있는 p형층(9)의 두께는 복사 투과면(20)에 대해 수직인 방향에서 약 100 nm 내지 2 μm이다. 캐리어(13)와 다른 방향을 향해있는 n형층(8)의 두께는 특히 약 2 μm이상과 10 μm사이이다. n형층(8), p형층(9) 및 활성층(3)을 포함한 반도체층 시퀀스(2)의 총 두께는 바람직하게는 1 μm 내지 7 μm의 범위를 가진다. p형층(9) 뿐만 아니라 n형층(8), 그리고 캐리어(13)도 거칠기를 가지지 않는다. 바람직하게는, 캐리어(13)는 100 μm 내지 200 μm의 두께를 가진다. 바람직하게는, 결합 수단(14)의 두께는 1 μm 내지 10 μm이다.

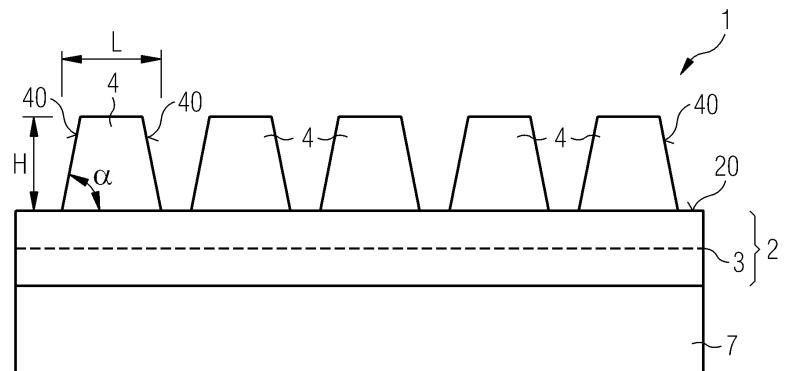
[0098] 반도체층 시퀀스(2)의 복사 투과면(20) 상에 직접적으로 아웃커플링 구조물들(4)이 원뿔대의 형태로 적층된다. 마찬가지로, 복사 투과면(20) 상에 직접적으로 n형 접촉(10)이 위치한다. 바람직하게는, n형 접촉(10)은 금속 물질을 포함하여 형성되거나 그것으로 구성된다.

- [0099] 선택적으로, 예컨대 도 2에 따른 실시예의 경우와 같이, 복사 투과면(20) 상에서 아웃커플링 구조물들(4) 사이의 영역들에는 도 5에 미도시된 전기 절연 물질을 포함한 층이 위치할 수 있다. 이러한 도전층 대신 또는 이러한 도전층에 대해 부가적으로, 아웃커플링 구조물들(4)의 물질이 전기 전도성일 수 있다.
- [0100] 도 6에 따른 실시예에서, 반도체층 시퀀스(2)는 리세스(17)를 포함한다. 리세스(17)는 활성층(3)을 국부적으로 관통한다. 리세스(17)에는 접촉들(10, 11) 중 하나가 설치된다. 반도체칩(1)의 이러한 실시예에서, n형 접촉(10) 및 p형 접촉(11)은 반도체층 시퀀스(2)의 동일한 층에 위치한다. 도 6에 도시된 바와 달리, 접촉들(10, 11)은 반도체층 시퀀스(2)로부터 멀어지는 방향에서 상호간에 맞닿아 이어질 수 있다.
- [0101] 도 1 내지 도 6에 따른 반도체칩(1)의 실시예에서, 아웃커플링 구조물들(4)은 비교적 간단한 기하학을 포함한다. 도 7에는 더 복잡한 기하학 또는 진동 구조를 포함하는 아웃커플링 구조물들(4)의 예가 도시되어 있다. 도 7에서 아웃커플링 구조물들(4)은 간단히 선으로 표시되어 있다. 아웃커플링 구조물들(4)의 측면(40) 또는 윤곽은 도 7에 미도시되었다.
- [0102] 도 7a에 따르면, 아웃커플링 구조물(4)은 반도체층 시퀀스(2)의 복사 투과면(20) 상에서 연속적으로 단일의 나선으로 적층된다. 아웃커플링 구조물(4)은 중간에 중단되지 않고 하나로 이어져 길게 연장된 나선형 영역으로 형성한다. 복사 투과면(20) 상에서 아웃커플링 구조물(4) 사이의 영역들에 도전층(5)이 제공되면, 이러한 도전층(5)은 아웃커플링 구조물(4)을 상호 간 전기적으로 절연된 부분 영역들로 끊지 않는다. 바꾸어 말하면, 이러한 선택적 도전층(5)은 중도에 끊김이 없는 연속적인 면형 영역으로 형성된다.
- [0103] 또한, 가령 나선형 아웃커플링 구조물(4) 외에, 특히 복사 투과면(20)의 테두리 영역에서 다른 아웃커플링 구조물, 예컨대 원뿔대형으로 형성된 아웃커플링 구조물(4)이 구비될 수 있다.
- [0104] 도 7b에 따른 아웃커플링 구조물(4)의 실시예에서, 아웃커플링 구조물(4)은 평면도 상에서 원호형 형상을 가진다. 원호형의 다양한 아웃커플링 구조물들(4)은 각각 부분적으로 맞물린다. 이 때, 인접한 아웃커플링 구조물들(4)은 접촉하지 않는 것이 바람직하다. 이러한 형상의 아웃커플링 구조물(4)에 의해, 상기 아웃커플링 구조물(4)은 복사 투과면(20)의 매우 많은 면 비율을 덮을 수 있다.
- [0105] 도 7c에서 아웃커플링 구조물(4)은 L형과 I형의 형상을 포함한다. 특히, I형 아웃커플링 구조물(4)의 정렬은 아웃커플링 효율을 크게 얻기 위해 교번적이다. 또한, 도 7b, 7c에 따른 반도체칩(1)은 평면도 상에서 각각 직사각형 윤곽, 특히 정사각형이 아닌 윤곽을 가진다.
- [0106] 도 8에는 반도체층 시퀀스(2)에서 생성된 복사가 반도체칩(1)으로부터 나오는 아웃커플링 효율(E)의 진행을 아웃커플링 구조물(4)의 물질의 굴절률(n)에 따라 나타낸다. 아웃커플링 효율(E)의 최대값은 1로 맞춰져있다. 도시된 곡선은 GaN계이며 약 2.5의 굴절률을 가지는 반도체층 시퀀스(2)와 관련한다. 마찬가지로, 반도체층 시퀀스(2) 및 아웃커플링 구조물(4)은 에폭시, 실리콘 또는 에폭시-실리콘-하이브리드 물질로 이루어져 약 1.4 내지 1.5의 굴절률을 가지는 포팅부에 의해 둘러싸인다.
- [0107] 아웃커플링 구조물(4)은 TiO<sub>2</sub>로 이루어지고, 정사각형 윤곽을 가진 각뿔대형 기하학을 포함한다. 아웃커플링 구조물의 높이(H)는 약 750 nm이고, 측방향 치수(L)는 약 1 μm이고, 상측에서의 폭(W)은 약 0.5 μm이며, 이는 도 9b를 참조하라.
- [0108] 아웃커플링 구조물(4)의 굴절률(n)이 반도체층 시퀀스(2)의 굴절률과 견줄 수 있으므로, 도 8에 따른 아웃커플링 효율(E)은 최대이다. 이러한 점은, 앞의 경우에서, 아웃커플링 구조물(4)의 굴절률(n)이 약 2.5인 경우에 해당한다. 이러한 굴절률은 거의 GaN의 굴절률에 상응한다. 아웃커플링 구조물(4)의 물질이 2.5와 다른 굴절률(n)을 가지면 아웃커플링 효율(E)이 상당히 감소한다.
- [0109] 도 9a에는 도 8과 유사한 반도체칩(1)의 경우에 아웃커플링 구조물(4)의 높이(H) 및 기하학 매개변수(T)에 대한 아웃커플링 효율(E)의 종속도가 도시되어 있다. 도 9a에 따르면, 아웃커플링 효율(E)은, 상기 실시예에서 TiO<sub>2</sub>를 포함한 아웃커플링 구조물(4)의 높이(H)가 약 750 nm 이상일 때 가장 크다.
- [0110] 아웃커플링 구조물(4)의 높이(H)가 높을수록, 아웃커플링 구조물(4)의 측면(40)의 전체면적도 더 넓다. 아웃커플링 효율(E)은 측면(40)의 전체면적과 함께 증가하므로, 비교적 높은 높이(H)의 아웃커플링 구조물(4)이 선택될 수 있다. 가령 TiO<sub>2</sub>와 같은 아웃커플링 구조물(4)의 물질은 반도체층 시퀀스(2)에서 생성된 복사와 관련하여 잔여 흡수도가 낮으므로, 아웃커플링 구조물(4)의 높이(H)가 높으면 흡수 손실을 야기한다. 그러므로, 아웃커플링 구조물(4)의 높이(H)는 약 0.5 μm 내지 2 μm인 것이 바람직하다.

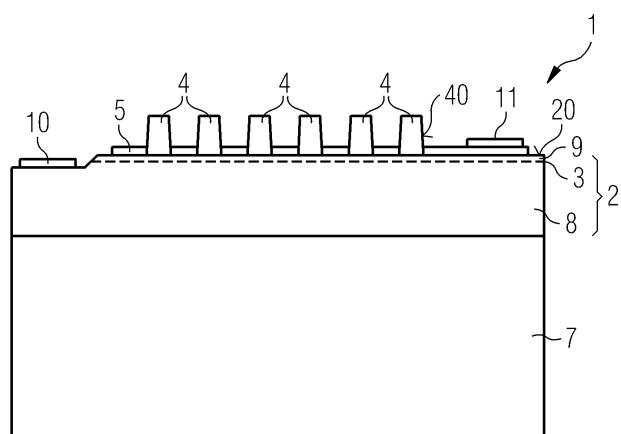
- [0111] 도 9a의 아웃커플링 구조물(4)은 도 9b에 따르면 정사각형 윤곽을 가진 각뿔대형 형태를 가진다. 복사 투과면(20)과 다른 방향으로 향해 있는 상측에서 아웃커플링 구조물(4)은 폭(W)을 가진다. 기하학 매개변수(T)는 아웃커플링 구조물(4)의 폭(W)을 측방향 치수(L)로 나눈 몫으로서 정의된다. 즉  $T = W/L$ 이다.
- [0112] 도 9a로부터, 기하학 매개변수(T)가 감소하면 아웃커플링 효율(E)이 증가한다는 것을 확인할 수 있다. 바꾸어 말하면, 측면(40)이 복사 투과면(20)에 대해 거의 수직으로 배향되는 아웃커플링 구조물(4)은 비교적 낮은 아웃커플링 효율(E)을 가진다. 기하학 매개변수(T)가 감소하면 측면(40)의 전체면, 즉 복사 투과면(20)과 관련하여 측방향로 경사 배향된 아웃커플링 구조물(4)의 경계면의 전체면적이 증가하고, 이에 결부되어 아웃커플링 효율(E)도 증가한다.
- [0113] 도 10에는 둠형 또는 구체 일부의 형태를 가진 아웃커플링 구조물(4)이 도시되어 있다. 아웃커플링 구조물(4)은 복사 투과면(20)과 다른 방향으로 향해 있는 단일의 연속한 경계면을 포함한다. 아웃커플링 효율(E)의 증가에 기여하는 측면(40)은 특히, 복사 투과면(20)과  $15^\circ$  내지  $75^\circ$  의 각을 포함하는 경계면의 부분만을 나타낸다. 아웃커플링 구조물(4)의 경계면에서 측면(40)을 형성하는 부분은 도 10에서 복사 투과면(20)에 대해 평행하게 배향된 두 개의 1점 쇄선 사이에 위치한다.
- [0114] 도 11에는 광전 반도체칩(1)을 위한 제조 방법이 도시되어 있다. 도 11a에 따르면, 활성층(3)을 구비한 반도체층 시퀀스(2)는 성장 기판인 기판(7) 상에 에피택시얼 성장된다.
- [0115] 도 11b에 따른 방법의 선택적 단계에서, 반도체층 시퀀스(2)의 복사 투과면(20) 상에 도전층(5)이 적층된다. 선택적 도전층(5)은 예컨대 투명 전도 산화물, 가령 ITO 또는 ZnO로 이루어진다.
- [0116] 도 11c에는, 복사 투과면(20) 상에 또는 도전층(5) 상에 감광 물질(15)의 층이 적층 및 구조화되는 것이 도시되어 있다. 예컨대, 감광 물질(15)은 포토레지스트이며, 바람직하게는, 상기 포토레지스트는 생성될 아웃커플링 구조물(4)의 높이(H)보다 큰 두께로 도포된다. 감광 물질의 구조화는 예컨대 도 11에 미도시된 포토마스크를 이용한 노광에 의해 이루어진다. 이어서, 감광 물질(15)은 경우에 따라 현상될 수 있다.
- [0117] 도 11d에는, 일부 영역들(15)에서 감광 물질(15)이 그리고 선택적으로 도전층(5)이 제거되는 것이 도시되어 있다. 특히, 일부 영역들(16)에서 반도체층 시퀀스(2)의 복사 투과면(20)이 노출된다. 도 11d에 도시된 바와 달리, 도전층(5)은 두께가 얇아진 일부 영역들(15)에 잔류할 수 있다.
- [0118] 도 11e에 따르면, 일부 영역들(16)에 아웃커플링 구조물(40)이 생성된다. 아웃커플링 구조물(4)의 물질(45)은 일부 영역(16)의 외부에 위치한 감광 물질(15) 상에도 증착될 수 있다.
- [0119] 도 11f에 따르면, 도 11d에 따른 방법 단계에서 제거되지 않은 잔여 감광 물질(15)이 제거된다. 이러한 제거를 통해, 경우에 따라 감광 물질(15) 상에 증착된 원하지 않는 물질(45)이 제거된다. 잔여 감광 물질(15)의 제거는 블로우 오프를 이용할 수 있다.
- [0120] 도 12에 따른 광전 반도체칩(1)의 실시예에서, 아웃커플링 구조물(4)은 복수 개의 개구부(41)를 포함한다. 아웃커플링 구조물(4)의 물질은 연속한 층으로서 복사 투과면(20) 상에 적층된다. 상기 층을 완전히 관통하여 복사 투과면(20) 까지 도달하는 개구부들(41)에 의해, 아웃커플링 구조물(4)의 측면(40)이 형성된다. 개구부(41)는 예컨대 원뿔대와 유사한 형태를 가지며, 이 때 개구부(41)는 복사 투과면(20)을 향해가면서 뾰족해진다.
- [0121] 도 12에 도시된 바와 달리, 아웃커플링 구조물(4)의 물질의, 서로 분리된 복수 개의 층형 영역들이 복사 투과면(20)에 제공될 수 있고, 이러한 영역들은 각각 복수 개의 개구부(41)를 포함한다. 마찬가지로, 선택적으로, 예컨대 도 2에 따른 반도체칩(1)과 유사하게, 아웃커플링 구조물(4)과 반도체층 시퀀스(2) 사이에 미도시된 도전층(5)이 위치할 수 있다. 개구부(41)는 상기 도전층(5)을 관통하지 않을 수 있다.
- [0122] 본 명세서에 기술된 발명은 실시예에 의거한 설명에 의하여 한정되지 않는다. 오히려, 본 발명은 각 새로운 특징 및 특징들의 각 조합을 포함하고, 이러한 점은 특히, 비록 이러한 특징 또는 이러한 조합이 그 자체로 명백하게 특허청구범위 또는 실시예에 제공되지 않더라도, 특허청구범위에서의 특징들의 각 조합을 포함한다.

## 도면

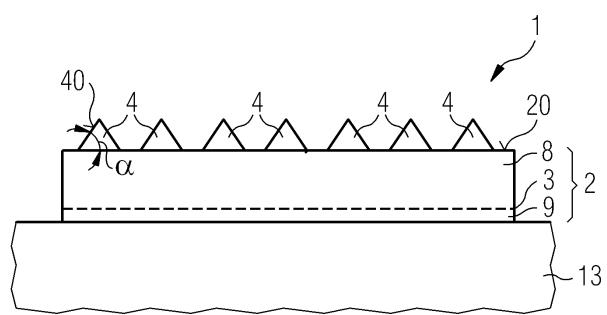
## 도면1



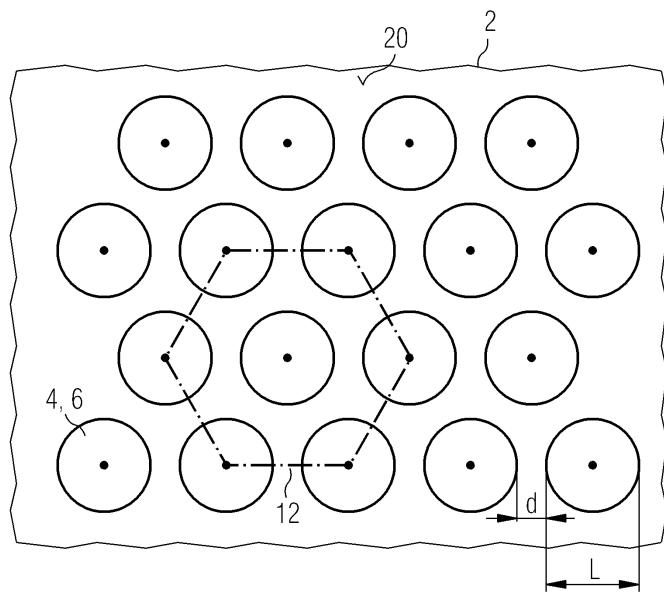
## 도면2



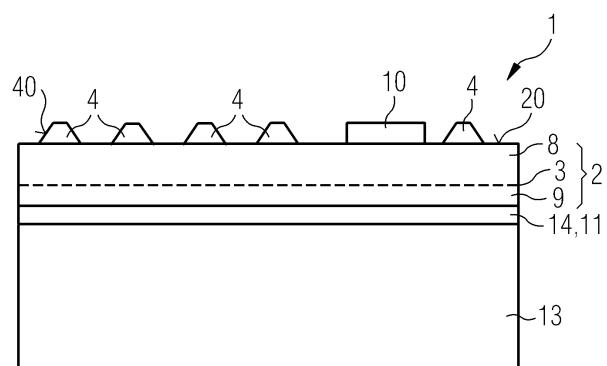
## 도면3



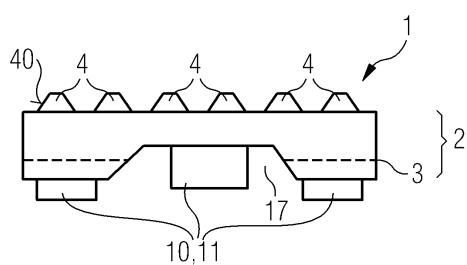
도면4



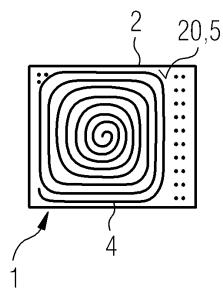
도면5



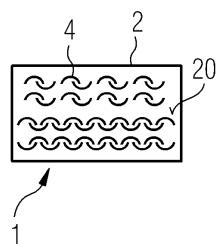
도면6



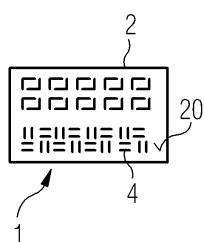
도면7a



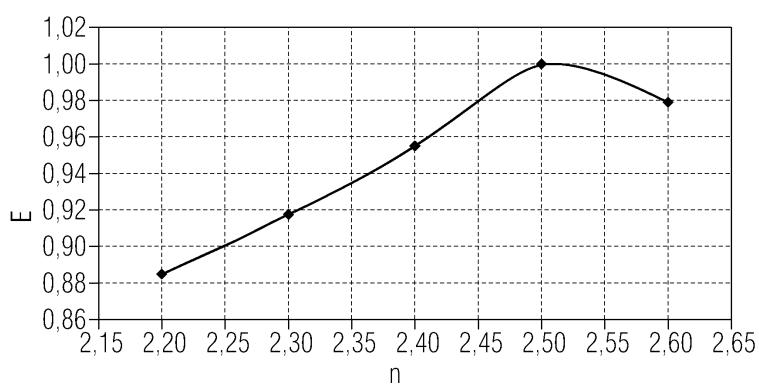
도면7b



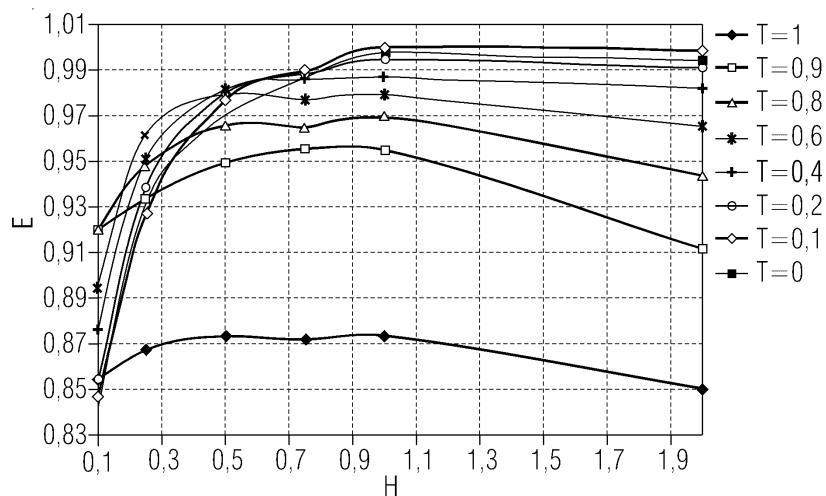
도면7c



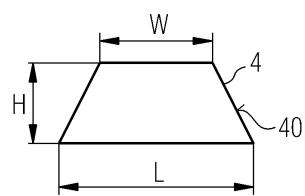
도면8



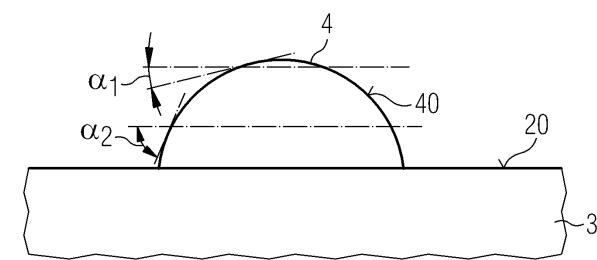
도면9a



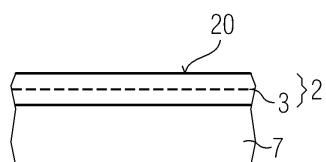
도면9b



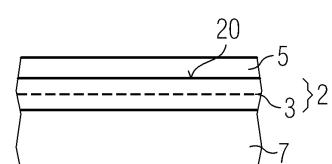
도면10



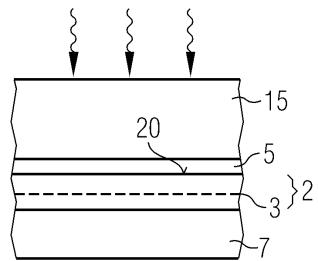
도면11a



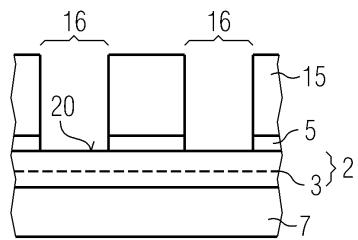
도면11b



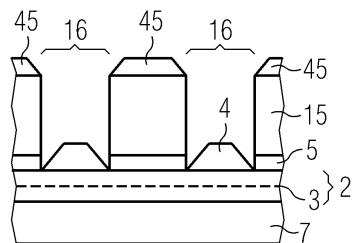
도면11c



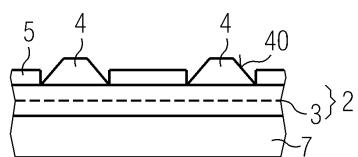
도면11d



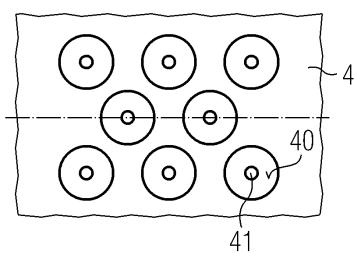
도면11e



도면11f



도면12a



도면12b

