



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월16일  
(11) 등록번호 10-2032907  
(24) 등록일자 2019년10월10일

(51) 국제특허분류(Int. Cl.)  
H01L 21/768 (2006.01) H01L 21/28 (2006.01)  
H01L 23/48 (2006.01)  
(21) 출원번호 10-2013-0044439  
(22) 출원일자 2013년04월22일  
심사청구일자 2018년02월02일  
(65) 공개번호 10-2014-0126196  
(43) 공개일자 2014년10월30일  
(56) 선행기술조사문헌  
JP2011054820 A\*  
JP2011171567 A\*  
US20090091402 A1\*  
US20110241217 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
진정기  
경기 오산시 경기대로 74, 104동 202호 (갈곶동, 우림아파트)  
이호준  
서울 관악구 인현23길 8, 301호 (봉천동, 예인빌라)  
(74) 대리인  
특허법인 고려  
(뒷면에 계속)

전체 청구항 수 : 총 19 항

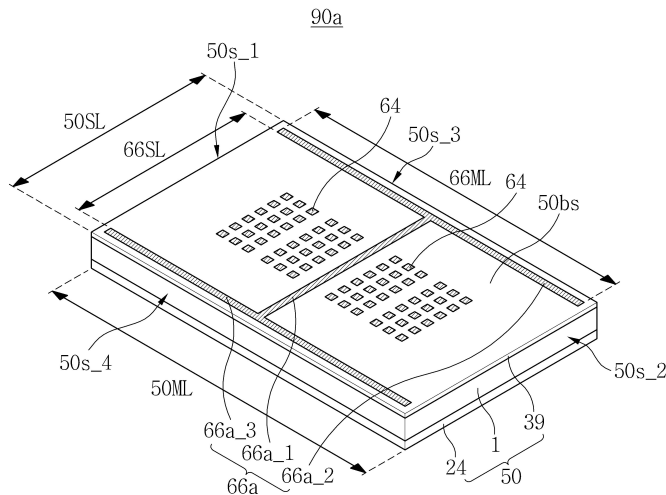
심사관 : 김정진

(54) 발명의 명칭 반도체 소자, 반도체 패키지 및 전자 시스템

(57) 요약

반도체 소자, 반도체 패키지 및 전자 시스템을 제공한다. 이 반도체 소자는 전면 및 상기 전면에 대항하는 후면을 갖는 기판을 포함한다. 상기 기판의 상기 전면 상에 또는 근처에 내부 회로가 배치된다. 상기 기판 내에 신호 입/출력 관통 전극들이 배치된다. 상기 기판의 상기 후면 상에 상기 신호 입/출력 관통 전극들과 전기적으로 연결된 후면 도전성 패턴들이 배치된다. 상기 기판의 상기 후면 상에 상기 신호 입/출력 관통 전극들과 이격된 후면 도전성 구조체가 배치된다. 상기 후면 도전성 구조체는 평행한 서포터 부분들을 포함한다.

대표도 - 도1a



(72) 발명자

**서지웅**

경기 용인시 기흥구 탑실로 152, 204동 1202호 (공  
세동, 탑실마을대주피오레2단지)

**장주희**

경기 화성시 동탄숲속로 95, 811동 501호 (능동,  
숲속마을광명메이루즈아파트)

---

**명세서**

**청구범위**

**청구항 1**

전면 및 상기 전면에 대향하는 후면을 갖는 기관, 상기 기관은 내부 회로 영역 및 관통 전극 영역을 포함하고;

상기 기관의 상기 내부 회로 영역의 상기 전면 상의 또는 근처의 내부 회로;

상기 기관의 상기 관통 전극 영역 내의 신호 입/출력 관통 전극들;

상기 기관의 상기 관통 전극 영역 내의 접지 관통 비아 구조체;

상기 기관의 상기 후면 상에 배치되며 상기 신호 입/출력 관통 전극들과 전기적으로 연결된 후면 도전성 패턴들; 및

상기 기관의 상기 후면 상에 배치되며 상기 신호 입/출력 관통 전극들과 이격되고, 상기 기관의 상기 내부 회로 영역에서 상기 기관의 상기 관통 전극 영역으로 연장하여 상기 접지 관통 비아 구조체와 연결되는 후면 도전성 구조체를 포함하되,

상기 접지 관통 비아 구조체는 상기 후면 도전성 패턴들을 노출하고,

상기 후면 도전성 구조체는 평행한 서포터 부분들을 포함하는 반도체 소자.

**청구항 2**

제 1 항에 있어서,

상기 후면 도전성 패턴들은 상기 후면 도전성 구조체의 상기 평행한 서포터 부분들 사이에 배치된 반도체 소자.

**청구항 3**

제 1 항에 있어서,

상기 후면 도전성 구조체는 상기 평행한 서포터 부분들 사이에 배치된 중간 서포터 부분을 더 포함하는 반도체 소자.

**청구항 4**

전면 및 상기 전면에 대향하는 후면을 갖는 기관;

상기 기관의 상기 전면 상의 또는 근처의 내부 회로;

상기 기관 내의 신호 입/출력 관통 전극들;

상기 기관의 상기 전면 상에 배치되며 상기 신호 입/출력 관통 전극들과 전기적으로 연결된 전면 신호 입/출력 연결 패턴들;

상기 기관의 상기 후면 상의 후면 도전성 패턴들 및 후면 도전성 구조체를 포함하되,

상기 후면 도전성 패턴들은 상기 신호 입/출력 관통 전극들과 전기적으로 연결되고,

상기 후면 도전성 구조체는 상기 신호 입/출력 관통 전극들과 전기적으로 절연되고 상기 후면 도전성 패턴들과 동일한 물질 및 동일한 두께로 형성되되,

상기 후면 도전성 구조체는,

상기 기관의 대향하는 제1 및 제2 측면들과 평행한 제 1 부분;

상기 제 1 부분과 수직한 제 2 부분; 및

상기 제 1 부분과 수직하며 상기 제 2 부분과 평행한 제 3 부분을 포함하는 반도체 소자.

**청구항 5**

제 4 항에 있어서,  
상기 후면 도전성 구조체의 상기 제 1 부분은 바 또는 라인 모양인 반도체 소자.

**청구항 6**

제 5 항에 있어서,  
상기 후면 도전성 구조체의 상기 제1 부분은 상기 기관의 대향하는 제1 및 제2 측면들 사이에 배치되되, 상기 제 1 부분은 상기 제 1 측면과 상기 제 2 측면에 수직한 제 3 측면의 가운데 부분과 상기 제 3 측면에 평행한 제 4 측면의 가운데 부분 사이를 지나는 반도체 소자.

**청구항 7**

삭제

**청구항 8**

제 4 항에 있어서,  
상기 제1 부분은 상기 제2 및 제3 부분들 사이에 위치하는 반도체 소자.

**청구항 9**

제 4 항에 있어서,  
상기 기관은,  
전면 및 후면을 갖는 반도체 기관;  
상기 반도체 기관의 상기 전면 상의 전면 절연 막; 및  
상기 반도체 기관의 상기 후면 상에 차례로 적층된 제1 후면 절연 막 및 제2 후면 절연 막을 포함하는 반도체 소자.

**청구항 10**

제 9 항에 있어서,  
상기 관통 전극들은 상기 반도체 기관을 관통하면서 상기 제1 후면 절연 막을 관통하고, 상기 후면 도전성 패턴들 및 상기 후면 도전성 구조체는 상기 제1 후면 절연 막 및 상기 제2 후면 절연 막 사이에 개재된 반도체 소자.

**청구항 11**

제 10 항에 있어서,  
상기 제2 후면 절연 막 상의 후면 신호 입/출력 연결 패턴들을 더 포함하되, 상기 후면 신호 입/출력 연결 패턴들은 상기 후면 도전성 패턴들과 전기적으로 연결된 반도체 소자.

**청구항 12**

제 4 항에 있어서,  
상기 기관 내의 접지 관통 전극을 더 포함하되,  
상기 접지 관통 전극은 상기 후면 도전성 구조체와 연결되고 상기 신호 입/출력 관통 전극들과 이격된 반도체 소자.

**청구항 13**

제 12 항에 있어서,

상기 후면 도전성 구조체는,

상기 접지 관통 전극과 전기적으로 연결된 접지 부분; 및

상기 기관의 측면들 중 어느 한 측면과 평행한 서포터 부분을 포함하되,

상기 후면 도전성 구조체의 상기 접지 부분 및 상기 서포터 부분은 전기적으로 연결된 반도체 소자.

#### 청구항 14

패키지 기관 상에 배치되고, 제1 전면 및 상기 제1 전면에 대향하는 제1 후면을 갖는 제1 반도체 칩;

상기 제1 반도체 칩 상에 배치되고, 상기 제1 반도체 칩과 마주보는 제2 전면 및 상기 제2 전면에 대향하는 제2 후면을 갖는 제2 반도체 칩; 및

상기 제1 반도체 칩과 상기 제2 반도체 칩 사이의 칩-간 범프를 포함하되,

상기 제1 반도체 칩은,

상기 제1 반도체 칩 내의 신호 입/출력 관통 전극;

상기 제1 반도체 칩의 상기 제1 후면 상에 배치되고 상기 신호 입/출력 관통 전극과 전기적으로 연결된 후면 도전성 패턴; 및

상기 제1 반도체 칩의 상기 제1 후면 상에 배치되고 상기 신호 입/출력 관통 전극과 이격된 후면 도전성 구조체를 포함하고,

상기 제2 반도체 칩은 상기 제2 반도체 칩의 상기 제2 전면 상에 배치되고 상기 후면 도전성 패턴과 마주보는 전면 도전성 패턴을 포함하고,

상기 칩-간 범프는 상기 전면 도전성 패턴과 상기 후면 도전성 패턴 사이에 개재된 반도체 패키지.

#### 청구항 15

제 14 항에 있어서,

상기 후면 도전성 구조체는 서로 평행하며 동일한 길이를 갖는 서포터 부분들을 포함하는 반도체 패키지.

#### 청구항 16

제 14 항에 있어서,

상기 제2 반도체 칩의 상기 제2 전면 상에 배치된 복수의 전면 더미 패턴들을 더 포함하는 반도체 패키지.

#### 청구항 17

제 16 항에 있어서,

상기 복수의 전면 더미 패턴들과 상기 후면 도전성 구조체 사이의 완충 범프들을 더 포함하되,

상기 후면 도전성 구조체는 상기 복수의 전면 더미 패턴들과 마주보고,

상기 완충 범프들은 상기 복수의 전면 더미 패턴들과 상기 후면 도전성 구조체를 물리적으로 연결하는 반도체 패키지.

#### 청구항 18

제 17 항에 있어서,

상기 후면 도전성 구조체는 상기 전면 더미 패턴들 보다 큰 폭을 갖는 반도체 패키지.

#### 청구항 19

보드; 및

상기 보드 상의 반도체 패키지를 포함하되,

상기 반도체 패키지는,  
 패키지 기관; 및  
 상기 패키지 기관과 마주보는 전면 및 상기 전면과 대향하는 후면을 갖는 반도체 칩을 포함하고,  
 상기 반도체 칩은,  
 내부 회로 영역 및 관통 전극 영역을 포함하는 기관, 상기 기관은 전면 및 상기 전면에 대향하는 후면을 갖고;  
 상기 기관의 상기 관통 전극 영역 내의 신호 입/출력 관통 전극;  
 상기 기관의 상기 관통 전극 영역 내의 접지 관통 비아 구조체; 및  
 상기 기관의 상기 후면 상의 후면 신호 입/출력 연결 패턴 및 후면 도전성 구조체를 포함하고,  
 상기 후면 신호 입/출력 연결 패턴은 상기 신호 입/출력 관통 전극과 전기적으로 연결되고, 상기 후면 도전성 구조체는 상기 신호 입/출력 관통 전극과 이격되고 상기 접지 관통 비아 구조체와 연결되는 것을 특징으로 하고,  
 상기 후면 도전성 구조체는 상기 내부 회로 영역에서 상기 기관의 상기 관통 전극 영역으로 연장하고,  
 상기 후면 도전성 구조체는 상기 후면 신호 입/출력 연결 패턴을 노출하는 전자 시스템.

**청구항 20**

제 19 항에 있어서,  
 상기 후면 도전성 구조체는 상기 기관의 측면들 중 어느 한 측면과 평행한 바 또는 라인 모양의 부분을 갖는 전자 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 반도체 소자, 반도체 패키지 및 이들을 채택하는 전자 장치 및 전자 시스템에 관한 것이다.

**배경 기술**

[0002] 전자 장치의 경박단소화 경향에 따라, 얇은 반도체 칩을 패키지 내에 탑재하는 기술이 연구되고 있다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명의 기술적 사상이 해결하고자 하는 기술적 과제는 관통 전극을 갖는 반도체 소자를 제공하는데 있다.
- [0004] 본 발명의 기술적 사상이 해결하고자 하는 기술적 과제는 반도체 칩의 휨 등과 같은 변형을 방지할 수 있는 서포터 부분을 갖는 반도체 소자를 제공하는데 있다.
- [0005] 본 발명의 기술적 사상이 해결하고자 하는 기술적 과제는 적층 칩 구조체를 갖는 반도체 소자를 제공하는데 있다.
- [0006] 본 발명의 기술적 사상이 해결하고자 하는 기술적 과제는 복수의 칩들을 포함하는 반도체 패키지를 제공하는데 있다.
- [0007] 본 발명의 기술적 사상이 해결하고자 하는 기술적 과제는 복수의 칩들을 포함하고, 칩들 중 어느 하나에 칩의 휨를 방지할 수 있는 서포터 부분을 갖는 반도체 패키지를 제공하는데 있다.
- [0008] 본 발명의 기술적 사상이 해결하고자 하는 또 다른 기술적 과제는 상기 반도체 소자를 포함하는 전자 장치 및 전자 시스템을 제공하는데 있다.
- [0009] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아

래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0010] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 전면 및 상기 전면에 대향하는 후면을 갖는 기판을 포함한다. 상기 기판의 상기 전면 상에 또는 근처에 내부 회로가 배치된다. 상기 기판 내에 신호 입/출력 관통 전극들이 배치된다. 상기 기판의 상기 후면 상에 상기 신호 입/출력 관통 전극들과 전기적으로 연결된 후면 도전성 패턴들이 배치된다. 상기 기판의 상기 후면 상에 상기 신호 입/출력 관통 전극들과 이격된 후면 도전성 구조체가 배치된다. 상기 후면 도전성 구조체는 평행한 서포터 부분들을 포함한다.
- [0011] 몇몇 실시예들에서, 상기 후면 도전성 구조체는 상기 후면 도전성 패턴들과 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0012] 다른 실시예에서, 상기 후면 도전성 구조체의 상기 평행한 서포터 부분들은 상기 후면 도전성 패턴들 보다 큰 크기를 가질 수 있다.
- [0013] 또 다른 실시예에서, 상기 후면 도전성 패턴들은 상기 후면 도전성 구조체의 상기 평행한 서포터 부분들 사이에 배치될 수 있다.
- [0014] 또 다른 실시예에서, 상기 후면 도전성 구조체의 상기 평행한 서포터 부분들은 상기 기판의 대향하는 측면들과 평행할 수 있다.
- [0015] 또한, 상기 후면 도전성 구조체의 상기 평행한 서포터 부분들은 상기 후면 도전성 패턴들과 상기 기판의 상기 측면들 사이에 배치될 수 있다.
- [0016] 또 다른 실시예에서, 상기 후면 도전성 구조체는 상기 평행한 서포터 부분들 사이에 배치된 중간 서포터 부분을 더 포함할 수 있다.
- [0017] 상기 중간 서포터 부분은 상기 후면 도전성 패턴들 사이를 지날 수 있다.
- [0018] 상기 중간 서포터 부분은 상기 상기 평행한 서포터 부분들의 가운데 부분들 사이에 배치될 수 있다.
- [0019] 본 발명의 기술적 사상의 다른 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 전면 및 상기 전면에 대향하는 후면을 갖는 기판을 포함한다. 상기 기판의 상기 전면 상에 또는 근처에 내부 회로가 배치된다. 상기 기판 내에 신호 입/출력 관통 전극들이 배치된다. 상기 기판의 상기 전면 상에 상기 신호 입/출력 관통 전극들과 전기적으로 연결된 전면 신호 입/출력 연결 패턴들이 배치된다. 상기 기판의 상기 후면 상에 후면 도전성 패턴들 및 후면 도전성 구조체가 배치된다. 상기 후면 도전성 패턴들은 상기 신호 입/출력 관통 전극들과 전기적으로 연결된다. 상기 후면 도전성 구조체는 상기 신호 입/출력 관통 전극들과 전기적으로 절연되고 상기 후면 도전성 패턴들과 동일한 물질 및 동일한 두께로 형성된다.
- [0020] 몇몇 실시예들에서, 상기 후면 도전성 구조체는 바 또는 라인 모양의 제1 부분을 포함할 수 있다.
- [0021] 다른 실시예에서, 상기 후면 도전성 구조체의 상기 제1 부분은 상기 기판의 대향하는 제1 및 제2 측면들 사이에 배치될 수 있다. 여기서, 상기 제1 부분은 상기 제1 측면의 가운데 부분과 상기 제2 측면의 가운데 부분 사이를 지날 수 있다.
- [0022] 또 다른 실시예에서, 상기 후면 도전성 구조체는 상기 기판의 대향하는 제1 및 제2 측면들과 평행한 제1 부분, 상기 제1 부분과 수직한 제2 부분 및 상기 제1 부분과 수직하며 상기 제2 부분과 평행한 제3 부분을 포함할 수 있다.
- [0023] 상기 제1 부분은 상기 제2 및 제3 부분들 사이에 위치할 수 있다.
- [0024] 또 다른 실시예에서, 상기 기판은 전면 및 후면을 갖는 반도체 기판, 상기 반도체 기판의 상기 전면 상의 전면 절연 막 및 상기 반도체 기판의 상기 후면 상에 차례로 적층된 제1 후면 절연 막 및 제2 후면 절연 막을 포함할 수 있다.
- [0025] 상기 관통 전극들은 상기 반도체 기판을 관통하면서 상기 제1 후면 절연 막을 관통하고, 상기 후면 도전성 패턴들 및 상기 후면 도전성 구조체는 상기 제1 후면 절연 막 및 상기 제2 후면 절연 막 사이에 개재될 수 있다.
- [0026] 상기 제2 후면 절연 막 상에 배치된 후면 신호 입/출력 연결 패턴들을 더 포함할 수 있다. 상기 후면 신호 입/출력 연결 패턴들은 상기 후면 도전성 패턴들과 전기적으로 연결될 수 있다.

- [0027] 또 다른 실시예에서, 상기 기판 내의 접지 관통 전극을 더 포함할 수 있다.
- [0028] 상기 후면 도전성 구조체는 상기 접지 관통 전극과 전기적으로 연결된 접지 부분 및 상기 기판의 측면들 중 어느 한 측면과 평행한 서포터 부분을 포함할 수 있다. 상기 후면 도전성 구조체의 상기 접지 부분 및 상기 서포터 부분은 전기적으로 연결될 수 있다.
- [0029] 본 발명의 또 다른 양태에 따르면, 복수의 반도체 칩들을 포함하는 반도체 패키지를 제공할 수 있다. 이 반도체 패키지는 패키지 기판 상에 배치되고, 제1 전면 및 상기 제1 전면에 대향하는 제1 후면을 갖는 제1 반도체 칩을 포함한다. 상기 제1 반도체 칩 상에 제2 반도체 칩이 배치된다. 상기 제2 반도체 칩은 상기 제1 반도체 칩과 마주보는 제2 전면 및 상기 제2 전면에 대향하는 제2 후면을 갖는다. 상기 제1 반도체 칩과 상기 제2 반도체 칩 사이에 칩-간 범프가 배치된다. 상기 제1 반도체 칩은 상기 제1 반도체 칩 내의 신호 입/출력 관통 전극; 상기 제1 반도체 칩의 상기 제1 후면 상에 배치되고 상기 신호 입/출력 관통 전극과 전기적으로 연결된 후면 도전성 패턴; 및 상기 제1 반도체 칩의 상기 제1 후면 상에 배치되고 상기 신호 입/출력 관통 전극과 이격된 후면 도전성 구조체를 포함한다. 상기 제2 반도체 칩은 상기 제2 반도체 칩의 상기 제2 전면 상에 배치되고 상기 후면 도전성 패턴과 마주보는 전면 도전성 패턴을 포함한다. 상기 칩-간 범프는 상기 전면 도전성 패턴과 상기 후면 도전성 패턴 사이에 개재된다.
- [0030] 몇몇 실시예들에서, 상기 후면 도전성 구조체는 상기 후면 도전성 패턴과 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0031] 다른 실시예에서, 상기 후면 도전성 구조체는 서로 평행하며 동일한 길이를 갖는 한 쌍의 서포터 부분들을 포함할 수 있다.
- [0032] 또 다른 실시예에서, 상기 제2 반도체 칩의 상기 전면 상에 배치된 복수의 전면 더미 패턴들을 더 포함할 수 있다.
- [0033] 상기 복수의 전면 더미 패턴들과 상기 후면 도전성 구조체 사이의 완충 범프들을 더 포함할 수 있다. 상기 후면 도전성 구조체는 상기 복수의 전면 더미 패턴들과 마주보고, 상기 완충 범프들은 상기 복수의 전면 더미 패턴들과 상기 후면 도전성 구조체를 물리적으로 연결할 수 있다.
- [0034] 상기 후면 도전성 구조체는 상기 전면 더미 패턴들 보다 큰 폭을 가질 수 있다.
- [0035] 본 발명의 또 다른 양태에 따르면, 전자 시스템을 제공할 수 있다. 이 전자 시스템은 보드 및 상기 보드 상의 반도체 패키지를 포함한다. 상기 반도체 패키지는 패키지 기판 및 상기 패키지 기판과 마주보는 전면 및 상기 전면과 대향하는 후면을 갖는 반도체 칩을 포함한다. 상기 반도체 칩은 상기 패키지 기판과 마주보는 전면 및 상기 전면에 대향하는 후면을 갖는 상기 반도체 칩 내의 신호 입/출력 관통 전극; 및 상기 반도체 칩의 상기 후면 상의 후면 신호 입/출력 연결 패턴 및 후면 도전성 구조체를 포함한다. 상기 후면 신호 입/출력 연결 패턴은 상기 신호 입/출력 관통 전극과 전기적으로 연결되고, 상기 후면 도전성 구조체는 상기 신호 입/출력 관통 전극과 이격된다.
- [0036] 몇몇 실시예들에서, 상기 후면 도전성 구조체는 상기 반도체 칩의 측면들 중 어느 한 측면과 평행한 바 또는 라인 모양의 부분을 갖는다.

**발명의 효과**

- [0037] 본 발명의 기술적 사상의 실시 예들에 따르면, 후면 도전성 구조체를 포함하는 반도체 칩을 제공할 수 있다. 상기 후면 도전성 구조체는 상기 반도체 칩의 후면 상에서 신호 전달을 위한 후면 도전성 패턴들(e.g., 패드 또는 범프)와 동시에 형성될 수 있다. 상기 후면 도전성 구조체는 상기 반도체 칩의 휨 등과 같은 변형을 방지하고, 또한 방열 역할을 수행할 수 있다. 또한, 상기 후면 도전성 구조체는 접지되어 신호를 전달하는 금속 배선들간의 노이즈를 제거함과 동시에 방열 역할을 수행함으로써, 반도체 칩 또는 소자의 신뢰성을 향상시킬 수 있다. 또한, 반도체 칩의 방열을 위하여, 상기 반도체 칩의 측면에 열 전달 물질 막을 형성할 수 있다. 이러한 열 전달 물질 막은 상기 반도체 칩의 상기 후면 도전성 구조체와 함께 방열 역할을 수행할 수 있다. 이와 같이 방열 역할을 하는 상기 후면 도전성 구조체 및 상기 열 전달 물질 막은 소자(device)의 신뢰성을 향상시킬 수 있다. 또한, 상기 후면 도전성 구조체를 갖는 반도체 칩을 이용하여 형성된 적층 칩 구조체에서, 복수의 반도체 칩들과 물리적으로 접촉하는 칩-간 범프들을 안정적으로 그리고 신뢰성 있게 형성할 수 있다.

**도면의 간단한 설명**



[0038]

도 1a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 일 예를 나타낸 사시도이고, 도 1b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 일 예를 설명하기 위한 개념적인 단면도이다.

도 2a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 다른 예를 나타낸 사시도이고, 도 2b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 다른 예를 설명하기 위한 개념적인 단면도이다.

도 2c는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 2d는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 3a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 3b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 3c는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 3d는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 4a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 4b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 5a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 5b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 5c는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 6 내지 도 10의 각각은 본 발명의 기술적 사상의 실시예들에 따른 후면 도전성 구조체의 변형 예들을 설명하기 위한 사시도들이다.

도 11a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 11b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

도 12는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이다.

도 13은 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이다.

도 14는 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이다.

도 15a는 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이고, 도 15b는 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자의 일부 구성요소들을 개략적으로 나타낸 사시도이다.

도 16은 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이다.

도 17a 내지 도 17h 및 도 18a 내지 도 18d는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 형성하는 방법을 설명하기 위한 개략적인 단면도들이다.

도 19a 내지 도 19e의 각각은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 설명하기 위한 개략적인 단면도이다.

도 20은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 메모리 모듈을 개략적으로 나타낸 도면이다.

도 21은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 반도체 모듈을 개략적으로 나타낸 도면이다.

도 22는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 포함하는 전자 시스템을 개념적으로 도시한 블록도이다.

도 23은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 포함하는 다른 전자 시스템을 개략적으로 도시한 블록도이다.

도 24는 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함하는 모바일 무선 폰을 개략적으로 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0039] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0040] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0041] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다.
- [0042] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0043] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다.
- [0044] 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0045] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역 또는 직각으로 도시된 모서리 부분은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0046] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0047] 본 명세서에서 '전면(front side)'과 '후면(back side)', 및 '상면(upper side, top side)'과 '하면(lower side, bottom side)'는 본 발명의 기술적 사상을 이해하기 쉽도록 설명하기 위하여 상대적인 개념으로 사용된 것이다. 예를 들어, '전면' 또는 '상면'을 '제1 면'이라고 표현하고 '후면' 또는 '하면'을 '제2 면'이라고 표현할 수도 있고, 반대로 '후면' 또는 '하면'을 '제1 면'이라고 표현하고 '전면' 또는 '상면'을 '제2 면'이라고 표현할 수도 있다. 그러나, 혼동을 방지하기 위하여, 하나의 실시예 내에서는 '전면'과 '후면'이 혼용되지 않는다.
- [0048] 본 명세서에서 '가깝다(near)'라는 표현은 대칭적 개념을 갖는 둘 이상의 구성 요소들 중 어느 하나가 다른 특정한 구성 요소에 대해 상대적으로 가깝게 위치하는 것을 의미한다. 예를 들어, 제1 단부(first end)가 제1 면(first side)에 가깝다는 표현은 제1 단부가 제2 단부보다 제1 면에 더 가깝다는 의미이거나, 제1 단부가 제2 면보다 제1 면에 더 가깝다는 의미로 이해될 수 있다.
- [0049] 도 1a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 일 예를 나타낸 사시도이고, 도 1b는 본 발명

의 기술적 사상의 실시 예에 따른 반도체 소자의 일 예를 설명하기 위한 개념적인 단면도이다.

- [0050] 도 1a 및 도 1b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90a)을 포함할 수 있다. 상기 반도체 칩(90a)은 전면(50fs) 및 상기 전면(50fs)에 대향하는 후면(50bs)을 갖는 기판(50), 상기 기판(50)의 상기 전면(50fs) 상의 전면 도전성 패턴들(30), 및 상기 기판(50)의 상기 후면(50bs) 상의 후면 도전성 패턴들(64) 및 후면 도전성 구조체(66a)를 포함할 수 있다. 상기 후면 도전성 구조체(66a)는 상기 반도체 칩(90a)의 휘어짐 등과 같은 변형을 방지할 수 있다. 또한, 상기 후면 도전성 구조체(66a)는 상기 반도체 칩(90a) 내부에서 발생하는 열을 방출할 수 있다.
- [0051] 상기 기판(50)은 내부 회로 영역(CR) 및 관통 전극 영역(TR)을 포함할 수 있다. 상기 기판(50)은, 평면에서, 사각형 모양일 수 있다. 상기 기판(50)은 대향하는 제1 및 제2 측면들(55s\_1, 55s\_2), 및 상기 제1 및 제2 측면들(55s\_1, 55s\_2)에 수직인 제3 및 제4 측면들(55s\_3, 55s\_4)을 가질 수 있다. 상기 기판(50)은 반도체 기판(1), 전면 절연 막(24), 후면 절연 막(39), 관통 전극들(15) 및 내부 회로(19)를 포함할 수 있다.
- [0052] 상기 반도체 기판(1)은 단결정 실리콘 기판, SiC 층 또는 SiGe 층을 포함하는 실리콘 기판, 또는 절연층을 포함하는 SOI(silicon on insulator) 기판일 수 있다. 상기 반도체 기판(1)은 전면(1fs) 및 상기 전면(1fs)에 대향하는 후면(1bs)을 가질 수 있다.
- [0053] 상기 전면 절연 막(24)은 상기 반도체 기판(1)의 상기 전면(1fs) 상에 배치될 수 있다. 상기 전면 절연 막(24)은 상기 반도체 기판(1)의 전면(1fs) 상에 차례로 적층된 하부 전면 절연 막(6) 및 상부 전면 절연 막(21)을 포함할 수 있다. 상기 후면 절연 막(39)은 상기 반도체 기판(1)의 상기 후면(1bs) 상에 배치될 수 있다.
- [0054] 상기 관통 전극들(15)은 상기 반도체 기판(1)을 관통할 수 있다. 상기 관통 전극들(15)은 신호 입/출력 관통 전극들을 포함할 수 있다.
- [0055] 일 실시예에서, 상기 관통 전극들(15)은 상기 반도체 기판(1)을 관통하면서 상기 후면 절연 막(39)을 관통할 수 있다.
- [0056] 일 실시예에서, 상기 관통 전극들(15)은 상기 후면 절연 막(39) 및 상기 반도체 기판(1)을 관통하면서 상기 전면 절연 막(24)의 상기 하부 전면 절연 막(6)을 관통할 수 있다.
- [0057] 상기 관통 전극들(15)의 측면들을 둘러싸는 비아 절연 패턴들(12)이 배치될 수 있다. 상기 비아 절연 패턴들(12)은 상기 관통 전극들(15)과 상기 반도체 기판(1)을 절연시킬 수 있다.
- [0058] 상기 내부 회로(19)는 상기 반도체 기판(1)의 상기 전면(1fs) 상의 단위 소자(3) 및 상기 단위 소자(3)와 전기적으로 연결된 배선 구조체를 포함할 수 있다. 상기 배선 구조체는 콘택 플러그(17) 및 내부 배선(18b)을 포함할 수 있다. 상기 단위 소자(3)는 상기 내부 회로(19)를 구성하기 위한 트랜지스터, 다이오드 및/또는 저항 등과 같은 소자를 포함할 수 있다. 상기 콘택 플러그(17)는 상기 하부 전면 절연 막(6)을 관통하며 상기 단위 소자(3)와 전기적으로 연결될 수 있다. 상기 내부 배선(18b)은 상기 하부 전면 절연 막(6) 상에 형성되며 상기 콘택 플러그(17)와 중첩하고, 상기 콘택 플러그(17)와 전기적으로 연결될 수 있다.
- [0059] 상기 하부 전면 절연 막(6)을 관통하는 상기 관통 전극들(15)을 덮는 비아 패드들(18a)이 배치될 수 있다. 상기 비아 패드들(18a)은 상기 관통 전극들(15)과 전기적으로 연결될 수 있다. 상기 비아 패드들(18a)은 상기 내부 배선(18b)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 상부 전면 절연 막(21)을 관통하면서 상기 비아 패드들(18a)과 전기적으로 연결된 내부 비아들(27)이 배치될 수 있다.
- [0060] 상기 전면 도전성 패턴들(30)은 상기 상부 전면 절연 막(21) 상에 배치되면서 상기 내부 비아들(27)을 덮을 수 있다. 상기 전면 도전성 패턴들(30)은 전면 신호 입/출력 연결 패턴들을 포함할 수 있다.
- [0061] 상기 후면 도전성 패턴들(64)은 상기 관통 전극들(15)을 덮으며 상기 관통 전극들(15)과 전기적으로 연결될 수 있다. 상기 후면 도전성 패턴들(64)은 후면 신호 입/출력 연결 패턴들을 포함할 수 있다. 상기 후면 도전성 패턴들(64), 상기 관통 전극들(15), 상기 비아 패드들(18a), 상기 내부 비아들(27) 및 상기 전면 도전성 패턴들(30)은 수직 방향으로 배열되면서 전기적으로 연결될 수 있다. 상기 후면 도전성 패턴들(64)은 패드 또는 범프일 수 있다.
- [0062] 상기 후면 도전성 구조체(66a)는 상기 후면 신호 입/출력 연결 패턴들을 포함하는 상기 후면 도전성 패턴들(64)과 이격될 수 있다. 상기 후면 도전성 구조체(66a)는 상기 신호 입/출력 관통 전극들을 포함하는 관통 전극들(15)과 이격될 수 있다. 상기 후면 도전성 구조체(66a)는 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일

한 두께로 형성될 수 있다. 예를 들어, 상기 후면 도전성 패턴들(64) 및 상기 후면 도전성 구조체(66a)는 Ni, Au, Cu, SnAg, Sn 또는 그 조합으로 이루어진 물질을 포함할 수 있다.

- [0063] 상기 후면 도전성 패턴들(64)은 상기 기관(50)의 상기 관통 전극 영역(TR) 상에 배치될 수 있고, 상기 후면 도전성 구조체(66a)는 상기 기관(50)의 상기 내부 회로 영역(CR) 상에 배치될 수 있다. 상기 후면 도전성 패턴들(64)은 상기 기관(50)의 상기 관통 전극 영역(TR)과 중첩할 수 있고, 상기 후면 도전성 구조체(66a)는 상기 기관(50)의 상기 내부 회로 영역(CR)과 중첩할 수 있다.
- [0064] 상기 후면 도전성 구조체(66a)는 중간 서포터 부분(66a\_1)을 포함할 수 있다. 상기 후면 도전성 구조체(66a)는 평행한 사이드 서포터 부분들(66a\_2, 66a\_3)을 포함할 수 있다.
- [0065] 실시 예에서, "중간(middle)" 및 "사이드(side)" 라는 용어는 다른 구성요소들과의 상관 관계를 용이하게 기술하기 위하여 사용된 것으로서, 이러한 용어에 의하여 본 발명의 "상기 후면 도전성 구조체(66a)"를 구성하는 부분들의 위치가 한정되지 않는다. 여기서, "중간 서포터 부분"은 "제1 서포터 부분"으로 표현하고, 상기 사이드 서포터 부분들은 "제2 및 제3 서포터 부분들"로 표현할 수도 있다. 또는, 상기 사이드 서포터 부분들을 제1 및 제2 서포터 부분들로 표현하고, 상기 중간 서포터 부분을 제3 서포터 부분으로 표현할 수도 있다.
- [0066] 상기 후면 도전성 구조체(66a)의 상기 중간 서포터 부분(66a\_1)은 상기 기관(50)의 상기 제1 및 제2 측면들(50s\_1, 50s\_2)과 평행할 수 있다. 상기 중간 서포터 부분(66a\_1)은 상기 기관(50)의 상기 제1 측면(50s\_1)과 상기 제2 측면(50s\_2) 사이의 가운데 부분에 배치될 수 있다. 상기 중간 서포터 부분(66a\_1)은 상기 후면 도전성 패턴들(64) 사이를 지날 수 있다. 상기 중간 서포터 부분(66a\_1)은 바(bar) 또는 라인 모양일 수 있다. 상기 중간 서포터 부분(66a\_1)은 상기 제1 및 제2 측면들(50s\_1, 50s\_2) 길이(50SL)의 약10% 이상의 길이(66SL)를 가질 수 있다. 상기 중간 서포터 부분(66a\_1)은 상기 제1 및 제2 측면들(50s\_1, 50s\_2) 길이(50SL)의 약10% 이상 내지 약 95% 이하의 길이(66SL)를 가질 수 있다.
- [0067] 상기 후면 도전성 구조체(66a)의 상기 사이드 서포터 부분들(66a\_2, 66a\_3)은 상기 기관(50)의 상기 제3 및 제4 측면들(50s\_3, 50s\_4)과 평행할 수 있다. 상기 사이드 서포터 부분들(66a\_2, 66a\_3)은 상기 후면 도전성 패턴들(64)과 상기 제3 측면(50s\_3) 사이에 배치된 제1 사이드 서포터 부분(66a\_2) 및 상기 후면 도전성 패턴들(64)과 상기 제4 측면(50s\_4) 사이에 배치된 제2 사이드 서포터 부분(66a\_3)을 포함할 수 있다. 상기 후면 도전성 패턴들(64)은 상기 사이드 서포터 부분들(66a\_2, 66a\_3) 사이에 배치될 수 있다.
- [0068] 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3)은 서로 평행하며 동일한 길이, 동일한 두께 및 동일한 폭으로 형성될 수 있다. 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3)의 각각은 바(bar) 또는 라인 모양일 수 있다. 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3)은 상기 기관(50)의 상기 제3 및 제4 측면들(50s\_3, 50s\_4) 길이(50ML)의 약10% 이상의 길이(66SL)를 가질 수 있다. 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3)은 상기 기관(50)의 상기 제3 및 제4 측면들(50s\_3, 50s\_4) 길이(50ML)의 약10% 이상 내지 약 95% 이하의 길이(66SL)를 가질 수 있다.
- [0069] 상기 중간 서포터 부분(66a\_1)은 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3) 사이에 배치될 수 있다. 상기 중간 서포터 부분(66a\_1), 및 상기 제1 및 제2 사이드 서포터 부분들(66a\_2, 66a\_3)은 일체로 연결될 수 있다. 상기 중간 서포터 부분(66a\_1)은 상기 제1 사이드 서포터 부분(66a\_2)의 가운데 부분과 상기 제2 사이드 서포터 부분(66a\_3)의 가운데 부분 사이에 배치될 수 있다. 상기 후면 도전성 구조체(66a)는 "H" 모양을 가지며, 상기 반도체 칩(90a)의 휨 등과 같은 변형을 방지하고 또한 방열 역할을 수행 할 수 있다. 상기 후면 도전성 구조체(66a)는 변형을 방지하고 방열 역할을 수행함으로써, 소자(device)의 신뢰성을 향상시킬 수 있다.
- [0070] 도 2a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 다른 예를 나타낸 사시도이고, 도 2b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 다른 예를 설명하기 위한 개념적인 단면도이다.
- [0071] 도 2a 및 도 2b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90b)을 포함할 수 있다. 상기 반도체 칩(90b)은, 도 1a 및 도 1b에서와 같은, 상기 전면(50fs) 및 상기 후면(50bs)을 갖는 상기 기관(50), 상기 기관(50)의 상기 전면(50fs) 상의 상기 전면 도전성 패턴들(30) 및 상기 기관(50)의 상기 후면(50bs) 상의 상기 후면 도전성 패턴들(64)을 포함할 수 있다. 상기 기관(50)은, 도 1a 및 도 1b에서 설명한 것과 같이, 상기 반도체 기관(1), 상기 전면 절연 막(24), 상기 후면 절연 막(39), 상기 관통 전극들(15) 및 상기 내부 회로(19)를 포함할 수 있다.
- [0072] 상기 반도체 칩(90b)은 상기 기관(50)의 상기 후면(50bs) 상에 배치된 후면 도전성 구조체(66b)를 포함할 수 있다. 상기 후면 도전성 구조체(66b)는 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일한 두께로 형성될 수



있다. 상기 후면 도전성 구조체(66b)는 상기 반도체 칩(90b)의 휘어짐 등과 같은 변형을 방지할 수 있다. 상기 후면 도전성 구조체(66b)는 상기 후면 도전성 패턴들(64)의 폭(W1) 보다 큰 폭(W2)을 갖는 부분을 포함할 수 있다. 상기 후면 도전성 구조체(66b)는, 도 1a에서 설명한 상기 후면 도전성 구조체(66a)와 동일한 모양을 가질 수 있다. 따라서, 상기 후면 도전성 구조체(66b)는, 도 1a에서의 상기 후면 도전성 구조체(66a)와 마찬가지로, 평행한 사이드 서포터 부분들(66b\_2, 66b\_3), 상기 평행한 사이드 서포터 부분들(66b\_2, 66b\_3) 사이의 중간 서포터 부분(66b\_1)을 포함할 수 있다. 상기 평행한 사이드 서포터 부분들(66b\_2, 66b\_3), 및 상기 중간 서포터 부분(66b\_1) 중 적어도 하나는 상기 후면 도전성 패턴들(64)의 폭(W1) 보다 큰 폭(W2)을 가질 수 있다. 여기서, 상기 평행한 사이드 서포터 부분들(66b\_2, 66b\_3)은 동일한 크기를 가질 수 있다.

[0073] 상기 후면 도전성 구조체(66b)의 모양은 도 2a 및 도 2b에 도시된 형태에 한정되지 않는다. 상기 후면 도전성 구조체(66b)의 변형 예에 대하여 도 2c 및 도 2d를 참조하여 설명하기로 한다. 도 2c는 상기 후면 도전성 구조체(66b)의 일 변형 예를 설명하기 위한 사시도이고, 도 2d는 상기 후면 도전성 구조체(66b)의 일 변형 예를 설명하기 위한 개략적인 단면도이다.

[0074] 도 2c 및 도 2d를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90b')을 포함할 수 있다. 상기 반도체 칩(90b')은 상기 반도체 칩(90b')의 휘어짐 등과 같은 변형을 방지하면서 방열 역할을 수행할 수 있는 후면 도전성 구조체(66b')를 포함할 수 있다.

[0075] 상기 후면 도전성 구조체(66b')는 상기 기판(50)의 상기 후면(50bs) 상에 배치되며 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 후면 도전성 구조체(66b')는, 도 2a 및 도 2b에서와 같이 상기 기판(50)의 상기 후면(50bs) 상에 배치되면서, 상기 기판(50)의 측면들 중 적어도 하나의 측면까지 연장된 부분을 포함할 수 있다.

[0076] 상기 후면 도전성 구조체(66b')는 상기 기판(50)의 서로 대향하는 상기 제1 및 제2 측면들(50s\_1, 50s\_2)과 평행하며 상기 기판(50)의 상기 제3 측면(50s\_3)에서부터 상기 제4 측면(50s\_4) 까지 연결된 중간 서포터 부분(66b'\_1)을 포함할 수 있다. 상기 중간 서포터 부분(66b'\_1)은 상기 제1 및 제2 측면들(50s\_1, 50s\_2)과 실질적으로 같은 길이를 가질 수 있다.

[0077] 상기 후면 도전성 구조체(66b')는 상기 기판(50)의 서로 대향하는 상기 제3 및 제4 측면들(50s\_3, 50s\_4)과 평행하며 상기 기판(50)의 상기 제1 측면(50s\_1)에서부터 상기 제2 측면(50s\_2) 까지 연결된 사이드 서포터 부분들(66b'\_2, 66b'\_3)을 포함할 수 있다. 상기 사이드 서포터 부분들(66b'\_2, 66b'\_3)은 상기 제3 및 제4 측면들(50s\_3, 50s\_4)과 실질적으로 같은 길이를 가질 수 있다. 상기 사이드 서포터 부분들(66b'\_2, 66b'\_3)은 서로 평행할 수 있다. 상기 중간 서포터 부분(66b'\_1)은 상기 사이드 서포터 부분들(66b'\_2, 66b'\_3)과 교차할 수 있다. 도 3a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 3b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다. 도 3a 및 도 3b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90c)을 포함할 수 있다. 상기 반도체 칩(90c)은, 도 1a 및 도 1b에서와 같은, 상기 전면(50fs) 및 상기 후면(50bs)을 갖는 상기 기판(50), 상기 기판(50)의 상기 전면(50fs) 상의 상기 전면 도전성 패턴들(30) 및 상기 기판(50)의 상기 후면(50bs) 상의 상기 후면 도전성 패턴들(64)을 포함할 수 있다. 상기 기판(50)은, 도 1a 및 도 1b에서 설명한 것과 같이, 상기 반도체 기판(1), 상기 전면 절연 막(24), 상기 후면 절연 막(39), 상기 관통 전극들(15) 및 상기 내부 회로(19)를 포함할 수 있다.

[0078] 상기 관통 전극들(15)은 입/출력 신호를 위한 관통 전극(15io) 및 접지를 위한 관통 전극(15g)을 포함할 수 있다. 상기 관통 전극들(15) 중에서, 반도체 소자의 입/출력 신호 전송을 위한 관통 전극은 신호 입/출력 관통 전극(15io)으로 정의하고, 반도체 소자의 접지를 위한 관통 전극은 접지 관통 전극(15g)으로 정의할 수 있다. 상기 전면 도전성 패턴들(30)은 상기 신호 입/출력 관통 전극들(15io)과 전기적으로 연결된 전면 신호 입/출력 연결 패턴(30io) 및 상기 접지 관통 전극(15g)과 전기적으로 연결된 전면 접지 연결 패턴(30g)을 포함할 수 있다. 상기 후면 도전성 패턴들(64)은 상기 신호 입/출력 관통 전극들(15io)과 전기적으로 연결된 상기 후면 신호 입/출력 연결 패턴들을 포함할 수 있다.

[0079] 상기 반도체 칩(90c)은 상기 기판(50)의 상기 후면(50bs) 상에 배치된 후면 도전성 구조체(66c)를 포함할 수 있다. 상기 후면 도전성 구조체(66c)는 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 후면 도전성 구조체(66c)는 서포터 부분(66c\_s) 및 접지 부분(66c\_g)을 포함할 수 있다. 상기 후면 도전성 구조체(66c)에서, 상기 서포터 부분(66c\_s) 및 상기 접지 부분(66c\_g)은 전기적으로 연결될 수 있다. 상기 후면 도전성 구조체(66c)에서, 상기 서포터 부분(66c\_s)은 상기 기판(50)의 휘어짐 등과 같은 변형을 방지할

수 있고, 상기 접지 부분(66c\_g)은 상기 접지 관통 전극(15g)과 전기적으로 연결될 수 있으며 방열 역할도 할 수 있다. 상기 접지 부분(66c\_g)은 상기 접지 관통 전극(15g)과 중첩하면서 상기 접지 관통 전극(15)과 물리적으로 연결될 수 있다. 상기 후면 도전성 구조체(66c)는 접지되면서 상기 반도체 칩(90c)의 휨 등과 변형을 방지하면서 방열 역할을 할 수 있다. 상기 후면 도전성 구조체(66c)는 상기 접지 관통 전극(15g)과 물리적으로 연결된 상기 접지 부분(66c\_g)을 포함함으로써, 상기 반도체 칩(90c) 내부의 열 방출을 증가시키고, 신호를 전달하는 금속 배선들 또는 패턴들 사이의 노이즈를 제거 또는 감소시키는 역할을 수행할 수 있다.

[0080] 상기 서포터 부분(66c\_s)은, 도 1a 및 도 1b에서의 상기 후면 도전성 구조체(66a)와 같이, 평행한 제1 및 제2 사이드 서포터 부분들(66c\_2, 66c\_3), 상기 제1 및 제2 사이드 서포터 부분들(66c\_2, 66c\_3) 사이의 중간 서포터 부분(66c\_1)을 포함할 수 있다. 상기 서포터 부분(66c\_s)은, 도 1a 및 도 1b에서의 상기 후면 도전성 구조체(66a)와 같이, "H" 모양일 수 있다.

[0081] 상기 접지 부분(66c\_g)은 상기 접지 관통 전극(15)과 중첩하도록 상기 서포터 부분(66c\_s)의 어느 한 부분으로부터 연장되어 형성될 수 있다. 도 3a에서와 같이, 상기 접지 부분(66c\_g)은 상기 제1 사이드 서포터 부분(66c\_s)으로부터 연장될 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 접지 부분(66c\_g)은 상기 제2 사이드 서포터 부분(66c\_3) 및/또는 상기 중간 서포터 부분(66c\_1) 으로부터 연장될 수도 있다.

[0082] 상기 후면 도전성 구조체(66c)의 모양은 도 3a 및 도 3b에 도시된 형태에 한정되지 않는다. 상기 후면 도전성 구조체(66c)의 변형 예에 대하여 도 3c 및 도 3d를 참조하여 설명하기로 한다. 도 3c는 상기 후면 도전성 구조체(66c)의 일 변형 예를 설명하기 위한 사시도이고, 도 3d는 상기 후면 도전성 구조체(66c)의 일 변형 예를 설명하기 위한 개략적인 단면도이다.

[0083] 도 3c 및 도 3d를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90c')을 포함할 수 있다. 상기 반도체 칩(90c')은 후면 도전성 구조체(66c')를 포함할 수 있다. 상기 후면 도전성 구조체(66c')는 상기 기판(50)의 상기 후면(50bs) 상에 배치되며 상기 기판(50) 내의 상기 접지 관통 전극(15g)과 전기적으로 연결되고 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 후면 도전성 구조체(66c')는 상기 반도체 칩(90c')의 휨 등과 같은 변형을 방지할 수 있으며 방열 역할을 수행할 수 있다. 또한, 상기 후면 도전성 구조체(66c')는 접지되어 신호를 전달하는 금속 배선들 또는 패턴들간의 노이즈를 제거 또는 감소시키는 역할을 수행할 수 있다.

[0084] 상기 후면 도전성 구조체(66c')는 상기 기판(50)의 측면들 중 어느 하나의 측면과 평행하면서 상기 기판(50)의 상기 후면(50bs)을 가로지르는 부분을 포함할 수 있다. 상기 후면 도전성 구조체(66c')는 서포터 부분(66c'\_s) 및 접지 부분(66c'\_g)을 포함할 수 있다. 상기 서포터 부분(66c'\_s)은 중간 서포터 부분(66c'\_1) 및 사이드 서포터 부분들(66c'\_2, 66c'\_3)을 포함할 수 있다.

[0085] 상기 중간 서포터 부분(66c'\_1)은 상기 기판(50)의 서로 대향하는 상기 제1 및 제2 측면들(50s\_1, 50s\_2)과 평행하며 상기 기판(50)의 상기 제3 측면(50s\_3)에서부터 상기 제4 측면(50s\_4) 까지 형성되면서 상기 기판(50)의 상기 후면(50bs)을 가로지를 수 있다. 상기 중간 서포터 부분(66c'\_1)은 상기 제1 및 제2 측면들(50s\_1, 50s\_2)과 실질적으로 같은 길이를 가질 수 있다.

[0086] 상기 사이드 서포터 부분들(66c'\_2, 66c'\_3)은 상기 기판(50)의 서로 대향하는 상기 제3 및 제4 측면들(50s\_3, 50s\_4)과 평행하며 상기 기판(50)의 상기 제1 측면(50s\_1)에서부터 상기 제2 측면(50s\_2) 까지 형성되면서 상기 기판(50)의 상기 후면(50bs)을 가로지를 수 있다. 상기 사이드 서포터 부분들(66c'\_2, 66c'\_3)은 상기 중간 서포터 부분(66c'\_1)들과 교차할 수 있다.

[0087] 상기 접지 부분(66c'\_g)은 상기 중간 서포터 부분(66c'\_1) 및 상기 사이드 서포터 부분들(66c'\_2, 66c'\_3) 중 어느 한 부분으로부터 연장되어 상기 접지 관통 전극(15g)과 전기적으로 연결될 수 있다. 상기 접지 부분(66c'\_g)은 상기 접지 관통 전극(15g)과 물리적으로 연결되면서 상기 반도체 칩(90c) 내부의 열 방출을 증가시킬 수 있다.

[0088] 도 4a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 4b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.

[0089] 도 4a 및 도 4b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(90d)을 포함할 수 있다. 상기 반도체 칩(90d)은, 도 1a 및 도 1b에서와 같은, 상기 전면(50fs) 및 상기 후면(50bs)을 갖는 상기 기판(50), 상기 기판(50)의 상기 전면(50fs) 상의 상기 전면 도전성 패턴들(30) 및 상기 기판(50)의 상기 후

면(50bs) 상의 상기 후면 도전성 패턴들(64)을 포함할 수 있다. 상기 기관(50)은, 도 1a 및 도 1b에서 설명한 것과 같이, 상기 반도체 기관(1), 상기 전면 절연 막(24), 상기 후면 절연 막(39), 상기 관통 전극들(15) 및 상기 내부 회로(19)를 포함할 수 있다.

- [0090] 상기 반도체 칩(90d)은 상기 기관(50)의 상기 후면(50bs) 상에 배치된 후면 도전성 구조체(66d)를 포함할 수 있다. 상기 후면 도전성 구조체(66d)는 상기 후면 도전성 패턴들(64)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 후면 도전성 구조체(66d)는 상기 반도체 칩(90d)의 휘어짐 등과 같은 변형을 방지하고 방열 역할을 수행할 수 있다.
- [0091] 상기 후면 도전성 구조체(66d)는 도 2a 및 도 2b에서 설명한 상기 후면 도전성 구조체(66b), 또는 도 2c 및 도 2c에서 설명한 상기 후면 도전성 구조체(66b')와 동일한 모양 및 동일한 크기일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않고, 상기 후면 도전성 구조체(66d)은 도 1a 및 도 1b에서의 상기 후면 도전성 구조체(66a), 도 3a 및 도 3b에서의 상기 후면 도전성 구조체(66c), 또는 도 3c 및 도 3d에서의 상기 후면 도전성 구조체(66c')와 동일한 모양 및 동일한 크기일 수도 있다.
- [0092] 상기 반도체 칩(90d)은 상기 기관(50)의 상기 전면(50fs) 상에 배치된 전면 더미 패턴들(31a)을 포함할 수 있다. 상기 전면 더미 패턴들(31a)은 상기 전면 도전성 패턴들(30)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 전면 더미 패턴들(31a)은 상기 관통 전극들(15)과 전기적으로 절연될 수 있다. 상기 전면 더미 패턴들(31a)은 상기 기관(50)을 사이에 두고 상기 후면 도전성 구조체(66d)와 대향하도록 배열될 수 있다. 상기 전면 더미 패턴들(31a)은 상기 후면 도전성 구조체(66d)의 사이드 서포터 부분들과 대향하는 사이드 전면 더미 패턴들(31a\_2, 31a\_3), 및 상기 후면 도전성 구조체(66d)의 중간 서포터 부분과 대향하는 중간 전면 더미 패턴들(31a\_1)을 포함할 수 있다.
- [0093] 도 5a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 5b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.
- [0094] 도 5a 및 도 5b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190a)을 포함할 수 있다. 상기 반도체 칩(190a)은 전면(150fs) 및 상기 전면(150fs)에 대향하는 후면(150bs)을 갖는 기관(150), 상기 기관(150)의 상기 전면(150fs) 상의 전면 도전성 패턴들(130) 및 상기 기관(150)의 상기 후면(150bs) 상의 후면 도전성 패턴들(164)을 포함할 수 있다.
- [0095] 상기 기관(150)은 도 1a 및 도 1b에서와 마찬가지로, 전면(100fs) 및 상기 전면(100fs)에 대향하는 후면(100bs)을 갖는 반도체 기관(100), 상기 반도체 기관(100)의 상기 전면(100fs) 상의 전면 절연 막(124), 상기 반도체 기관(100)의 상기 후면(100bs) 상의 후면 절연 막(139)을 포함할 수 있다. 상기 기관(150)은 평행한 제1 및 제2 측면들(150s\_1, 150s\_2), 및 상기 제1 및 제2 측면들(150s\_1, 150s\_2)와 수직인 제3 및 제4 측면들(150s\_3, 150s\_4)을 가질 수 있다. 상기 기관(150)은 사각형 모양일 수 있다.
- [0096] 상기 전면 절연 막(124)은 도 1a 및 도 1b에서와 마찬가지로, 상기 반도체 기관(100)의 상기 전면(100fs) 상에 차례로 적층된 하부 전면 절연 막(106) 및 상부 전면 절연 막(121)을 포함할 수 있다. 상기 기관(150)은 내부 회로 영역(CR) 및 관통 전극 영역(TR)을 포함할 수 있다. 상기 기관(150)의 상기 내부 회로 영역(CR) 내에 내부 회로(119)가 배치될 수 있다. 상기 내부 회로(119)는, 도 1b에서 설명한 것과 마찬가지로, 상기 반도체 기관(100)의 상기 전면(100fs) 상의 단위 소자(103) 및 상기 단위 소자(103)와 전기적으로 연결된 플러그(117) 및 내부 배선(118b)을 포함할 수 있다.
- [0097] 상기 기관(150)은 상기 관통 전극 영역(TR)의 상기 반도체 기관(100)을 관통하는 관통 전극들(115)을 포함할 수 있다. 상기 관통 전극들(115)은 상기 반도체 기관(100)을 관통하면서 상기 후면 절연 막(139)을 관통할 수 있다. 상기 관통 전극들(115)은 상기 반도체 기관(100)을 관통하면서 상기 전면 절연 막(124)의 상기 하부 전면 절연 막(106)을 관통할 수 있다. 상기 관통 전극들(115)의 측면들을 둘러싸는 비아 절연 패턴(112)이 배치될 수 있다. 도 1b에서 설명한 상기 비아 패드들(18a) 및 상기 내부 비아들(27)과 마찬가지로, 상기 관통 전극들(115)과 상기 전면 도전성 패턴들(130)을 전기적으로 연결하는 비아 패드들(118a) 및 내부 비아들(127)이 배치될 수 있다.
- [0098] 상기 반도체 칩(190a)은 상기 기관(150)의 상기 후면(150bs) 상에 배치된 후면 도전성 구조체(166a)를 포함할 수 있다. 상기 후면 도전성 구조체(166a)는 상기 후면 도전성 패턴들(164)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 후면 도전성 구조체(166a)는 상기 반도체 칩(90b)의 휘어짐 등과 같은 변형을 방지하고 방열 역할을 수행할 수 있다.

- [0099] 상기 후면 도전성 구조체(166a)는 중간 서포터 부분(166a\_1), 및 평행한 사이드 서포터 부분들(166a\_2, 166a\_3)을 포함할 수 있다. 상기 중간 서포터 부분(166a\_1)은 상기 기판(150)의 상기 제1 및 제2 측면들(150s\_1, 150s\_2)과 평행하며, 상기 기판(150)의 상기 제1 측면(150s\_1)과 상기 제2 측면(150s\_2) 사이의 가운데 부분에 배치될 수 있다. 상기 사이드 서포터 부분들(166a\_2, 166a\_3)은 상기 기판(150)의 제3 및 제4 측면들(150s\_3, 150s\_4)에 평행할 수 있다. 상기 사이드 서포터 부분들(166a\_2, 166a\_3)은 상기 기판(150)의 상기 제3 측면(150s\_3)에 가까운 제1 사이드 서포터 부분(166a\_2) 및 상기 기판(150)의 상기 제4 측면(150s\_4)에 가까운 제2 사이드 서포터 부분(166a\_3)을 포함할 수 있다. 상기 중간 서포터 부분(166a\_1)은 상기 사이드 서포터 부분들(166a\_2, 166a\_3)과 수직하며, 상기 사이드 서포터 부분들(166a\_2, 166a\_3) 사이에 배치될 수 있다. 상기 중간 서포터 부분(166a\_1)은 상기 제1 사이드 서포터 부분(166a\_2)의 가운데 부분과 상기 제2 사이드 서포터 부분(166a\_3)의 가운데 부분 사이에 배치될 수 있다. 상기 후면 도전성 구조체(166a)는 "H" 모양일 수 있다.
- [0100] 상기 후면 도전성 패턴들(164)은 상기 후면 절연 막(139) 상에 배치되면서 상기 관통 전극들(115)을 덮을 수 있다. 상기 후면 도전성 패턴들(164)은 패드 또는 범프일 수 있다. 상기 후면 도전성 패턴들(164)은 후면 신호 입/출력 연결 패턴들, 후면 접지 연결 패턴들, 및 후면 파워 연결 패턴들을 포함할 수 있다. 상기 후면 도전성 패턴들(164)은 후면 중간 도전성 패턴들(164mp) 및 후면 외측 도전성 패턴들(164op)을 포함할 수 있다. 상기 후면 중간 도전성 패턴들(164mp)은 상기 후면 도전성 구조체(166a)의 상기 제1 사이드 서포터 부분(166a\_2) 및 상기 제2 사이드 서포터 부분(166a\_3) 사이에 배치될 수 있다. 상기 후면 외측 도전성 패턴들(164op)은 상기 사이드 서포터 부분들(166a\_2, 166a\_3)과 상기 기판(150)의 상기 제3 및 제4 측면들(150s\_3, 150s\_4) 사이에 배치될 수 있다. 상기 중간 서포터 부분(166a\_1)은 상기 후면 중간 도전성 패턴들(164mp) 사이를 지나도록 배치될 수 있고, 상기 사이드 서포터 부분들(166a\_2, 166a\_3)은 상기 후면 중간 도전성 패턴들(164mp)과 상기 후면 외측 도전성 패턴들(164op) 사이를 지나도록 배치될 수 있다. 본 발명의 기술적 사상은 도 5a에 도시된 상기 후면 도전성 구조체(166a)의 모양에 한정되지 않는다. 예를 들어, 상기 후면 도전성 구조체(166a)의 일부는, 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')의 평면 모양과 마찬가지로, 상기 기판(150)의 측면들 중 적어도 하나의 측면까지 연장될 수 있다.
- [0101] 도 5c는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.
- [0102] 도 5c를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190b)을 포함할 수 있다. 상기 반도체 칩(190b)은 도 5a 및 도 5b에서 설명한 것과 같은 상기 기판(150) 및 상기 후면 도전성 구조체(166a)를 포함할 수 있다. 또한, 상기 반도체 칩(190b)은 도 5a 및 도 5b에서 설명한 것과 같은 상기 후면 중간 도전성 패턴들(164mp)에 대응하는 후면 도전성 패턴들(164b) 및 상기 기판(150)의 상기 전면(150fs) 상에 배치되며 상기 후면 도전성 패턴들(164b)과 일대일로 대응하도록 배치된 전면 도전성 패턴들(130b)을 포함할 수 있다.
- [0103] 상기 반도체 칩(190b)은 상기 기판(150)의 상기 후면(150bs) 상에 배치되며 도 5a 및 도 5b에서 설명한 상기 후면 외측 도전성 패턴들(166op)에 대응하는 위치에 배치되고 상기 관통 전극들(115)과 전기적으로 절연된 후면 터미 패턴들(165), 및 상기 기판(150)의 상기 전면(150fs) 상에 배치되며 상기 후면 터미 패턴들(165)과 대향하는 전면 터미 패턴들(131)을 포함할 수 있다.
- [0104] 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 모양은 도 5a 및 도 5b에 도시된 형태에 한정되지 않는다. 이하에서, 도 6 내지 도 10을 각각 참조하여, 상기 후면 도전성 구조체(166a)의 변형된 실시예에 대하여 설명하기로 한다.
- [0105] 우선, 도 6을 참조하여 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 일 변형 예에 대하여 설명하기로 한다.
- [0106] 도 6을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190c)을 포함할 수 있다. 상기 반도체 칩(190c)은 후면 도전성 구조체(166b)을 포함할 수 있다.
- [0107] 상기 후면 도전성 구조체(166b)는, 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)와 같이 상기 기판(150)의 상기 후면(150bs) 상에 배치되며 상기 후면 도전성 패턴들(164)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 또한, 상기 후면 도전성 구조체(166a)는 상기 반도체 칩(190c)의 변형을 방지하고 방열 역할을 수행할 수 있다. 상기 후면 도전성 구조체(166b)는 상기 후면 도전성 패턴들(164) 사이를 가로지르는 중간 서포터 부분(166b\_1), 상기 중간 서포터 부분(166b)과 수직한 제1 및 제2 사이드 서포터 부분들(166b\_2, 166b\_3)을



포함할 수 있다. 상기 중간 서포터 부분(166b\_1)에서, 한 쪽 끝 부분은 상기 후면 도전성 패턴들(164) 보다 상기 기판(150)의 상기 제3 측면(150s\_3)에 가까울 수 있고, 다른 쪽 끝 부분은 상기 후면 도전성 패턴들(164) 보다 상기 기판(150)의 상기 제4 측면(150s\_4)에 가까울 수 있다. 상기 제1 및 제2 사이드 서포터 부분들(166b\_2, 166b\_3) 사이에 상기 후면 도전성 패턴들(164)이 배치될 수 있다. 상기 제1 사이드 서포터 부분(166b\_2)은 상기 후면 도전성 패턴들(164) 보다 상기 기판(150)의 상기 제3 측면(150s\_3)에 가까울 수 있다. 상기 제2 사이드 서포터 부분(166b\_3)은 상기 후면 도전성 패턴들(164) 보다 상기 기판(150)의 상기 제4 측면(150s\_)에 가까울 수 있다.

[0108] 다음으로, 도 7을 참조하여 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 다른 변형 예에 대하여 설명하기로 한다.

[0109] 도 7을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190d)을 포함할 수 있다. 상기 반도체 칩(190d)은 상기 기판(150)의 상기 후면(150bs) 상에 배치되며 상기 후면 도전성 패턴들(164)을 둘러싸는 후면 도전성 구조체(166c)를 포함할 수 있다. 상기 후면 도전성 구조체(166c)는 상기 후면 도전성 패턴들(164)과 이격될 수 있다. 상기 후면 도전성 구조체(166c)는 상기 후면 도전성 패턴들(164) 보다 상기 기판(150)의 상기 측면들(150s\_1, 150s\_2, 150s\_3, 150s\_4)에 가까우며 상기 기판(150)의 휨 등과 같은 변형을 방지하고 방열 역할을 수행할 수 있다. 상기 후면 도전성 구조체(166c)는 사각형 모양일 수 있다.

[0110] 다음으로, 도 8을 참조하여 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 또 다른 변형 예에 대하여 설명하기로 한다.

[0111] 도 8을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190e)을 포함할 수 있다. 상기 반도체 칩(190e)은 상기 기판(150)의 상기 후면(150bs) 상에 배치되며 상기 기판(150)의 상기 제1 및 제2 측면들(150s\_1, 150s\_2)과 평행한 후면 도전성 구조체(166d)를 포함할 수 있다.

[0112] 상기 후면 도전성 구조체(166d)는 상기 기판(150)의 서로 대향하는 상기 제1 측면(150s\_1) 및 제2 측면(150s\_2)에 평행한 복수의 서포터 부분들(166d\_1, 166d\_2, 166d\_3)을 포함할 수 있다.

[0113] 상기 후면 도전성 구조체(166d)는 제1 및 제2 사이드 서포터 부분들(166d\_2, 166d\_3), 및 상기 제1 및 제2 사이드 서포터 부분들(166d\_2, 166d\_3), 사이의 중간 서포터 부분(166d\_1)을 포함할 수 있다. 상기 중간 서포터 부분(166d\_1)은 상기 후면 도전성 패턴들(164) 사이를 지날 수 있다. 상기 중간 서포터 부분(166d\_1)은 상기 기판(150)의 상기 제1 측면(150s\_1) 및 상기 제2 측면(150s\_2) 사이의 가운데 부분에 배치될 수 있다. 상기 제1 사이드 서포터 부분(166d\_2)은 상기 후면 도전성 패턴들(164)과 상기 제2 측면(150s\_2) 사이에 배치될 수 있고, 상기 제2 사이드 서포터 부분(166d\_3)은 상기 후면 도전성 패턴들(164)과 상기 제1 측면(150s\_1) 사이에 배치될 수 있다. 상기 서포터 부분들(166d\_1, 166d\_2, 166d\_3)은 서로 평행한 바(bar) 또는 라인 모양일 수 있다.

[0114] 다음으로, 도 9를 참조하여 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 또 다른 변형 예에 대하여 설명하기로 한다.

[0115] 도 9를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190f)을 포함할 수 있다. 상기 반도체 칩(190f)은 상기 기판(150)의 상기 후면(150bs) 상에 배치되며 상기 기판(150)의 상기 제1 및 제2 측면들(150s\_1, 150s\_2)과 평행한 중간 서포터 부분(166e\_1), 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제3 측면(150s\_3) 사이에 배치된 제1 사이드 서포터 부분(166e\_2), 및 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제4 측면(150s\_4) 사이에 배치된 제2 사이드 서포터 부분(166e\_3)을 갖는 후면 도전성 구조체(166e)를 포함할 수 있다. 상기 후면 도전성 구조체(166e)에서, 상기 서포터 부분들(166e\_1, 166e\_2, 166e\_3)은 서로 이격될 수 있다. 상기 서포터 부분들(166e\_1, 166e\_2, 166e\_3)의 각각은 바(bar) 또는 라인 모양일 수 있다. 상기 중간 서포터 부분(166e\_1)은 상기 제1 및 제2 사이드 서포터 부분들(166e\_2, 166e\_3)과 수직할 수 있다.

[0116] 다음으로, 도 10을 참조하여 도 5a 및 도 5b에서 설명한 상기 후면 도전성 구조체(166a)의 또 다른 변형 예에 대하여 설명하기로 한다.

[0117] 도 10을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190g)을 포함할 수 있다. 상기 반도체 칩(190g)은 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제1 측면(150s\_1) 사이에 배치된 제1 서포터 부분(166f\_1), 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제2 측면(150s\_2) 사이에 배치된 제2 서포터 부분(166f\_2), 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제3 측면(150s\_3) 사이에 배치된 제3 서포터 부분(166f\_3), 상기 후면 도전성 패턴들(164)과 상기 기판(150)의 상기 제4 측면

(150s<sub>4</sub>) 사이에 배치된 제4 서포터 부분(166f<sub>4</sub>)을 갖는 후면 도전성 구조체(166f)를 포함할 수 있다. 상기 제1 및 제2 서포터 부분들(166f<sub>1</sub>, 166f<sub>2</sub>)의 각각은 상기 제1 및 제2 측면들(150s<sub>1</sub>, 150s<sub>2</sub>)에 평행한 바 또는 라인 모양일 수 있다. 상기 제3 및 제4 서포터 부분들(166f<sub>3</sub>, 166f<sub>4</sub>)의 각각은 상기 제3 및 제4 측면들(150s<sub>3</sub>, 150s<sub>4</sub>)에 평행한 바 또는 라인 모양일 수 있다. 상기 제1 내지 제4 서포터 부분들(166f<sub>1</sub>, 166f<sub>2</sub>, 166f<sub>3</sub>, 166f<sub>4</sub>)은 서로 이격될 수 있다.

- [0118] 도 11a는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이고, 도 11b는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 설명하기 위한 개념적인 단면도이다.
- [0119] 도 11a 및 도 11b를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(190h)을 포함할 수 있다. 상기 반도체 칩(190h)은, 도 5a 및 도 5b에서 설명한 것과 같은 상기 기관(150)을 포함할 수 있다. 상기 기관(150)은, 도 5a 및 도 5b에서와 같이, 상기 반도체 기관(100), 상기 전면 절연 막(124), 상기 후면 절연 막(139), 상기 관통 전극들(115) 및 상기 내부 회로(119)를 포함할 수 있다.
- [0120] 상기 기관(150) 내의 상기 관통 전극들(115)은 반도체 소자의 신호 전송을 위한 신호 입/출력 관통 전극들(115io) 및 반도체 소자의 접지를 위한 접지 관통 전극(115g)을 포함할 수 있다. 상기 기관(150)의 상기 전면(150fs) 상에 배치된 상기 전면 도전성 패턴들(130)은 상기 신호 입/출력 관통 전극들(115io)과 전기적으로 연결된 전면 신호 입/출력 연결 패턴들(130io) 및 상기 접지 관통 전극(115g)과 전기적으로 연결된 전면 접지 연결 패턴(130g)을 포함할 수 있다. 상기 기관(150)의 상기 후면(150bs) 상에 배치된 상기 후면 도전성 패턴들(164)은 상기 신호 입/출력 관통 전극들(115io)과 전기적으로 연결된 후면 신호 입/출력 연결 패턴들(164io)를 포함할 수 있다.
- [0121] 상기 기관(150)의 상기 후면(150bs) 상에 배치되며 상기 기관(150) 내의 내부 회로 영역(CR)과 중첩하는 부분을 갖는 후면 도전성 구조체(166g)를 포함할 수 있다.
- [0122] 상기 후면 도전성 구조체(166g)는 상기 반도체 칩(190h)의 휘어짐 등과 같은 변형을 방지할 수 있다. 상기 후면 도전성 구조체(166g)는 상기 반도체 칩(190h) 내의 상기 내부 회로(119)에서 발생하는 열을 방출하는 역할을 할 수 있다. 또한, 상기 후면 도전성 구조체(166g)는 접지되어 전자파 차폐 역할을 할 수도 있다.
- [0123] 상기 후면 도전성 구조체(166g)는 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>) 및 접지 부분(166g<sub>g</sub>)을 포함할 수 있다. 상기 접지 부분(166g<sub>g</sub>) 및 상기 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>)은 연속적으로 연결될 수 있다. 상기 접지 부분(166g<sub>g</sub>)은 상기 접지 관통 전극(115g)과 중첩하면서 상기 접지 관통 전극(115g)과 전기적으로 연결될 수 있다. 상기 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>)은 상기 기관(150)의 상기 내부 회로 영역(CR)과 중첩할 수 있다. 상기 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>)은 상기 기관(150) 내의 상기 내부 회로(119)의 상기 단위 소자(103)를 덮을 수 있다. 상기 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>)은 상기 후면 도전성 패턴들(164) 보다 큰 폭을 갖는 부분(166g<sub>1</sub>)을 포함할 수 있다. 상기 서포터 부분(166g<sub>1</sub>, 166g<sub>2</sub>)은 상기 기관(150)의 서로 대향하는 상기 제1 및 제2 측면들(150s<sub>1</sub>, 150s<sub>2</sub>)과 평행한 부분(166g<sub>1</sub>)을 포함할 수 있다. 상기 전면 신호 입/출력 연결 패턴들(130io), 상기 신호 입/출력 관통 전극들(115io) 및 상기 후면 신호 입/출력 연결 패턴들(134io)은 수직하게 전기적으로 연결될 수 있다. 상기 전면 접지 연결 패턴(130g), 상기 접지 관통 전극(115g) 및 상기 후면 도전성 구조체(166g)의 상기 접지 부분(166g<sub>g</sub>)은 수직하게 전기적으로 연결될 수 있다.
- [0124] 상기 후면 도전성 구조체(166g)는 상기 접지 관통 전극(115g)과 전기적으로 연결되어 접지될 수 있다. 이와 같이, 접지된 상기 후면 도전성 구조체(166g)는 상기 내부 회로(119)에 신호를 전달하는 배선들간의 노이즈 또는 상기 내부 회로(119)를 구성하는 배선들 사이의 노이즈를 제거 또는 감소시키는 역할을 함과 동시에 방열 역할을 수행할 수 있어서 소자(device)의 신뢰성을 향상시킬 수 있다. 도 12는 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이다.
- [0125] 도 12를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(290a)을 포함할 수 있다. 상기 반도체 칩(290a)은 전면(250fs) 및 후면(250bs)을 갖는 기관(250) 및 상기 기관(250)의 상기 전면(250fs) 상의 전면 도전성 패턴(230)을 포함할 수 있다. 상기 기관(250)은 전면(200fs) 및 후면(200bs)을 갖는 반도체 기관(200), 상기 반도체 기관(200)의 상기 전면(200fs) 상의 전면 절연 막(224), 상기 반도체 기관(200)의 상기 후면(200bs) 상의 후면 절연 막(239)을 포함할 수 있다.
- [0126] 상기 반도체 칩(290a)은 상기 반도체 기관(200)을 관통하는 관통 전극(215)을 포함할 수 있다. 상기 관통 전극(215)은 상기 반도체 기관(200)을 관통하면서 상기 전면 절연 막(224) 내로 연장될 수 있다. 상기 관통 전극(224)은 상기 반도체 기관(200)을 관통하면서 상기 후면 절연 막(239) 내로 연장될 수 있다. 상기 관통 전극

(224)의 측면을 둘러싸는 비아 절연 패턴(212)이 배치될 수 있다.

- [0127] 상기 반도체 칩(290a)은 상기 기판(250)의 상기 전면(250fs)의 상에 또는 근처에 형성된 내부 회로(219)를 포함할 수 있다. 상기 내부 회로(219)는 단위 소자들(203) 및 상기 단위 소자들(203)을 회로적으로 연결하기 위한 배선 구조체를 포함할 수 있다. 상기 배선 구조체는 콘택 플러그(207), 배선 플러그(215b) 및 내부 배선(210b, 218b)을 포함할 수 있다. 상기 전면 절연 막(224)은 상기 반도체 기판(200)의 상기 전면(200fs) 상에 차례로 적층된 하부 전면 절연 막(206), 중간 전면 절연 막(213) 및 상부 전면 절연 막(221)을 포함할 수 있다. 상기 전면 절연 막(224)의 상기 하부 전면 절연 막(206)은 상기 단위 소자들(203)를 덮을 수 있다. 상기 하부 전면 절연 막(206) 상에 비아 패드(210a) 및 제1 내부 배선(210b)이 배치될 수 있다. 상기 하부 전면 절연 막(206)을 관통하며 상기 단위 소자들(203)과 상기 제1 내부 배선(210b)을 전기적으로 연결하는 상기 콘택 플러그(207)가 배치될 수 있다. 상기 중간 전면 절연 막(213) 상에 전면 비아 재배선(218a) 및 제2 내부 배선(218b)이 배치될 수 있다. 상기 중간 전면 절연 막(213)을 관통하면서 상기 전면 비아 재배선(218a)과 상기 비아 패드(210a)를 전기적으로 연결하는 패드 플러그(217a)가 배치될 수 있다. 상기 중간 전면 절연 막(213)을 관통하면서 상기 제2 내부 배선(218b)과 상기 제1 내부 배선(210b)을 전기적으로 연결하는 배선 플러그(217b)가 배치될 수 있다. 상기 상부 전면 절연 막(221) 상에 상기 전면 도전성 패턴(230)이 배치될 수 있다. 상기 상부 전면 절연 막(221)을 관통하면서 상기 전면 비아 재배선(218a)과 상기 전면 도전성 패턴(230)을 전기적으로 연결하는 재배선 비아(227)가 배치될 수 있다. 상기 후면 절연 막(239)은 상기 반도체 기판(200)의 상기 후면(200bs) 상에 차례로 적층된 제1 후면 절연 막(233) 및 제2 후면 절연 막(237)을 포함할 수 있다. 상기 관통 전극(215)은 상기 반도체 기판(200)을 관통하면서 상기 하부 전면 절연 막(206) 및 상기 제1 후면 절연 막(233)을 관통할 수 있다.
- [0128] 상기 반도체 칩(290a)은 상기 반도체 기판(200)의 상기 후면(200bs) 상에 배치된 후면 도전성 패턴들을 포함할 수 있다. 상기 후면 도전성 패턴들은 상기 제1 후면 절연 막(233) 상의 제1 후면 도전성 패턴(235) 및 상기 제2 후면 절연 막(237) 상의 제2 후면 도전성 패턴(264)을 포함할 수 있다. 상기 제1 후면 도전성 패턴(235)의 일부는 상기 관통 전극(215)과 중첩하면서 상기 관통 전극(215)과 전기적으로 연결될 수 있다. 상기 제1 후면 도전성 패턴(235)은 재배선을 위한 도전성 패턴일 수 있다. 상기 제2 후면 도전성 패턴(264)은 상기 제2 후면 절연 막(237)을 관통하며 상기 제1 후면 도전성 패턴(235)과 전기적으로 연결된 부분을 포함할 수 있다. 상기 제2 후면 도전성 패턴(264)은 상기 반도체 칩(290a)을 다른 칩 또는 소자와 전기적으로 연결하기 위한 패드 또는 범프 역할을 하는 후면 신호 입/출력 연결 패턴일 수 있다.
- [0129] 상기 반도체 칩(290a)은 상기 제2 후면 절연 막(237) 상에 배치된 후면 도전성 구조체(266)을 포함할 수 있다. 상기 후면 도전성 구조체(266)은 상기 반도체 칩(290a)의 휘어짐 등과 같은 변형을 방지할 수 있다. 상기 후면 도전성 구조체(266)은 상기 제2 후면 도전성 패턴(264)과 동일한 물질 및 동일한 두께를 가질 수 있다.
- [0130] 상기 후면 도전성 구조체(266)는, 도 1a, 도 2a, 도 2c, 도 3a, 도 3c, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66b', 66c, 66c', 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 또는 유사한 모양일 수 있다. 따라서, 상기 후면 도전성 구조체(266)의 모양 또는 상기 후면 도전성 구조체(266)를 구성하는 부분들에 대하여 자세한 설명은 생략하기로 한다.
- [0131] 도 13은 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자의 또 다른 예를 나타낸 사시도이다.
- [0132] 도 13을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자는 반도체 칩(290b)을 포함할 수 있다. 상기 반도체 칩(290b)은, 도 12에서와 같이 상기 전면(250fs) 및 상기 후면(250bs)을 갖는 상기 기판(250), 상기 기판(250)의 상기 전면(250fs) 상의 전면 도전성 패턴(230)을 포함할 수 있다. 상기 기판(250)은, 도 12에서와 마찬가지로, 전면(200fs) 및 후면(200bs)을 갖는 상기 반도체 기판(200), 상기 반도체 기판(200)의 상기 전면(200fs) 상의 상기 전면 절연 막(224), 상기 반도체 기판(200)의 상기 후면(200bs) 상의 상기 후면 절연 막(239)을 포함할 수 있다. 상기 후면 절연 막(239)은, 도 12에서와 마찬가지로, 상기 반도체 기판(200) 상에 차례로 적층된 제1 후면 절연 막(233) 및 제2 후면 절연 막(237)을 포함할 수 있다.
- [0133] 상기 반도체 칩(290b)은, 도 12에서와 마찬가지로, 상기 반도체 기판(200)의 상기 후면(200bs) 상의 제1 후면 도전성 패턴(235) 및 상기 제2 후면 도전성 패턴들(264)을 포함할 수 있다.
- [0134] 상기 반도체 칩(290b)은 상기 제1 후면 도전성 패턴(233)과 동일한 두께 및 동일한 물질로 형성된 후면 도전성 구조체(236)을 포함할 수 있다. 상기 제1 후면 도전성 패턴(235) 및 상기 후면 도전성 구조체(236)은 상기 제1 후면 절연 막(233)과 상기 제2 후면 절연 막(237) 사이에 배치될 수 있다.
- [0135] 상기 제1 후면 도전성 패턴(235)은 상기 반도체 기판(200) 및 상기 제1 후면 절연 막(233)을 관통하는 상기 관

통 전극(215)과 전기적으로 연결될 수 있고, 상기 후면 도전성 구조체(236)은 상기 관통 전극(215)과 전기적으로 절연될 수 있다. 상기 후면 도전성 구조체(236)는 상기 제2 후면 절연 막(237)에 의해 덮이면서 상기 반도체 칩(290b)의 휘어짐 등의 변형을 방지할 수 있다. 상기 후면 도전성 구조체(236)는 도 12에서의 상기 후면 도전성 구조체(266)과 동일한 평면 모양을 가질 수 있다.

- [0136] 도 14는 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이다.
- [0137] 도 14를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자(1000a)는 패키지 기관(1100) 상의 제1 칩(1290a)을 포함할 수 있다.
- [0138] 상기 제1 칩(1290a)은 도 2a 및 도 2b의 상기 반도체 칩(90b)과 동일한 반도체 칩일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 제1 칩(1290a)은 도 1a, 도 1b, 및 도 3a 내지 도 13에서 설명한 반도체 칩들(90a, 90c, 90d, 190a, 190b, 190c, 190d, 190e, 190f, 190g, 190h, 290a, 290b) 중 어느 하나와 동일한 반도체 칩일 수도 있다.
- [0139] 상기 제1 칩(1290a)은, 도 2a 및 도 2b에서와 마찬가지로, 전면(1250fs) 및 상기 전면(1250fs)에 대항하는 후면(1250bs)을 갖는 하부 기관(1250), 상기 하부 기관(1250)의 상기 전면(1250fs) 상의 제1 전면 도전성 패턴들(1230), 상기 하부 기관(1250)의 상기 후면(1250bs) 상의 후면 도전성 패턴들(1264) 및 상기 하부 기관(1250)의 상기 후면(1250bs) 상의 후면 도전성 구조체(1266)를 포함할 수 있다. 상기 하부 기관(1250)의 상기 전면(1250fs)은 상기 패키지 기관(1100)과 마주볼 수 있다. 상기 후면 도전성 구조체(1266)는 상기 후면 도전성 패턴들(1264)과 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0140] 상기 후면 도전성 구조체(1266)은, 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 모양일 수 있다. 따라서, 상기 후면 도전성 구조체(1266)의 자세한 모양에 대한 설명은 생략하기로 한다.
- [0141] 상기 하부 기관(1250)은 전면(1200fs) 및 후면(1200bs)을 갖는 반도체 기관(1200), 상기 반도체 기관(1200)의 상기 전면(1200fs) 상의 전면 절연 막(1224), 상기 반도체 기관(1200)의 상기 후면(1200bs) 상의 후면 절연 막(1239)을 포함할 수 있다. 상기 전면 절연 막(1224)은 상기 반도체 기관(1200)의 상기 전면(1200fs) 상에 차례로 적층된 하부 전면 절연 막(1206) 및 상부 전면 절연 막(221)을 포함할 수 있다. 상기 하부 기관(1250)의 상기 전면(1250fs) 상에 또는 근처에 내부 회로(1219)가 배치될 수 있다. 상기 내부 회로(1219)는 도 1b에서 설명한 상기 내부 회로(19)와 동일할 수 있으므로, 여기서 자세한 설명은 생략하기로 한다.
- [0142] 상기 제1 칩(1290a)은 상기 반도체 기관(1200)을 관통하며 상기 하부 전면 절연 막(1206) 및 상기 후면 절연 막(1239)을 관통하는 관통 전극들(1215)을 포함할 수 있다. 상기 관통 전극들(1215)의 측면들을 둘러싸는 비아 절연 패턴들(1212)이 배치될 수 있다. 상기 관통 전극들(1215)과 상기 제1 전면 도전성 패턴들(1230)은, 도 1b에서의 상기 비아 패드(18a) 및 상기 내부 비아(27)에 대응하는 비아 패드(1218a) 및 내부 비아(1227)을 통하여 전기적으로 연결될 수 있다.
- [0143] 상기 패키지 기관(1100)과 상기 제1 전면 도전성 패턴들(1230) 사이에 기관 범프들(1180)이 배치될 수 있다. 상기 기관 범프들(1180)은 솔더 물질을 포함할 수 있다.
- [0144] 상기 반도체 소자(1000a)는 상기 제1 칩(1290a) 상의 제2 칩(1390a)을 포함할 수 있다. 상기 제2 칩(1390a)은 상기 제1 칩(1290a)의 상기 후면 도전성 패턴들(1264)과 마주보는 제2 전면 도전성 패턴들(1330)을 포함할 수 있다.
- [0145] 상기 제1 칩(1290a)의 상기 후면 도전성 패턴들(1264)과 상기 제2 칩(1390a)의 상기 제2 전면 도전성 패턴들(1330) 사이에 개재되며 상기 후면 도전성 패턴들(1264)과 상기 제2 전면 도전성 패턴들(1330)을 전기적으로 연결하는 칩-간 범프들(1280)이 배치될 수 있다. 상기 칩-간 범프들(1280)은 솔더 물질을 포함할 수 있다. 상기 후면 도전성 구조체(1266)은 상기 기관 범프들(1180) 및/또는 상기 칩-간 범프들(1280)을 형성하는 동안에, 상기 제1 칩(1290a)이 변형되는 억제할 수 있다. 예를 들어, 상기 칩-간 범프들(1280)은 솔더 물질을 포함할 수 있다. 그리고, 상기 솔더 물질을 포함하는 상기 칩-간 범프들(1280)을 상기 후면 도전성 패턴들(1264)과 상기 제2 전면 도전성 패턴들(1330)과 물리적으로 접촉시키기 위하여 상기 솔더 물질을 리플로우 하기 위한 열 공정(thermal process)을 수행하는 동안에, 상기 후면 도전성 구조체(1266)는 상기 열 공정에 의한 상기 제1 칩(1290a)의 휘어짐 등과 같은 변형을 억제하는 역할을 할 수 있다. 이와 마찬가지로, 상기 후면 도전성 구조체(1266)은 상기 솔더 물질을 포함하는 기관 범프들(1180)을 형성하는 동안에 발생하는 열에 의하여, 상기 제1 칩



(1290a)이 변형되는 것을 억제할 수 있다.

- [0146] 도 15a는 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이다.
- [0147] 도 15a를 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자(1000b)는 패키지 기판(1100) 상에 차례로 적층된 제1 칩(1290b) 및 제2 칩(1390b)을 포함할 수 있다. 상기 제1 칩(1290b)은 도 14에서와 같이 상기 전면(1250fs) 및 상기 후면(1250bs)을 갖는 상기 하부 기판(1250)을 포함할 수 있다. 상기 하부 기판(1250)의 상기 전면(1250fs)은 상기 패키지 기판(1100)과 마주볼 수 있다.
- [0148] 상기 제1 칩(1290b)은, 도 14에서와 같이, 상기 하부 기판(1250) 내의 상기 관통 전극들(1215)을 포함할 수 있다. 상기 관통 전극들(1215)은 상기 반도체 소자의 신호 입/출력을 위한 관통 전극들을 포함할 수 있다.
- [0149] 상기 제1 칩(1290b)은 상기 하부 기판(1250)의 상기 전면(1250fs) 상에 배치된 제1 전면 도전성 패턴들(1230) 및 제1 전면 더미 패턴(1231)을 포함할 수 있다. 상기 제1 전면 도전성 패턴들(1230) 및 상기 제1 전면 더미 패턴(1231)은 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제1 전면 도전성 패턴들(1230)은 신호 입/출력을 위한 상기 관통 전극들(1215)과 전기적으로 연결될 수 있다. 상기 제1 전면 더미 패턴들(1231)은 신호 입/출력을 위한 상기 관통 전극들(1215)과 전기적으로 절연될 수 있다. 상기 제1 칩(1290b)의 상기 제1 전면 도전성 패턴들(1230)과 상기 패키지 기판(1100) 사이에 도 14에서와 같은 상기 기판 범프들(1180)이 배치될 수 있다. 상기 제1 전면 더미 패턴(1231)과 상기 패키지 기판(1100) 사이에 기판 더미 범프(1181)가 배치될 수 있다.
- [0150] 상기 제1 칩(1290b)은, 도 14에서와 같은, 상기 후면 도전성 패턴들(1264) 및 상기 후면 도전성 구조체(1266)를 포함할 수 있다. 상기 후면 도전성 패턴들(1264) 및 상기 후면 도전성 구조체(1266)는 상기 기판(1250)의 상기 후면(1250bs) 상에 배치될 수 있다.
- [0151] 상기 제2 칩(1390b)은 제2 전면 도전성 패턴들(1330) 및 제2 전면 더미 패턴들(1331)을 포함할 수 있다. 상기 제2 전면 도전성 패턴들(1330) 및 상기 제2 전면 더미 패턴들(1331)은 상기 제1 칩(1290b)과 마주보는 상기 제2 칩(1390b)의 전면 상에 배치될 수 있다. 상기 제2 칩(1390b)의 상기 제2 전면 도전성 패턴들(1330)은 상기 제1 칩(1290b)의 상기 후면 도전성 패턴들(1264)과 마주볼 수 있다. 상기 제2 전면 더미 패턴들(1331)은 상기 제1 칩(1290b)의 상기 후면 도전성 구조체(1266)과 마주볼 수 있다.
- [0152] 상기 제1 칩(1290b)의 상기 후면 도전성 패턴들(1264)과 상기 제2 칩(1390b)의 상기 제2 전면 도전성 패턴들(1330) 사이에 개재되며 상기 후면 도전성 패턴들(1264)과 상기 제2 전면 도전성 패턴들(1330)을 전기적으로 연결하는 칩-간 범프들(1280)이 배치될 수 있다. 상기 제1 칩(1290b)의 상기 후면 도전성 구조체(1266)와 상기 제2 칩(1390b)의 상기 제2 전면 더미 패턴들(1331) 사이에 개재된 완충 범프들(1281)이 배치될 수 있다. 상기 칩-간 범프들(1280) 및 상기 완충 범프들(1281)은 솔더 물질을 포함할 수 있다.
- [0153] 도 15b는 상기 제2 전면 더미 패턴들(1331), 상기 후면 도전성 구조체(1266) 및 상기 완충 범프들(1281)을 개략적으로 나타낸 사시도이다.
- [0154] 도 15b를 참조하면, 상기 후면 도전성 구조체(1266)는, 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g)과 같이, 바(bar) 또는 라인 모양 부분을 포함할 수 있다. 이러한 상기 후면 도전성 구조체(1266)의 바 또는 라인 모양 부분 상에 복수의 상기 제2 전면 더미 패턴들(1331)이 마주볼 수 있다. 상기 완충 범프들(1281)은 일체로 연결된 하나의 상기 후면 도전성 구조체(1266)과 복수의 상기 제2 전면 더미 패턴들(1331) 사이에 배치될 수 있다.
- [0155] 도 16은 본 발명의 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 개념적인 단면도이다.
- [0156] 도 16을 참조하면, 본 발명의 기술적 사상의 실시 예에 따른 반도체 소자(1000c)는 패키지 기판(1100) 상에 차례로 적층된 제1 칩(1290c) 및 제2 칩(1390c)을 포함할 수 있다. 상기 제1 칩(1290c)은 상기 패키지 기판(1100)과 마주 보는 면 상에 배치된 제1 전면 도전성 패턴들(1230)을 포함할 수 있다. 상기 제1 전면 도전성 패턴들(1230)과 상기 패키지 기판(1100) 사이에 도 14에서와 같은 상기 기판 범프들(1180)이 배치될 수 있다.
- [0157] 상기 제1 칩(1290c)은 후면 도전성 패턴들(1264) 및 후면 도전성 구조체(1267)을 포함할 수 있다. 상기 후면 도전성 구조체(1267)는 도 1a에서의 상기 후면 도전성 구조체(66a)와 동일한 모양일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 후면 도전성 구조체(1267)은 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 모양일 수 있다. 상기 후면 도전성 패턴들(1264) 및 상

기 후면 도전성 구조체(1267)은 상기 제2 칩(1390c)와 마주보는 상기 제1 칩(1290c)의 면 상에 배치될 수 있다. 상기 후면 도전성 패턴들(1264) 및 상기 후면 도전성 구조체(1267)은 동일한 물질 및 동일한 두께로 형성될 수 있다.

[0158] 상기 제2 칩(1390c)은 제2 전면 도전성 패턴들(1330) 및 제2 전면 더미 패턴들(1332)을 포함할 수 있다. 상기 제2 전면 도전성 패턴들(1330) 및 상기 제2 전면 더미 패턴들(1332)은 상기 제1 칩(1290b)과 마주보는 상기 제2 칩(1390c)의 전면 상에 배치될 수 있다. 상기 제2 칩(1390c)의 상기 제2 전면 도전성 패턴들(1330)은 상기 제1 칩(1290b)의 상기 후면 도전성 패턴들(1264)과 마주볼 수 있다. 상기 제2 전면 더미 패턴들(1332)은 상기 제1 칩(1290c)의 상기 후면 도전성 구조체(1266)와 엇갈리면서 배열될 수 있다. 상기 제2 전면 더미 패턴들(1332)은 상기 제1 칩(1290c)의 상기 후면 도전성 구조체(1266)와 수직한 방향으로 중첩하지 않도록 배치될 수 있다. 상기 후면 도전성 패턴들(1264)과 상기 제2 전면 도전성 패턴들(1330) 사이에 개재되며 상기 후면 도전성 패턴들(1264)과 상기 제2 전면 도전성 패턴들(1330)을 전기적으로 연결하는 칩-간 범프들(1280)이 배치될 수 있다.

[0159] 다음으로, 도 17a 내지 도 17h 및 도 18a 내지 도 18d를 참조하여, 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 형성하는 방법을 설명하기로 한다.

[0160] 우선, 도 17a 내지 도 17h를 참조하면, 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자의 관통 전극(15)을 형성하는 방법의 일 예를 설명하기로 한다.

[0161] 도 17a를 참조하면, 전면(1fs) 및 상기 전면(1fs)에 대향하는 후면(1bs)을 갖는 반도체 기판(1)을 준비할 수 있다. 상기 반도체 기판(1)은 실리콘 등과 같은 반도체 물질로 형성할 수 있다. 상기 반도체 기판(1)의 전면(1fs) 상에 단위 소자들(3)을 형성할 수 있다. 상기 단위 소자들(3)은 MOS 트랜지스터 등과 같은 소자들을 포함할 수 있다. 상기 반도체 기판(1)의 상기 전면(1fs) 상에 상기 단위 소자들(3)을 덮는 하부 전면 절연 막(6)을 형성할 수 있다.

[0162] 도 17b를 참조하면, 상기 하부 전면 절연 막(6) 및 상기 반도체 기판(1)의 상기 전면(1fs)을 관통하며 상기 반도체 기판(1)의 내부에서 바닥면을 갖는 관통 홀(9)을 형성할 수 있다. 상기 관통 홀(9)의 바닥면은 상기 반도체 기판(1)의 상기 후면(1bs)과 이격될 수 있다.

[0163] 도 17c를 참조하면, 상기 관통 홀(9) 내에 비아 절연 패턴(12) 및 관통 전극(15)을 형성할 수 있다. 상기 비아 절연 패턴(12) 및 상기 관통 전극(15)을 형성하는 것은 상기 관통 홀(9)을 갖는 기판 상에 절연성 라이너를 형성하고, 상기 절연성 라이너 상에 상기 관통 홀(9)을 채우는 도전성 물질 막을 형성하고, 상기 도전성 물질 막을 평탄화하는 것을 포함할 수 있다. 상기 도전성 물질 막을 형성하는 것은 상기 절연성 라이너를 갖는 기판 상에 배리어 층을 형성하고, 상기 배리어 층 상에 금속 씨드 층을 형성하고, 상기 씨드 층 상에 도금 공정을 이용하여 코어 물질 층을 형성하는 것을 포함할 수 있다. 상기 배리어 층은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 또는 텅스텐 질화물(WN) 등과 같은 배리어 금속 물질을 포함할 수 있다. 상기 씨드 층은 구리(Cu), 루테튬(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속 물질을 포함할 수 있다. 상기 코어 물질 층은 구리 등과 같은 금속 물질로 형성할 수 있다. 상기 도전성 물질 막은 상기 평탄화되어 상기 관통 홀(9) 내에 잔존할 수 있다. 상기 관통 홀(9) 내에 잔존하는 도전성 물질 막은 상기 관통 전극(15)으로 정의할 수 있다. 상기 도전성 물질 막을 평탄화하는 동안에, 상기 절연성 라이너는 상기 하부 전면 절연 막(6) 상부에 위치하는 부분은 상기 절연성 라이너가 제거되고 상기 관통 홀(9) 내에 위치하는 부분은 잔존할 수 있다. 상기 관통 홀(9) 내에 잔존하는 절연성 라이너는 상기 비아 절연 패턴(12)으로 정의할 수 있다. 상기 비아 절연 패턴(12)은 상기 관통 전극(15)의 측면을 둘러싸도록 형성될 수 있다.

[0164] 도 17d를 참조하면, 상기 관통 전극(15)을 덮으며 상기 관통 전극(15)과 전기적으로 연결된 비아 패드(18a) 및 상기 단위 소자들(3)을 전기적으로 연결하여 내부 회로(19)를 구성하는 배선 구조체를 형성할 수 있다. 상기 배선 구조체를 형성하는 것은 상기 하부 전면 절연 막(6)을 관통하는 콘택 플러그(17)를 형성하는 것을 포함할 수 있다. 상기 배선 구조체를 형성하는 것은 상기 하부 전면 절연 막(6) 상에 상기 콘택 플러그(17)를 덮는 내부 배선(18b)을 형성할 수 있다. 상기 비아 패드(18a)는 상기 내부 배선(18b)과 동시에 형성될 수 있다. 따라서, 상기 비아 패드(18a) 및 상기 내부 배선(18b)은 동일한 물질 및 동일한 두께로 형성될 수 있다.

[0165] 상기 하부 전면 절연 막(6) 상에 상기 비아 패드(18a) 및 상기 내부 배선(18b)을 덮는 상부 전면 절연 막(21)을 형성할 수 있다. 상기 하부 전면 절연 막(6) 및 상기 상부 전면 절연 막(21)은 전면 절연 막(24)을 구성할 수 있다. 상기 상부 전면 절연 막(21) 내에 내부 비아(27)를 형성할 수 있다. 상기 내부 비아(27)는 상기 비아 패드(18a)와 전기적으로 연결될 수 있다. 상기 상부 전면 절연 막(21) 상에 전면 도전성 패턴(30)을 형성할 수 있다.

다.

- [0166] 일 실시예에서, 상기 전면 도전성 패턴(30)을 형성하는 동안에, 상기 상부 전면 절연 막(21) 상에 전면 더미 패턴(32)을 형성할 수 있다. 상기 전면 도전성 패턴(30) 및 상기 전면 더미 패턴(32)은 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0167] 도 17e를 참조하면, 상기 반도체 기판(1)을 부분적으로 제거할 수 있다. 상기 반도체 기판(1)을 부분적으로 제거하는 것은 백-그라인딩(back-grinding) 공정을 이용하여 상기 관통 전극(15)이 노출되지 않도록 상기 반도체 기판(1)의 후면을 제1 두께(t1) 만큼 제거하는 것을 포함할 수 있다.
- [0168] 도 17e에서, 도면 부호 "1bs\_1"은 상기 반도체 기판(1)을 부분적으로 제거하기 전의 후면을 나타내고, 도면부호 "1bs\_2"은 상기 반도체 기판(1)을 부분적으로 제거한 이후의 후면을 나타낸다.
- [0169] 도 17f를 참조하면, 상기 관통 전극(15) 및 상기 비아 절연 패턴(12)이 상기 반도체 기판(1)의 후면으로부터 돌출되도록 상기 반도체 기판(1)의 후면을 에치-백(etch-back) 할 수 있다. 도 17f에서, 도면 부호 "1bs\_2"은 상기 반도체 기판(1)을 상기 에치 백 하기 전의 후면을 나타내고, 도면부호 "1bs\_3"은 상기 반도체 기판(1)을 상기 에치 백 한 후의 후면을 나타낸다.
- [0170] 도 17g를 참조하면, 상기 반도체 기판(1)의 후면(1bs) 상에 후면 절연 막(39)을 형성할 수 있다. 상기 후면 절연 막(39)은 실리콘 산화물, 실리콘 질화물, 실리콘 산-질화물 또는 이들의 조합을 포함할 수 있다.
- [0171] 도 17h를 참조하면, 상기 관통 전극(15)을 노출시킬 수 있다. 상기 관통 전극(15)을 노출시키는 것은 상기 후면 절연 막(39)을 평탄화하고, 상기 관통 전극(15)의 끝 부분 상의 비아 절연 패턴(12)을 제거하는 것을 포함할 수 있다. 따라서, 상기 비아 절연 패턴(12)은 상기 관통 전극(15)의 측면들 상에 잔존할 수 있고, 상기 후면 절연 막(39)은 평탄화되어 상기 반도체 기판(1)의 상기 후면(1bs) 상에 형성되면서 상기 관통 전극(15) 끝 부분의 측면을 둘러싸도록 형성될 수 있다. 상기 반도체 기판(1), 상기 전면 절연 막(24), 상기 후면 절연 막(39), 상기 관통 전극(15) 및 상기 내부 회로(19)는 기판(50)을 구성할 수 있다.
- [0172] 다음으로, 도 18a 내지 도 18d는 상기 관통 전극(15)을 갖는 기판(50)의 후면(50bs) 상에 상기 기판(50)의 휨 등과 같은 변형을 방지할 수 있는 후면 도전성 구조체(66)를 형성하는 방법의 일 예를 설명하기로 한다.
- [0173] 도 18a를 참조하면, 상기 기판(50)의 상기 후면(50bs) 상에 후면 배리어 층(52) 및 후면 씨드 층(55)을 형성할 수 있다. 상기 후면 배리어 층(52)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN) 또는 텅스텐 질화물(WN) 등과 같은 도전성 물질로 형성할 수 있다. 상기 후면 씨드 층(55)은 구리(Cu), 루테튬(Ru), 니켈(Ni) 또는 텅스텐(W) 같은 금속을 증착 공정을 이용하여 형성할 수 있다.
- [0174] 도 18b를 참조하면, 상기 후면 씨드 층(55) 상에 마스크 패턴(58)을 형성할 수 있다. 상기 마스크 패턴(58)은 상기 후면 씨드 층(55)을 노출시키는 제1 개구부(59a) 및 제2 개구부(59b)를 가질 수 있다. 상기 마스크 패턴(58)은 포토레지스트를 포함할 수 있다.
- [0175] 도 18c를 참조하면, 상기 제1 개구부(59a) 내에 제1 도전성 패턴(61a)을 형성하고, 상기 제2 개구부(59b) 내에 제2 도전성 패턴(61b)을 형성할 수 있다. 상기 제1 및 제2 도전성 패턴들(61a, 61b)을 형성하는 것은 도금 공정을 이용하여 니켈 또는 구리 등과 같은 금속을 형성하는 것을 포함할 수 있다.
- [0176] 도 18d를 참조하면, 상기 마스크 패턴(도 18c의 58)을 제거할 수 있다. 이어서, 상기 마스크 패턴(도 18c의 58) 하부의 상기 후면 씨드 층(55) 및 상기 후면 배리어 층(52)을 차례로 식각할 수 있다. 그리고, 상기 제1 도전성 패턴(61a) 하부의 후면 씨드 층은 잔존하여 제1 후면 씨드 패턴(55a)으로 정의될 수 있고, 상기 제2 도전성 패턴(61b) 하부의 후면 씨드 층은 잔존하여 제2 후면 씨드 패턴(55b)으로 정의될 수 있다. 또한, 상기 제1 도전성 패턴(61a) 하부의 후면 배리어 층은 잔존하여 제1 후면 배리어 패턴(52a)으로 정의될 수 있고, 상기 제2 도전성 패턴(61b) 하부의 후면 배리어 층은 잔존하여 제2 후면 배리어 패턴(52b)으로 정의될 수 있다. 차례로 적층된 상기 제1 후면 배리어 패턴(52a), 상기 제1 후면 씨드 패턴(55a) 및 상기 제1 도전성 패턴(61a)은 후면 도전성 패턴(64)을 구성할 수 있다. 차례로 적층된 상기 제2 후면 배리어 패턴(52b), 상기 제2 후면 씨드 패턴(55b) 및 상기 제2 도전성 패턴(61b)은 후면 도전성 구조체(66)를 구성할 수 있다.
- [0177] 일 실시예에서, 상기 제1 및 제2 후면 씨드 패턴들(55a, 55b)과 상기 제1 및 제2 도전성 패턴들(61a, 61b)이 동일한 물질로 형성되는 경우에, 상기 제1 및 제2 후면 씨드 패턴들(55a, 55b)과 상기 제1 및 제2 도전성 패턴들(61a, 61b) 사이의 경계면은 사라지거나 불분명해질 수 있다.

- [0178] 도 19a, 도 19b, 도 19c, 도 19d 및 도 19e는 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 설명하기 위한 개략적인 단면도들이다.
- [0179] 도 19a, 도 19b, 도 19c, 도 19d 및 도 19e를 각각 참조하여 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 설명하기로 한다.
- [0180] 우선, 도 19a를 참조하면, 본 발명의 실시예에 따르면 반도체 소자(2000a)는 기판(2100) 상에 실장된 반도체 패키지(2390a)를 포함할 수 있다. 상기 기판(2100)과 상기 반도체 패키지(2390a)은 연결 구조물(2150)을 이용하여 물리적으로 연결될 수 있다. 상기 연결 구조물(2150)은 솔더 물질을 포함할 수 있다. 상기 기판(2100)은 모듈 보드 또는 마더 보드를 포함할 수 있다.
- [0181] 상기 반도체 패키지(2390a)는 패키지 기판(2200) 상의 적층 칩 구조체(2310a)를 포함할 수 있다. 상기 적층 칩 구조체(2310a)을 덮는 절연성의 몰딩 부(2385)가 배치될 수 있다. 상기 적층 칩 구조체(2310a)은 상기 패키지 기판(2200) 상에 적층된 복수의 칩들을 포함할 수 있다. 예를 들어, 상기 적층 칩 구조체(2310a)은 차례로 적층된 제1 칩(2300a), 제2 칩(2300b), 제3 칩(2300c) 및 제4 칩(2300d)을 포함할 수 있다. 상기 칩들(2300a, 2300b, 2300c, 2300d) 중 적어도 하나는 도 1a 내지 도 18d를 참조하여 설명한 반도체 칩들 중 어느 하나일 수 있다. 상기 적층 칩 구조체(2310a)와 상기 패키지 기판(2200)은 기판 범프들(2250)을 이용하여 전기적으로 연결될 수 있다. 상기 기판 범프들(2250)은 솔더를 포함할 수 있다.
- [0182] 상기 제1 칩(2300a)은 상기 패키지 기판(2200)과 마주보는 전면(FS1) 및 상기 전면(FS1)에 대항하는 후면(BS1)을 가질 수 있다. 상기 제1 칩(2300a)은 제1 내부 회로(2019a), 제1 전면 도전성 패턴들(2330a), 제1 후면 도전성 패턴들(2364a), 제1 후면 도전성 구조체(2366a) 및 제1 관통 전극 구조체들(2315a)을 포함할 수 있다.
- [0183] 상기 제1 내부 회로(2019a)는 도 1a 내지 도 18d에서 설명한 상기 내부 회로(19)와 실질적으로 동일할 수 있다. 예를 들어, 상기 제1 내부 회로(2019a)는 상기 전면(FS1) 근처의 상기 제1 칩(2300a) 내에 형성될 수 있다.
- [0184] 상기 제1 전면 도전성 패턴들(2330a)은 상기 제1 칩(2300a)의 상기 전면(FS1) 상에 배치될 수 있고, 상기 기판 범프들(2250)과 전기적으로 연결될 수 있다.
- [0185] 상기 제1 후면 도전성 패턴들(2364a) 및 상기 제1 후면 도전성 구조체(2366a)는 상기 후면(BS1) 상에 배치될 수 있고, 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제1 후면 도전성 구조체(2366a)는 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 또는 유사한 모양일 수 있다. 상기 제1 후면 도전성 구조체(2366a)은 상기 제1 칩(2300a)의 휨 등과 같은 변형을 방지하고 방열 역할을 수행함으로써, 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0186] 상기 제1 관통 전극 구조체들(2315a)은 상기 제1 칩(2300a)을 관통하며 상기 제1 전면 도전성 패턴들(2330a)과 상기 제1 후면 도전성 패턴들(2364a) 사이의 상기 제1 칩(2300a)을 관통하며, 상기 제1 전면 도전성 패턴들(2330a)과 상기 제1 후면 도전성 패턴들(2364a)을 전기적으로 연결할 수 있다. 상기 제1 관통 전극 구조체들(2315a)은 입/출력 신호 전송을 위한 관통 전극들을 포함할 수 있다.
- [0187] 상기 제2 칩(2300b)은 상기 제1 칩(2300a)과 마주보는 전면(FS2) 및 상기 전면(FS2)에 대항하는 후면(BS2)을 가질 수 있다. 상기 제2 칩(2300b)은 제2 내부 회로(2019b), 제2 전면 도전성 패턴들(2330b\_1), 제2 전면 더미 패턴들(2330b\_2), 제2 후면 도전성 패턴들(2364b), 제2 후면 도전성 구조체(2366b) 및 제2 관통 전극 구조체들(2315b)을 포함할 수 있다. 상기 제2 내부 회로(2019b)는 상기 전면(FS2) 근처의 상기 제2 칩(2300b) 내에 형성될 수 있다. 상기 제2 전면 도전성 패턴들(2330b\_1) 및 상기 제2 전면 더미 패턴들(2330b\_2)은 상기 제2 칩(2300b)의 상기 전면(FS2) 상에 배치되며, 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0188] 상기 제2 후면 도전성 구조체(2366b) 및 상기 제2 후면 도전성 패턴들(2364b)은 상기 제2 칩(2300b)의 상기 후면(BS2) 상에 배치되며, 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제2 후면 도전성 구조체(2366b)는 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 또는 유사한 모양일 수 있다. 상기 제2 후면 도전성 구조체(2366b)는 상기 제2 칩(2300b)의 휨 등과 같은 변형을 방지하고 방열 역할을 수행함으로써, 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0189] 상기 제2 관통 전극 구조체들(2315b)은 상기 제2 전면 도전성 패턴들(2330b\_1)과 상기 제2 후면 도전성 패턴들(2364b) 사이의 상기 제2 칩(2300b)을 관통하면서, 상기 제2 전면 도전성 패턴들(2330b\_1)과 상기 제2 후면 도



전성 패턴들(2364b)을 전기적으로 연결할 수 있다. 상기 제2 관통 전극 구조체들(2315b)은 입/출력 신호 전송을 위한 관통 전극들을 포함할 수 있다.

- [0190] 상기 제3 칩(2300c)은 상기 제2 칩(2300b)과 마주보는 전면(FS3) 및 상기 전면(FS3)에 대향하는 후면(BS3)을 가질 수 있다. 상기 제3 칩(2300c)은 제3 내부 회로(2019c), 제3 전면 도전성 패턴들(2330c\_1), 제3 전면 더미 패턴들(2330c\_2), 제3 후면 도전성 패턴들(2364c), 제3 후면 도전성 구조체(2366c) 및 제3 관통 전극 구조체들(2315c)을 포함할 수 있다. 상기 제3 내부 회로(2019c)는 상기 전면(FS3) 근처의 상기 제3 칩(2300c) 내에 형성될 수 있다. 상기 제3 전면 도전성 패턴들(2330c\_1) 및 상기 제3 전면 더미 패턴들(2330c\_2)은 상기 제3 칩(2300c)의 상기 전면(FS3) 상에 배치되며, 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0191] 상기 제3 후면 도전성 구조체(2366c) 및 상기 제3 후면 도전성 패턴들(2364c)은 상기 제3 칩(2300c)의 상기 후면(BS3) 상에 배치되며, 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제3 후면 도전성 구조체(2366c)는 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 또는 유사한 모양일 수 있다. 상기 제3 후면 도전성 구조체(2366c)는 상기 제3 칩(2300c)의 휨 등과 같은 변형을 방지하고 방열 역할을 수행함으로써, 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0192] 상기 제3 관통 전극 구조체들(2315c)은 상기 제3 전면 도전성 패턴들(2330c\_1)과 상기 제3 후면 도전성 패턴들(2364c) 사이의 상기 제3 칩(2300c)을 관통하며, 상기 제3 전면 도전성 패턴들(2330c\_1)과 상기 제3 후면 도전성 패턴들(2364c)을 전기적으로 연결할 수 있다. 상기 제3 관통 전극 구조체들(2315c)은 입/출력 신호 전송을 위한 관통 전극들을 포함할 수 있다.
- [0193] 상기 제4 칩(2300d)은 상기 제3 칩(2300c)과 마주보는 전면(FS4) 및 상기 전면(FS4)에 대향하는 후면(BS4)을 가질 수 있다. 상기 제4 칩(2300d)은 제4 내부 회로(2019d), 제4 전면 도전성 패턴들(2330d\_1) 및 제4 전면 더미 패턴들(2330d\_2)을 포함할 수 있다. 상기 제4 내부 회로(2019d)는 상기 전면(FS4) 근처의 상기 제4 칩(2300d) 내에 형성될 수 있다. 상기 제4 전면 도전성 패턴들(2330d\_1) 및 상기 제4 전면 더미 패턴들(2330d\_2)은 상기 제4 칩(2300d)의 상기 전면(FS4) 상에 배치되며, 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제1, 제2 및 제3 관통 전극 구조체들(2315a, 2315b, 2315c) 중에서, 입/출력 신호 전송을 위한 관통 전극들은 상기 제2, 제3 및 제4 전면 더미 패턴들(2330b\_2, 2330c\_2, 2330d\_2) 및 상기 제2, 제3 및 제4 후면 도전성 구조체들(2366a, 2366b, 2366c)과 이격 또는 전기적으로 절연될 수 있다.
- [0194] 상기 적층 칩 구조체(2310a)는 상기 제1 칩(2300a)과 상기 제2 칩(2300b)을 전기적으로 연결하는 제1 칩-간 범프들(2380a), 상기 제2 칩(2300b)과 상기 제3 칩(2300c)을 전기적으로 연결하는 제2 칩-간 범프들(2380b), 및 상기 제3 칩(2300c)과 상기 제4 칩(2300d)을 전기적으로 연결하는 제3 칩-간 범프들(2380c)을 포함할 수 있다.
- [0195] 상기 제1 칩-간 범프들(2380a)은 상기 제1 후면 도전성 패턴들(2364a) 및 상기 제2 전면 도전성 패턴들(2330b\_1) 사이에 개재되면서, 상기 제1 후면 도전성 패턴들(2364a) 및 상기 제2 전면 도전성 패턴들(2330b\_1)을 전기적으로 연결할 수 있다. 상기 제2 칩-간 범프들(2380b)은 상기 제2 후면 도전성 패턴들(2364b) 및 상기 제3 전면 도전성 패턴들(2330c\_1) 사이에 개재되면서, 상기 제2 후면 도전성 패턴들(2364b) 및 상기 제3 전면 도전성 패턴들(2330c\_1)을 전기적으로 연결할 수 있다. 상기 제3 칩-간 범프들(2380c)은 상기 제3 후면 도전성 패턴들(2364c) 및 상기 제4 전면 도전성 패턴들(2330d\_1) 사이에 개재되면서, 상기 제3 후면 도전성 패턴들(2364c) 및 상기 제4 전면 도전성 패턴들(2330d\_1)을 전기적으로 연결할 수 있다.
- [0196] 상기 적층 칩 구조체(2310a)는 상기 제1 후면 도전성 구조체(2366a) 및 상기 제2 전면 더미 패턴들(2330b\_2) 사이에 개재된 제1 완충 범프들(2381a), 상기 제2 후면 도전성 구조체(2366b) 및 상기 제3 전면 더미 패턴들(2330c\_2) 사이에 개재된 제2 완충 범프들(2381b), 및 상기 제3 후면 도전성 구조체(2366c) 및 상기 제4 전면 더미 패턴들(2330d\_2) 사이에 개재된 제3 완충 범프들(2381c)을 포함할 수 있다. 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c), 및 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c)은 동일한 물질, 예를 들어 솔더 물질을 포함할 수 있다.
- [0197] 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c), 및 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c)을 상온 보다 높은 온도에서 진행하는 솔더 공정 또는 솔더 리플로우 공정을 이용하여 형성하는 경우에, 상기 제1, 제2 및 제3 후면 도전성 구조체들(2366a, 2366b, 2366c)은 상기 칩들(2300a, 2300b, 2300c)의 휨 등과 같은 변형을 방지 또는 억제할 수 있다. 또한, 상기 제1, 제2 및 제3 후면 도전성 구조체들(2366a, 2366b, 2366c)은 상기 반도체 소자(2000)가 동작하면서 발생하는 열을 방출할 수 있는 방열 역할을 할 수 있다.

- [0198] 상기 제1, 제3 및 제3 후면 도전성 구조체들(2366a, 2366b, 2366c) 중 적어도 하나는 도 1a, 도 2a, 도 3a, 도 5a, 도 6, 도 7, 도 8, 도 9, 도 10 및 도 11a에서 설명한 상기 후면 도전성 구조체들(66a, 66b, 66c, 166a, 166b, 166c, 166d, 166e, 166f, 166g) 중 어느 하나와 동일한 또는 유사한 모양일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 제1, 제3 및 제3 후면 도전성 구조체들(2366a, 2366b, 2366c) 중 적어도 하나는 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b') 또는 도 3c 및 도 3d에서 설명한 상기 후면 도전성 구조체(66c')와 동일한 또는 유사한 모양과 같이 변형될 수 있다.
- [0199] 도 19b를 참조하여, 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')와 동일한 또는 유사한 모양의 후면 도전성 구조체를 갖는 반도체 칩을 포함하는 반도체 소자(2000b)에 대하여 설명하기로 한다.
- [0200] 도 19b를 참조하면, 본 발명의 실시예에 따르면 반도체 소자(2000b)는 기판(2100) 상에 실장된 반도체 패키지(2390b)를 포함할 수 있다. 상기 반도체 패키지(2390b)는 패키지 기판(2200) 상에 배치된 적층 칩 구조체(2310b)를 포함할 수 있다.
- [0201] 상기 적층 칩 구조체(2310b)은 상기 패키지 기판(2200) 상에 적층된 복수의 칩들을 포함할 수 있다. 예를 들어, 상기 적층 칩 구조체(2310b)은 상기 패키지 기판(2200) 상에 차례로 적층된 제1 칩(2301a), 제2 칩(2301b), 제3 칩(2301c) 및 제4 칩(2301d)을 포함할 수 있다. 상기 칩들(2301a, 2301b, 2301c, 2301d) 중 적어도 하나는 도 2c에서 설명한 상기 반도체 칩(90b')의 상기 후면 도전성 구조체(66b')와 같은 구조체를 포함할 수 있다.
- [0202] 상기 제1 칩(2301a)은 상기 패키지 기판(2200)과 마주보는 전면(FS1) 및 상기 전면(FS1)에 대향하는 후면(BS1)을 가질 수 있다. 상기 제1 칩(2301a)은, 도 19a에서의 상기 제1 칩(2300a)과 같은, 상기 제1 내부 회로(2019a), 상기 제1 전면 도전성 패턴들(2330a), 상기 제1 후면 도전성 패턴들(2364a) 및 상기 제1 관통 전극 구조체들(2315a)을 포함할 수 있다.
- [0203] 또한, 상기 제1 칩(2301a)은 상기 제1 후면 도전성 패턴들(2364a)과 동일한 물질 및 동일한 두께로 형성되며, 상기 제1 칩(2301a)의 후면(BS1) 상에 배치되고, 상기 제1 칩(2301a)의 측면들 중 적어도 하나의 측면까지 연장된 제1 후면 도전성 구조체(2367a)를 포함할 수 있다. 예를 들어, 상기 제1 후면 도전성 구조체(2367a)의 모양은 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')와 동일할 수 있다.
- [0204] 상기 제2 칩(2301b)은 상기 제1 칩(2301a)과 마주보는 전면(FS2) 및 상기 전면(FS2)에 대향하는 후면(BS2)을 가질 수 있다. 상기 제2 칩(2301b)은, 도 19a에서의 상기 제2 칩(2300b)과 같은, 상기 제2 내부 회로(2019b), 상기 제2 전면 도전성 패턴들(2330b\_1), 상기 제2 전면 터미 패턴들(2330b\_2), 상기 제2 후면 도전성 패턴들(2364b) 및 상기 제2 관통 전극 구조체들(2315b)을 포함할 수 있다.
- [0205] 또한, 상기 제2 칩(2301b)은 상기 제2 후면 도전성 패턴들(2364b)과 동일한 물질 및 동일한 두께로 형성되며, 상기 제2 칩(2301b)의 후면(BS2) 상에 배치되면서 상기 제2 칩(2301b)의 측면들 중 적어도 하나의 측면까지 연장된 제2 후면 도전성 구조체(2367b)를 포함할 수 있다. 예를 들어, 상기 제2 후면 도전성 구조체(2367b)의 모양은 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')와 동일할 수 있다.
- [0206] 상기 제3 칩(2301c)은, 도 19a에서의 상기 제3 칩(2300c)과 같은, 상기 제3 내부 회로(2019c), 상기 제3 전면 도전성 패턴들(2330c\_1), 상기 제3 전면 터미 패턴들(2330c\_2), 상기 제2 후면 도전성 패턴들(2364b) 및 상기 제2 관통 전극 구조체들(2315b)을 포함할 수 있다.
- [0207] 또한, 상기 제3 칩(2301c)은 상기 제3 후면 도전성 패턴들(2364c)과 동일한 물질 및 동일한 두께로 형성되며, 상기 제3 칩(2301c)의 후면(BS2) 상에 배치되면서 상기 제3 칩(2301c)의 측면들 중 적어도 하나의 측면까지 연장된 제3 후면 도전성 구조체(2367c)를 포함할 수 있다. 예를 들어, 상기 제3 후면 도전성 구조체(2367c)의 모양은 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')와 동일할 수 있다.
- [0208] 상기 제4 칩(2301d)은, 도 19a에서의 상기 제4 칩(2300d)과 같은, 상기 제4 내부 회로(2019d), 상기 제4 전면 도전성 패턴들(2330d\_1) 및 상기 제4 전면 터미 패턴들(2330d\_2)을 포함할 수 있다.
- [0209] 상기 적층 칩 구조체(2310b)는, 도 19a에서 설명한 것과 같은 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c) 및 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c)을 포함할 수 있다.
- [0210] 상기 적층 칩 구조체(2310b)의 상기 제1 내지 제3 후면 도전성 구조체들(2367a, 2367b, 2367c) 중 적어도 하나는 도 2c 및 도 2d에서 설명한 상기 후면 도전성 구조체(66b')와 동일한 또는 유사한 모양일 수 있다.
- [0211] 다른 실시예에서, 도 19a 및 도 19b에서 설명한 상기 후면 도전성 구조체들(2366a, 2366b, 2366c, 2367a,

2367b, 2367c) 중 적어도 하나는, 도 3a, 도 3b, 도 3c, 도 3d, 도 11a 및 도 11b의 상기 후면 도전성 구조체들(66c, 66c', 166g) 중 적어도 하나와 같이 접지될 수 있다. 이와 같이 접지된 후면 도전성 구조체를 갖는 반도체 칩을 포함하는 반도체 소자의 일 예에 대하여 도 19c를 참조하여 설명하기로 한다.

- [0212] 도 19c를 참조하면, 본 발명의 실시예에 따르면 반도체 소자(2000c)는 기판(2100) 상에 실장된 반도체 패키지(2390c)를 포함할 수 있다. 상기 반도체 패키지(2390c)는 패키지 기판(2200) 상에 배치된 적층 칩 구조체(2310c)를 포함할 수 있다.
- [0213] 상기 적층 칩 구조체(2310c)은 상기 패키지 기판(2200) 상에 차례로 적층된 제1 칩(2302a), 제2 칩(2302b), 제3 칩(2303c) 및 제4 칩(2302d)을 포함할 수 있다. 상기 칩들(2301a, 2301b, 2301c, 2301d) 중 적어도 하나는 접지된 후면 도전성 구조체를 포함할 수 있다.
- [0214] 상기 제1 칩(2302a)은 상기 패키지 기판(2200)과 마주보는 전면(FS1) 및 상기 전면(FS1)에 대항하는 후면(BS1)을 가질 수 있다. 상기 제1 칩(2302a)은 제1 내부 회로(2019a), 제1 전면 도전성 패턴들, 제1 후면 도전성 패턴들(2364a), 제1 후면 도전성 구조체(2368a), 제1 신호 입/출력 관통 전극들(2315a) 및 제1 접지 관통 전극(2316a)을 포함할 수 있다.
- [0215] 상기 제1 전면 도전성 패턴들은 상기 제1 칩(2302a)의 상기 전면(FS1) 상에 배치될 수 있다. 상기 제1 전면 도전성 패턴들은 제1 전면 신호 입/출력 연결 패턴들(2330a) 및 제1 전면 접지 연결 패턴들(2331a)을 포함할 수 있다.
- [0216] 상기 제1 후면 도전성 패턴들(2364a) 및 상기 제1 후면 도전성 구조체(2368a)는 상기 제1 칩(2302a)의 상기 후면(BS1) 상에 배치되며 동일한 물질 및 동일한 두께로 형성될 수 있다. 상기 제1 신호 입/출력 관통 전극(2315a)은, 도 3b의 상기 신호 입/출력 관통 전극(15io)과 마찬가지로, 상기 제1 전면 신호 입/출력 연결 패턴들(2330a)과 상기 제1 후면 도전성 패턴들(2364a)을 전기적으로 연결할 수 있다.
- [0217] 상기 제1 접지 관통 전극(2316a)은, 도 3b의 상기 접지 관통 전극(15g)과 마찬가지로, 상기 제1 전면 접지 연결 패턴(2331a)과 상기 제1 후면 도전성 구조체(2368a)를 전기적으로 연결할 수 있다. 따라서, 상기 제1 후면 도전성 구조체(2368a)은 도 3c 및 도 3d의 상기 후면 도전성 구조체(66c')와 같이 접지될 수 있다.
- [0218] 상기 제2 칩(2302b)은 상기 제1 칩(2302a)과 마주보는 전면(FS2) 및 상기 전면(FS2)에 대항하는 후면(BS2)을 가질 수 있다. 상기 제2 칩(2302b)은 제2 내부 회로(2019b), 제2 전면 도전성 패턴들, 제2 전면 더미 패턴들(2330b\_3), 제2 후면 도전성 패턴들(2364b), 제2 후면 도전성 구조체(2368b), 제2 신호 입/출력 관통 전극(2315b) 및 제2 접지 관통 전극(2316b)을 포함할 수 있다.
- [0219] 상기 제2 전면 도전성 패턴들은 상기 제2 칩(2302b)의 상기 전면(FS2) 상에 배치된 제2 전면 신호 입/출력 연결 패턴들(2330b\_1) 및 제2 전면 접지 연결 패턴들(2330b\_3)을 포함할 수 있다.
- [0220] 상기 제2 후면 도전성 패턴들(2364b) 및 상기 제2 후면 도전성 구조체(2368b)는 상기 제2 칩(2302b)의 상기 후면(BS2) 상에 배치되며 동일한 물질 및 동일한 두께로 형성될 수 있다.
- [0221] 상기 제2 신호 입/출력 관통 전극(2315b)은, 도 3b의 상기 신호 입/출력 관통 전극(15io)와 마찬가지로, 상기 제2 전면 신호 입/출력 연결 패턴들(2330b\_1)과 상기 제2 후면 도전성 패턴들(2364b)을 전기적으로 연결할 수 있다.
- [0222] 상기 제2 접지 관통 전극(2316b)은, 도 3b의 상기 접지 관통 전극(15g)과 마찬가지로, 상기 제2 전면 접지 연결 패턴(2330b\_3)과 상기 제2 후면 도전성 구조체(2368b)를 전기적으로 연결할 수 있다. 따라서, 상기 제2 후면 도전성 구조체(2368b)은, 도 3a 및 도 3b의 상기 후면 도전성 구조체(66c) 또는 도 3c 및 도 3d의 상기 후면 도전성 구조체(66c')와 같이 접지될 수 있다.
- [0223] 상기 제3 칩(2302c)은 상기 제2 칩(2302b)과 마주보는 전면(FS3) 및 상기 전면(FS3)에 대항하는 후면(BS3)을 가질 수 있다. 상기 제3 칩(2303c)은 제3 내부 회로(2019c), 제3 전면 도전성 패턴들, 제3 전면 더미 패턴들(2330c\_3), 제3 후면 도전성 패턴들(2364c), 제3 후면 도전성 구조체(2368c), 제3 신호 입/출력 관통 전극(2315c) 및 제3 접지 관통 전극(2316c)을 포함할 수 있다.
- [0224] 상기 제3 전면 도전성 패턴들은 상기 제3 칩(2302c)의 상기 전면(FS3) 상에 배치된 제3 전면 신호 입/출력 연결 패턴들(2330c\_1) 및 제3 전면 접지 연결 패턴들(2330c\_3)을 포함할 수 있다.
- [0225] 상기 제3 후면 도전성 패턴들(2364c) 및 상기 제3 후면 도전성 구조체(2368c)는 상기 제3 칩(2302c)의 상기 후

면(BS3) 상에 배치되며 동일한 물질 및 동일한 두께로 형성될 수 있다.

- [0226] 상기 제3 신호 입/출력 관통 전극(2315c)은, 도 3b의 상기 신호 입/출력 관통 전극(15io)와 마찬가지로, 상기 제3 전면 신호 입/출력 연결 패턴들(2330c\_1)과 상기 제3 후면 도전성 패턴들(2364c)을 전기적으로 연결할 수 있다.
- [0227] 상기 제3 접지 관통 전극(2316c)은, 도 3b의 상기 접지 관통 전극(15g)와 마찬가지로, 상기 제3 전면 접지 연결 패턴(2330c\_3)과 상기 제3 후면 도전성 구조체(2368c)를 전기적으로 연결할 수 있다. 따라서, 상기 제3 후면 도전성 구조체(2368c)는, 도 3a 및 도 3b의 상기 후면 도전성 구조체(66c) 또는 도 3c 및 도 3d의 상기 후면 도전성 구조체(66c')와 같이 접지될 수 있다.
- [0228] 상기 제4 칩(2302d)은 상기 제3 칩(2302c)과 마주보는 전면(FS4) 및 상기 전면(FS4)에 대항하는 후면(BS4)을 가질 수 있다. 상기 제4 칩(2302d)은 제4 내부 회로(2019d), 제4 전면 도전성 패턴들, 제4 전면 더미 패턴들(2330d\_3)을 포함할 수 있다. 상기 제4 전면 도전성 패턴들은 상기 제4 칩(2302d)의 상기 전면(FS4) 상에 배치된 제4 전면 신호 입/출력 연결 패턴들(2330d\_1) 및 제4 전면 접지 연결 패턴들(2330d\_3)을 포함할 수 있다.
- [0229] 상기 적층 칩 구조체(2310c)는, 도 19a에서 설명한 것과 같은 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c) 및 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c)을 포함할 수 있다.
- [0230] 또한, 상기 적층 칩 구조체(2310c)는, 상기 제1 후면 도전성 구조체(2368a)와 상기 제2 전면 접지 연결 패턴(2330b\_3) 사이의 제1 접지 범프(2382a), 상기 제2 후면 도전성 구조체(2368b)와 상기 제3 전면 접지 연결 패턴(2330c\_3) 사이의 제2 접지 범프(2382b), 및 상기 제3 후면 도전성 구조체(2368c)와 상기 제4 전면 접지 연결 패턴(2330d\_3) 사이의 제3 접지 범프(2382c)를 포함할 수 있다.
- [0231] 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c), 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c), 및 상기 제1 내지 제3 접지 범프들(2382a, 2382b, 2382c)은 솔더 물질을 포함할 수 있다.
- [0232] 도 19d를 참조하여, 본 발명의 기술적 사상에 따른 반도체 소자를 설명하기로 한다.
- [0233] 도 19d를 참조하면, 본 발명의 기술적 사상에 따른 반도체 소자(2000d)는 기판(2100) 상에 실장된 반도체 패키지(2390d)를 포함할 수 있다. 상기 기판(2100)과 상기 반도체 패키지(2390d)는 연결 구조물(2150)을 이용하여 물리적으로 연결될 수 있다. 상기 연결 구조물(2150)은 솔더 물질을 포함할 수 있다. 상기 기판(2100)은 모듈 보드 또는 마더 보드를 포함할 수 있다.
- [0234] 상기 반도체 패키지(2390d)는 적층 칩 구조체(2310b), 상기 적층 칩 구조체(2310b)의 측면과 접촉하는 열 전달 물질 막(thermal interface material layer; 2375), 상기 적층 칩 구조체(2310b) 상부의 히트 스프레더(heat spreader; 2380)를 포함할 수 있다. 상기 열 전달 물질 막(2375)과 상기 히트 스프레더(2380)은 접촉할 수 있다. 상기 열 전달 물질 막(2375) 및 상기 히트 스프레더(2380)은 상기 제1 내지 제3 후면 도전성 구조체들(2367a, 2367b, 2367c)과 함께 방열 역할을 수행하여 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0235] 몇몇 실시예에서, 상기 열 전달 물질 막(2375)은 상기 적층 칩 구조체(2310b)의 상부와 상기 히트 스프레더(2380) 사이로 연장된 부분을 포함할 수 있다.
- [0236] 몇몇 실시예에서, 상기 적층 칩 구조체(2310b)는 도 19b에서 설명한 것과 같은 적층 칩 구조체일 수 있다. 상기 적층 칩 구조체(2310b)의 상기 제1 내지 제3 후면 도전성 구조체들(2367a, 2367b, 2367c)은 상기 열 전달 물질 막(2375)와 접촉할 수 있다. 따라서, 상기 내부 회로들(2019a, 2019b, 2019c)이 동작하면서 발생하는 열은 상기 제1 내지 제3 후면 도전성 구조체들(2367a, 2367b, 2367c), 상기 열 전달 물질 막(2375) 및 상기 히트 스프레더(2380)를 통하여 방출될 수 있다.
- [0237] 몇몇 실시예에서, 상기 열 전달 물질 막(2375) 및 상기 히트 스프레더(2380)의 측면을 둘러싸는 몰딩 부(2385)가 배치될 수 있다.
- [0238] 도 19e를 참조하여, 본 발명의 기술적 사상에 따른 반도체 소자를 설명하기로 한다.
- [0239] 도 19e를 참조하면, 본 발명의 기술적 사상에 따른 반도체 소자(2000e)는 기판(2100) 상에 실장된 반도체 패키지(2390e)를 포함할 수 있다. 상기 기판(2100)과 상기 반도체 패키지(2390e)는 연결 구조물(2150)을 이용하여 물리적으로 연결될 수 있다.
- [0240] 상기 반도체 패키지(2390e)는 적층 칩 구조체(2310c), 상기 적층 칩 구조체(2310c)의 측면과 접촉하는 열 전달



물질 막(thermal interface material layer; 2375), 상기 적층 칩 구조체(2310c) 상부의 히트 스프레더(heat spreader; 2380)을 포함할 수 있다. 상기 열 전달 물질 막(2375)과 상기 히트 스프레더(2380)은 접촉할 수 있다. 상기 열 전달 물질 막(2375)은 상기 적층 칩 구조체(2310b)의 상부와 상기 히트 스프레더(2380) 사이로 연장된 부분을 포함할 수 있다. 상기 열 전달 물질 막(2375) 및 상기 히트 스프레더(2380)의 측면을 둘러싸는 몰딩 부(2385)가 배치될 수 있다.

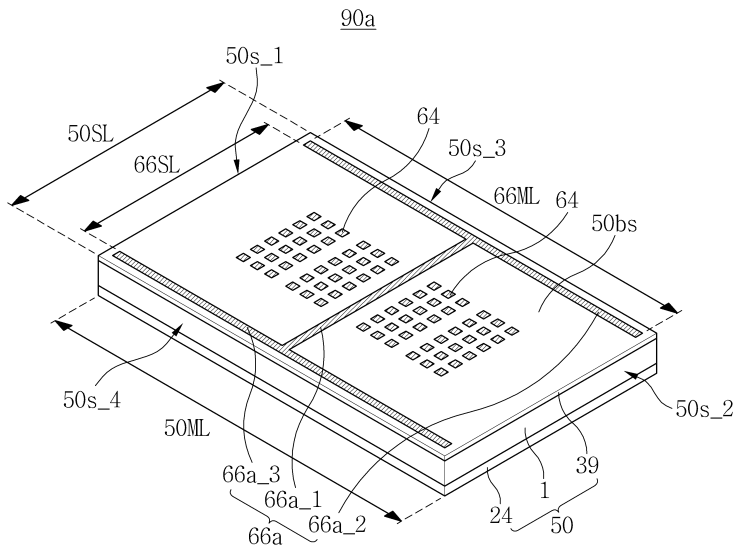
- [0241] 몇몇 실시예에서, 상기 적층 칩 구조체(2310c)는 도 19c에서 설명한 것과 같은 적층 칩 구조체일 수 있다. 상기 적층 칩 구조체(2310c)의 상기 제1 내지 제3 후면 도전성 구조체들(2368a, 2368b, 2368c)은 상기 열 전달 물질 막(2375)과 접촉할 수 있다.
- [0242] 상기 제1 내지 제3 후면 도전성 구조체들(2368a, 2368b, 2368c)은 상기 열 전달 물질 막(2375) 및 상기 히트 스프레더(2380)과 함께 방열 역할을 수행하여 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0243] 또한, 상기 제1 내지 제3 후면 도전성 구조체들(2368a, 2368b, 2368c)은 상기 칩들(2302a, 2302b, 2302c)의 휨 등과 같은 변형을 방지 또는 억제할 수 있기 때문에, 상기 칩들(2302a, 2302b, 2302c, 2302d) 사이에 형성되는 솔더 물질 막들, 예를 들어 상기 제1 내지 제3 칩-간 범프들(2380a, 2380b, 2380c), 상기 제1 내지 제3 완충 범프들(2381a, 2381b, 2381c), 및 상기 제1 내지 제3 접지 범프들(2382a, 2382b, 2382c)을 안정적으로 그리고 신뢰성 있게 형성할 수 있다.
- [0244] 또한, 상기 제1 내지 제3 후면 도전성 구조체들(2368a, 2368b, 2368c)은 외부에서 발생하여 상기 내부 회로들(2019a, 2019b, 2019c)을 열화시키는 전자파를 차단시키는 전자파 차폐 역할을 하거나 또는 상기 내부 회로들(2019a, 2019b, 2019c)로부터 발생하는 전자파를 차단시키는 전자파 차폐 역할을 할 수 있기 때문에, 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [0245] 또한, 상기 제1 내지 제3 후면 도전성 구조체들(2368a, 2368b, 2368c)은 상기 접지 관통 전극들(2316a, 2316b, 2316c)과 연결되어 접지됨으로써, 반도체 소자의 신호를 전달하는 배선들간의 노이즈를 제거할 수 있기 때문에, 반도체 소자의 성능 및 신뢰성을 향상시킬 수 있다.
- [0246] 도 20은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 메모리 모듈(2400)을 개략적으로 나타낸 도면이다.
- [0247] 도 20을 참조하면, 메모리 모듈(2400)은 메모리 모듈 기판(2410), 상기 메모리 모듈 기판(2410) 상에 배치된 다수 개의 메모리 소자들(2420) 및 다수 개의 터미널들(2430)을 포함할 수 있다.
- [0248] 상기 메모리 모듈 기판(2410)은 PCB 또는 웨이퍼를 포함할 수 있다. 상기 메모리 소자들(2420)은 도 1 내지 도 19를 참조하여 설명한 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자들 중 어느 하나 이거나, 또는 이들 반도체 소자를 포함하는 반도체 패키지일 수 있다. 상기 터미널들(2430)은 전도성 금속을 포함할 수 있다. 상기 터미널들(2430)은 상기 메모리 소자들(2420)과 전기적으로 연결될 수 있다.
- [0249] 도 21은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 반도체 모듈(2500)을 개략적으로 나타낸 도면이다.
- [0250] 도 21을 참조하면, 반도체 모듈(2500)은 모듈 기판(2510) 상에 형성된 반도체 소자(2530)를 포함할 수 있다. 상기 반도체 소자(2530)는 도 1a 내지 도 19를 참조하여 설명한 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자들 중 어느 하나이거나, 또는 이들 반도체 소자를 포함하는 반도체 패키지일 수 있다.
- [0251] 상기 반도체 모듈(2500)은 상기 모듈 기판(2510) 상에 실장된 마이크로프로세서(2520)를 더 포함할 수 있다. 상기 모듈 기판(2510)의 적어도 한 변에는 입출력 터미널들(2540)이 배치될 수 있다.
- [0252] 도 22는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 포함하는 전자 시스템(2600)을 개념적으로 도시한 블록도이다.
- [0253] 도 22를 참조하면, 전자 시스템(2600)은 바디(Body; 610)를 포함할 수 있다. 상기 바디(2610)는 마이크로 프로세서 유닛(Micro Processor Unit; 2620), 파워 공급 유닛(Power Unit; 2630), 기능 유닛(Function Unit; 2640), 및/또는 디스플레이 컨트롤러 유닛(Display Controller Unit; 2650)을 포함할 수 있다. 상기 바디(2610)는 인쇄 회로기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다.
- [0254] 상기 마이크로 프로세서 유닛(2620), 상기 파워 공급 유닛(2630), 상기 기능 유닛(2640), 및 상기 디스플레이 컨트롤러 유닛(2650)은 상기 바디(2610)상에 실장 또는 장착될 수 있다.



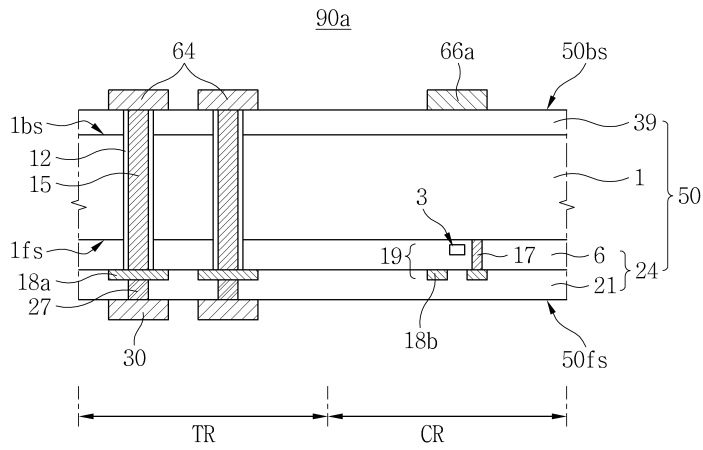
- TR : 관통 전극 영역
- 24, 124 : 전면 절연 막
- 15io : 신호 입/출력 관통 전극
- 19, 119 : 내부 회로
- 30io : 전면 신호 입/출력 연결 패턴
- 30g : 전면 접지 연결 패턴
- 39, 139 : 후면 절연 막
- 50fs, 150fs : 기판 전면
- 64, 164, 235, 264 : 후면 도전성 패턴
- 66a~66d, 166a~166g, 266, 236 : 후면 도전성 구조체
- 1290a, 1290b, 1390a, 1390b : 반도체 칩
- 1264, 2364a, 2364b, 2364c : 후면 도전성 패턴
- 1266, 2366a, 2366b, 2366c : 후면 도전성 구조체
- 1280, 2380a, 2380b, 2380c : 칩-간 범프
- 1281, 2381a, 2381b, 2381c : 완충 범프
- 3, 103 : 단위 소자
- 15, 115 : 관통 전극
- 15g : 접지 관통 전극
- 30, 130 : 전면 도전성 패턴
- 31a, 131 : 전면 더미 패턴
- 50, 150, 250 : 기판
- 50bs, 150bs : 기판 후면

**도면**

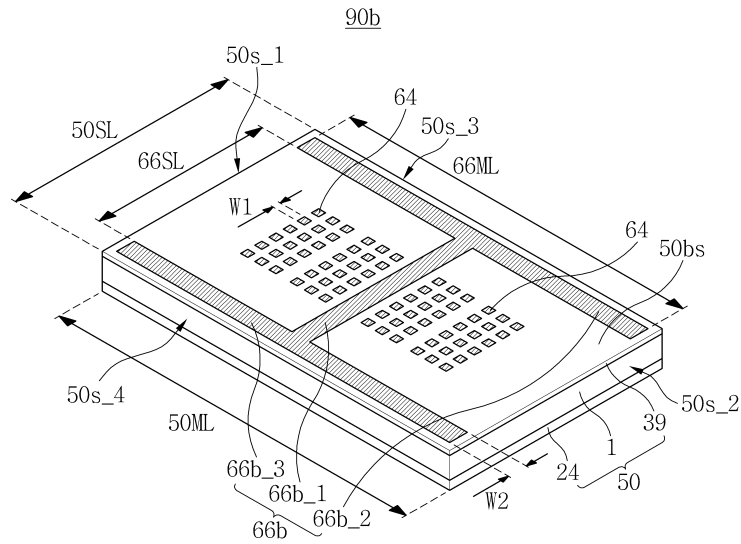
**도면1a**



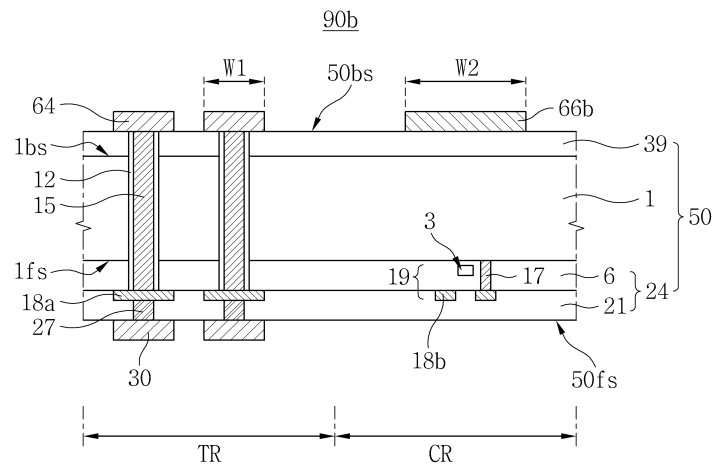
도면1b



도면2a

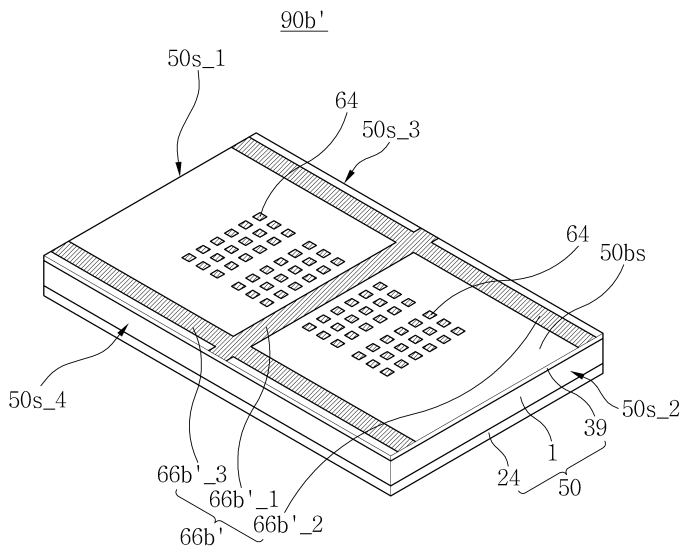


도면2b

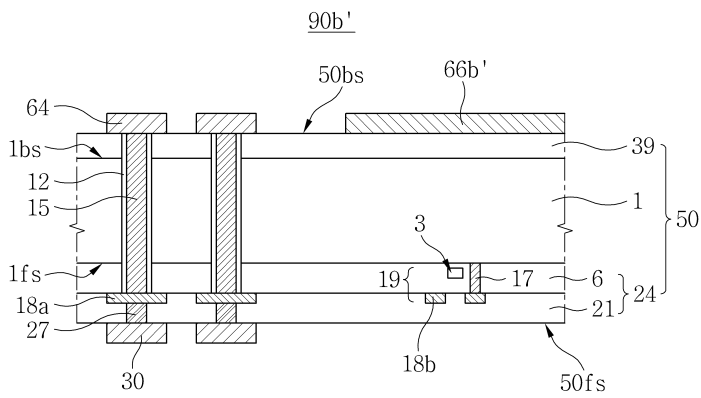




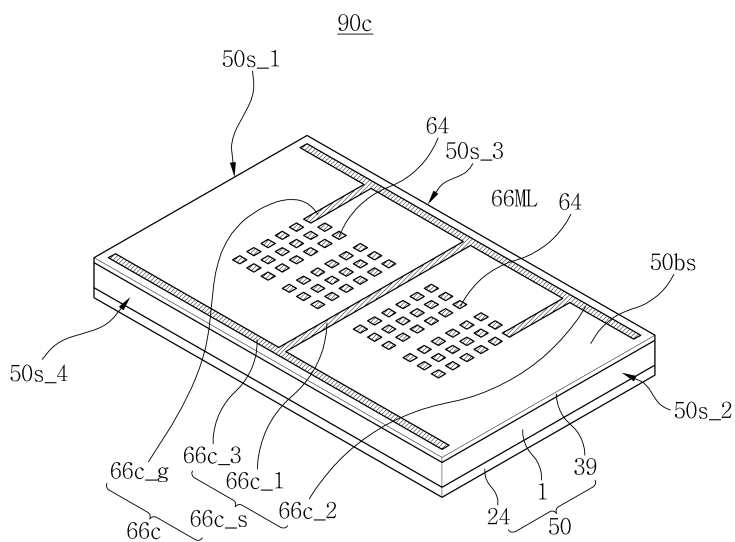
도면2c



도면2d

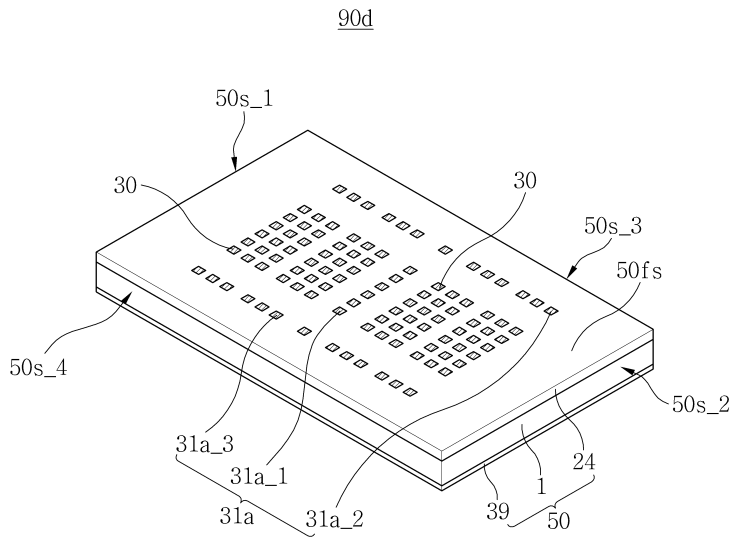


도면3a

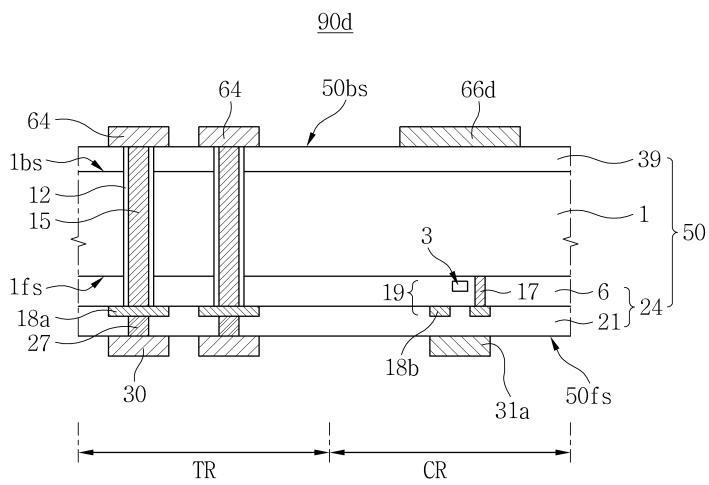




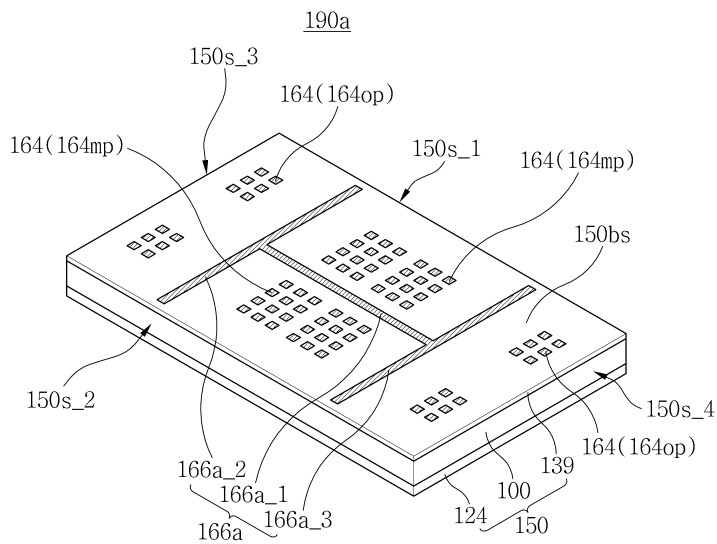
도면4a



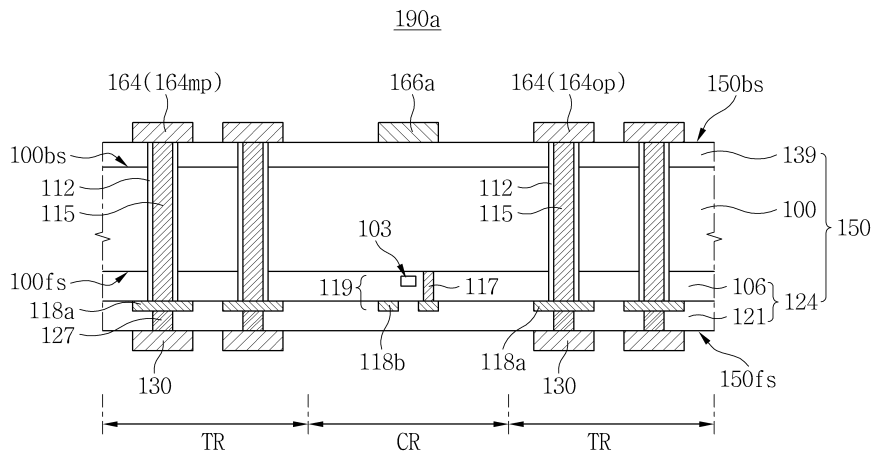
도면4b



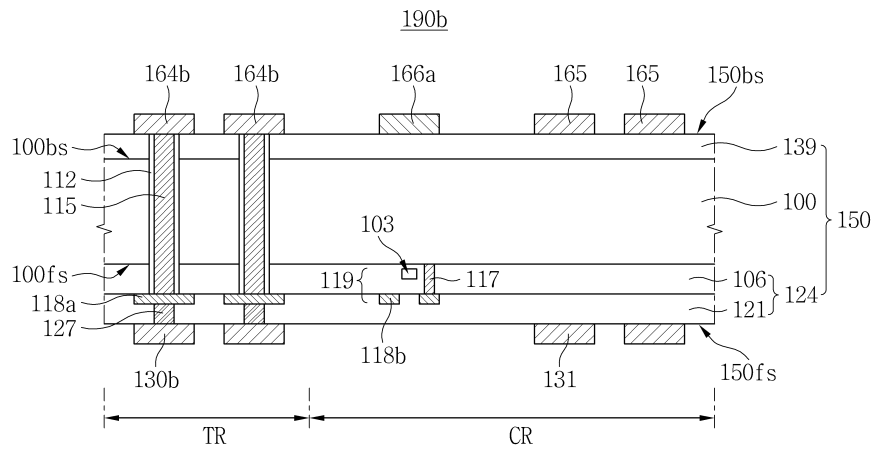
도면5a



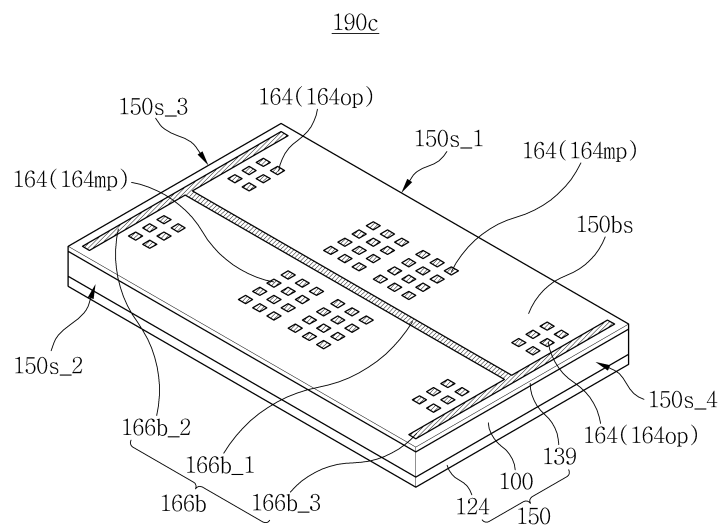
도면5b



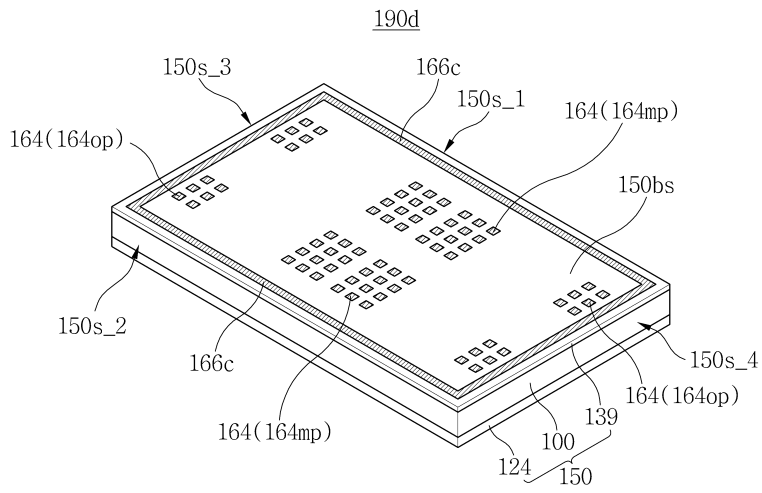
도면5c



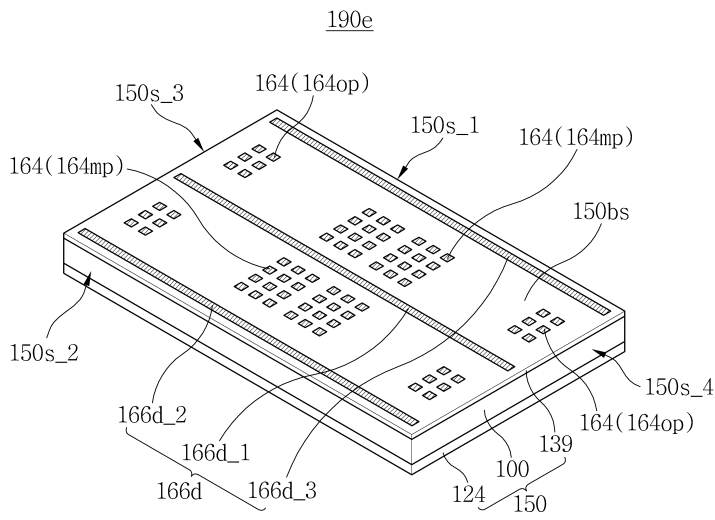
도면6



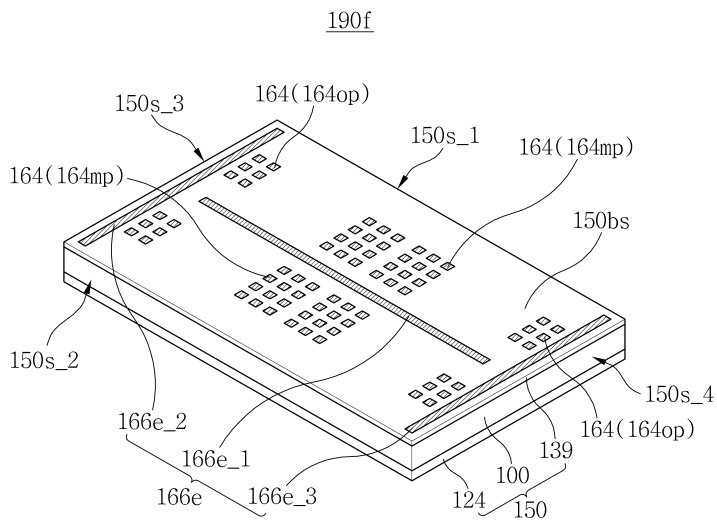
도면7



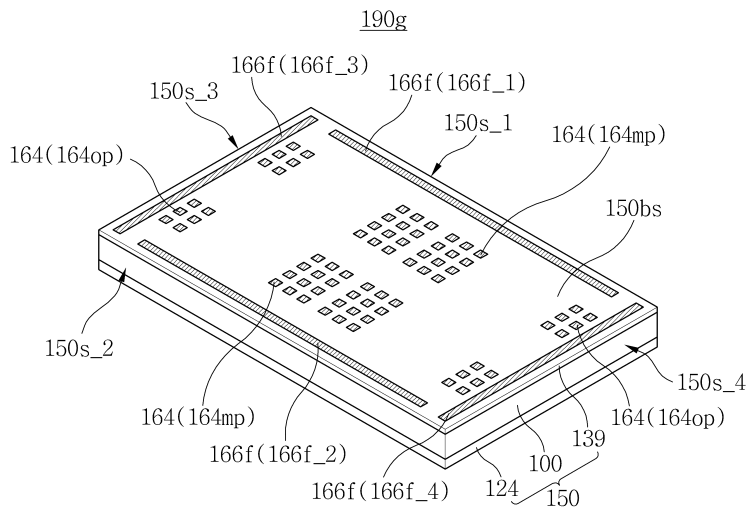
도면8



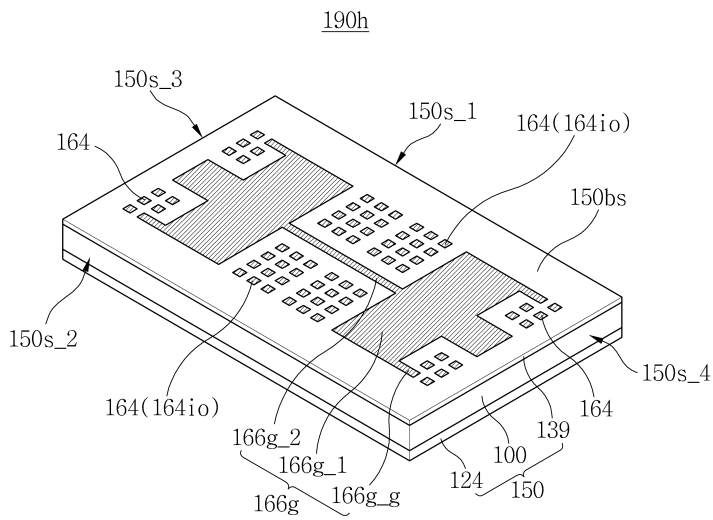
도면9



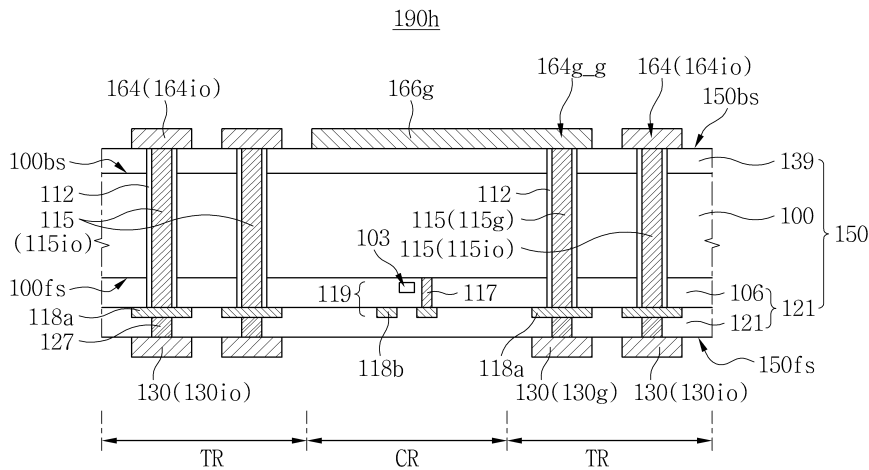
도면10



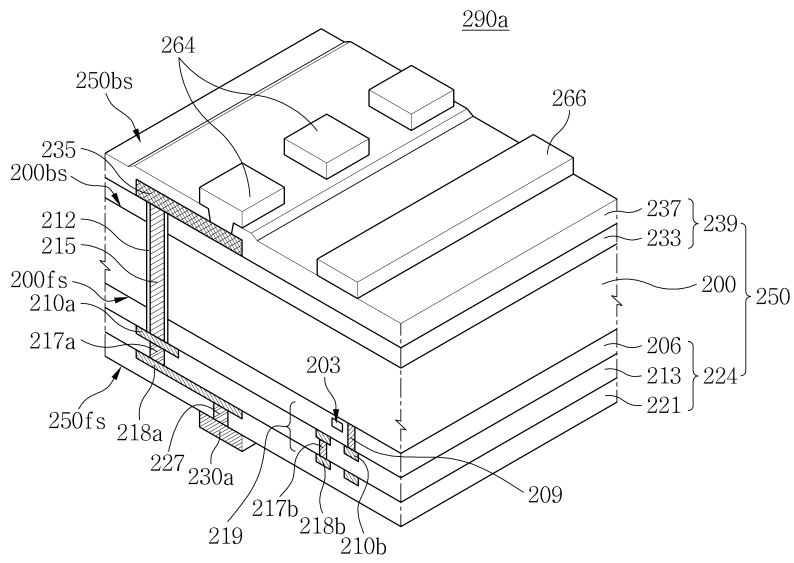
도면11a



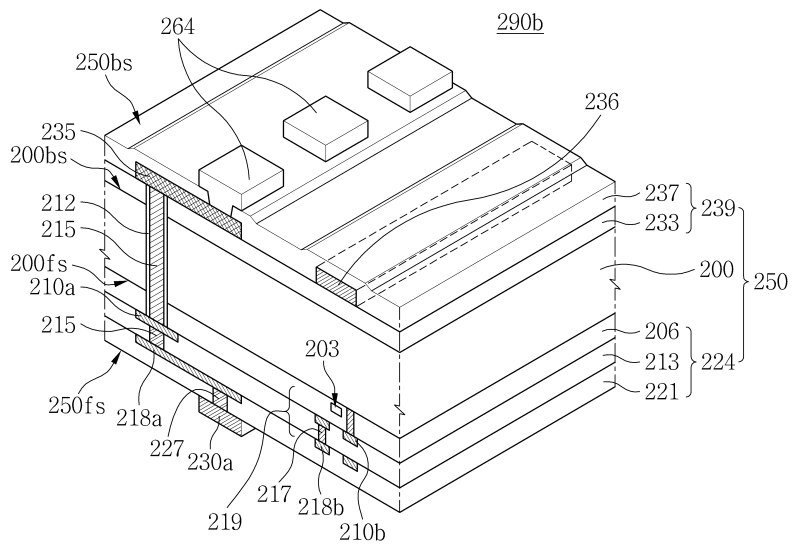
도면11b



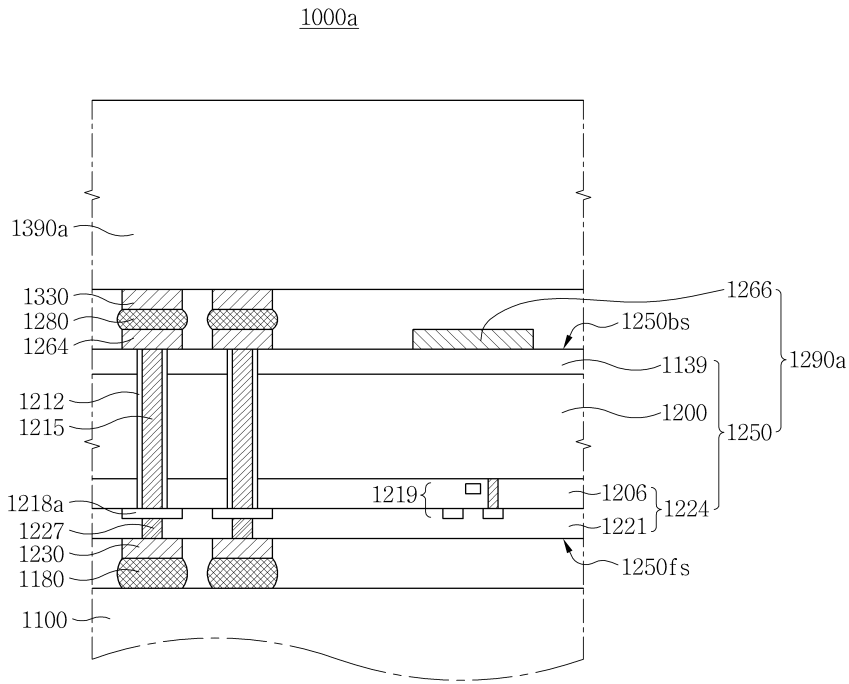
도면12



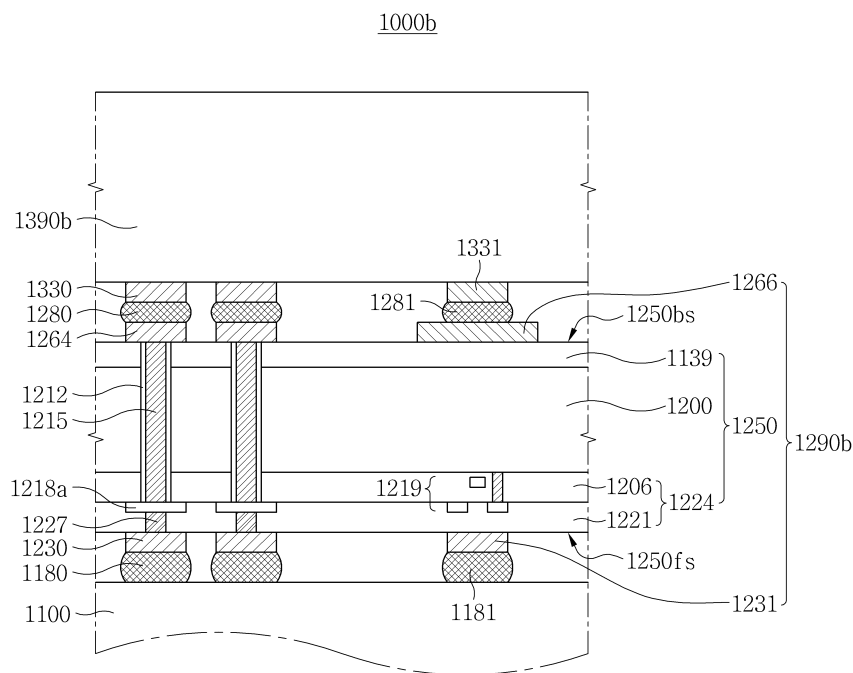
도면13



도면14

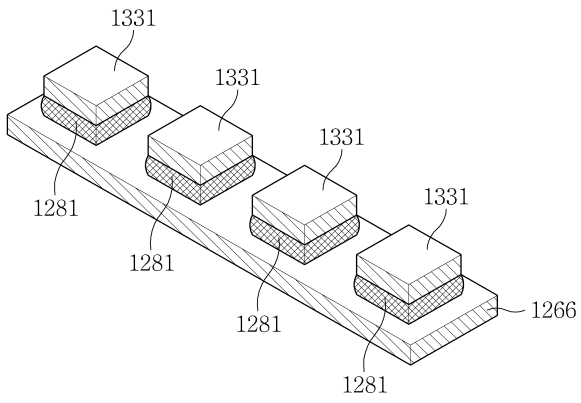


도면15a

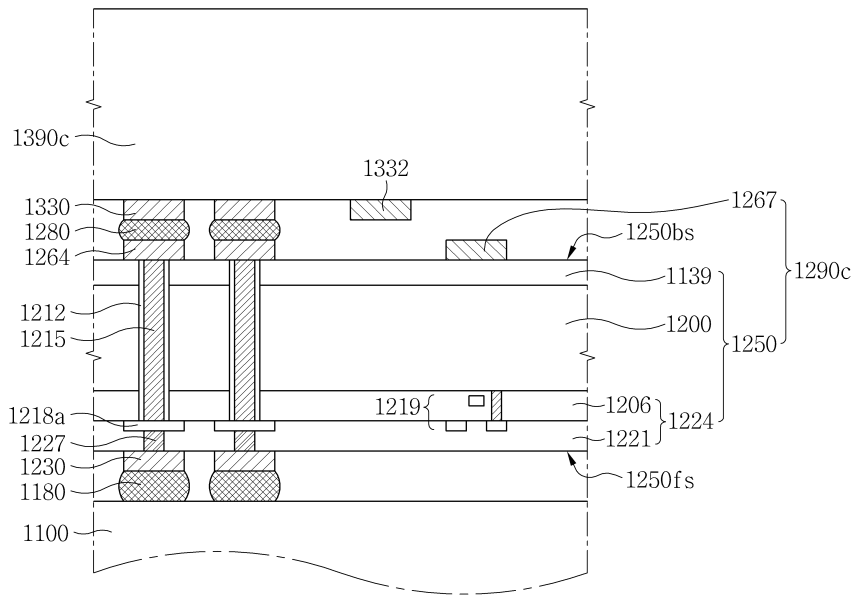




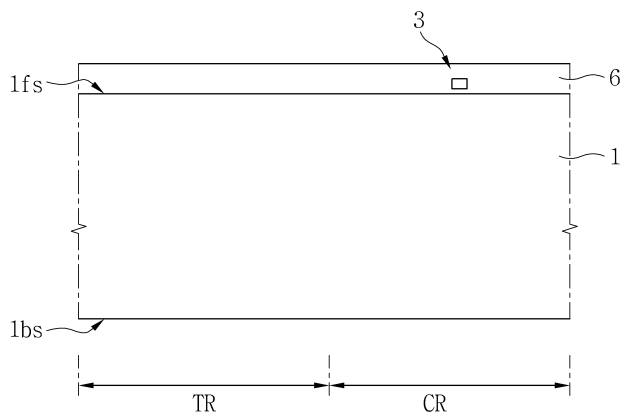
도면15b



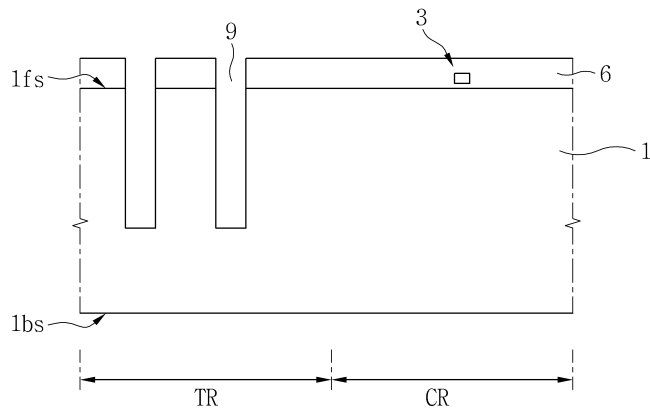
도면16



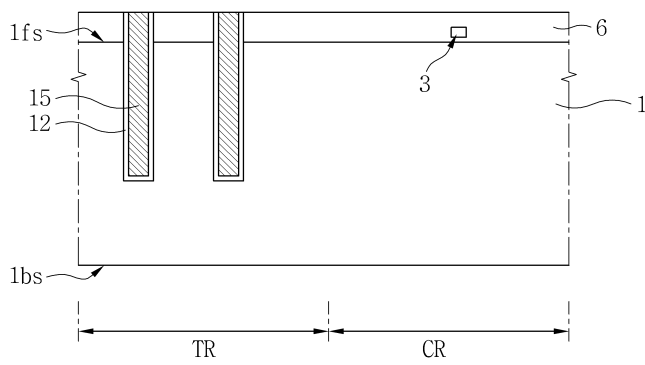
도면17a



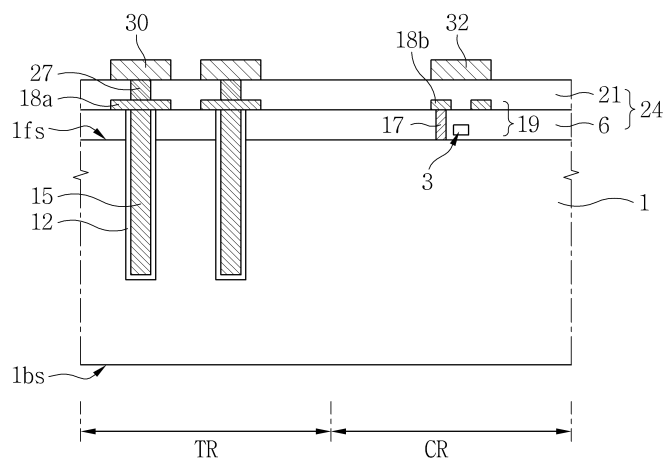
도면17b



도면17c

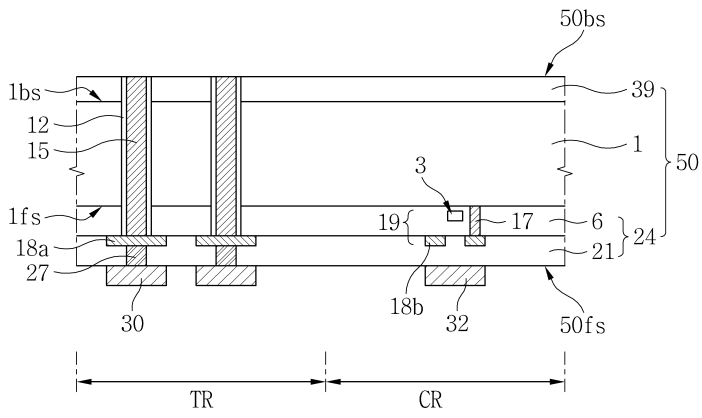


도면17d

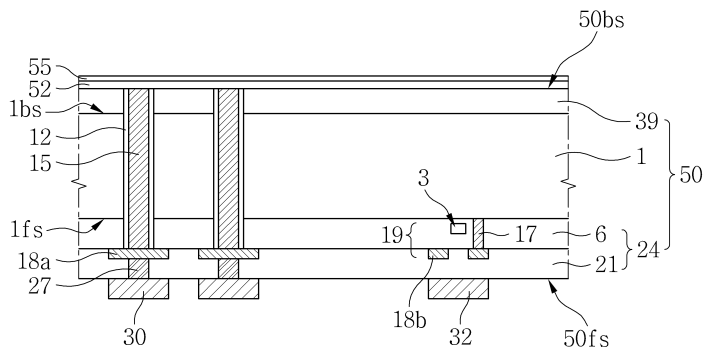




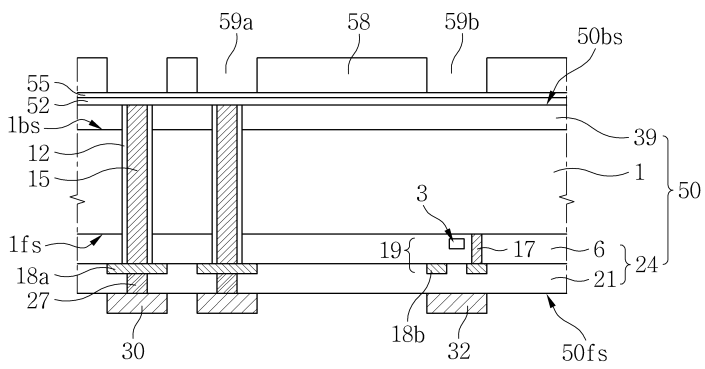
도면17h



도면18a

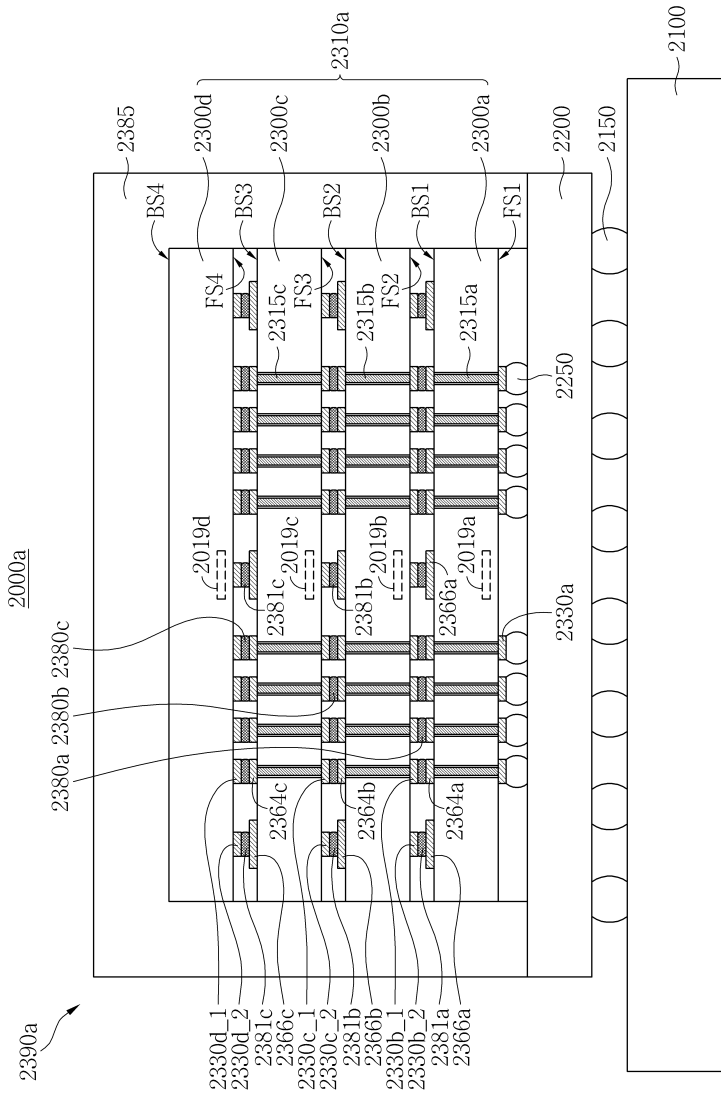


도면18b



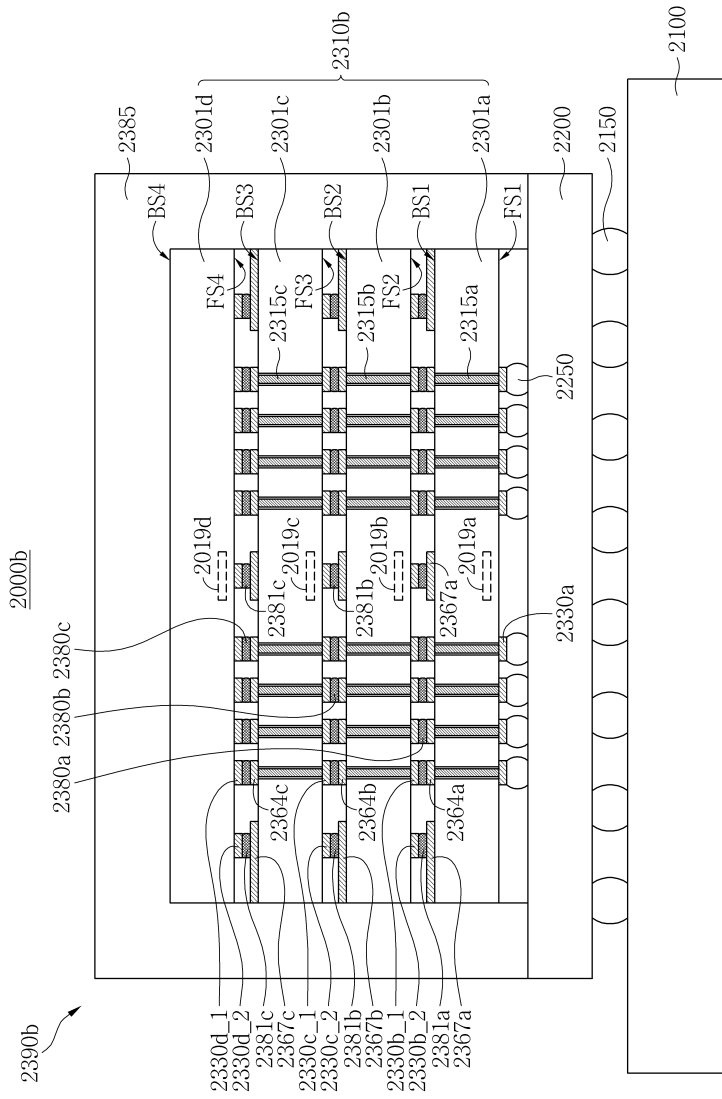


도면19a

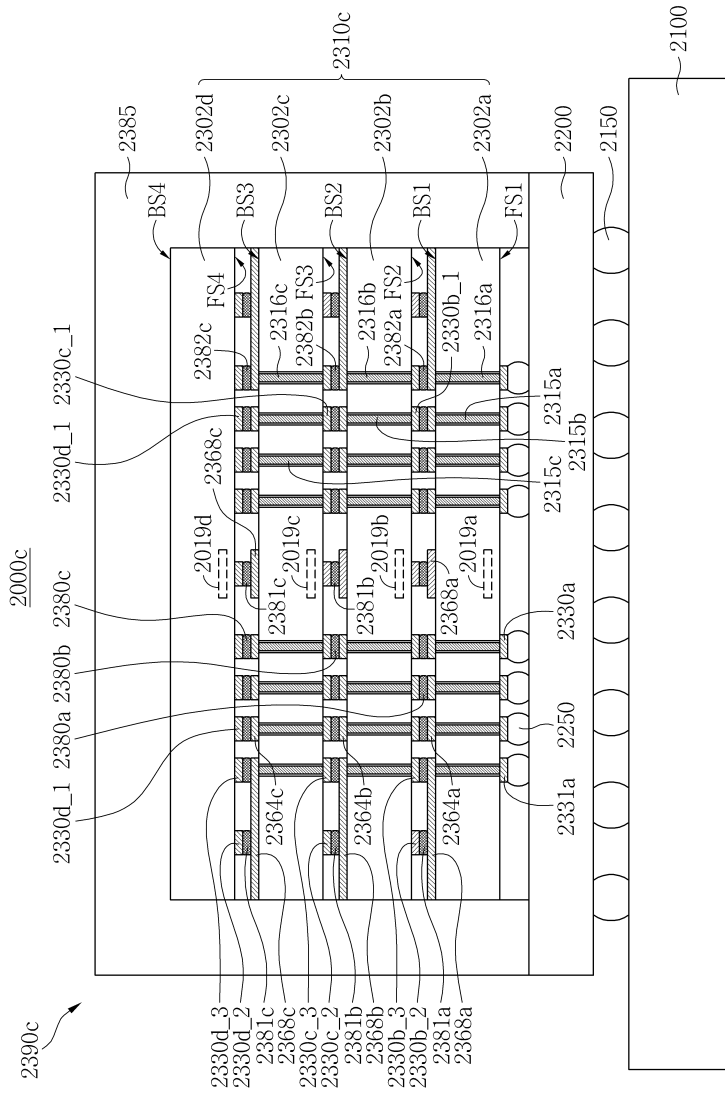




도면19b

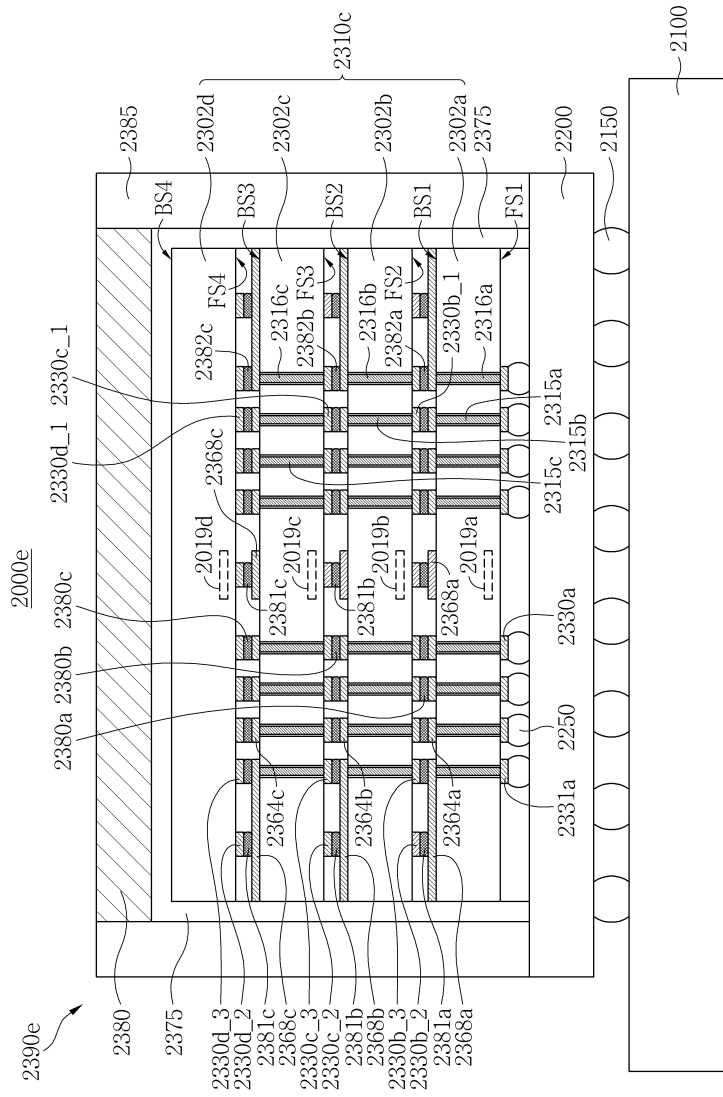


도면19c

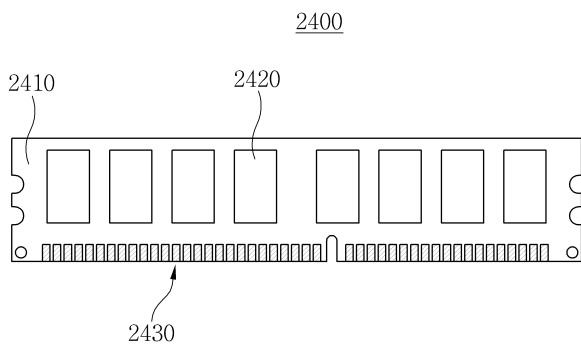




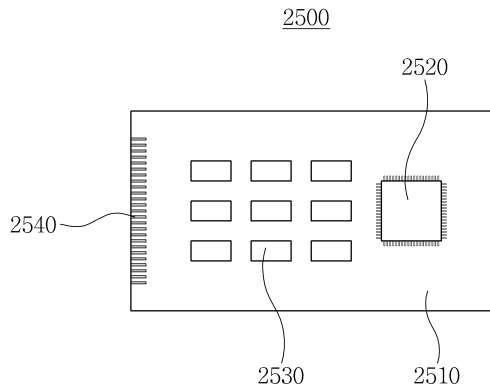
도면19e



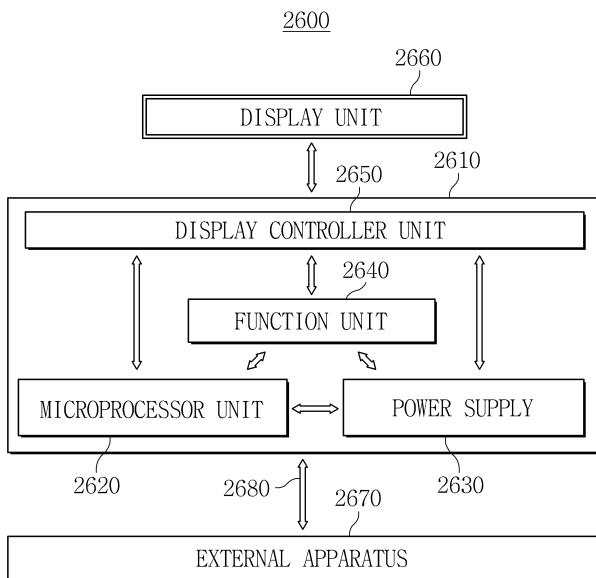
도면20



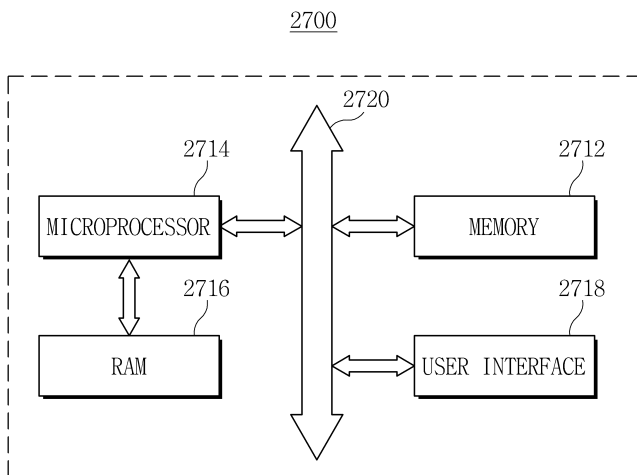
도면21



도면22



도면23



도면24

2800

