



[12] 发明专利申请公开说明书

[21] 申请号 03824509.4

[43] 公开日 2005 年 12 月 7 日

[11] 公开号 CN 1706143A

[22] 申请日 2003.9.15 [21] 申请号 03824509.4
 [30] 优先权
 [32] 2002.9.16 [33] US [31] 10/244,728
 [86] 国际申请 PCT/US2003/028856 2003.9.15
 [87] 国际公布 WO2004/025417 英 2004.3.25
 [85] 进入国家阶段日期 2005.4.22
 [71] 申请人 希格纳尔集成产品公司
 地址 美国得克萨斯
 [72] 发明人 肯尼思·W·弗纳尔德

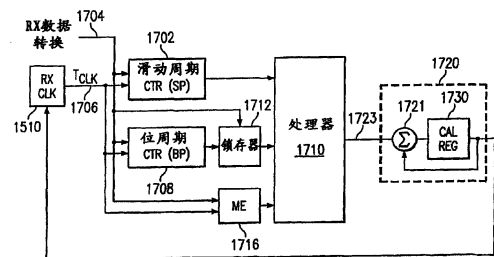
[74] 专利代理机构 中国国际贸易促进委员会专利商
 标事务所
 代理人 董 莘

权利要求书 11 页 说明书 28 页 附图 13 页

[54] 发明名称 突发通信的时钟恢复方法

[57] 摘要

本发明公开了一种用于根据所接收的数据流恢复时钟的方法，所接收的数据流包括数据突发，而在数据突发之间具有基本没有数据的区域。提供了一个接收时钟，它在参考频率范围内工作。然后，相对于接收时钟测量所接收数据中数据转换之间的时间。然后，如果测量的时间基本是接收时钟的整数，那么作出确定。如果不是接收时钟的基本整数，那么调整接收时钟的频率，以对差别进行补偿。



1. 一种用于根据所接收的包含数据突发、并且具有在所述数据突发之间基本上没有数据的区域的数据流来恢复时钟的方法，包括以下步骤：

提供在参考频率范围内工作的接收时钟；

相对于所述接收时钟测量所接收到的数据中数据转换之间的时间；

- 10 确定所测量的时间是否基本为所述接收时钟的整数；

如果不是所述接收时钟的基本整数，则调整所述接收时钟的频率，以补偿差异。

2. 根据权利要求 1 的方法，还包括以下步骤：计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值，并且从中计算频率误差作为相位差除以所测量的在其上确定相位差的时间；可操作地调整，以便调整所述接收时钟频率，以使这个频率误差最小。

3. 根据权利要求 2 的方法，其中，如果前面的、为前面的调整所述接收时钟频率的步骤计算相位值的步骤产生了与当前的相位值计算的相位值符号相反的相位值，则调整所述接收时钟频率的步骤就被禁止。

4. 根据权利要求 2 的方法，其中提供接收时钟的步骤包括提供 25 K 倍于所述发送时钟 T_{clk} 频率的过采样的接收时钟，因此，计算所述相位值的步骤包括确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同。

5. 根据权利要求的 2 方法，其中所述调整步骤包括用步长值来

调整所述接收时钟的频率。

6. 根据权利要求 5 的方法，其中进一步包括给所述步长值加上预定的过调值。

5

7. 根据权利要求 5 的方法，其中所述步长值的符号与所述相位值符号一致。

8. 根据权利要求 1 的方法，其中所述数据是不归零的二进制数据。

10

9. 根据权利要求 1 的方法，其中在所述数据转换时量化所述测量数据转换之间时间的步骤。

10. 根据权利要求 1 的方法，其中从第一数据转换到第二数据转换地测量数据转换之间的时间，所述第二数据转换包括在确定所测量的时间是否基本为所述接收时钟整数的步骤确定所测量的时间基本不是所述接收时钟的整数时发生的数据转换。

15

11. 根据权利要求 10 的方法，其中在所述第一和第二数据转换之间可以有多个中间数据转换。

20

12. 根据权利要求 10 的方法，其中所述第一和第二数据转换可以存在于不同的数据突发中。

25

13. 根据权利要求 2 的方法，其中所述接收时钟具有已知的最大误差值，并且进一步包括步骤：确定所测量的时间上应用的这个已知最大误差值是否可能导致所得到的相位的符号不确定，如果是，则禁止调整所述接收时钟的频率的步骤。

14. 根据权利要求 13 的方法，其中：

5 提供接收时钟的步骤包括提供 K 倍于发送时钟 T_{CLK} 频率的过采样的接收时钟，因此，计算所述相位值的步骤包括确定数据转换之间的时间是否与过采样时钟的 K 个循环的整数倍不同，并且

进一步包括以下步骤：计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值，并且从中计算频率误差作为除以所测量在其上确定相位差的时间的相位的差；可操作地调整，以便调整
10 所述接收时钟的频率以使这个频率误差最小，并且还包括在每次确定所测量的时间是否基本为所述接收时钟的整数时根据下式调整所述最大频率误差的步骤：

$$|\epsilon_{\max}| < \begin{cases} \frac{|PH-1|}{SP+1} & \text{if } PH < 0 \\ \frac{PH+1}{SP-1} & \text{if } PH \geq 0 \end{cases}$$

15 其中， PH =相位漂移误差， SP =在从第一数据转换到第二数据转换的数据转换之间所述过采样时钟循环的数量。

15. 一种用于从远程发送位置接收串行数据的方法，其中所述数据被包括在具有在数据突发之间基本没有数据的区域的数据突发的数据流，包括以下步骤：

20 在串行端口接收所述数据；

通过以下步骤，从所接收的数据流中恢复时钟：

提供工作在参考频率范围内的接收时钟；

相对于所述接收时钟测量所接收的数据中数据转换之间的时间；

确定所测量的时间是否基本为所述接收时钟的整数；

25 如果不是所述接收时钟的基本整数，则调整所述接收时钟的频率，以补偿差异；

使用调整后的频率接收时钟来解码所述数据。

16. 根据权利要求 15 的方法，进一步包括计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值、并且从中计算频率误差作为除以所测量的在其上确定相位差的时间的相位差的步骤，可操作地调整以便调整所述接收时钟频率以使这个频率误差最小的步骤。

17. 根据权利要求 16 的方法，其中如果前面的、计算用于前面的调整所述接收时钟频率的步骤的相位值的步骤产生与当前相位值计算的相位值的符号相反的相位值，则调整所述接收时钟频率的步骤被禁止。

18. 根据权利要求 16 的方法，其中提供接收时钟的步骤包括提供 K 倍于所述发送时钟 T_{clk} 频率的过采样的接收时钟，并且因此，计算所述相位值的步骤包括确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同。

19. 根据权利要求 16 的方法，其中所述调整步骤包括用步长值来调整所述接收时钟的频率。

20. 根据权利要求 19 的方法，其还包括为所述步长值加上预定的过调值。

21. 根据权利要求 19 的方法，其中所述步长值的符号与所述相位值的符号一致。

22. 根据权利要求 15 的方法，其中所述数据是不归零的二进制数据。

23. 根据权利要求 15 的方法，其中测量数据转换之间时间的步骤在所述数据转换时被量化。

5 24. 根据权利要求 15 的方法，其中从第一数据转换到第二数据转换地测量数据转换之间的时间，其中所述第二数据转换包括在确定所测量的时间是否基本为所述接收时钟整数的步骤确定所测量的时间基本不是所述接收时钟整数时所发生的数据转换。

10 25. 根据权利要求 24 的方法，其中在所述第一和第二数据转换之间可以有多个的中间数据转换。

26. 根据权利要求 24 的方法，其中所述第一和第二数据转换可以存在于不同的数据突发中。

15

27. 根据权利要求 16 的方法，其中所述接收时钟具有已知的最大误差值，并且进一步以下步骤：包括确定在所测量的时间上应用的这个已知最大误差值是否可能导致所得到的相位的符号不确定，如果是，则禁止调整所述接收时钟的频率。

20

28. 根据权利要求 27 的方法，其中：

提供接收时钟的步骤包括提供 K 倍于所述发送时钟 T_{clk} 频率的过采样的接收时钟，并且因此，计算所述相位值的步骤包括确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同；并且
25 进一步包括计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值、并且从中计算频率误差作为除以所测量的、在其上确定了相位差的时间的相位差的步骤，可操作地调整以调整所述接收时钟频率以使这个频率误差最小的步骤，还包括在每次确定所

测量的时间是否基本为所述接收时钟的整数时根据以下方程式调整最大频率误差的步骤:

$$|\epsilon_{\max}| < \begin{cases} \frac{|PH-1|}{SP+1} & \text{if } PH < 0 \\ \frac{PH+1}{SP-1} & \text{if } PH \geq 0 \end{cases}$$

其中, PH=相位漂移误差, SP=在从第一数据转换到第二数据转换的数据转换之间的所述过采样时钟循环的数量。

29. 一种从所接收的包含数据突发、并且具有在所述数据突发之间基本没有数据的区域的数据流中恢复时钟的时钟恢复设备,包括:

10 工作在参考频率范围内的接收时钟;

用于相对于所述接收时钟测量在所接收的数据中数据转换之间时间的测量设备;

用于确定所测量的时间是否基本为所述接收时钟整数的相位漂移检测设备; 以及

15 用于如果所测量的时间被确定为不是基本为所述接收时钟整数时, 调整所述接收时钟频率以补偿这个差异的控制设备。

30. 根据权利要求 29 的控制设备, 其中所述相位漂移设备可操作地计算所测量的时间和最近的接收时钟间隔之间的差的量作为相位漂移值, 并且从中计算频率误差作为除以所测量的、在其上确定了所述相位差的时间的相位差, 所述控制设备可操作地调整所述接收时钟的频率以使这个频率误差最小。

31. 根据权利要求 30 的控制设备, 其中, 如果前面的、计算用于前面的调整所述接收时钟频率的操作的相位值的步骤生成了与当前相位值计算的相位值的符号相反的相位值, 则禁止所述控制设备步骤来调整所述接收时钟的频率。

32. 根据权利要求 30 的控制设备, 其中所述接收时钟包括 K 倍于所述发送时钟 T_{CLK} 频率的过采样的接收时钟, 并且所述相位检测设备可操作地确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同。

33. 根据权利要求 30 的控制设备, 其中所述控制设备可操作地通过步长值来调整所述接收时钟的频率。

34. 根据权利要求 33 的控制设备, 其中还包括给所述步长值加上预定的过调值。

35. 根据权利要求 33 的控制设备, 其中所述步长值具有与所述相位值的符号一致的符号。

36. 根据权利要求 29 的控制设备, 其中所述数据是不归零的二进制数据。

37. 根据权利要求 29 的控制设备, 其中所述测量设备可操作地测量被量化的数据转换之间的时间。

38. 根据权利要求 29 的控制设备, 其中是从第一数据转换到第二数据转换地测量数据转换之间的时间, 其中所述第二数据转换包括在所述相位检测设备确定所测量的时间基本不是所述接收时钟整数时发生的数据转换。

39. 根据权利要求 38 的控制设备, 其中在所述第一和第二数据转换之间可以有多个中间数据转换。

40. 根据权利要求 38 的控制设备，其中所述第一和第二数据转换可以存在于不同的数据突发中。

41. 根据权利要求 30 的控制设备，其中所述接收时钟具有已知的最大误差值，并且进一步包括禁止设备，用于确定在所测量的时间上应用的这个已知最大误差值是否可能导致得到的相位的符号不确定，如果是，则由所述控制设备禁止调整所述接收时钟的频率。

42. 根据权利要求 41 的控制设备，其中：

所述接收时钟包括 K 倍于所述发送时钟 T_{CLK} 频率的过采样的接收时钟，并且所述相位检测设备可操作地确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同；并且

所述相位检测设备可操作地计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值，并且从中计算频率误差作为除以所测量的、在其上确定了所述相位差的时间的相位差，所述控制设备可操作地调整所述接收时钟频率来最小化这个频率误差，并且进一步可操作地在每次确定所测量的时间是否基本为所述接收时钟的整数时根据下式调整所述最大频率误差：

$$|\epsilon_{max}| < \begin{cases} \left| \frac{PH-1}{SP+1} \right| & \text{if } PH < 0 \\ \left| \frac{PH+1}{SP-1} \right| & \text{if } PH \geq 0 \end{cases}$$

其中， PH =相位漂移误差， SP =在第一数据转换到第二数据转换的数据转换之间的过采样时钟循环的数量。

43. 一种数据接收器，用于接收从远程发送位置发送的串行数据，其中所述数据被包括在具有在数据突发之间基本没有数据的区域的、数据突发的数据流中，所述数据接收器包括：

在串行端口上接收所述数据；

从所接收的数据流中通过以下步骤恢复所述时钟:

接收时钟, 工作在参考频率范围内;

测量设备, 用于相对于所述接收时钟测量在所接收的数据中数据转换之间的时间;

5 相位漂移检测设备, 用于确定所测量的时间是否基本为所述接收时钟的整数;

控制设备, 用于如果确定所测量的时间不是基本上为所述接收时钟的整数, 则调整所述接收时钟频率, 以补偿所述差异;

使用调整后的频率接收时钟来解码所述数据。

10

44. 根据权利要求 43 的数据接收器, 其中所述相位漂移检测设备可操作地计算所测量的时间和最近的接收时钟间隔之间的差的量作为相位漂移值, 并且从中计算频率误差作为除以所测量的、在其上确定了所述相位差的时间的相位差, 调整步骤可操作地调整所述接收时钟频率以使这个频率误差最小。

45. 根据权利要求 44 的数据接收器, 其中如果前面的、计算用于前面调整所述接收时钟频率的步骤的相位值的步骤生成了与当前相位值计算的相位值的符号相反的相位值, 则禁止所述控制设备步骤调整所述接收时钟频率。

46. 根据权利要求 44 的数据接收器, 其中所述接收时钟包括 K 倍于所述发送时钟 T_{CLK} 频率的过采样的接收时钟, 并且所述相位检测设备可操作地确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同。

47. 根据权利要求 44 的数据接收器, 其中所述控制设备可操作地通过步长值来调整所述接收时钟的频率。

48. 根据权利要求 47 的数据接收器，其中还包括给所述步长值加上预定的过调值。

49. 根据权利要求 47 的数据接收器，其中所述步长值具有与
5 所述相位值符号一致的符号。

50. 根据权利要求 43 的数据接收器，其中所述数据不归零的二进制数据。

10 51. 根据权利要求 43 的数据接收器，其中所述测量设备可操作地测量被量化的数据转换之间的时间。

52. 根据权利要求 43 的数据接收器，其中从第一数据转换到第二数据转换地测量数据转换之间的时间，其中所述第二数据转换包
15 括在所述相位检测设备确定所测量的时间基本为所述接收时钟整数，确定所测量的时间基本不是所述接收时钟整数时发生的数据转换。

53. 根据权利要求 52 的数据接收器，其中在所述第一和第二数据转换之间可以有多个中间数据转换。

20

54. 根据权利要求 52 的数据接收器，其中所述第一和第二数据转换可以存在于不同的数据突发中。

25 55. 根据权利要求 44 的数据接收器，其中所述接收时钟具有已知的最大误差值，并且进一步包括禁止设备，用于确定在所测量的时间上应用的这个已知最大误差值是否可能导致得到的相位的符号不确定，如果是，就禁止调整所述接收时钟的频率。

56. 根据权利要求 52 的数据接收器，其中：

所述接收时钟包括 K 倍于所述发送时钟 T_{CLK} 频率的过采样的接收时钟，并且所述相位检测设备可操作地确定数据转换之间的时间是否与所述过采样时钟的 K 个循环的整数倍不同；并且

- 5 所述相位检测设备可操作地计算所测量的时间和最近的接收时钟间隔之间的差的数量作为相位漂移值，并且从中计算频率误差作为除以所测量的、在其上确定了所述相位差的时间的相位差，所述控制设备可操作地调整所述接收时钟频率来最小化这个频率误差，并且还
- 10 包括以下步骤：在每次确定所测量的时间是否基本为所述接收时钟的整数时根据下式调整所述最大频率误差：

$$|\epsilon_{max}| < \begin{cases} \frac{|PH-1|}{SP+1} & \text{if } PH < 0 \\ \frac{PH+1}{SP-1} & \text{if } PH \geq 0 \end{cases}$$

其中， PH =相位漂移误差， SP =从第一数据转换到第二数据转换的数据转换之间的过采样时钟循环数量。

突发通信的时钟恢复方法

5 发明技术领域

本发明一般涉及时钟恢复方法，尤其涉及在具有突发信号传输（例如 USB）的通信系统中的恢复时钟的方法。

相关应用的参考

10 本申请涉及于 2001 年 6 月 19 日提交的、以“FIELD PROGRAMMABLE MIXED-SIGNAL INTEGRATED CIRCUIT”为标题的美国专利申请 09/885,459（Atty. Dkt.No.CYGL-25,768）（被包括在这里作为参考）以及与其同时的未决美国专利申请 No.____的“PRECISION OSCILLATOR FOR AN ASYNCHRONOUS
15 TRANSMISSION SYSTEM”，Atty.Dkt.CYGL-26,116（也被包括在这里作为参考）。

发明背景

串行总线通信协议长期以来用于两个设备之间的通信。这种串行
20 通信能够提供两个设备间长距离或者短距离的通信，而且既可以为“同步的”也可以为“异步的”。对于异步传输来说，提供两个独立的时钟，一个在主结点，一个在从结点（注意：在通信路径的任意端上的任一设备都可以做为主结点或者从结点），其中主结点和从结点都可以只基于它们的时钟接收或者发送数据。异步通信会稍微慢于同步通信，
25 因为在两个时钟之间当然存在一定差异。对于同步通信来说，在独立时钟线上的两个设备之间提供独立的时钟信号，或者利用某种类型的时钟恢复。一种利用独立时钟线的同步串行传输协议被称作 I²C。在时钟恢复系统中，时钟信号与同一线路上的数据重叠，使得能够根据数据传输恢复时钟信息。一种这样的时钟恢复协议是曼彻斯特编码的

PSK。与本说明书相关的另一种是通用串行总线（**USB**）。

为了维护两个系统之间的同步，接收端典型的做法就是“锁住”所接收的数据，并从中提取时钟信息。典型地提供接收时钟，接收时钟将使其频率和相位充分地等于从接收到的数据中所提取发送时钟的频率和相位。用于提供接收时钟并且调整其频率和相位的一种技术是锁相环。对于连续发送系统，例如曼彻斯特编码的 **PSK**，数据发送是在充分连续的基础上，使得在接收时钟和发送时钟之间相位和频点误差被连续地最小化或者得到校正。然而，对于 **USB** 传输系统，它具有被称为“突发”通信；也就是，数据只出现在突发中。因此，为了锁住锁相环，不存在充分连续的数据传输。这样，在没有数据发送的期间，接收时钟可能会在相位和频率上漂移，在接收下个数据突发的时候，在能够保证数据接收的完整性之前将必须重新获得锁定。

发明综述

这里所公开和要求的发明，从一方面来说，包括一种用于根据接收到的、包含了具有在数据突发之间基本没有数据的区域的数据突发的数据流恢复时钟的方法。提供了工作在参考频率范围内的接收时钟。然后，相对于接收时钟来测量在接收到的数据中数据转换之间的时间。如果所测得的时间基本上是接收时钟的整数，那么就作决定。如果不是接收时钟的基本整数，就调整接收时钟以补偿差别。

附图说明

为了更完整地理解本发明及其优点，结合附图参考以下描述，其中：

图 1 是使用 **USB** 接口的混合信号（**mixed-signal**）集成电路的整体框图；

图 2 是图 1 所示的集成电路的详图；

图 3 是通用 **UART** 的框图；

图 3A 是波特率发生器的框图；

- 图 4 是精确振荡器的框图；
- 图 5 是图 4 所示的精确振荡器的详图；
- 图 6 是精确振荡器的输出波形图；
- 图 7 是温度补偿参考电压的示意图；
- 5 图 8 是输出波形整形电路的一半的示意图；
- 图 9 是表明掩模可编程特点的其中一个电阻器的示意图/布局；
- 图 10 是可编程电容器的示意图；
- 图 11 是比较器的示意图；
- 图 12 是与比较器结合起来的 S/R 锁存器的逻辑图；
- 10 图 13 是延时模块的示意图；
- 图 14 是比较器的偏移量电路的示意图；
- 图 15 是两个计算机外围设备的框图；
- 图 16 表明了 USB 端口的数据流；
- 图 17 是用于根据突发通信恢复时钟的系统的整体框图；
- 15 图 18 是相对于 PH 以 K 为模的计数的 SP 计数器工作示意图；
- 图 19 是 SP 计数值的示意图；
- 图 20 说明了相对于 SP 计数的接收数据转换的示意图；
- 图 21 是 SP 计数器和 BP 计数器的操作的示意图；
- 图 22 是突发通信时钟恢复方法的整体框图；
- 20 图 23 是描述突发通信方法基本控制步骤的简化流程图；
- 图 24 是一个振荡器实例的框图；
- 图 25 和图 26 表明了振荡器控制表。

发明详述

- 25 参考图 1，介绍一种集成电路，包括完全集成芯片上的混合信号集成系统，此芯片包括：具有可编程增益预放大器 S12 的真 12 位多信道 ADC 110、两个 12 位 DAC 114 和 116、两个电压比较器 118 和 120、电压参考 22 和具有 32K 字节快速擦写存储器 126 的 8051 兼容微控制器内核 124。还配备有 I2C/SMBUS 128、UART 130，和以硬件实现

的 SPI 132 串行接口 140（在用户软件中不是“bit-banged”），以及具有五个截获/比较模块的可编程计数器/计时器阵列（PCA）134。还有 32 个通用数字端口 I/O。在模拟侧还包括多路复用器 113，可以连接八个模拟输入信号到可编程放大器 112 以及到 ADC 110。

5 通过板上 V_{DD} 监测器 136、WDT、和时钟振荡器 137，集成电路是芯片上的独立系统。MCU 有效地配置和管理模拟和数字外围设备。甚至能够内部电路地（in-circuit）重新编程快速擦写存储器 126，以便提供非易失性的数据存储，并且也允许 8051 固件的现场升级。MCU 还能够单独关闭任何或全部外围设备，以节约电量。

10 JTAG 接口 142 允许用户通过常规的 JTAG 输入组 144 与集成电路进行交互。板上 JTAG 调试支持允许使用安装在最终应用中的集成电路产品的、非干涉的（不使用片上资源）、全速率的内部电路调试。此调试系统支持对存储器和寄存器的检查和修改、设置断点、观察点，单步执行、运行和暂停命令。当使用 JTAG 进行调试时，所有的模拟
15 和数字外围设备都是完全起作用的。

微控制器 140 完全与 MCS-51™ 指令集兼容。标准的 803x/805x 汇编程序和编译器可以用于开发软件。内核具有标准 8052 包括的所有外围设备，包括三个 16 位计数器/计时器、全双工 UART、256 字节的内部 RAM、128 字节的专用功能寄存器（SFR）地址空间、和 4 个
20 字节宽度的 I/O 端口。通用串行总线（USB）接口具有与存储器 162（其全部或部分可以在具有控制器 160 的集成电路上）接口的控制器 160 和 USB 收发器 164。收发器 164 将与专用管脚 166 连接，来接收/发送串行数据。这些数据被称作“突发通信”。

进一步参考图 1，内核 141 通过内部总线 150 与各种输入/输出模
25 块接口。纵横机（cross-bar switch）152 提供了 UART 130、SPI 总线 132 等等与数字 I/O 输出之间的接口。这是可以配置的接口。

内核 140 使用流水线结构，这样大大的增加了它在标准 8051 体系结构上的指令流量。在标准 8051 中，在最大系统时钟是 12M 赫兹时，所有的指令（除了 MUL 和 DIV 以外）都需要 12 或者 24 个系统

时钟周期来执行。作为对比，内核 140 在一个或两个系统时钟周期内执行 70% 的指令，而只有四条指令用了多于四个系统时钟周期。内核 140 总共有 109 条指令。指令的个数与执行他们所需的系统时钟周期如下所示：

5

指令数	26	50	5	14	7	3	1	2	1
执行时钟	1	2	2/3	3	3/4	4	4/5	5	8

当内核 140 的最大系统时钟在 20M 赫兹时，它的峰值流量为 20MIPS。

10 作为对图 1 系统的综述，纵横机 152 能够被设置为将其 I/O 侧的任何端口连接到提供纵横机 152 和内核 140 之间接口的任何功能模块 128、130、132、134、或者 136。而且，纵横机 152 还能够通过这些功能模块 128-136 直接连接到总线 150。

15 现在参考图 2，表示图 1 所示的集成电路的更详细的框图。在此实施例中，可以看到，纵横机 152 实际上通过总线 150 与系统总线 202 接口。总线 150 是允许内核 140 与各种功能模块 128-134、和多个计时器 204、206、208 和 210 以及三个锁存器 212、214 和 216 连接的总线。纵横机 152 配置有由内核 140 配置的配置模块 220。纵横机 152 的另一侧，I/O 侧，与由与总线 150 连接的端口锁存器 224 所控制的多个端口驱动器 222 连接。另外，内核 140 可以利用控制模块 226 中的模拟接口配置来配置模拟侧。

25 内核 140 由线路 232 上的时钟来控制。如图所示，时钟选自具有多路复用器 236 的两个位置其中之一。第一个是外部振荡器电路 137，第二个是内部振荡器 236。内部振荡器电路 236 是精确的温度补偿振荡器，以下会详细描述。内核 140 同时由复位线 154 上的复位输入控制。复位信号由监视计时器（watchdog timer）电路（WDT）136 产生，时钟和复位电路都由内核 140 控制的时钟和复位配置模块 240 来控制。因此，可以看出，用户能够配置系统以外部晶体振荡器或者基

本上是“自激的”的内部精确的非晶体非稳定振荡器来运行。这个振荡器 236（以下将会描述）为内核 140 和 UART 130 产生计时，并且相对于温度是稳定的。

现在参看图 3，图示说明了 UART 130 的框图。系统时钟被输入到波特率发生器 302，波特率发生器 302 提供了线路 304 上的发送时钟和线路 306 上的接收时钟。发送时钟被输入到发送控制模块 308，接收时钟被输入到接收控制模块 310。提供串行控制寄存器(SCON0) 320，其可操作地向控制模块 308 和 310 提供控制信号。传输数据被从总线 322 上接收并通过门 324 被输入到串行数据缓冲器(SBUF) 326。此数据的输出被输入到零检测器 328，然后输入到控制模块 308。系统是异步的、全双工的串行端口设备，并提供两个相关的专用功能寄存器，串行控制寄存器(SCON0) 320 以及串行数据缓冲器(SBUF0)（没有图示）。数据在线路 312 上被接收，并被输入到输入移位寄存器 314 中。这由控制模块 310 控制，以输出移入的（shifted-in）数据到锁存器 332 中，然后通过门 334 输出到 SFR 总线 322。在传输模式下，数据被从 SFR 总线 321 接收，并通过门 324 输入到发送移位寄存器 326 中。其从发送移位寄存器 326 或者从控制模块 308 通过作为到传输线路 319 的 OR 门 340 的一个输入的 AND 门 338 输出到传输线路 319。以上全部由控制模块 308 来控制。

现在参看图 3A，说明波特率发生器 302 的框图。这个波特率是由计时器产生的，其中模块 TLI 产生发送时钟，而 TLI 的复件（表示为 RX 计时器）产生接收时钟，其中 TLI 的复件是用户不可访问的。发送和接收计时器溢出都除以 2，用于发送时钟和接收时钟的波特率。当计时器 1 被使能时，接收计时器就工作，并且使用相同的 TH1 值，这是重新加载的值。然而，在接收管脚上检测到开始条件时，强制进行 RX 计时器重新加载。这样就允许了不管发送计时器的状态，不论何时只要检测到开始就开始接收。

现在参看图 4，说明位于集成电路中的精确内部振荡器 236 的示意图。在上文提到的集成电路，是商业上可获得的、包括与其相关的

精确振荡器 236 的集成电路。集成电路能够选择晶体振荡器（其中晶体位于两个晶体端口之间）、选择外部时钟信号或者选择内部自激振荡器。自激振荡器在图 4 中表示为精确振荡器 236。振荡器的中心是两个比较器，第一比较器 402 和第二比较器 404。提供温度补偿参考电压电路 406，其向比较器 402 的负输入端提供温度补偿参考电压（断路电压 V_{TRIP} ）作为。比较器 402 和 404 的输出端分别连接到 S/R 锁存器 408 的置位和复位输入端。其 Q 和 Q-Bar 输出端被输入到输出 RC 定时电路 410，其中输出 RC 定时电路 410 可操作地限定振荡器的周期，S/R 锁存器 408 的输出提供了输出时钟信号。RC 定时电路 410 的输出被反馈回比较器 402 和 404 的正输入端。输出 RC 定时电路 410 也是温度补偿的。如以下将会描述的那样，电压参考模块 406 提供负温度系数，而比较器 402 和 S/R 锁存器 408 组合提供正温度系数，输出 RC 定时电路 410 提供正温度系数。所有组合的系数将接近于零，如下文描述的那样。

现在参看图 5，说明图 4 中的精确振荡器的更加详细的示意图。电压参考电路 406 包括分压器，其在结点 502 上将供电电压 V_{DD} 分压为 V_{TRIP} 。分压器包括表示为 R_3 的上电阻器 504。分压器的下半部分包括两个并联的电阻，表示为 R_2 的电阻 506 和表示为 R_4 的电阻 508。为了命名的目的，这些电阻器将分别被称为 R_2 、 R_3 和 R_4 。

电阻 R_3 和 R_4 由相同材料制成，用于提供正温度系数。这些电阻由具有正温度系数的 N-扩散材料制成。作为对比， R_2 由第一层中的多晶硅制成，其被称为 Poly1 材料，并且也具有正温度系数，但是不相同的正温度系数。应该理解，可以使用不同材料，只是必须有具有不同的温度系数的两个电阻。尽管不属于本说明书的一部分，Poly1 材料基本是置于氧化保护层上方基层上的多晶硅第一层，从中制成如晶体管的结构。电阻的正温度系数将导致具有负系数电压 V_{TRIP} 。如下所述，不同材料的电阻有助于两个电阻 R_2 和 R_4 之间的调整，以改变温度系数。这主要是因为他们不同材料这个事实。

输出 RC 定时电路 410 包括两个 RC 控制电路。第一 RC 电路包

括 P 通道晶体管 520, 它的源/漏极路径连接在 V_{DD} 和表示为 R 的电阻 522 的一端之间, 电阻 522 的另一端连接到节点 524。节点 524 连接到电容 526 的一端, 而电容 526 的另一端连接到 V_{SS} 。通道晶体管 528 的源/漏极路径连接跨过电容 526, 并且其栅极连接到 P 通道晶体管 520 的栅极, 并且也连接到 S/R 锁存器 408 的 Q-输出端。节点 524 包含比较器 402 的正输入。第二 RC 网络包含 P 通道晶体管 530, 其源/漏极路径连接在 V_{DD} 和电阻 532 (表示为 R) 的一端之间, 电阻 532 的另一端连接到节点 534。节点 534 连接到电容 536 的一端, 电容 536 的另一端连接 V_{SS} 。N 通道晶体管 538 的源/漏极路径连接在节点 534 和 V_{SS} 之间。晶体管 538 的栅极连接到晶体管 530 的栅极, 并也连接到 S/R 锁存器 408 的 Q-Bar 输出端。节点 534 包含比较器 404 的正输入。图 5 电路的输出波形在图 6 中表示, 其中为每个 RC 电路图示说明传统的 RC 起落曲线都有。每个输出波形的周期被限定为从初始接通点 (在那里, 电压被施加到电阻 R 上) 到另一个 RC 电路中的电阻 R 被接通那点。对于每个 RC 电路分别为周期 T1 和周期 T2。这两个周期的和与振荡器的周期相等。制作晶体管 520、530、528 和 538, 使得他们的阻抗会充分地小于电阻 522 和 532 的电阻值。电阻 522 和 532 由 Poly1 材料制成, 这是由于它低的温度系数。振荡器的周期是周期 T1 和周期 T2 之和再加上比较器延迟的两倍。

现在参看图 7, 说明参考电压 406 的实施方式的详细框图。图 5 中表示为与 V_{DD} 连接的电阻 504 实际上是通过 P 通道电阻 702 的源/漏极连接到 V_{DD} , 而其栅极与偏置电压连接。相似地, 电阻 506 的底部通过 N 通道晶体管 706 的源/漏极路径与 V_{SS} 连接, 晶体管 704 和 706 的栅极都与偏压连接。制造晶体管 702、704、和 708, 使得他们的阻抗充分地小于电阻 R_2 、 R_3 和 R_4 的电阻值。而且, 第一级电源供电独立也是由于断路电压 V_{TRIP} 与供电电压成比例, 即, $V_{DD} * (1 - e^{-t/\tau})$ 。因此, 在达到比较器的输入端上断路电压所需要的时间中, 独立于第一级地供电。这是使用 RC 定时电路而不是电流源来对电容充电的一个原因, 电流源不提供第一阶抵消。

$$V_{TRIP} = V_{DD} * ratio$$

$$V_{TRIP} = V_{DD} * (1 - e^{-T1/\tau})$$

$$T1 = -\tau * \ln(1 - V_{TRIP}/V_{DD})$$

$$\text{Thus: } T1 = -\tau * \ln(1 - ratio)$$

从温度补偿的观点来看，电压参考电路 406 有许多方面都可以用来提供温度补偿。通常，电阻具有相对于温度的固定变化(set variation)。Poly1 电阻 R_2 的温度系数为 255ppm，而 N-扩散电阻 R_3 和 R_4 的电阻温度系数为 800ppm。在本说明书中，希望具有负系数 462ppm。

为了分析用电阻 R_2 、 R_3 和 R_4 这样产生负温度系数，假定 R_2 和 R_4 是定义为 $REQ = R_2 // R_4$ 的并联组合。如果 REQ 和 R_3 具有不同的温度系数并且 $TCR_3 > TCREQ$ ，那么断路电压将具有负的温度系数。 V_{TRIP} 是如下定义的：

$$V_{TRIP} = \frac{REQ}{R_3 + REQ} V_{DD}$$

$$\frac{1}{V_{TRIP}} \frac{dV_{TRIP}}{dT} = \frac{1}{REQ} \frac{dREQ}{dT} - \frac{R_3}{R_3 + REQ} \left[\frac{1}{REQ} \frac{dREQ}{dT} \right] - \frac{R_3}{R_3 + REQ} \left[\frac{1}{R_3} \frac{dR_3}{dT} \right]$$

$$\frac{1}{V_{TRIP}} \frac{dV_{TRIP}}{dT} = \frac{R_2}{R_3 + REQ} [TCREQ - TCR_3]$$

至于 REQ ，必须假定 V_{TRIP} 为定值，这样 R_2 和 R_4 可以是不同的，以获得特定的温度系数。可以由如下等式表明：

$$\frac{1}{REQ} \frac{dREQ}{dT} = \left[\frac{1}{R_2} \frac{dR_2}{dT} \right] + \left[\frac{1}{R_4} \frac{dR_4}{dT} \right] - \frac{R_2}{R_2 + R_4} \left[\frac{1}{R_2} \frac{dR_2}{dT} \right] - \frac{R_4}{R_2 + R_4} \left[\frac{1}{R_4} \frac{dR_4}{dT} \right]$$

$$TCREQ = TCR_2 + TCR_4 - \frac{R_2}{R_2 + R_4} TCR_2 - \frac{R_4}{R_2 + R_4} TCR_4$$

等式 5 的结果可以应用在等式 3 中，以设置最终的温度系数 V_{TRIP} 。

现在参看图 8，说明充电结构 410 的一半的实现的详细图示。与对于参考电压结构 406 的情况相同，提供了 P-通道晶体管 802，用于连接电阻 522 的上端到 V_{DD} ，而其栅极连接到偏置电源。P-通道晶体管为其温度操作引入了非常小的误差。电容 526 为可变电容，这样可

以改变其电容值来设置振荡器的周期。电容 526 由设置在第一层 poly, P1 和第二层 poly, P2 之间的绝缘体以及位于其间的氧化物制成。电阻 522 是晶体扩散电阻。

5 参考电压电路 406 中的电阻 R_3 、 R_2 和 R_4 为可变电阻，可以是掩模可编程电阻。电阻 R_3 用来设定 V_{TRIP} 的值，电阻 R_2 和 R_4 用来选择温度系数，这是因为他们具有不同的温度系数。

10 图 9 是电阻 R_2 -- R_4 中的一个的布局图。提供了多个串联电阻，它们都被制造在具有 N-类型扩散的基片中或在 Poly1 层中。这些电阻提供了掩模可编程组连接 904，以允许一个或多个电阻 902 被加入到电阻串中，他们最初是被短路。尽管在图中没有表示，但是也提供了使电阻中附加的那些短路的能力，以减小电阻值。这是掩模可编程的，并且被用于在金属级“调整 (tweak)”设计。

现在参看图 10，说明电容 526 的示意图，电容 526 是寄存器可编程电容，以允许中心频率的调整。这里提供了 380fF 的标称电容 1002，15 它被连接在节点 24 和 V_{ss} 之间。与其并联地，还提供了掩模可编程电容 1004，其为编程的八个步骤提供了 39.5fF 的增加。寄存器可编程电容配备有值为“C”的电容 1006，电容 1006 被连接在节点 524 和 N-通道晶体管 1008 的源/漏极路径的一端，N-通道晶体管 1008 的栅极被连接到 LSB 位。设置在开关晶体管 1008 和节点 524 之间的电容 1006 的配置只用于 LSB。这种结构允许使用较小的单位 (unit) 电容，但存在由晶体管 1008 的源/漏极和引线结合器引入的非线性电容量。余下的可选电容每个都包括电容 1010，电容 1010 被连接在 V_{ss} 和 N-通道晶体管 1012 的源/漏极路径的一端之间，N-通道晶体管 1012 的源/漏极路径的另一端被连接到节点 524，而其栅极被连接到位 [1] 至 [6]。与位 <1> 相关的电容 1010 的值为“C”，下一个可选的电容具有连接到位 <2> 的相关晶体管栅极，而最后一个可选电容 1010 具有连接到位 <6> 的相关晶体管栅极和值 32 C。这是二叉树状，具有提供近似为 C/2 的 LSB 的 LSB。

25 现在参看图 11，说明每个比较器 402 和 404 的不同输入结构的示

意图。这里提供了两个微分 P-通道晶体管 1102 和 1104，其源/漏极路径的一端与节点 1106 连接，节点 1106 通过电流源 1108 连接到 V_{DD} 。晶体管 1102 的源/漏极路径的另一端连接节点 1110，晶体管 1104 的源/漏极路径的另一端连接节点 1112。晶体管 1102 的栅极包括正输入，晶体管 1104 的栅极包括连接到 V_{REF} 的负输入。节点 1110 连接到 N-通道晶体管 1114 的源/漏极路径的一端及其栅极，而晶体管 1114 的源/漏极路径的另一端连接 V_{SS} 。节点 1112 连接到 N-通道晶体管 1116 的源/漏极路径的一端，N-通道晶体管 1116 的源/漏极路径的另一端连接到 V_{SS} ，而其栅极连接节点 1118，节点 1118 连接到电阻 1120 的一端，其另一端连接到晶体管 1114 的栅极。节点 1112 也连接到 N-通道晶体管 1122 的栅极，其源/漏极路径连接在节点 1118 和 V_{SS} 之间。这种结构被称为改进的 Flynn-Lidholm 锁存比较器，其提供具有动态逻辑的置位/复位锁存，在 1992 年 7 月的 Vol. 27 No. 7 中 Flynn M. Lidholm S.U. 的“A 1.2 μ m CMOS Current Controlled Oscillator, IEEE Journal of Solid state Circuits”中对其进行了描述。

现在参看图 12，说明比较器 402 和表示 Q-Bar 输出的 S/R 锁存器 408 的一半的示意图。S/R 锁存器 408 的这一半使其置位输入连接到比较器 402 的输出端，并被输入到 N-通道晶体管 1202 的栅极，N-通道晶体管 1202 的源/漏极路径连接在节点 1204 和 V_{SS} 之间。P-通道晶体管 1206 的源/漏极路径连接在节点 1204 和 V_{DD} 之间，其栅极连接到节点 1208。节点 1204 连接到常规反相器 1210 的输入，并也被连接到 N-通道晶体管 1212 的源/漏极路径的一端，N-通道晶体管 1212 的源/漏极路径的另一端连接到 V_{DD} ，N-通道晶体管 1212 的栅极连接到节点 1214，节点 1214 也连接到反相器 1210 的输出端。节点 1214 连接到反相器 1216 的输入端，其输出提供 Q-Bar 输出。节点 1214 也通过延时模块 1218 连接到表示为“ND1”的 NAND 门 1220 的输入。NAND 门 1220 包括 P-通道晶体管 1222（其源/漏极路径连接在 V_{SS} 和节点 1208 之间）和 N-通道晶体管 1224（其源/漏极路径连接在节点 1204 和 N-通道晶体管 1226 的源/漏极路径的一端之间，N-通道晶体管 1226 的源

/漏极路径的另一端连接 V_{SS})。晶体管 1222 和 1224 的栅极连接到延时模块 1218 的输出端。晶体管 1226 的栅极连接到来自 S/R 锁存器 408 另一侧的复位输入“RST”。节点 1208 连接至反相器 1230 的输入，其输出驱动 N 通道晶体管 1232 (其源/漏极路径连接在比较器 402 的输出端，锁存器 408 的 SET 输入端之间，而晶体管 1232 的源/漏极路径的另一端连接到 V_{SS})。为比较器 404 的输出提供图 12 中所示的与比较器 402 的输出相关的并联结构，用于复位输入。

操作中，当比较器 402 的正输入，FB1，充电时，SET 开始变高。当它到达晶体管 1202 的门限电压 V_{TH} 时，Q-Bar 开始变低，同时，具有类似于 ND1 的 NAND 门 ND2 的锁存器的另一端开始变低，并使 RST 变低。当 RST 变低时，就置位了 Q-输出。最初，假定 Q-Bar 被设置为值“1”，Q-输出被设置为“0”，而 FB1 在比较器 402 上等于“0”，比较器 404 正输入的 FB2 初始设置为“1”(SET=0 和 RST=1)。在 RST 变低以前，延时模块 1218 阻止 ND1 使 SET 值变低。RST 的变低保证了降低的输入是低的 (或者 ND1 高)，从而导致了 SET/RST 的均衡过程。

现在参看图 13，说明延时模块 1218 的示意图。这个延时模块包括多个串联的、包括两个串联晶体管的反相器，P 通道晶体管 1302 和 N 通道晶体管 1304，其栅极连接在一起，而其源/漏极路径的一端连接到节点 1306，晶体管 1302 连接在 V_{DD} 和 V_{SS} 之间。

现在参看图 14，说明表示怎样加强供电独立的简化比较器的示意图由位于 V_{DD} 和节点 1404 之间的电流源 1402、连接到两个微分连接的 P 通道晶体管 1406 和 1408 一侧的节点 1404 来说明。图 14 的比较器。晶体管 1406 的栅极连接到一个输入，而晶体管 1408 的栅极连接到另一个 V_{REF} 的输入。晶体管 1406 的源/漏极路径的另一端连接到节点 1410，节点 1410 连接到 N 通道 1412 的源/漏极路径的一端，N 通道 1412 的源/漏极路径的另一端接地，N 通道 1412 的栅极连接到其在节点 1410 上的漏极，也连接到 N 通道晶体管 1414 的栅极。晶体管 1414 的源/漏极路径连接在晶体管 1408 的另一侧和 V_{SS} 之间。另外，P-通

道类型的偏移晶体管 (offset transistor) 1416 的源/漏极路径连接跨过晶体管 1408 的源/漏极路径, 其栅极连接到 V_{REF} 和晶体管 1408 的栅极。晶体管 1416 表示可选晶体管, 其为掩模可编程的, 以选择比较器中预定偏移的。比较器输入端的偏移有助于供电独立。如果没有偏移量, 以下情况将是真实的:

有偏移量:

$$T_{Period} = 2 * (-\tau * \ln(1 - V_{Trip} / V_{DD})) + T_{Delay(comp)}$$

$$T_{Period} = 2 * (-\tau * \ln(1 - ratio)) + T_{Delay(comp)}$$

$$V_{Trip} = ratio * V_{DD}$$

没有偏移量

$$V_{Trip} = V_{Trip} + V_{OS}$$

$$T_{Period} = 2 * (-\tau * \ln(1 - ratio - V_{os} / V_{DD})) + T_{Delay(comp)}$$

从这些方程式中可以看到, 已经增加了 V_{DD} 的依赖性。通过变化晶体管 1416, 能够增加或减小电源供应的依赖性, 注意还可以有跨过晶体管 1406 的可变晶体管。这样, 偏移可以为负或者为正。同样的, 这是掩模可编程系统。

现在参看图 15, 说明两个计算机外围设备 (发送设备 1502 和接收设备 1504, 各自独立又通过串行通信线路 1506 互相连接) 的框图。在图 15 中表示单向传输, 其中信息被从发送器 1502 发送到接收器 1504。表示为 T_{ref} 的发送时钟 1508 与发送器相关。与接收器 1504 相关的则为接收时钟 1510 T_{clk} 。在图 16 中说明发送的数据, 其中有大量的数据突发 1602, 它们在不同的时间发生在时间线 (timeline) 上, 尽管它们可能以给定的周期重复。然而, 对于突发通信, 注意到以下情况很重要, 即通信实际上在突发 1512 之间的有限时间内消失, 使得接收时钟 1510 具有更难从接收数据中获取时钟信息的时间。

现在参看图 17，说明用于根据突发通信恢复时钟的系统的整体框图。接收时钟 1510，如上文所述，是可变频率时钟，并且可以使其频率和相位改变。为了追踪数据转换和判定时钟是否没有被锁定，提供第一计数器 1702，这个第一计数器 1702 被称作滑动周期计数器(Slip Period Counter)。此计数器 1702 可操作地接收线路 1704 上的数据转换以及线路 1706 上的时钟电路 1510 的输出作为输入。以高于发送时钟的速率操作接收时钟 1510，在本说明书中为 4X，以提供过采样的情况。因此，对于发送端时钟 T_{ref} 的每一个周期，将有时钟 1510 的四个周期。滑动周期计数器 1702 可操作地在检测到数据转换时就以值“0”开始计数。以最高位，计数器 1702 将只以两个最低位继续向上计数，以提供对 4 取模的计数，可以理解，这可以是任何取模基数的，也就是，可以为对 8 取模，对 16 取模等等。因此，这两个最低位将从“0”计数到“3”，然后再重新从“0”开始。这两个最低位的值被称作相位滑动值“PH”。实际上，计数器 1702 的这两个最低位将为发送时钟的每一个周期提供四个计数值。

如下文所描述的那样，滑动周期计数器在出现相位滑移时被复位，而且可操作地使用 PH 值来确定下一次滑移发生的时间。当采样到后来的数据转化且 PH 计数器的值不为零时，这种情况会发生。这表明接收到的数据间隔不是 PH 时钟周期乘四的整数倍。例如，在接收到的数据中进行数据转换时启动计数器 1702。这将导致接收时钟 1510 增加计数值。第一数据转换将发生在 PH 时钟值为“0”的时候。如果发送时钟和接收时钟被锁定，并且没有频率误差，且数据转换间隔为 PH 时钟周期乘四的整数倍，那么数据转换将总是发生在 PH 时钟计数值为“0”的时候。然而，如果其中一个时钟相对于另一个接收/发送时钟发生漂移，那么将会到达一个时间点，在那里，与数据转换的发生相关的 PH 时钟的值可能对于相对于接收时钟慢的发送时钟为“1”，或者对于比接收时钟快的发送时钟为值“3”。在确定数据转换发生在 PH 计数器值为非“0”时(这产生“滑动”)的时候，SP 计数器 1702 将被记录，并被输出到处理器 1710，接着 SP 计数器 1702 复位。

提供第二计数器，计数器 1708，以对与“位周期”相关的接收时钟周期的数量进行计数，这被称为“BP”计数器。位周期是发生在接收数据的第 M 个数据和第 M-1 个数据转换之间的两个数据转换之间发生的接收时钟循环的数量，其中，第 M 个数据转换构成被确定为在滑移发生并且 SP 计数器 1702 被复位时的数据转换。于是，BP 计数器 1708 的输出被锁存在锁存器 1712 中，其输出被提供给处理器 1710。如下文所述，锁存器的内容包括当前滑动周期和最近的上个滑动周期的最后一个位周期的计数。

除了确定 SP 和 BP 计数器值，还将提供主误差 (ME) 模块 1716，它被用来计算误差值。这利用线路 1704 和 1706 上的数据转换和时钟信号。这被提供给处理器 1710。

处理器 1710 将利用来自 SP 计数器 1702 的滑移提示和它的值、锁存器 1712 的内容和 ME 模块 1716 的内容来确定为了实现接收时钟 1510 中的改变以减小接收和发送时钟之间所需要的频率误差所需要的振荡器校正的方向和校正的大小。然后，它被输出到振荡器校准模块 1720，振荡器校准模块 1720 将校正控制提供给接收时钟。这与使用迭代步骤的标准锁相环相对照，其中它计算出误差，然后在一个方向或者另一个方向步测 (step) 振荡器，以重新确定误差。步测的步幅典型是恒定步幅。在所公开的实施例中，处理器 1710 实际上确定步幅的值和方向。校准模块 1720 包括带符号的加法器。这包括求和器 1721，其在输入端 1723 上接收误差 ϵ_{osc} ，求和器 1721 的输出输入到校准寄存器模块 1730。然后，校准寄存器模块 1730 的输出被输入到求和器 1721 的另一个输入端，并向振荡器 1510 提供频率输入。

在本说明书的时钟恢复中，假定到来的转换之间的时间间隔为参考时钟 T_{ref} 周期的整数倍，这是由于时钟恢复的要求是能够产生本地振荡器和参考或者发送振荡器之间频率误差的可靠测量。本系统利用到来的转换周期的量化特性，以便生成误差的测量。例如，如果使用以 K 倍于本地时钟运行的 SP 计数器 1702 来测量每一个到来的转换，那么在接收和发送时钟处于相同频率时，每个转换都应该发生在此 SP

计数器 1702 的相同的对 K 取模的边界上。然而，正如以上提到的，如果接收时钟稍快，那么在每个到来的转换处对 K 取模地采样的计数器值将趋向于在正方向上“移动”。相似地，如果接收时钟稍慢，则对 K 取模采样的转换将趋向于在负方向上移动。

5 现在参看图 18，说明 SP 计数器怎样相对于 PH 对 K 取模的计数器运行的示意图。可以看到，SP 计数器在值“0”处被启动，然后向上计数。PH 计数器也与 SP 计数器同时被复位为零（这是因为它基本包括 SP 计数器 1802 的至少两位重要位），并且开始从“0”计数到“3”。这样连续循环，使得，例如每个 4 的倍数（例如值“8”和“12”）将得到值“0”。

10 现在参看图 19，说明 SP 计数值从“0”到值“SP”的示意图。如果在 $PH \neq 0$ 处采样到一个转换，并且在 $PH=1$ 处采样到后一个转换，这就被称为“相位滑动”，这表明接收时钟快于参考时钟。因为即使是时钟的轻微不匹配都最终造成这种情况，所以不知道快多少。在图 19 中，第一转换被表示为发生在 SP 计数开始时，这是由在前一个 SP 计数值中检测到滑步而启动的，正如下文详述的那样。在计数值为“0”的第一计数循环 1902，转换可能已经在计数循环开始到将使计数器加 1 的下一个时钟边之间的时钟周期内的任何一点上被采样。这被测量作为从起始边缘 1906（由接收时钟限定的边缘 1904）到转换边缘（由发送时钟 T_{ref} 限定的边缘）的距离，其具有相对于接收时钟， T_{clk} ，的值 aT_{clk} 。接收系统将继续采样转换，直到检测到相位滑动。这将发生在滑动周期 SP 的最后一个值，在转换 1908 处，这个转换又由发送时钟 T_{ref} 确定。转换 1906 和 1908 被整数个发送时钟 N 隔开，给出时间间隔 $N \cdot T_{ref}$ 。第二转换将在 SP 计数器 1702 的最后一个计数循环 1910 15 内的任何地方发生。然而，从一个接收时钟边缘到接收数据转换的计数循环内的位置又是未知的。它相对于接收时钟被定义为 $b \cdot T_{clk}$ 。已知相位滑动之间的时间及相位滑动值就提供了频率误差，也就是，时间变化上的相位变化。然而，注意，由于不确定 a_{clk} ，相位滑动“1”可能代表比“0”大比“2”小的相位滑动。振荡器具有已知的最大误差，因

此，如果在时间上间隔足够远地发生转化，使得相位滑动将太大并超过这个误差，那么将忽略这个测量。由于数据的突发特性和大的静寂时间的可能，可能存在这种情况，导致了可能出现转换之间的时间太大。如果不忽略，可能导致错误大小和/或符号的频率校正。

5 现在参看图 20，说明相对于 SP 计数器的接收数据转换的更详细示意图。在第一计数循环 2002 处的零值处对计数器复位，同时发生接收数据转换 2006，数据转换 2006 位于与计数循环 2002 的前沿距离值 aT_{clk} 。转换 2006 被表示为 T_1 。将表示为 T_n 的第 n 个转换 2004 说明为发生在值为“41”而 PH 值为“1”（这表明一个 SP 时钟的相位滑动）的、
 10 SP 计数器 2202 的计数循环 2008 期间。转换 2004 位于与计数循环 2008 的前沿距离 bT_{clk} 。如果时钟被锁定，使得 $N T_{ref} = NKT_{clk}$ 且没有相对相位滑动，那么这将导致计数循环模块 2010 中的第 n 个转换 T_n 的转换 2004' 的值为“40”，而 PH 值为“0”（表明没有相位滑动）。转换 2004' 与计数循环模块 2010 的边缘的距离等于 aT_{clk} ，使得转换 2006 和转换
 15 2004' 之间的时间就为 NKT_{ref} 。然而，既然存在时钟的相位滑动，那么从 SP 时钟 2002 的前沿起的值将为 $N_{clkf} + (b-a+1) \cdot T_{clk}$ ，导致了误差 2012。如果误差的符号和误差大小都已知的，那么这个误差可以被用来调整时钟。这个误差的原因就是每个在 SP 计数器中引入的转换都包含了范围从零到一的不确定因数（ a & b ）。测量到的时钟之间的误差
 20 差可以如下导出：

1.

$$aT_{clk} + N T_{ref} = SP \cdot T_{clk} + bT_{clk}$$

2.

$$\frac{T_{clk}}{T_{ref}} = \frac{N}{SP + b - a}$$

25

3.

$$\frac{T_{ref}(1 + \epsilon)}{KT_{ref}} = \frac{N}{SP + b - a}$$

4.

$$\epsilon = \frac{KN}{SP + b - a} - 1 = \frac{KN - SP - b + a}{SP + b - a}$$

$$5. \quad \varepsilon = \frac{PH - b + a}{SP + b - a}$$

$$6. \quad \frac{PH - 1}{SP + 1} < \varepsilon < \frac{PH + 1}{SP - 1}$$

5 注意，在这些等式中，PH 作为二的补码值，也就是，3 = -1，等等。在方程式 6 中，需要注意的是对于 PH (-1, 1) 的小的绝对值，只有符号信息已知，误差大小还不知道。BP 计数器 1708 被用来帮助恢复大小信息。另外，使用 BP 计数器和 SP 计数器，已知在一行中存在两个正的相位变化，或者两个负的相位变化。如果有正的，然后有

10 负的，或者反之，那么误差就被忽略。

 现在参看图 21，说明 SP 计数器 1702 和 BP 计数器 1708 的操作的示意图。BP 计数器的值包括发生在 SP 计数器 1702 复位之前或直到 SP 计数器 1702 复位的最后的位周期。为了说明的目的，说明两个滑动周期，第一滑动周期的值从零到 SP₁，第二滑动周期的值从零到

15 SP₂。在转换 2102 以及为非“0”的 PH 值所发生的数据（没有标出）时，第一滑动周期将获得其最终计数值 SP₁。这将发生在计数循环 2104 中。这时，SP 计数器 1702 复位到值“0”，使得计数循环 2104 构成第二滑动周期的第一计数循环，并且 PH 的值将被置为“0”。这将继续对发送时钟的整数倍进行向上的计数，直到与计数循环 2108 内的非零 PH 值

20 相关的转换 2106 发生。再次，第一转换 2102 发生在与计数循环 2104 的前沿距离为 aT_{clk} 的地方，而转换 2106 发生在与计数循环 2108 前沿距离为 b · T_{clk} 的地方。

 对于 BP 计数器 1708，导致用于第一滑动周期的 SP 计数器 1702 复位的转换 2102 发生在距离在前的转换 2110 为 T_{ref} 时钟的整数倍处。

25 先前的转换 2110 就是数据转换 2102 的前一个转换。然而，应该理解，根据所使用的通信协议，这个数据转换可以在发送时钟的任何倍数时发生。BP 计数器 1708 在每个数据转换（例如计数循环 2112 内第一滑动周期中的最后位周期的转换 2110，与计数循环 2110 的前沿的距离为 c · T_{clk}）时被复位。BP 计数器将在对应于 SP 计数循环 2104 的计数

循环 2114 中累加至值 **BP**。这将是与其前沿的距离 $a \cdot T_{clk}$ 。当转换 2102 发生并且检测到滑动时，**BP** 计数值被存储，并且这个值被用来计算时钟误差。与前一种情况相似，对于这种情况，时钟误差可以被如下计算：

$$5 \quad 7. \quad cT_{clk} + M \cdot T_{ref} + N \cdot T_{ref} = BP \cdot T_{clk} + SP_2 \cdot T_{clk} + bT_{clk}$$

$$8. \quad \frac{T_{clk}}{T_{ref}} = \frac{M + N}{BP + SP_2 + b - c}$$

$$10 \quad 9. \quad \frac{T_{ref}(1 + \varepsilon)}{KT_{ref}} = \frac{M + N}{BP + SP_2 + b - c}$$

$$10. \quad \varepsilon = \frac{KM + KN - BP - SP_2 - b + c}{BP + SP_2 + b - c}$$

$$15 \quad 11. \quad \varepsilon = \frac{PH_1 + PH_2 - b + c}{BP + SP_2 + b - c}$$

表明 $(KN - SP_2) = PH_2$ 和 $(KM - BP) = PH_1$ ，这样：

$$12. \quad \frac{|PH_1 + PH_2| - 1}{BP + SP_2 + 1} < |\varepsilon| < \frac{|PH_1 + PH_2| + 1}{BP + SP_2 - 1}$$

20 PH_1 和 PH_2 分别是与 SP_1 和 SP_2 相关的那些值。

方程式 12 定义了其幅度大小的误差范围。符号已经被确定，而且对于 PH_1 和 PH_2 的任何非零值，这个方程式产生了可以计算的时钟误差的非零下限。因此，能够对本地时钟进行高达两倍于此下限的频率校正，而不会增加得到的绝对误差。对词的原因就是，例如，下
25 限值上+1.5%的确定的误差可以在相反方向上被调整高达 3%，这将导致时钟具有-1.5%的误差，这不会造成更差的误差。所产生的校正因

数如下所示:

13.

$$\varepsilon_{osc} = \text{SIGN}(PH_1 + PH_2) \left(\frac{|PH_1 + PH_2| - 1}{BP + SP_2 + 1} \right) (1 + o)$$

5 其中, o 是最大允许过调, 并且校正符号与 PH 的值的符号相同。因此, 方程式 13 为给定的过调因数 o 提供了符号和大小。

以上推导使用了关系 $(KN - SP_2) = PH_2$ 。然而, 由于我们在引入的转换中采样 PH_2 的值, 所以可能发生混淆, 因此使此关系式无效。相对于 T_{ref} 边沿的 PH_2 变化率与 KT_{clk} 上的时钟误差相等。因此,

10 Nyquist 极限要求:

14.

$$\frac{1}{BP \cdot T_{clk}} > 2 \frac{\varepsilon}{KT_{clk}}$$

15 其中, BP 是引入的转换之间的 T_{clk} 周期数量。通常, 避免混淆的 BP 最大值由以下给出:

15.

$$BP_{max} < \frac{K}{2\varepsilon}$$

20 造成 BP 计数超出这个数量的转换应该被忽略以避免误差。注意, 为了知道何时排除引入的转换, 必须知道时钟误差的上限。尽管可以基于起始振荡器容忍度来使用最差情况误差, 但这将会通过排除更多的转换而减小跟踪循环的带宽, 因此, 增加了将时钟误差减少到可接受范围内所需要的时间。另一个可选择的方法就是维持对根据引入的转换所计算出的时钟误差的上限 (被称为 ME)。于是, 这个极限可以

25 用于计算 BP_{max} 值。这个上限可以被初始化为最差情况的振荡器误差。当观察到引入的转换时, 就可以减少 ME , 因此增加了 BP_{max} , 并允许有用转换之间更大的间隙。当处理突发通信系统时, 例如 **USB**,

这尤其重要。ME 的计算将会在下文中描述。

尽管以上方程式通常是正确的，但是可以使用进一步的考虑来优化 BP_{max} 的计算。例如，由于在每个引入的转换之后，SP 值都被复位至“0”并因此 PH 值也被复位至“0”，所以这用 PH 有效地锁定了 T_{ref} 的相位。因此，对于给定的 PH 采样值，能够计算防止对特定 PH 值混淆的 BP_{max} 的特定值。这通过考虑 T_{ref} 和 PH 之间的相位误差怎样随时间累加来完成。这个累加的误差必须被限制，以便防止 PH 的采样值重叠。尽管通常这意味着相位误差必须小于 180 度的，但是因为 T_{ref} 和 PH 在每个转换都是相位锁定的，所以在有些情况下，允许的相位误差可以超出 180 度。在 MT_{ref} 周期内累加的误差被如下给出：

16.

$$\Delta T = aT_{clk} + M(KT_{clk} - T_{ref})$$

其中 a 是初始相位误差。为了避免混淆，这个误差必须不超出 K 和 PH 之间的主要距离（称为 D ）。因此：

17.

$$aT_{clk} + M(KT_{clk} - T_{ref}) < DT_{clk}$$

其中 D 由下式给出：

20

18.

$$D = \begin{cases} K - |PH| & \text{if } |PH| < \frac{K}{2} \\ 2K - |PH| & \text{if } |PH| = \frac{K}{2} \end{cases}$$

使用：

19.

25

$$T_{ref} = KT_{clk} / (1 + \varepsilon)$$

解出 M ：

20.

$$M < \frac{(D-a)(1+\varepsilon)}{K \varepsilon}$$

使用时钟之间的关系和 a 的最差情况值 “1”，这可以用 $BP_{\max} T_{\text{clk}}$ 周期写作：

21.

$$BP_{\max} < \frac{D-1}{\varepsilon}$$

5

注意， BP_{\max} 的这个值是排除混淆转换所允许的最大值。然而，由于 PH 值的量化特性，所以能够计算出 BP_{\max} 的下限，它保证了不排除对于 PH 的给定采样值的有效转换。这是通过要求累计误差总是超出 PH 和 0 加 1 之间的主要距离得到的，写作：

10

22.

$$aT_{\text{clk}} + M(KT_{\text{clk}} - T_{\text{ref}}) > (PH+1) \cdot T_{\text{clk}}$$

这可以用 a 为 0 值以 BP_{\max} 表示解出：

23.

$$BP_{\max} > \frac{|PH|+1}{\varepsilon}$$

15

对于这种时钟恢复算法的给定实现，使用满足上下限的 BP_{\max} 任意值将防止混淆，而不会排除可接受的进入的转换。实际使用的值可以在这些极限范围内以减少硬件复杂性的方式来选择。

如上所述，要求测量最大时钟误差，以便合适的排除混淆转换。从方程式 6 开始，最大绝对误差可以写作如下：

20

24.

$$|e_{\max}| < \begin{cases} \frac{|PH-1|}{SP+1} & \text{if } PH < 0 \\ \frac{PH+1}{SP-1} & \text{if } PH \geq 0 \end{cases}$$

为了简化硬件，又不失一般性，这可以近似于：

25

25.

$$|\varepsilon_{\max}| < \frac{|PIH|+1}{SP-1}$$

最大误差寄存器（被称为 ME）能够以最糟糕情况下的初始振荡器误差来初始化。在每个有效的到来的转换上，SP 的现在值可以被用于计算 ε_{\max} 的新的绝对值。如果这个新的值小于 ME，则 ME 就可以被缩小到这个新的值。然后，能够使用 $\varepsilon_{\max} = \text{ME}$ 来计算 BP_{\max} 。最大误差的这个测量随着时间改善，因此允许混淆发生以前引入的转换之间较大的间隙。注意，如果最糟糕情况下振荡器随时间漂移的情况是已知的，那么为了对这个漂移进行计数，ME 值就能够在规则的间隔处增加校正因数。

现在参看图 22，说明表示计数器和实现本说明中时钟恢复算法所要求的以上所述的各种方程式的实现方式的框图。提供通常的控制模块 2202，它可操作地接收转换线路 2204 上的数据转换，并且根据来自其的输出在线路 2206 上产生振荡器校正请求。BP 计数器 1708 被表示为具有累加寄存器 2208，其接收两个多路输入复用器 2210 的输出作为输入。多路复用器 2210 由数据转换控制，在发生数据转换时选择“1”用于复位操作，并且在没有数据转换时，选择反馈增加循环，其中反馈增加循环在接收时钟的每个时钟循环都将增加 BP 锁存器 2208 中的值。这个操作使得，BP 锁存器 2208 中所存储的值将被加载到多路复用器 2212 的一个输入端，“1”输入端，这个多路复用器 2212 由来自控制模块 2202 的滑动检测输出 2214 控制，这将引起 BP 锁存器 2208 的值被加载到 BP_{\max} 锁存器 2218。在没有滑动信号的时候，锁存器 2218 的输出被反馈到多路复用器 2212 的“0”输入端，使得它被持续地维持在锁存器 2218 中。

由接收两输入多路复用器 2222（“1”输入端连接到固定的复位值“1”，当滑动信号在线路 2214 上显示时多路复用器提供复位）的输出作为其输入的 SP 锁存器 2220 来实现 SP 计数器 1702。在没有滑移信号时，锁存器 2220 的输出被反馈到累加模块 2224，累加模块 2224 被反馈到多路复用器 2222 的“0”输入端，这样，对于每一个时钟循环，SP 计数器 2220 的值被增加。当滑动信号出现时，锁存器 2220 的输出

及 BP_{max} 寄存器 2218 的输出值被输入到算法模块 2226，以执行方程式 13 来确定振荡器周期校正因数。利用这两个值来实现这项操作。

SP 锁存器 2220 的输出也被输入回控制模块 2202，来确定其 PH 的值。这些 PH 值是用来确定是否已经发生滑动的。这个 SP 输出值也被输入到最大误差计算模块 2228，来计算最大误差值，模块 2228 的输出被输入到模块 2234 的 A-输入。这被输入到两输入多路复用器 2230 的“1”输入端，其输出被反馈给提供 ME 输出的 ME 寄存器 2232。这被输入回到多路复用器 2230 的“0”输入端。计算模块 2228 的输出也被输入到比较模块 2234，比较模块 2234 具有 A 和 B 输入端，其中 B 输入连接到 ME 锁存器 2232 的输出，可以理解，ME 锁存器 2232 的初始值就是为系统预定的最大误差值。模块 2234 可操作地确定 A 值是否小于 B 值。如果是，就与转换输入 22 进行逻辑与，如果 A 小于 B 以及数据转换发生这两个条件同时满足，这就导致模块 2228 中计算的值被加载至 ME 模块 2232 中。接着，ME 锁存器 2232 的输出被输入到计算模块 2236，计算模块 2236 也接收 SP 锁存器 2224 的输出，以计算反混淆 (anti-aliasing) 值并且确定 BP_{max} 的值。这被输入到比较模块 2238 的 A 输入端，B 输入端被连接到 BP 锁存器 2208 的输出。如果 A 输入被确定为小于 B 输入，这表明存在混淆情况，这向控制模块 2202 发回指示，以便可能地确定滑动指示还没有实际发生，并且将忽略。

现在参看图 23，说明解释基本控制步骤的简化流程图。程序在起始模块 2302 启动，然后进入到功能模块 2304，来设置 ME 值为最大初始误差，然后到功能模块 2306 以等待引入的转换。当引入转换发生时，BP 计数器复位，如功能模块 2308 指示的那样。然后，程序流到功能模块 2310，等待下一个转换。当下一个转换发生时，SP 计数器和 BP 计数器都被采样，正如功能模块 2312 指示的那样。接着，程序到判定模块 2314，以确定 BP 值是否小于 BP_{max} 的值。如果是，则程序将继续沿着“Y”路径到达功能模块 2316，以更新 ME 的值，然后到达判定模块 2318，以确定 PH 值是否等于零。如果不是，就表明滑动，

然后程序继续前进到判定模块 2320。如果是，则程序将返回到功能模块 2308 的输入。相似的，如果要求反混淆且在判定模块 2314 中已经确定 BP 不小于 BP_{max} ，那么程序将从判定模块 2314 流向功能模块 2322，以复位 SP 计数器，然后返回到功能模块 2308 的输入。然而，
 5 当 PH 值被确定为不为零时，也就是滑动情况，那么程序流到判定模块 2320，并且对当前 PH 值和前一个 PH 值是否有相同的符号做出判定。如果不是，则程序将流向功能模块 2322 来复位 SP 计数器。如果是，则程序将沿着“Y”路径到达功能模块 2328，以用确定的最小误差来校准本地振荡器。

10 以上所述算法的实现主要是在管理量化和有限寄存效果的练习。例如，振荡器校正因数必须被指定为振荡器内在周期分辨率的整数倍。而且，因为逻辑必须从不增加相对误差，所以振荡器的最大可能单位步伐大小必须在计算中使用。这个值在 RTL 代码中定义如下：

26.

$$MAXOSCSTEP = \frac{1}{\epsilon_{step}}$$

15

起始最糟糕情况的振荡器误差 (ϵ_{init}) 定义为 ϵ_{step} 的倍数，也就是：

27.

$$MAXINITERROR = \text{ceil}\left(\frac{\epsilon_{init}}{\epsilon_{step}}\right) = \text{ceil}(MAXOSCSTEP \cdot \epsilon_{init})$$

20

允许的最大过调被定义为 25% 的倍数，即：

28.

$$OVERSHOOT = 40$$

25

最终，最大误差 (ME) 被维持为 ϵ_{ME} 的整数倍 (ϵ_{step} 的固定份额)，由 $ERRORSTEP$ 定义如下：

29.

$$ERRORSTEP = \frac{\epsilon_{step}}{\epsilon_{ME}} = \frac{1}{MAXOSCSTEP \cdot \epsilon_{ME}}$$

不同计数器的宽度通常被限定在对其将执行非混淆计算的最大值范围内。

- 5 余下的实现问题就是怎样避免大多数所述方程式中内在的分配。对于在实现中所使用的值 $K=4$ ，大多数方程式只有八个或者更少的唯一值。这允许预先计算分配。例如，考虑振荡器校正因数的计算：

30.

$$|\epsilon_{osc}| = \left(\frac{PH_1 + PH_2 - 1}{BP + SP_2 + 1} \right) (1 + o)$$

10

这可以写作：

31.

$$BP + SP_2 = \left(\frac{PH_1 + PH_2 - 1}{|\epsilon_{osc}|} \right) (1 + o) - 1$$

- 15 现在，对于 $K=4$ ，唯一有趣的情况对应于 $(PH_1 + PH_2) = \pm 2$ (为了简化硬件， $(PH_1 + PH_2) = \pm 3$ 的情况被近似为 ± 2)。因此，方程式可以写作：

32.

$$BP + SP_2 = \left(\frac{1 + o}{|\epsilon_{osc}|} \right) - 1$$

- 20 既然 $2^3 \epsilon_{step} > \epsilon_{init}$ ， ϵ_{osc} 的值可以量化到 3 位。因此，振荡器校正因数可以计算如下：

33.

$$|\epsilon_{osc}| = \begin{cases} 7 & \text{if } BP + SP_2 < \left(\frac{1+o}{7\epsilon_{step}} \right) - 1 \text{ else} \\ 6 & \text{if } BP + SP_2 < \left(\frac{1+o}{6\epsilon_{step}} \right) - 1 \text{ else} \\ 5 & \text{if } BP + SP_2 < \left(\frac{1+o}{5\epsilon_{step}} \right) - 1 \text{ else} \\ 4 & \text{if } BP + SP_2 < \left(\frac{1+o}{4\epsilon_{step}} \right) - 1 \text{ else} \\ 3 & \text{if } BP + SP_2 < \left(\frac{1+o}{3\epsilon_{step}} \right) - 1 \text{ else} \\ 2 & \text{if } BP + SP_2 < \left(\frac{1+o}{2\epsilon_{step}} \right) - 1 \text{ else} \\ 1 & \text{if } BP + SP_2 < \left(\frac{1+o}{1\epsilon_{step}} \right) - 1 \text{ else} \\ 0 & \end{cases}$$

这对应了一组七个比较器加上一些硬件的解码逻辑。

现在参看图 24, 说明精确振荡器的一个实例的示意图。在集成电路上实现的振荡器中, 提供可编程的内部时钟发生器 2402, 内部时钟发生器 2402 由寄存器 2406 和寄存器 2408 控制。内部时钟发生器的输出被输入到分配电路 2410, 分配电路 2410 也是由寄存器 2408 控制, 其输出被输入到多路复用器 2410 的一个输入端。这个多路复用器 2410 由寄存器 2408 控制。寄存器 2410 输出系统时钟 (SYSCLK), 其被输入到波特率发生器 302。除了内部时钟发生器, 还提供外部晶控振荡器。提供了晶控的内部或者片上的振荡器 2412, 其通过输入电路 2412 连接到终端 2416 和 2418, 到外部晶体 2416。振荡器 2412 的输出被输入到多路复用器 2410 的一个输入端。另外, 在终端 2420 上提供外部时钟, 其也被输入到多路复用器 2410 的一个输入端。晶控振荡器 2412 由寄存器 2422 控制。

提供内部振荡器 2402, 使得它在系统复位后作为缺省系统时钟。内部振荡器周期可由寄存器 2406 按照如下方程式编程:

$$\Delta T \cong 0.0025 \times \frac{1}{f_{BASE}} \times \Delta OSCICL$$

其中 f_{BASE} 是内部振荡器复位后的频率， ΔT 是内部振荡器中的变化， $\Delta OSCICL$ 是寄存器 2406 中值的变化。典型的，寄存器 2406 将被工厂校准到规定的频率，例如，12.0 MHz。

5 现在参看图 25，说明寄存器 2406 的表，其中可以看到，位 6-0 与振荡器的校准寄存器相关，而且它的值可以内部地变化。图 26 图示了说明为其提供的控制的控制寄存器 2408。

10 尽管已经详细描述优选实施例，但是应该理解，还可以进行多种变化、替代或者变更，而不会背离由权利要求书所限定的此项发明的本质和范围。

图1

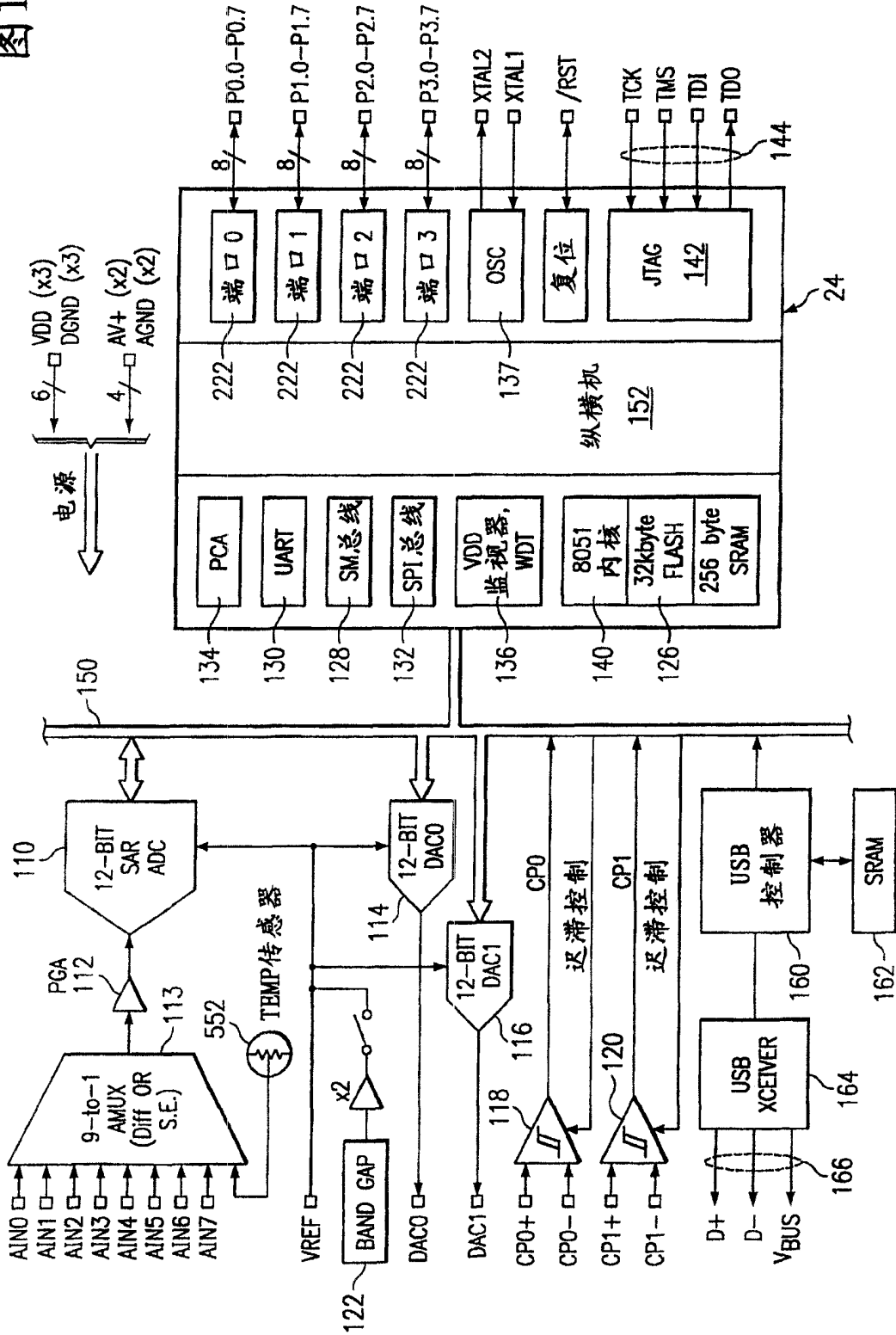
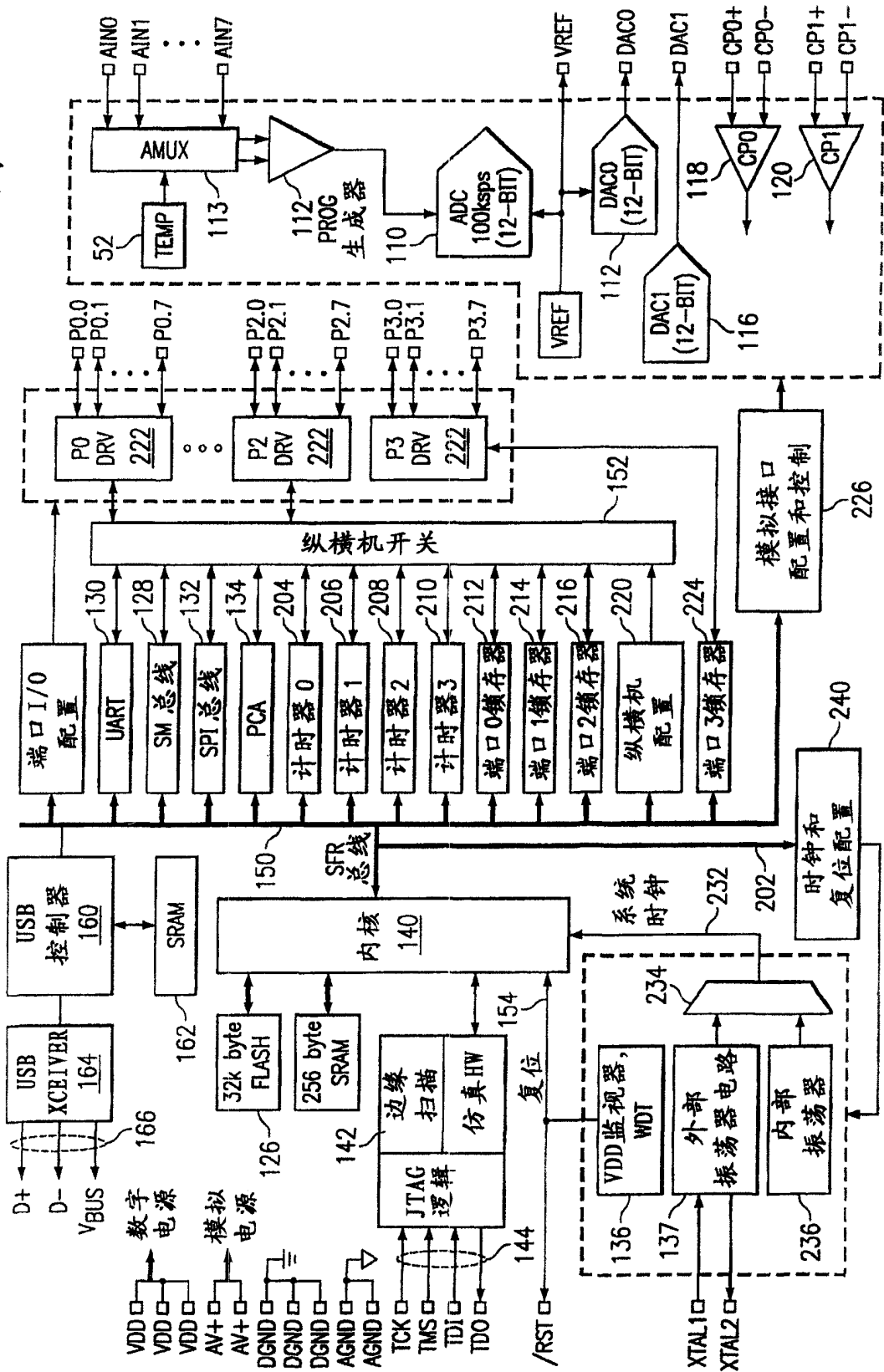


图2



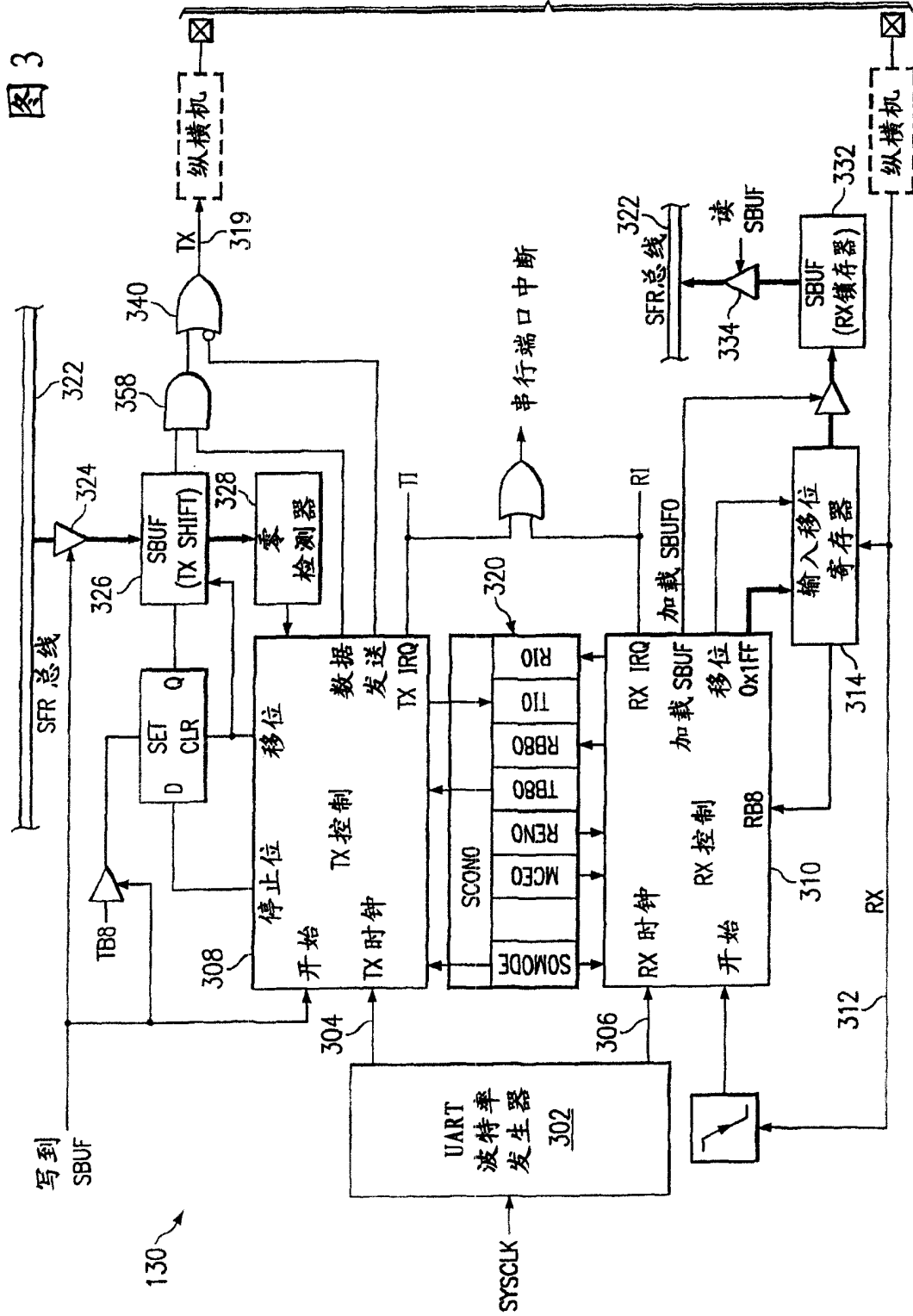


图 3

图 3A

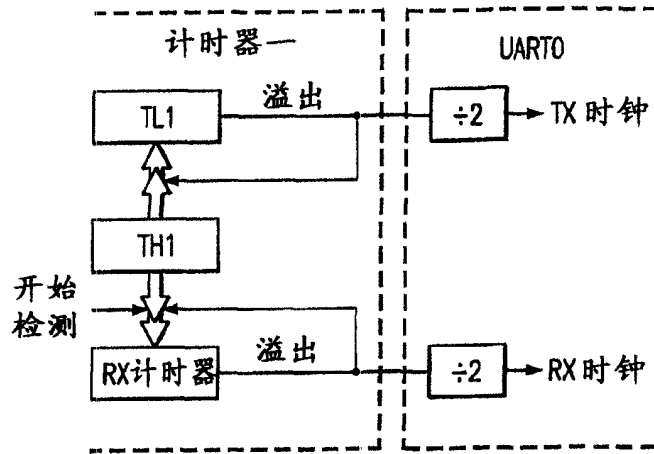


图 4

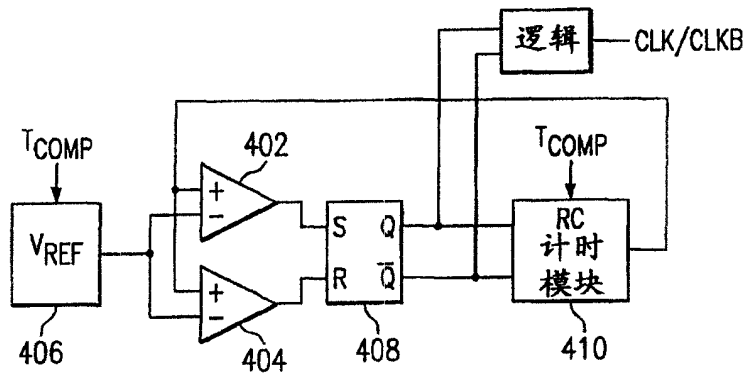


图 5

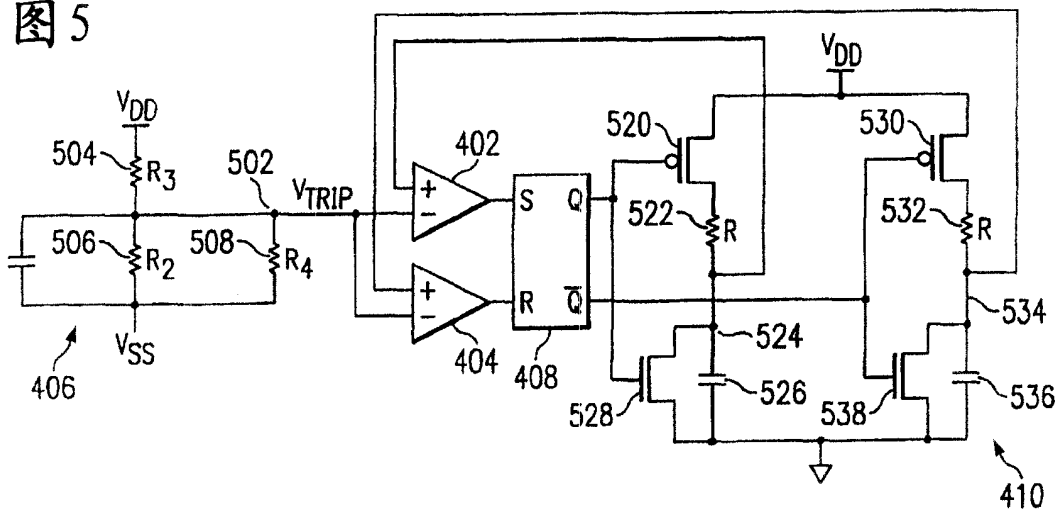


图6

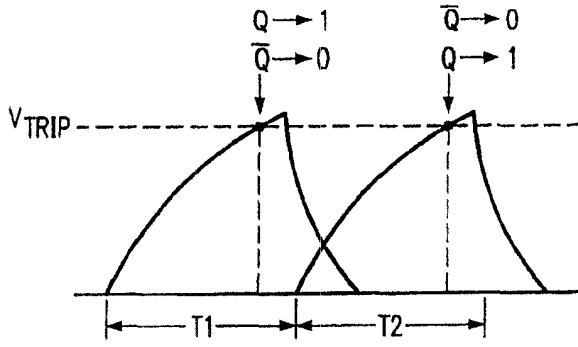


图7

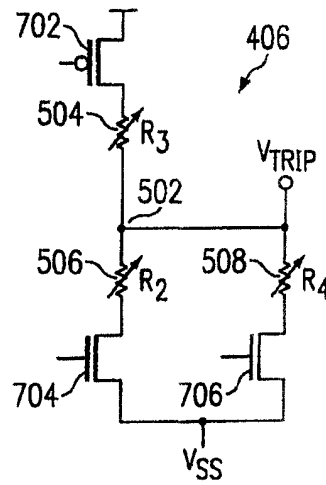


图8

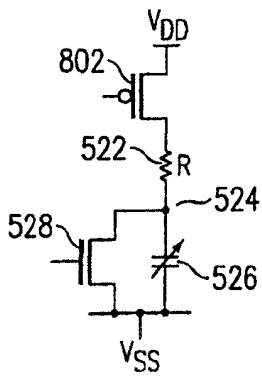


图9

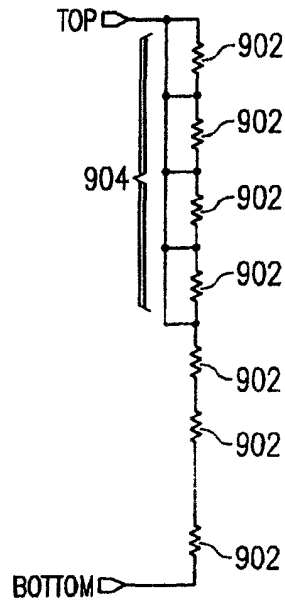


图10

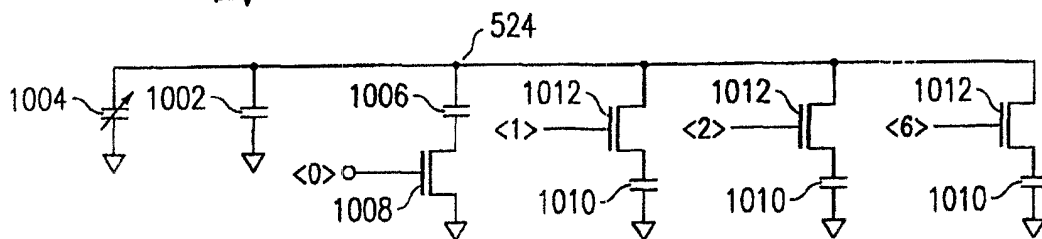


图 13

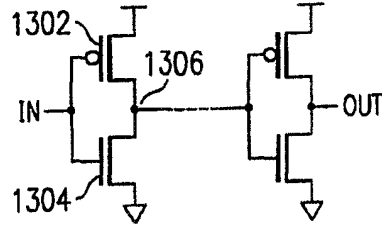


图 14

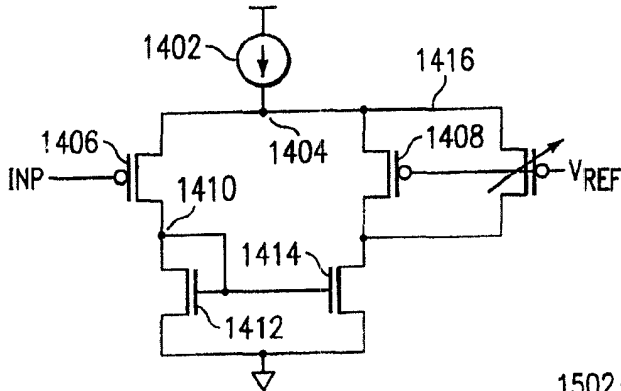


图 15

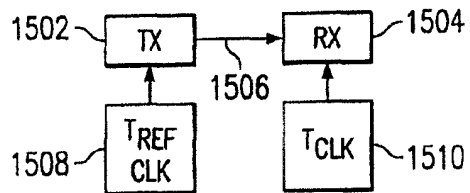


图 16

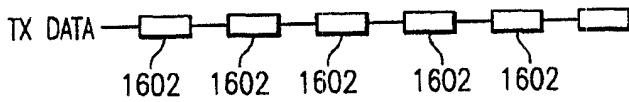


图 17

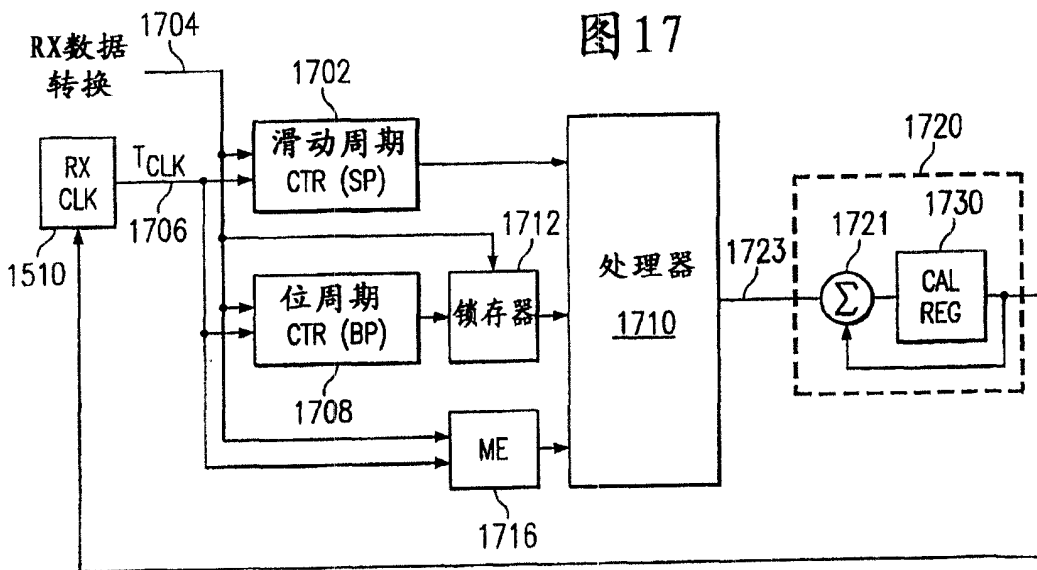


图 18

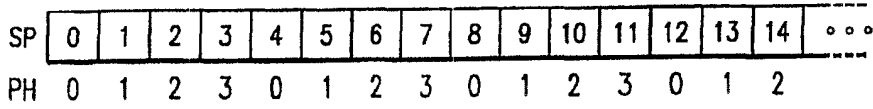


图 19

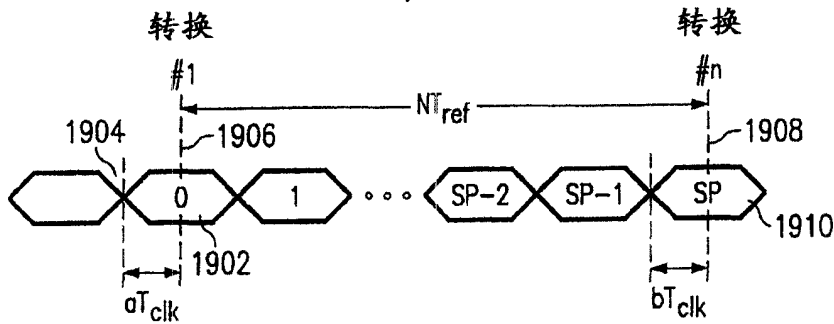


图 20

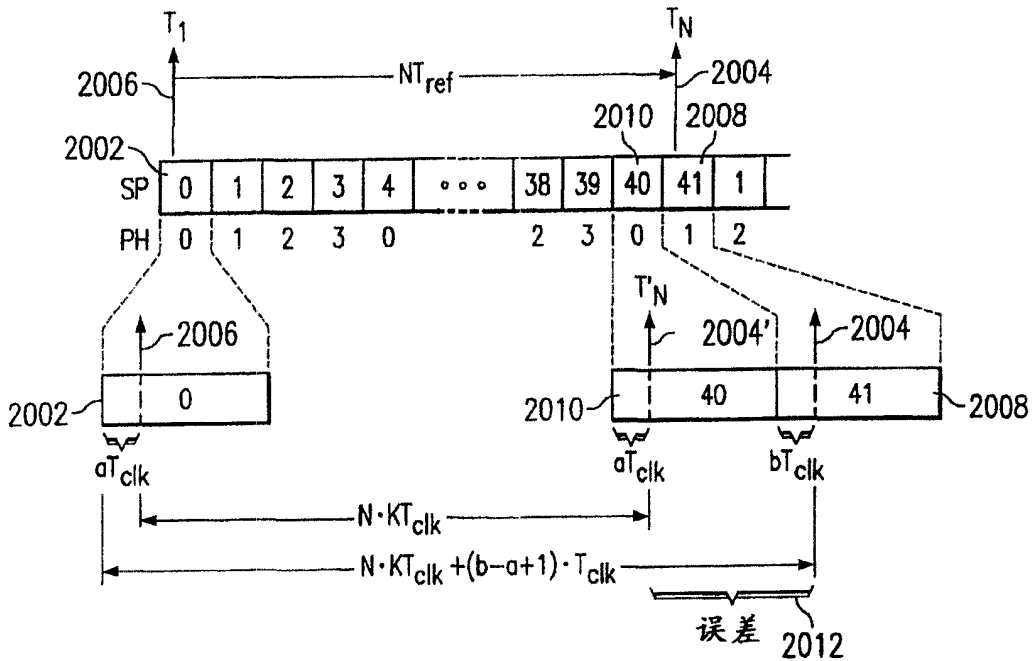
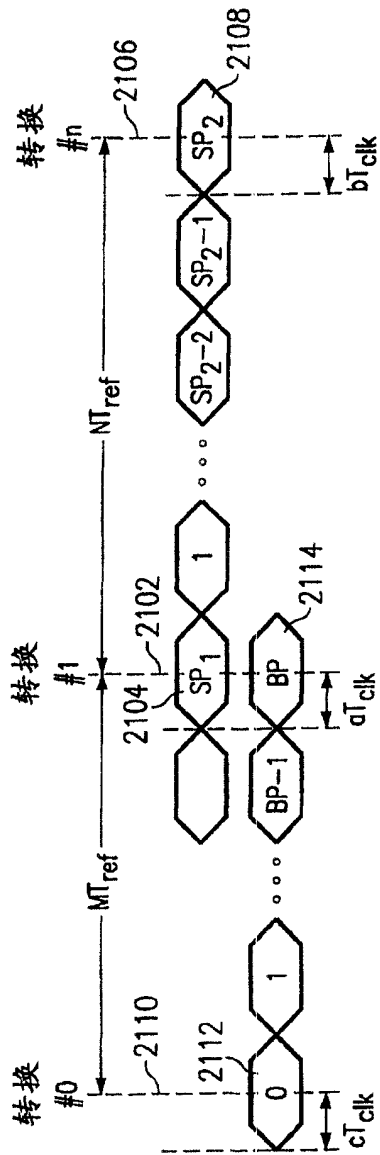


图 21



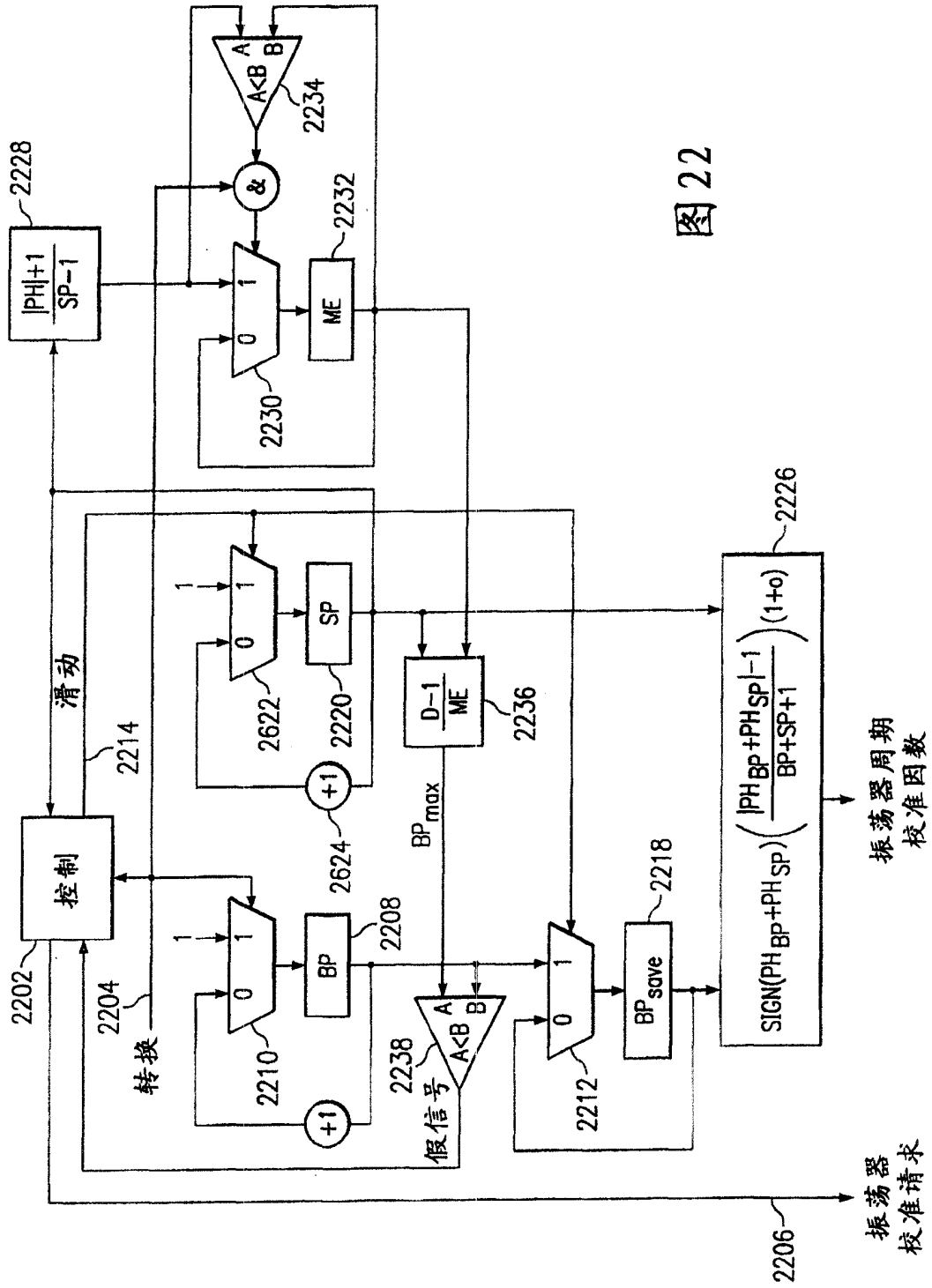


图 22

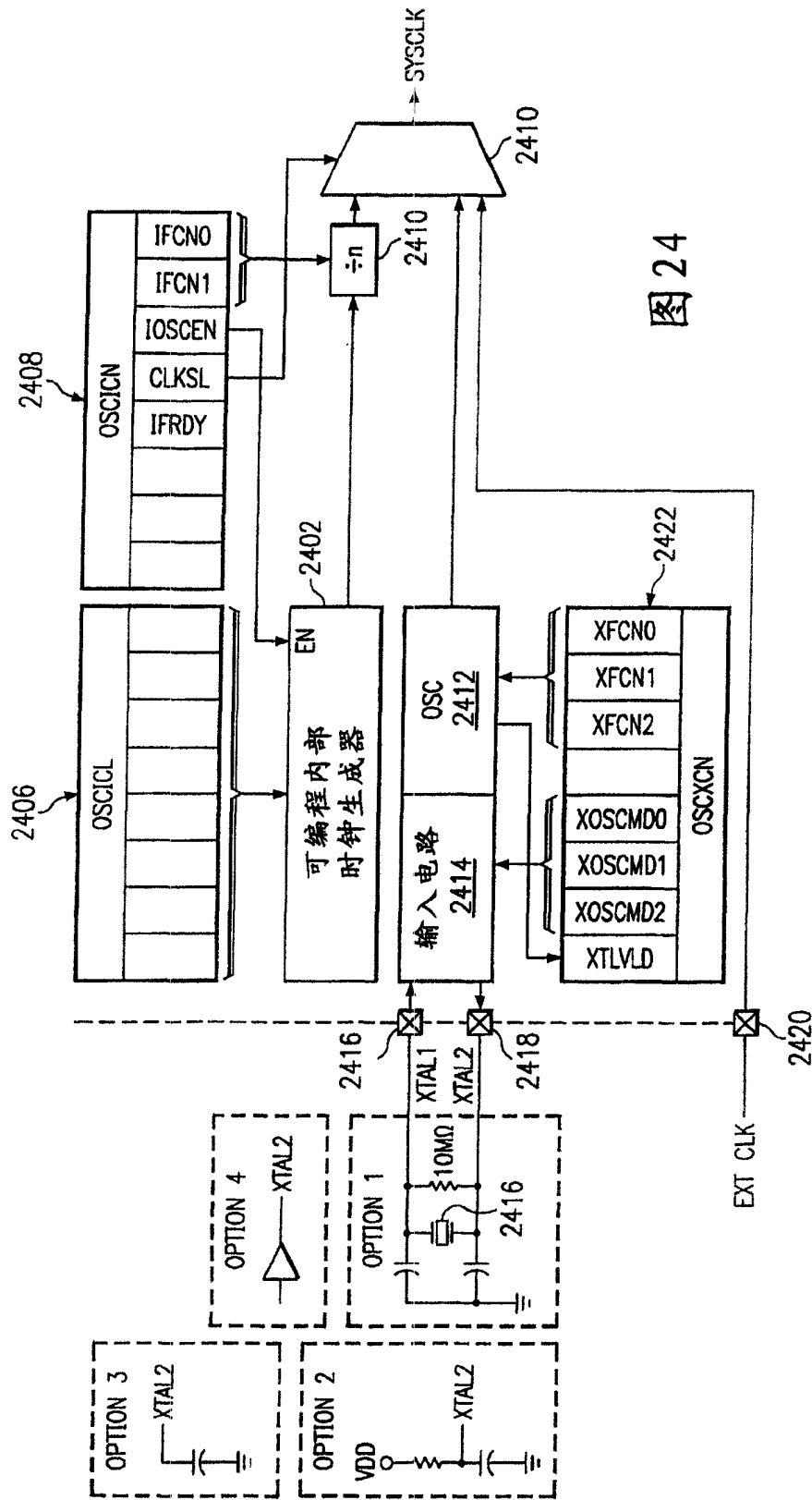


图 24

图 25

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
-								可变的SFR
BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	地址: 0xB3

Bit7: 未用. 读=0. 写=不关心
 Bits 6-0: OSCICL: 内部振荡器校准寄存器
 这个寄存器确定内部振荡器周期

图 26

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	复位值
-	-	-	IFRDY	CLKSL	IOSCEN	IFCN1	IFCNO	00010100 SFR
BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	地址: 0xB2

Bits7-5: 未用. 读=000b, 写=不关心
 Bit4: IFRDY: 内部振荡器频率准备就绪标记。
 0: 内部振荡器不运行在被编程的频率上。
 1: 内部振荡器运行在被编程的频率上。
 Bit3: CLKSL: 系统时钟源选择位。
 0: 从内部振荡器得到的, 并调整为每IFCN位的SYSCLK。
 1: 从外部振荡器得到的SYSCLK。
 Bit2: IOSCEN: 内部振荡器使能位。
 0: 内部振荡器禁用。
 1: 内部振荡器使能。
 Bits1-0: IFCN1-0: 内部振荡器频率控制位。
 00: 由内部振荡器除以 8 得到的SYSCLK。
 01: 由内部振荡器除以 4 得到的SYSCLK。
 10: 由内部振荡器除以 2 得到的SYSCLK。
 11: 由内部振荡器除以 1 得到的SYSCLK。