



(12)发明专利

(10)授权公告号 CN 104966489 B

(45)授权公告日 2017.10.03

(21)申请号 201510379735.4

审查员 潘佳丽

(22)申请日 2015.06.30

(65)同一申请的已公布的文献号

申请公布号 CN 104966489 A

(43)申请公布日 2015.10.07

(73)专利权人 信利(惠州)智能显示有限公司

地址 516000 广东省惠州市仲恺高新区仲
恺大道666号科融创业大厦13层

(72)发明人 翁祖伟 胡中艺 吴锦坤 田栋协
胡君文 谢志生 苏君海 李建华

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 何平

(51)Int.Cl.

G09G 3/32(2016.01)

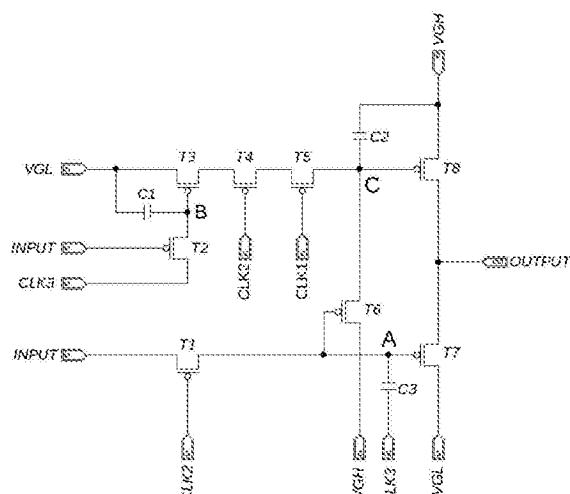
权利要求书1页 说明书5页 附图4页

(54)发明名称

阵列基板行驱动电路

(57)摘要

本发明涉及一种阵列基板行驱动电路，包括若干个阵列基板行驱动单元，所述阵列基板行驱动单元包括：第一薄膜晶体管至第八薄膜晶体管、第一电容至第三电容、输入端、输出端、第一时钟信号端、第二时钟信号端、第三时钟信号端、高电平端、低电平端。上述阵列基板行驱动电路，通过所述特殊的电路设计，在仅使用同一工艺的薄膜晶体管的情况下，就能提供一种移位寄存器，制作步骤简化；并且可以在使用较少的薄膜晶体管的状况下提高GOA电路的稳定性，为像素电路稳定提供所必需的驱动信号，提高产能并降低成本，同时提升了平面显示面板的集成度。



1. 一种阵列基板行驱动电路，包括若干个阵列基板行驱动单元，其特征在于，所述阵列基板行驱动单元包括：第一薄膜晶体管至第八薄膜晶体管、第一电容至第三电容、输入端、输出端、第一时钟信号端至第三时钟信号端、高电平端以及低电平端；

所述第一薄膜晶体管的源极连接所述输入端、栅极连接所述第二时钟信号端；

所述第二薄膜晶体管的源极连接所述第三时钟信号端、栅极连接所述输入端、漏极通过所述第一电容连接所述低电平端；

所述第三薄膜晶体管的源极连接所述低电平端、栅极连接所述第二薄膜晶体管的漏极；

所述第四薄膜晶体管的源极连接所述第三薄膜晶体管的漏极、栅极连接所述第二时钟信号端；

所述第五薄膜晶体管的源极连接所述第四薄膜晶体管的漏极、栅极连接所述第一时钟信号端、漏极通过所述第二电容连接所述高电平端；

所述第六薄膜晶体管的源极连接所述高电平端、栅极连接所述第一薄膜晶体管的漏极、漏极连接所述第五薄膜晶体管的漏极；

所述第七薄膜晶体管的源极连接所述低电平端、栅极连接所述第六薄膜晶体管的栅极并通过所述第三电容连接所述第三时钟信号端或者所述输出端、漏极连接所述输出端；

所述第八薄膜晶体管的源极连接所述高电平端、栅极连接所述第五薄膜晶体管的漏极、漏极连接所述第七薄膜晶体管的漏极。

2. 根据权利要求1所述的阵列基板行驱动电路，其特征在于，所述薄膜晶体管为P型薄膜晶体管。

3. 根据权利要求1所述的阵列基板行驱动电路，其特征在于，所述薄膜晶体管为N型薄膜晶体管。

4. 根据权利要求1所述的阵列基板行驱动电路，其特征在于，包括M个阵列基板行驱动单元，其中，第N-1个阵列基板行驱动单元的输出端连接第N个阵列基板行驱动单元的输入端，其中，N为2至M的自然数。

5. 根据权利要求4所述的阵列基板行驱动电路，其特征在于，第N-2个阵列基板行驱动单元的第一时钟信号端、第N-1个阵列基板行驱动单元的第三时钟信号端、以及第N个阵列基板行驱动单元的第二时钟信号端相互连接；第N-2个阵列基板行驱动单元的第二时钟信号端、第N-1个阵列基板行驱动单元的第一时钟信号端、以及第N个阵列基板行驱动单元的第三时钟信号端相互连接；第N-2个阵列基板行驱动单元的第三时钟信号端、第N-1个阵列基板行驱动单元的第二时钟信号端、以及第N个阵列基板行驱动单元的第一时钟信号端相互连接，其中，N为3至M的自然数。

6. 根据权利要求1所述的阵列基板行驱动电路，其特征在于，所述高电平端用于连接外部的高电平信号输出端。

7. 根据权利要求6所述的阵列基板行驱动电路，其特征在于，所述低电平端用于连接外部的低电平信号输出端。

8. 根据权利要求1所述的阵列基板行驱动电路，其特征在于，包括至少2个阵列基板行驱动单元，其中，第1个阵列基板行驱动单元的输入端用于连接外部的帧开启信号端。

阵列基板行驱动电路

技术领域

[0001] 本发明涉及显示器像素电路领域,特别是涉及阵列基板行驱动电路。

背景技术

[0002] 相比传统的液晶面板,AMOLED(Active Matrix/Organic Light Emitting Diode,有源矩阵有机发光二极管)是近年来发展较快的高新技术,因具有低辐射,对比度高,响应速度快及低耗能等优点,已被广泛应用于平面显示装置。

[0003] AMOLED显示器包含多个像素单元,在显示图像时通常采用逐行扫描的方式,每一行像素区域都由栅线控制像素的开启或关闭。传统的控制方式是由面板外接驱动IC以显示图像,但为了减少元件数目并降低制作成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,采用这样集成显示驱动的方法不仅可以有效简化信号处理,增加可靠度,还可以节省空间,有利于实现窄边框显示面板的设计。

[0004] 其中,阵列基板行驱动(Gate Driver on Array,GOA)电路就是这样一个非常重要的技术,可以通过所述电路设计,将栅极驱动电路直接制作在阵列基板上,稳定的为像素电路提供所必需的GOA驱动信号。

发明内容

[0005] 基于此,有必要针对如何简化制作步骤、如何提高电路的稳定性、如何节省资源、如何提升平面显示面板的集成度等问题,提供一种阵列基板行驱动电路。

[0006] 一种阵列基板行驱动电路,包括若干个阵列基板行驱动单元,所述阵列基板行驱动单元包括:第一薄膜晶体管至第八薄膜晶体管、第一电容至第三电容、输入端、输出端、第一时钟信号端至第三时钟信号端、高电平端以及低电平端;所述第一薄膜晶体管的源极连接所述输入端、栅极连接所述第二时钟信号端;所述第二薄膜晶体管的源极连接所述第三时钟信号端、栅极连接所述输入端、漏极通过所述第一电容连接所述低电平端;所述第三薄膜晶体管的源极连接所述低电平端、栅极连接所述第二薄膜晶体管的漏极;所述第四薄膜晶体管的源极连接所述第三薄膜晶体管的漏极、栅极连接所述第二时钟信号端;所述第五薄膜晶体管的源极连接所述第四薄膜晶体管的漏极、栅极连接所述第一时钟信号端、漏极通过所述第二电容连接所述高电平端;所述第六薄膜晶体管的源极连接所述高电平端、栅极连接所述第一薄膜晶体管的漏极、漏极连接所述第五薄膜晶体管的漏极;所述第七薄膜晶体管的源极连接所述低电平端、栅极连接所述第六薄膜晶体管的栅极并通过所述第三电容连接所述第三时钟信号端或者所述输出端、漏极连接所述输出端;所述第八薄膜晶体管的源极连接所述高电平端、栅极连接所述第五薄膜晶体管的漏极、漏极连接所述第七薄膜晶体管的漏极。

[0007] 在其中一个实施例中,所述薄膜晶体管为P型薄膜晶体管。

[0008] 在其中一个实施例中,所述薄膜晶体管为N型薄膜晶体管。

[0009] 在其中一个实施例中,包括M个阵列基板行驱动单元,其中,第N-1个阵列基板行驱

动单元的输出端连接第N个阵列基板行驱动单元的输入端,其中,N为2至M的自然数。

[0010] 在其中一个实施例中,第N-2个阵列基板行驱动单元的第一时钟信号端、第N-1个阵列基板行驱动单元的第三时钟信号端、以及第N个阵列基板行驱动单元的第二时钟信号端相互连接;第N-2个阵列基板行驱动单元的第二时钟信号端、第N-1个阵列基板行驱动单元的第一时钟信号端、以及第N个阵列基板行驱动单元的第三时钟信号端相互连接;第N-2个阵列基板行驱动单元的第三时钟信号端、第N-1个阵列基板行驱动单元的第二时钟信号端、以及第N个阵列基板行驱动单元的第一时钟信号端相互连接。

[0011] 在其中一个实施例中,所述高电平端用于连接外部的高电平信号输出端。

[0012] 在其中一个实施例中,所述低电平端用于连接外部的低电平信号输出端。

[0013] 在其中一个实施例中,包括至少2个阵列基板行驱动单元,其中,第1个阵列基板行驱动单元的输入端用于连接外部的帧开启信号端。

[0014] 上述阵列基板行驱动电路,通过所述特殊的电路设计,在仅使用同一工艺的薄膜晶体管的情况下,就能提供一种移位寄存器,制作步骤简化;并且可以在使用较少的薄膜晶体管的状况下提高GOA电路的稳定性,为像素电路稳定提供所必需的驱动信号,提高产能并降低成本,同时提升了平面显示面板的集成度。

附图说明

[0015] 图1为本发明一实施例阵列基板行驱动电路的电路结构图;

[0016] 图2为本发明另一实施例阵列基板行驱动电路的电路结构图;

[0017] 图3为图1和图2对应的各点时序示意波形图;

[0018] 图4为阵列基板行驱动电路之间以及阵列基板行驱动电路和像素电路连接的结构示意图。

具体实施方式

[0019] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似改进,因此本发明不受下面公开的具体实施例的限制。

[0020] 请参阅图1,其为本发明一实施例阵列基板行驱动电路的电路结构图,阵列基板行驱动电路包括:若干个阵列基板行驱动单元,其特征在于,所述阵列基板行驱动单元包括若干薄膜晶体管、第一电容C1、第二电容C2、第三电容C3、输入端INPUT、输出端OUTPUT、第一时钟信号端CLK1、第二时钟信号端CLK2、第三时钟信号端CLK3、高电平端VGH、低电平端VGL;若干所述薄膜晶体管包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8。所述第一薄膜晶体管T1的源极连接所述输入端INPUT、栅极连接所述第二时钟信号端CLK2;所述第二薄膜晶体管T2的源极连接所述第三时钟信号端CLK3、栅极连接所述输入端INPUT、漏极通过所述第一电容C1连接所述低电平端VGL;所述第三薄膜晶体管T3的源极连接所述低电平端VGL、栅极连接所述第二薄膜晶体管T2的漏极;所述第四薄膜晶体管T4的源极连接所述第三薄膜晶体管T3的漏极、栅极连接所述第二时钟信号端CLK2;所述第五薄膜

晶体管T5的源极连接所述第四薄膜晶体管T4的漏极、栅极连接所述第一时钟信号端CLK1、漏极通过所述第二电容C2连接所述高电平端VGH；所述第六薄膜晶体管T6的源极连接所述高电平端VGH、栅极连接所述第一薄膜晶体管T1的漏极、漏极连接所述第五薄膜晶体管T5的漏极；所述第七薄膜晶体管T7的源极连接所述低电平端VGL、栅极连接所述第六薄膜晶体管T6的栅极并通过所述第三电容C3连接所述第三时钟信号端CLK3、漏极连接所述输出端OUTPUT；所述第八薄膜晶体管T8的源极连接所述高电平端VGH、栅极连接所述第五薄膜晶体管T5的漏极、漏极连接所述第七薄膜晶体管T7的漏极。

[0021] 请参阅图2，其为本发明另一实施例阵列基板行驱动电路的电路结构图，本实施例中的阵列基板行驱动电路与图1所示实施例的区别在于，本实施例中所述第七晶体管的栅极通过第三电容C3连接至输出端OUTPUT，其他工作原理和有益效果与图1所示实施例相同，在此不再赘述。

[0022] 例如，阵列基板行驱动电路包括M个阵列基板行驱动单元，第1个阵列基板行驱动单元的输入端INPUT用于连接帧开启信号端。也就是说，只有阵列基板行驱动电路的第一个GOA单元的输入端INPUT连接帧开启信号，第二个GOA单元的输入端INPUT连接第一个GOA单元的输出端OUTPUT，以此类推。

[0023] 例如，阵列基板行驱动电路包括M个阵列基板行驱动单元，其中，M为大于2的自然数。

[0024] 例如，阵列基板行驱动电路包括M个阵列基板行驱动单元，其中，阵列基板行驱动第N-1个阵列基板行驱动单元的输出端连接第N个阵列基板行驱动单元的输入端，其中，N为2至M的自然数。例如，N包括2、3、4……和M。例如，阵列基板行驱动电路包括2个阵列基板行驱动单元，阵列基板行驱动第1个阵列基板行驱动单元的输出端连接第2个阵列基板行驱动单元的输入端。例如，第N-2个阵列基板行驱动单元的第一时钟信号端、第N-1个阵列基板行驱动单元的第三时钟信号端、以及第N个阵列基板行驱动单元的第二时钟信号端相互连接；第N-2个阵列基板行驱动单元的第二时钟信号端、第N-1个阵列基板行驱动单元的第一时钟信号端、以及第N个阵列基板行驱动单元的第三时钟信号端相互连接；第N-2个阵列基板行驱动单元的第三时钟信号端、第N-1个阵列基板行驱动单元的第二时钟信号端、以及第N个阵列基板行驱动单元的第一时钟信号端相互连接。

[0025] 例如，所述输入端INPUT连接外部的启动垂直信号端，即STV端(Start Vertical启动垂直信号)。例如，所述高电平端VGH连接外部的高电平信号输出端，所述低电平端VGL连接外部的低电平信号输出端。例如，阵列基板行驱动电路包括至少2个阵列基板行驱动单元，其中，第1个阵列基板行驱动单元的输入端用于连接外部的帧开启信号端。

[0026] 例如，所述薄膜晶体管为P型薄膜晶体管。例如，所述薄膜晶体管为N型薄膜晶体管。如此，不同类型的晶体管对应不同的电路时序图。结合图1和图3，现以所述薄膜晶体管为P型薄膜晶体管为例，对本发明作进一步说明：

[0027] 帧开启信号端STV信号作为第一个GOA单元的输入信号，接入第一个GOA单元的输入端INPUT，第一时钟信号接入第一时钟信号端CLK1端，第二时钟信号接入第二时钟信号端CLK2端，第三时钟信号接入第三时钟信号端CLK3端。

[0028] X1时间段，输入端INPUT为低电平，第一时钟信号端CLK1为低电平，第二时钟信号端CLK2为低电平，第三时钟信号端CLK3为高电平，第一薄膜晶体管T1，第七薄膜晶体管T7打

开,此时输出端OUTPUT的输出信号为低电平。

[0029] X2时间段,输入端INPUT为低电平,第一时钟信号端CLK1为高电平,第二时钟信号端CLK2为低电平,第三时钟信号端CLK3为低电平,第一薄膜晶体管T1,第二薄膜晶体管T2打开,第七薄膜晶体管T7打开,A点电位为低电平,B点电位为低电平,此时输出端OUTPUT的输出信号为低电平。

[0030] X3时间段,输入端INPUT为高电平,第一时钟信号端CLK1为低电平,第二时钟信号端CLK2为高电平,第三时钟信号端CLK3为低电平,由于第一电容C1两端电压不能突变,B点电位维持低电平,由于第三电容C3两端电压不能突变,A点电位维持低电平,第七薄膜晶体管T7打开,此时输出端OUTPUT的输出信号为低电平。

[0031] X4时间段,输入端INPUT为高电平,第一时钟信号端CLK1为低电平,第二时钟信号端CLK2为低电平,第三时钟信号端CLK3为高电平,由于第一电容C1两端电压不能突变,B点电位继续维持低电平,第四薄膜晶体管T4,第五薄膜晶体管T5打开,C点电位为低电平,第八薄膜晶体管T8打开,此时输出端OUTPUT的输出信号为高电平。

[0032] X5时间段,输入端INPUT为高电平,第一时钟信号端CLK1为高电平,第二时钟信号端CLK2为低电平,第三时钟信号端CLK3为低电平,第一薄膜晶体管T1打开,A点电位为高电平,由于第二电容C2两端电压不能突变,C点电位维持低电平,第八薄膜晶体管T8打开,此时输出端OUTPUT的输出信号为高电平。

[0033] X6时间段,输入端INPUT为低电平,第一时钟信号端CLK1为低电平,第二时钟信号端CLK2为高电平,第三时钟信号端CLK3为低电平,由于第二电容C2、第三电容C3两端电压不能突变,C点电位维持低电平,A点电位维持在高电平,第八薄膜晶体管T8打开,第七薄膜晶体管T7截止,此时输出端OUTPUT的输出信号为高电平。

[0034] X7时间段,输入端INPUT为低电平,第一时钟信号端CLK1为低电平,第二时钟信号端CLK2为低电平,第三时钟信号端CLK3为高电平,第一薄膜晶体管T1,第七薄膜晶体管T7打开,此时输出端OUTPUT的输出信号为低电平。

[0035] X8时间段,输入端INPUT为低电平,第一时钟信号端CLK1为高电平,第二时钟信号端CLK2为低电平,第三时钟信号端CLK3为低电平,第一薄膜晶体管T1,第七薄膜晶体管T7打开,此时输出端OUTPUT的输出信号为低电平。

[0036] 进一步地,在此周期余下的时间段工作过程中,由于输入端INPUT一直保持低电平,所以第二薄膜晶体管T2始终保持打开状态。

[0037] 进一步地,第三薄膜晶体管T3,第四薄膜晶体管T4,第五薄膜晶体管T5形成串联电路,开启或截止状态分别由第三时钟信号、第二时钟信号、第一时钟信号控制,进而配合特定的时序,第一时钟信号端CLK1、第二时钟信号端CLK2、第三时钟信号端CLK3始终不可能同时为低电平,即不可能同时导通第三薄膜晶体管T3,第四薄膜晶体管T4,第五薄膜晶体管T5。

[0038] 进一步地,由于第一薄膜晶体管T1栅极连接有第二时钟信号,在此周期余下的时间段工作过程中,第二时钟信号会反复控制第一薄膜晶体管T1开启、截止,对第三电容C3进行充电放电的动作,由于输入端INPUT一直保持低电平,所以A点电位为低电平,或保持低电平,即第六薄膜晶体管T6,第七薄膜晶体管T7始终保持打开状态,所以C点电位始终保持高电平。

[0039] 进一步地,第七薄膜晶体管T7始终保持打开,第八薄膜晶体管T8始终保持截止状态,所以在此周期余下的时间段工作过程中,输出端OUTPUT的输出信号始终为低电平。

[0040] 其中,输入的高电平信号和高电平端VGH等电位,输入的低电平信号和低电平端VGL等电位。

[0041] 另外,图2的电路图与图3的时序图的原理推导类似,此处不再赘述它们的原理推导。

[0042] 现以一个具体的实施例对本发明做出进一步说明,如图4所示,例如,阵列基板行驱动电路具有至少2个阵列基板行驱动单元电路级联连接的电路结构用于驱动像素阵列。每个GOA单元都具有第一时钟信号端CLK1、第二时钟信号端CLK2、第三时钟信号端CLK3、高电平端VGH、低电平端VGL,并且,每个GOA单元还具有输入端INPUT、输出端OUTPUT。其中每一行GOA单元的输出除了用于驱动本行像素电路外,还作为下一行GOA单元的输入,对于第一行GOA单元采用帧开启信号作为输入。

[0043] 本发明的优点在于:通过特殊的电路设计,在仅使用同一工艺的薄膜晶体管的情况下,就能提供一种移位寄存器,以使用较少的光掩膜制造本发明的移位寄存器,故能简化其制程步骤;并且可以在使用较少的薄膜晶体管的状况下就能提供相当于习知移位寄存器的功能,提高GOA电路的稳定性,为像素电路稳定提供所必需的驱动信号,降低因为GOA电路失效引起的驱动效果不良的风险,同时省去水平扫描线方向的IC绑定(bonding)工艺,有利于提高产能并降低成本,并且可以提升平面显示面板的集成度,适合制作窄边框的平板显示产品。

[0044] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0045] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明专利的保护范围应以所附权利要求为准。

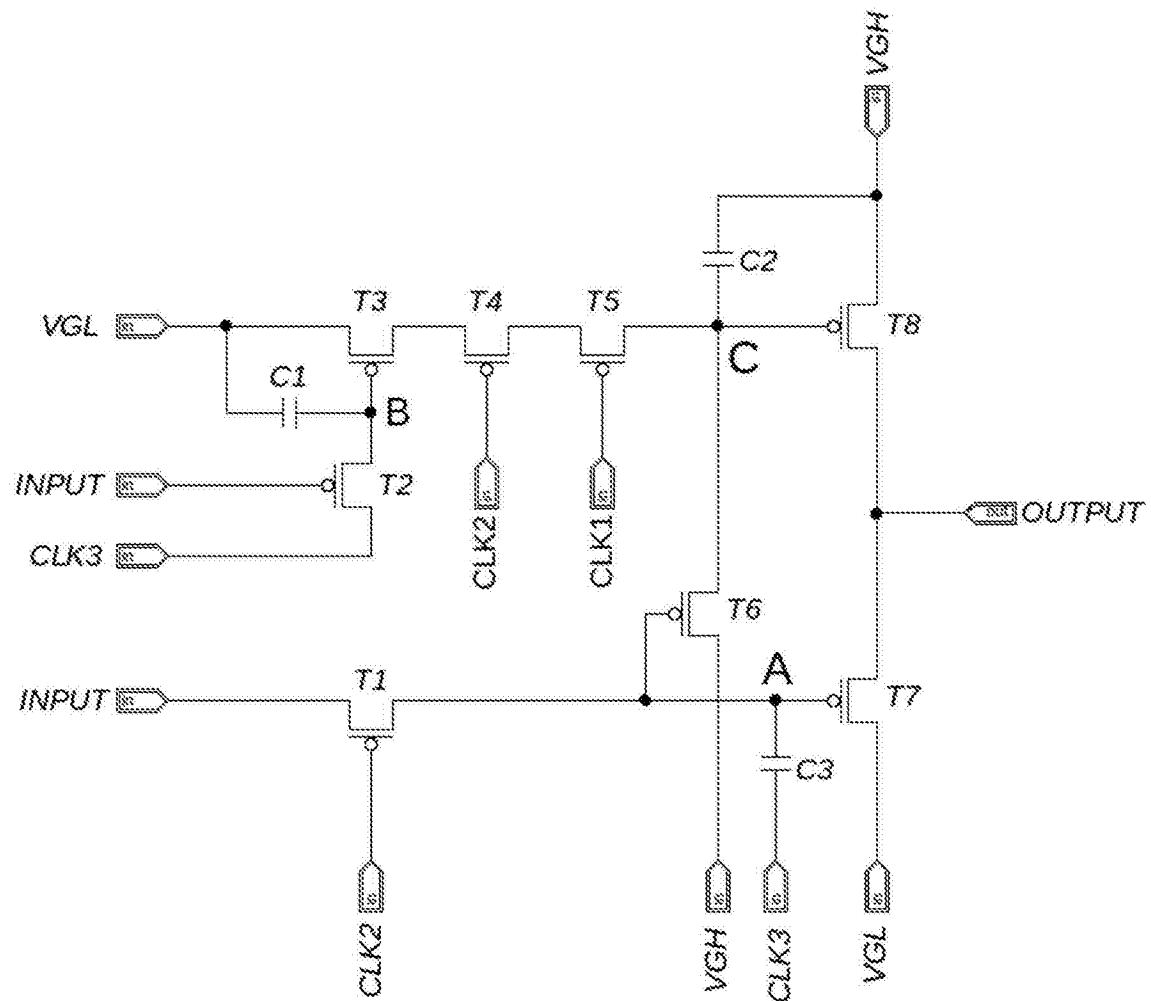


图1

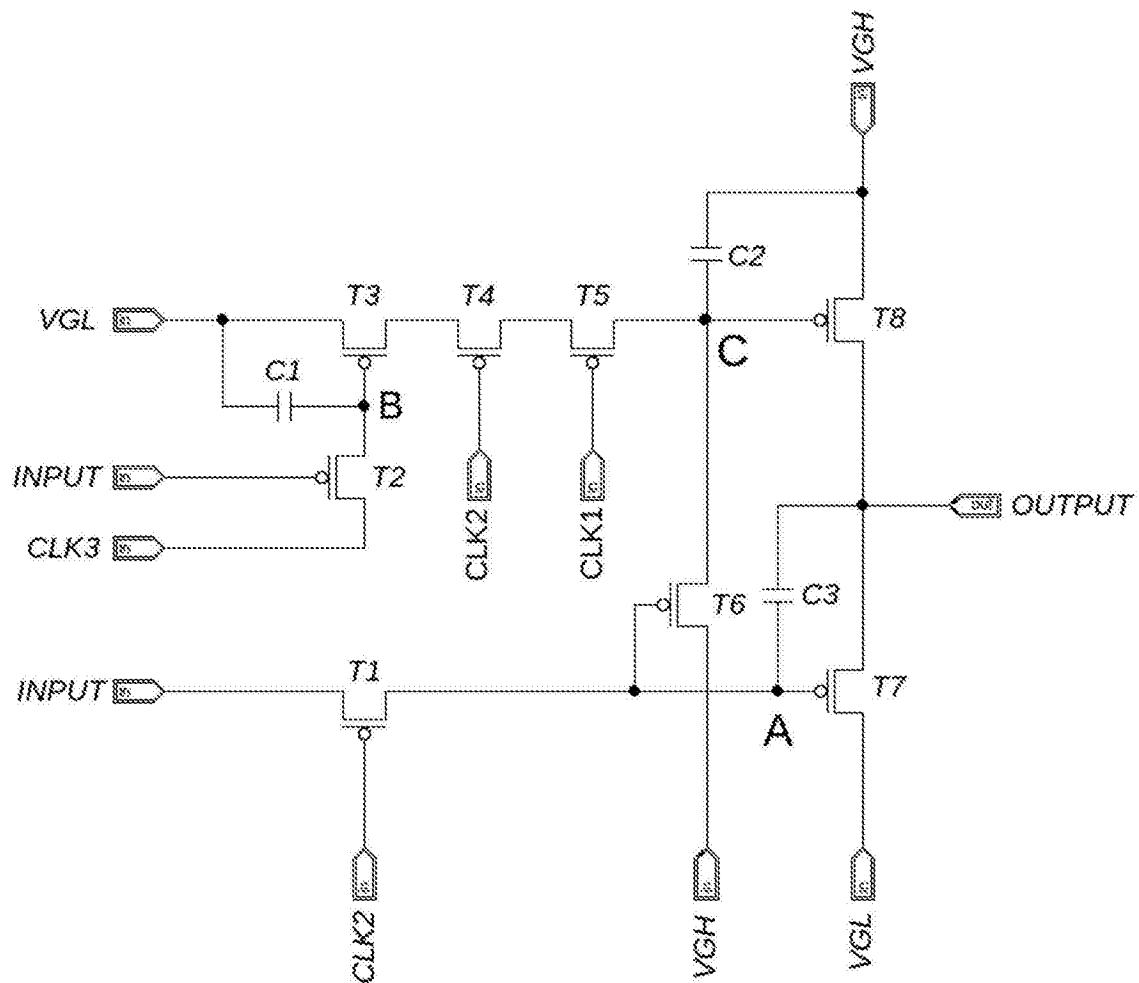


图2

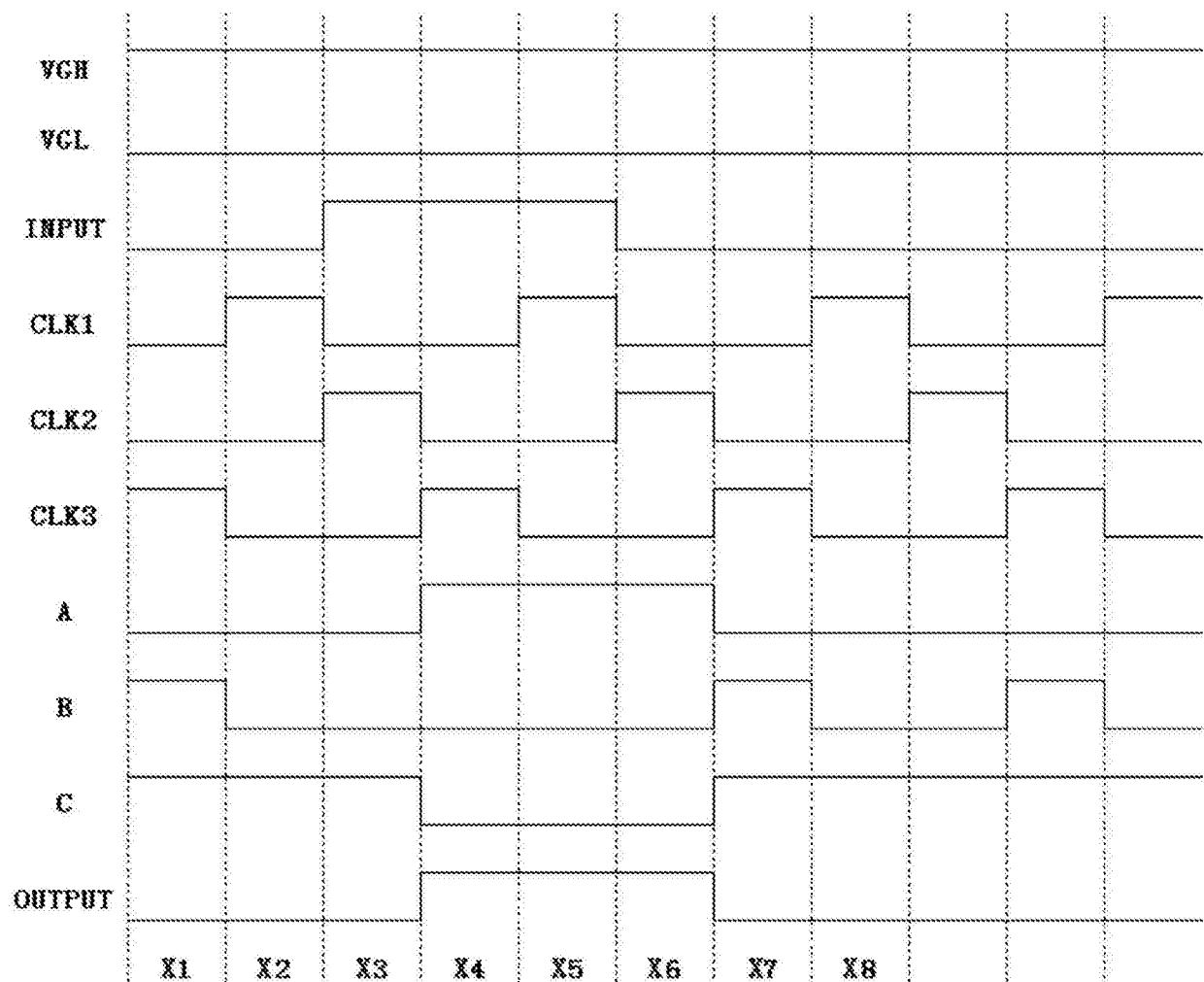


图3

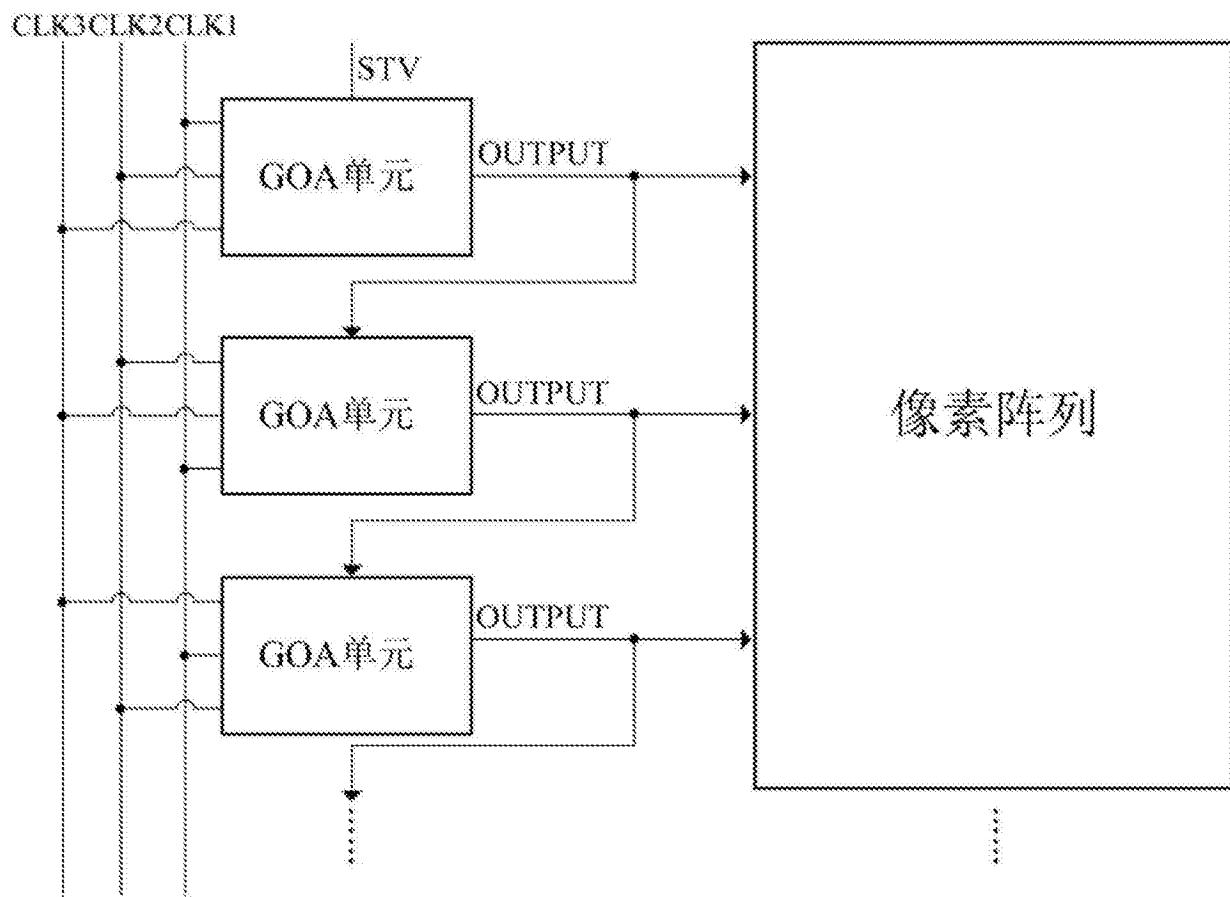


图4