



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201407776 A

(43)公開日：中華民國 103 (2014) 年 02 月 16 日

(21)申請案號：102126223 (22)申請日：中華民國 102 (2013) 年 07 月 23 日
(51)Int. Cl. : *H01L29/778 (2006.01)* *H01L21/28 (2006.01)*
(30)優先權：2012/08/09 美國 13/571,136
(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)
新竹市新竹科學工業園區力行六路 8 號
(72)發明人：黃敬源 WONG, KING-YUEN (HK)；游承儒 YU, CHEN JU (TW)；姚福偉 YAO,
FU WEI (TW)；余俊磊 YU, JIUN LEI (TW)；陳柏智 CHEN, PO CHIH (TW)；楊
富智 YANG, FU CHIH (TW)
(74)代理人：洪澄文；顏錦順
申請實體審查：有 申請專利範圍項數：10 項 圖式數：2 共 31 頁

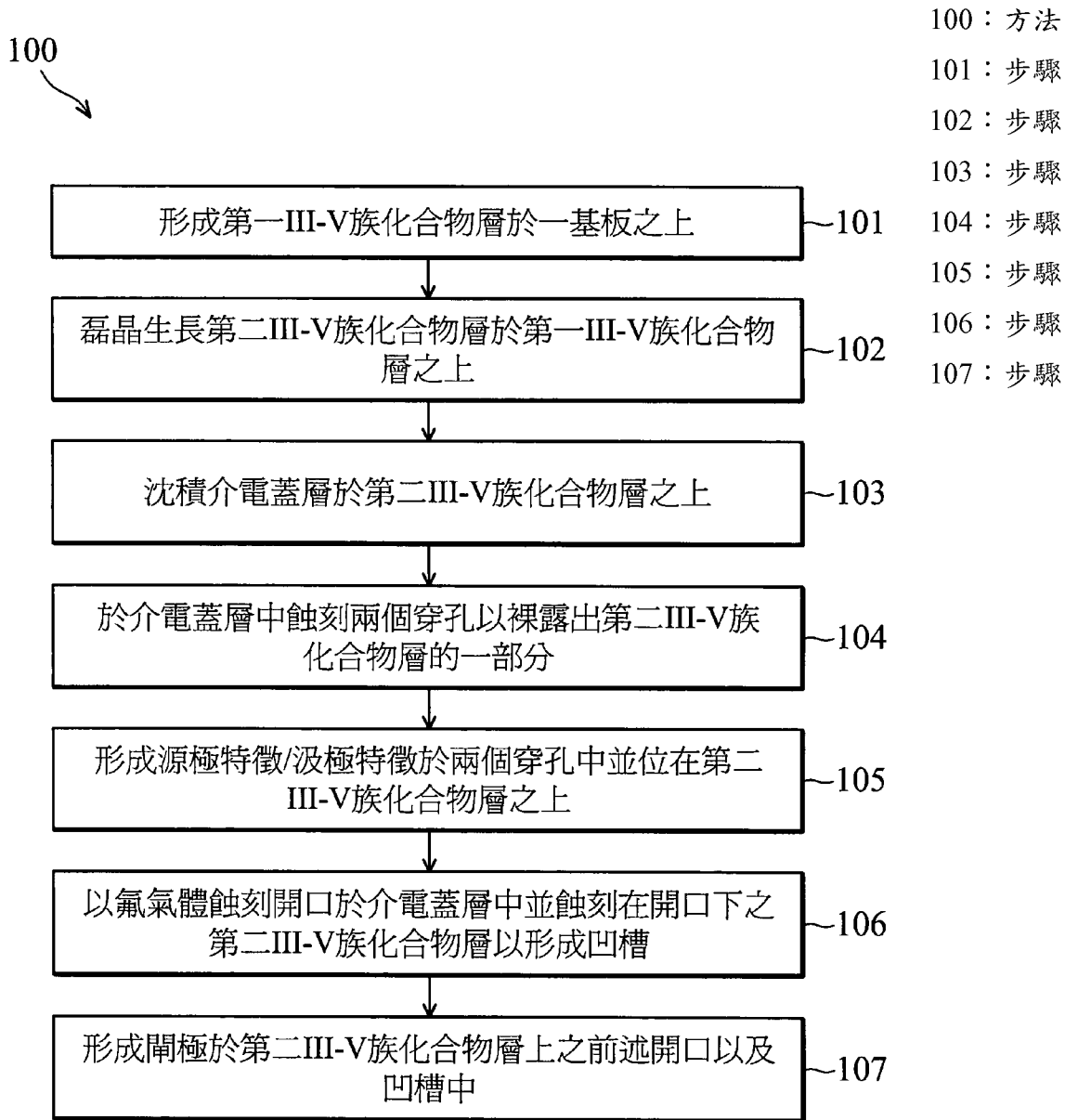
(54)名稱

高電子移動率電晶體及其形成方法

HIGH ELECTRON MOBILITY TRANSISTOR AND METHOD OF FORMING THE SAME

(57)摘要

本發明提供一種高電子移動率電晶體，包括：一第一 III-V 族化合物層；一第二 III-V 族化合物層設置於前述第一 III-V 族化合物層之上並與前述第一 III-V 族化合物層之組成不同，前述第二 III-V 族化合物層具有一上表面；一源極特徵與一汲極特徵設置於前述第二 III-V 族化合物層之上；一閘極設置於前述源極特徵與前述汲極特徵間的前述第二 III-V 族化合物層上方；一含氟區域內埋於前述閘極下前述該第二 III-V 族化合物層中，其中前述含氟區域具有一下表面，其低於前述第二 III-V 族化合物層之上表面；以及一閘介電層設置於至少一部分之前述閘極下且在前述含氟區域上方。本發明亦提供前述高電子移動率電晶體的形成方法。



第 1 圖



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201407776 A

(43)公開日：中華民國 103 (2014) 年 02 月 16 日

(21)申請案號：102126223 (22)申請日：中華民國 102 (2013) 年 07 月 23 日
(51)Int. Cl. : *H01L29/778 (2006.01)* *H01L21/28 (2006.01)*
(30)優先權：2012/08/09 美國 13/571,136
(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)
新竹市新竹科學工業園區力行六路 8 號
(72)發明人：黃敬源 WONG, KING-YUEN (HK)；游承儒 YU, CHEN JU (TW)；姚福偉 YAO,
FU WEI (TW)；余俊磊 YU, JIUN LEI (TW)；陳柏智 CHEN, PO CHIH (TW)；楊
富智 YANG, FU CHIH (TW)
(74)代理人：洪澄文；顏錦順
申請實體審查：有 申請專利範圍項數：10 項 圖式數：2 共 31 頁

(54)名稱

高電子移動率電晶體及其形成方法

HIGH ELECTRON MOBILITY TRANSISTOR AND METHOD OF FORMING THE SAME

(57)摘要

本發明提供一種高電子移動率電晶體，包括：一第一 III-V 族化合物層；一第二 III-V 族化合物層設置於前述第一 III-V 族化合物層之上並與前述第一 III-V 族化合物層之組成不同，前述第二 III-V 族化合物層具有一上表面；一源極特徵與一汲極特徵設置於前述第二 III-V 族化合物層之上；一閘極設置於前述源極特徵與前述汲極特徵間的前述第二 III-V 族化合物層上方；一含氟區域內埋於前述閘極下前述該第二 III-V 族化合物層中，其中前述含氟區域具有一下表面，其低於前述第二 III-V 族化合物層之上表面；以及一閘介電層設置於至少一部分之前述閘極下且在前述含氟區域上方。本發明亦提供前述高電子移動率電晶體的形成方法。

發明摘要

※ 申請案號：102176773

※ 申請日：102.7.23

※IPC 分類：

H01L29/177F

E2006.01

H01L21/28

E2006.01

【發明名稱】 高電子移動率電晶體及其形成方法HIGH ELECTRON MOBILITY TRANSISTOR AND
METHOD OF FORMING THE SAME**【中文】**

本發明提供一種高電子移動率電晶體，包括：一第一 III-V 族化合物層；一第二 III-V 族化合物層設置於前述第一 III-V 族化合物層之上並與前述第一 III-V 族化合物層之組成不同，前述第二 III-V 族化合物層具有一上表面；一源極特徵與一汲極特徵設置於前述第二 III-V 族化合物層之上；一閘極設置於前述源極特徵與前述汲極特徵間的前述第二 III-V 族化合物層上方；一含氟區域內埋於前述閘極下前述該第二 III-V 族化合物層中，其中前述含氟區域具有一下表面，其低於前述第二 III-V 族化合物層之上表面；以及一閘介電層設置於至少一部分之前述閘極下且在前述含氟區域上方。本發明亦提供前述高電子移動率電晶體的形成方法。

【英文】

A semiconductor structure includes a first III-V compound layer. A second III-V compound layer is disposed on the first III-V compound layer and is different from the first III-V compound layer in composition. The second III-V compound

layer has a top surface. A source feature and a drain feature are disposed on the second III-V compound layer. A gate electrode is disposed over the second III-V compound layer between the source feature and the drain feature. A fluorine region is embedded in the second III-V compound layer under the gate electrode. The fluorine region has a top surface lower than the top surface of the second III-V compound layer. A gate dielectric layer is disposed under at least a portion of the gate electrode and over the fluorine region.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100~方法

101、102、103、104、105、106、107~步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

layer has a top surface. A source feature and a drain feature are disposed on the second III-V compound layer. A gate electrode is disposed over the second III-V compound layer between the source feature and the drain feature. A fluorine region is embedded in the second III-V compound layer under the gate electrode. The fluorine region has a top surface lower than the top surface of the second III-V compound layer. A gate dielectric layer is disposed under at least a portion of the gate electrode and over the fluorine region.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100~方法

101、102、103、104、105、106、107~步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 高電子移動率電晶體及其形成方法

HIGH ELECTRON MOBILITY TRANSISTOR AND
METHOD OF FORMING THE SAME

【技術領域】

【0001】 本發明係有關於一種半導體結構，且特別是有關於一種高電子移動率電晶體。

【先前技術】

【0002】 在半導體科技領域中，III-V族半導體化合物因其特性而通常用於形成多種積體電路裝置，如高功率場效電晶體、高頻電晶體、或高電子移動率電晶體(high electron mobility transistor，HEMTs)。高電子移動率電晶體係結合兩種不同能帶隙(band-gaps)材料間之接面(junction)的場效電晶體(即異接面，heterojunction)作為通道以取代，一般應用於金氧半場效電晶體(MOSFETs)的摻雜區域。相對於金氧半場效電晶體，高電子移動率電晶體具有一些吸引人的特質如，高電子移動率、可以高頻率傳輸訊號等等。

【0003】 從應用角度而言，增強型(enhancement-mode)高電子移動率電晶體具有多種好處。增強型高電子移動率電晶體容許去除負極電壓供應並因此降低電路的複雜度及成本。儘管高電子移動率電晶體具有上述吸引人的特質，目前仍存在一些挑戰，其係關於III-V族半導體化合物裝置(III-V semiconductor compound-based devices)的發展。目前已嘗試多種配置及結構以更進一步提高電晶體效能。

【發明內容】

【0004】 本發明提供一種高電子移動率電晶體，包括：一第一 III-V 族化合物層；一第二 III-V 族化合物層設置於前述第一 III-V 族化合物層之上並與前述第一 III-V 族化合物層之組成不同，前述第二 III-V 族化合物層具有一上表面；一源極特徵與一汲極特徵設置於前述第二 III-V 族化合物層之上；一閘極設置於前述源極特徵與前述汲極特徵間的前述第二 III-V 族化合物層上方；一含氟區域內埋於前述閘極下前述該第二 III-V 族化合物層中，其中前述含氟區域具有一下表面，其低於前述第二 III-V 族化合物層之上表面；以及一閘介電層設置於至少一部分之前述閘極下且在前述含氟區域上方。

【0005】 本發明亦提供一種高電子移動率電晶體，包括：一 GaN 層設置於一基板上；一 AlGaIn 層設置於前述 GaN 層上，前述 AlGaIn 層具有一上表面；一含氟區域內埋於前述 AlGaIn 層中，其中前述含氟區域所具有之一上表面低於前述 AlGaIn 層之前述上表面；一閘極設置於前述含氟區域上，其中前述閘極所具有之一下表面低於前述 AlGaIn 層之前述上表面；一源極特徵與一汲極特徵設置於前述 AlGaIn 層上之前述閘極的相對兩邊，其中前述源極特徵與前述汲極特徵包括一間金屬化合物；以及前述閘介電層之一部分設置於前述閘極與前述 AlGaIn 層之間。

【0006】 本發明更提供一高電子移動率電晶體的形成方法，該方法包括：磊晶成長一第二 III-V 族化合物層於一第一 III-V 族化合物層之上；沈積一介電蓋層於前述第二 III-V 族化

合物層上；在前述介電蓋層中蝕刻複數個穿孔以裸露出複數個部分之前述第二III-V族化合物層；各形成一源極特徵與一汲極特徵於前述第二III-V族化合物層上之前述複數個穿孔中；藉一氟氣在前述介電蓋層中蝕刻一開口並在前述開口下的前述第二III-V族化合物層蝕刻一凹槽；以及形成一閘極於前述第二III-V族化合物層上的前述開口及前述凹槽中。

【0007】 為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0008】

第1圖為一流程圖，其為根據本發明一或多個實施例之具有高電子移動率電晶體的半導體結構的形成方法。

第2A~2G圖為一系列剖面圖，用以說明根據本發明一實施例如第1圖中方法的各製程階段。

【實施方式】

【0009】 以下說明本發明實施例之製作與使用。然而，可輕易了解本發明實施例提供許多合適的發明概念而可實施於廣泛的各種特定背景。所揭示的特定實施例僅僅用於說明以特定方法製作及使用本發明，並非用以侷限本發明的範圍。

【0010】 根據所揭示之一或多個實施例，半導體結構包括一高電子移動率電晶體(HEMT)。高電子移動率電晶體包括一形成於兩相異半導體材料層間之異界面(heterojunction)，如具有不同能帶隙的材料層。至少一個實施例中，高電子移動率電

晶體包括一第一 III-V 族化合物層(亦可視為一通道層)形成於基板上，以及一第二 III-V 族化合物層(亦可視為一施體提供層)形成於前述通道層上。通道層及施體提供層係由元素週期表 III-V 族之元素所形成之化合物製成。但是通道層及施體提供層各自的組成並不相同。第一 III-V 族化合物層為無摻雜(undoped)、或非蓄意摻雜(unintentionally-doped, UID)。第二 III-V 族化合物層為蓄意摻雜的。

【0011】 第一 III-V 族化合物層與第二 III-V 族化合物層之間存有能帶隙不連續性。第二 III-V 族化合物層中，來自壓電效應(piezoelectric effect)的電子落入第一 III-V 族化合物層中，在第一 III-V 族化合物層中造成一薄的高移動性導電電子層。此薄層係視為二維電子氣體(2-dimensional electron gas, 2-DEG)所形成之一載子通道(carrier channel)。載子通道位於第一 III-V 族化合物層中較靠近第一 III-V 族化合物層與第二 III-V 族化合物層界面處。於是，因為第一 III-V 族化合物層為無摻雜或非蓄意摻雜的緣故而使得載子通道具有高電子移動率，且電子可在毫無撞擊或大幅減低與雜質之間撞擊之環境下自由移動。

【0012】 根據所揭示之一或多個實施例，半導體結構形成於基板的晶粒區域內。基板上多個半導體晶粒區域透過晶粒區域間之切割道加以區分。基板將經歷一連串清洗、疊層、蝕刻及摻雜步驟以形成半導體結構。此處之”基板”一詞一般意指具有多個層膜及裝置結構形成於其上的一主體區域。在一些實施例中，主體基板包括矽、或化合物半導體，如 GaAs、InP、Si/Ge、或 SiC。前述層實例可包括介電層、摻雜層、多晶矽層、

或導體層。前述裝置結構實例可包括電晶體、電阻器、及/或電容器，其可透過一內連線層與額外的積體電路互連。

【0013】 第1圖為方法100的流程圖，其係根據所揭示的一或多個實施例形成一具有高電子移動率電晶體的半導體結構的方法。現下參照第1圖，方法100之流程圖中之步驟101為提供一第一III-V族化合物層。此第一III-V族化合物層係形成於一基板之上。接著方法100進行至步驟102，其為一第二III-V族化合物層磊晶成長於前述第一III-V族化合物層之上。繼續方法100之步驟103，一介電蓋層沈積並覆蓋於第二III-V族化合物層之上。而方法100在接下來的步驟104中為於介電蓋層中蝕刻兩個穿孔以裸露出第二III-V族化合物層的一部分。接著方法100進行至步驟105，一源極特徵及一汲極特徵分別形成於兩個穿孔中並位在第二III-V族化合物層之上。繼續方法100至步驟106，以氟氣蝕刻一開口於介電蓋層中並蝕刻在開口下之第二III-V族化合物層以形成一凹槽。方法100行至步驟107時，一閘極形成於第二III-V族化合物層上之前述開口及凹槽中。該注意的是，可進行額外的製程步驟於第1圖方法100的之前、期間、或之後。

【0014】 第2A~2G圖為用以說明根據本發明各實施例如第1圖中方法的各製程階段的半導體結構200之剖面圖。各個圖示皆已簡化以更加理解所揭示之發明概念。

【0015】 參照第2A圖，其為進行步驟101及102後之半導體結構200中基板202一部分之放大剖面圖。在一些實施例中，基板202包括一SiC基板、藍寶石基板、或矽基板。第一III-V族化

合物層，亦即通道層，係形成於基板202之上。在第2A-2G圖之實施例中，第一III-V族化合物層即為Ga₂N層(亦可稱作Ga₂N層204)。可藉有機金屬化學氣相磊晶法(MOVPE)以含鎵前驅物及含氮前驅物磊晶成長Ga₂N層204。含鎵前驅物包括三甲基鎵(trimethylgallium, TMG)、三乙基鎵(triethylgallium, TEG)、或其他合宜化學物質。含氮前驅物包括氨氣、叔丁胺(TBAm)、苯肼(phenyl hydrazine)、或其他合宜化學物質。Ga₂N層204為無摻雜的。Ga₂N層204也可以是非蓄意摻雜的，例如因使用前驅物形成Ga₂N層204而輕微摻雜n型雜質。在第2A-2G圖之實施例中，Ga₂N層204之厚度約介於0.5μm-10μm之間。在其他實施例中，Ga₂N層204可包括一GaAs層、或InP層。

【0016】 第二III-V族化合物層，亦即施體提供層，成長於第一III-V族化合物層204之上。界面205係定義為介於第一III-V族化合物層204及第二III-V族化合物層206之間。二維電子氣之載子通道208係位於靠近界面205之第一III-V族化合物層204中。在至少一個實施例中，第二III-V族化合物層206亦即一AlGa₂N層(亦可稱作AlGa₂N層206)。在第2A-2G圖之實施例中，可藉有機金屬化學氣相磊晶法(MOVPE)以含鋁前驅物、含鎵前驅物、以及含氮前驅物磊晶成長AlGa₂N層。含鋁前驅物包括三甲基鋁(trimethylaluminium, TMA)、三乙基鋁(triethylaluminium, TEA)、或其他合宜化學物質。含鎵前驅物包括三甲基鎵(trimethylgallium, TMG)、三乙基鎵(triethylgallium, TEG)、或其他合宜化學物質。含氮前驅物包括氨氣、叔丁胺(TBAm)、苯肼(phenyl hydrazine)、或其他合宜

化學物質。在第2A-2G圖之實施例中，AlGaIn層206之厚度D1約介於5nm-50nm之間。AlGaIn層206為蓄意摻雜的。在其他實施例中，第二III-V族化合物層206可包括AlGaAs層、或AlInP層。

【0017】 再參照回第1圖，方法100繼續至步驟103及104。第2B圖為在介電蓋層210蝕刻兩個穿孔211並裸露第二III-V族化合物層206的一部分後之半導體結構200之剖面圖。

【0018】 第2B圖中，介電蓋層210係沉積於第二III-V族化合物層206之上表面207之上。在第2A-2G圖之實施例中，介電蓋層210之厚度約介於100埃-5000埃之間。在一些實施例中，介電蓋層210包括氧化矽、或氮化矽。在一實例中，介電蓋層210為藉由含矽烷及氮進行低壓化學氣相沉積 (low pressure chemical vapor deposition, LPCVD) 所形成之氮化矽，其中未使用電漿。其製程所需溫度約介於650°C -800°C之間，而所需壓力則約介於0.1托-1托之間。介電蓋層210保護位於其下之第二III-V族化合物層206免受後續於電漿環境中執行之製程所傷害。

【0019】 接著藉由微影及蝕刻製程形成兩個穿孔211於介電蓋層210中以裸露AlGaIn層206之一部分的上表面207。在一實例中，介電蓋層210為氮化矽且在氮化矽中的兩個穿孔211係在含氯化硼(BCl₃)的乾蝕刻環境下形成的。氯化硼氣流每秒流出約30-60毫升。製程壓力約介於10毫托-50毫托之間，而製程所需功率則約介於100瓦-200瓦之間。

【0020】 再參照回第1圖，方法100繼續至步驟105。第2C圖

為形成位在第二 III-V 族化合物層 206 上之源極特徵 / 汲極特徵 212 於兩個穿孔 211 中之半導體結構 200 之剖面圖。

【0021】 第 2C 圖中，一金屬層沈積於介電蓋層 210 之上並填入兩個穿孔 211 至溢出的程度且接觸到第二 III-V 族化合物層 206。一光阻層(未繪出)形成於金屬層之上並顯影以形成一特徵於穿孔 211 上。藉離子蝕刻製程(reactive ion etch, RIE)移除未被光阻層之特徵的金屬層部分，且蝕刻金屬層裸露的部份深至位於其下的介電蓋層 210。在蝕刻製程後生成一金屬特徵。金屬特徵係配置為高電子移動率電晶體之源極特徵或汲極特徵。在形成金屬特徵 212 後移除光阻層。在形成金屬特徵 212 之蝕刻製程間，介電蓋層 210 保護於其下之第二 III-V 族化合物層 206。在第二 III-V 族化合物層 206 之下的載子通道 208 中之載子亦不會在蝕刻製程間受影響。而半導體結構 200 之電性表現則受到正面影響。因此，整體組件的產率可提昇。

【0022】 在一些實施例中，金屬特徵 212 之金屬層包括一或多種導電材料。在至少一個實例中，金屬層完全不含金但包括鈦、鈷、鎳、鎢、鉑、鉭、鈮、鉬、氮化鈦、或銅鋁合金。在另一實例中，金屬層包括一鈦 / 氮化鈦下層，一銅鋁層覆於鈦 / 氮化鈦下層之上，以及一鈦上層覆於銅鋁層之上。金屬層之形成方法包括原子層沈積(atom layer deposition, ALD)製程、或物理氣相沈積(physical vapor deposition, PVD)製程。在至少一個實施例中，可施用一熱退火製程於金屬特徵之上以使金屬特徵、第二 III-V 族化合物層 206、以及第一 III-V 族化合物層 204 反應以形成一金屬間化合物。源 / 汲極特徵 212 之金屬間化合物

提供與載子通道208之間一更有效的電性連接。雖然也可使用金來形成金屬特徵，但藉由不使用金，可將方法100實施於在矽基板上的積體電路生產線上，即可因此消除矽製程中的金污染顧慮。

【0023】 第2D圖所示為一選擇性的保護層214沈積於金屬特徵212及介電蓋層210之上表面。在一些實施例中，保護層214包括介電材料如氧化矽、或氮化矽。可以電漿強化型化學氣相沈積法(plasma enhanced chemical vapor deposition, PECVD)形成保護層214。

【0024】 在形成保護層214後，一隔離區域216形成於第一III-V族化合物層及第二III-V族化合物層中，隔離區域216將半導體結構200中之高電子移動率電晶體與其他基板202中的裝置分隔開。在一實例中，隔離區域216係以氧類物質或氮類物質藉由植入製程所形成。保護層214覆蓋源/汲極特徵212並防止源/汲極特徵212暴露於隔離區域形成所需之植入製程後的退火製程下。

【0025】 再參照回第1圖，方法100進行至步驟106。第2E圖所示為以氟氣蝕刻開口217A於介電蓋層210中並蝕刻在開口217A下之第二III-V族化合物層以形成凹槽217B後之半導體結構200之剖面圖。

【0026】 第2E圖中，開口217A形成在源/汲極特徵212間之保護層214及介電蓋層210中，一圖案化罩幕層(未繪出)形成於保護層214之上表面(且亦在介電蓋層210之上)，並進行一蝕刻製程215以移除保護層214及介電蓋層210的一部分。同一蝕刻

製程 215 更延伸至上表面 207 以形成凹槽 217B 於開口 217A 下的第二 III-V 族化合物層 206 中。開口 217A 及凹槽 217B 係配置為將形成閘極的所在位置。

【0027】 在一些實施例中，開口 217A 及凹槽 217B 係形成於包括氟氣的相同蝕刻製程 215 中。在保護層 214 及介電蓋層 210 蝕刻開口 217A 後，同一電漿蝕刻製程 215 繼續在同一反應室中蝕刻第二 III-V 族化合物層以形成凹槽 217B。氟氣包括 SF₆、CF₄、或 C₃F₈。氟氣流每秒流出約 10 毫升-100 毫升。凹槽 217B 之蝕刻之其中一結果為開口 217A 下的第二 III-V 族化合物層中形成一含氟區域 218。含氟區域 218 中的氟離子可提供靜止的強烈負電荷並能有效地空乏載子通道 208 的電子。故而在載子通道 208 創造出一空乏區 220。由於空乏區 220 的關係，載子通道 208 成為經常性關閉狀態。可施行一正閘極電壓以打開高電子移動率電晶體的載子通道 208。此高電子移動率電晶體亦稱作增強型高電子移動率電晶體。

【0028】 慣用方法中，會藉由除了氟以外的氣體蝕刻第二 III-V 族化合物層 206 的一部分以形成增強型高電子移動率電晶體的凹槽。然而，含氟區域不能藉由此種製程形成，凹槽下的載子通道 208 因此無法完全處於經常性關閉狀態下。在此種狀況中，載子通道 208 中之區域，即空乏區 220，將會殘留下載子。如此高電子移動率電晶體的電壓閾值將難以從負極電壓供應調整為正極電壓供應。故將限制住增強型高電子移動率電晶體的形成。

【0029】 所揭示之各個實施例係利用氟氣蝕刻凹槽 217B。

在蝕刻凹槽 217B 後，含氟區域 218 形成於第二 III-V 族化合物層 206 中。含氟區域 218 可有效地空乏載子通道 208 之空乏區 220 中的電子。含氟區域 218 消除了曾提到慣用方法中具有之缺點。

【0030】 在一些實施例中，凹槽 217B 形成後剩餘的一段第二 III-V 族化合物層 206 之厚度為 D2。厚度 D1 (第二 III-V 族化合物層) 對厚度 D2 的比例約介於 2.5-7 之間。超出此比例，含氟區域 218 將不能有效地空乏載子通道 208 中空乏區 220 的電子，或高電子移動率電晶體會產生低啓動電流 (on-current) 的問題。

【0031】 第 2F 圖所示為一閘介電層 222 沉積於第 2E 圖中之半導體結構 200 上。閘介電層 222 沉積於保護層 214 上，沿著開口 217A 及凹槽 217B 之內表面，以及在第二 III-V 族化合物層 206 之裸露部分上 (還有含氟區域 218)。閘介電層亦沉積於源/汲極特徵 212 之上。閘介電層 222 形成於第二 III-V 族化合物層 206 及接著將形成的閘極之間。閘介電層可增加此高電子移動率電晶體的電壓閾值並防止電流從閘極滲漏至第二 III-V 族化合物層 206。多種裝置可以較高的操作電壓 (operation voltage) 運轉此高電子移動率電晶體。

【0032】 在一些實施例中，閘介電層 222 的厚度約介於 3nm-50nm 間。在一些實例中，閘介電層 222 包括氧化矽、氮化矽、氧化鎳、氧化鋁、氧化鈦、氧化鋯、氧化釧、或氧化鉛。

【0033】 在至少一個實施例中，係藉由原子層沉積法形成閘介電層 222。原子層沉積法基本原理為順序性地使用氣相化學製程。大部分原子層沉積法使用兩種化學物質，一般稱為先驅物。這些先驅物會順序性地一次與一表面產生反應。藉由重

複暴露生長之表面於前驅物下而沉積閘介電層222。原子層沉積法提供高品質且厚度均勻的閘介電層222。在一實例中，閘介電層222係氧化鋯。在一些實施例中，第一前驅物包括4-(乙基甲基氨基)鋯(TEMAZr)或氯化鋯($ZrCl_4$)。在一些實施例中，第二前驅物包括氧，以氧化第一前驅物物質後形成一單層。在一些實例中，第二前驅物包括 O_3 、 O_2 、 H_2O 、 N_2O 、以及 $H_2O-H_2O_2$ 。在其他實施例中，係藉由電漿增強型化學氣相沉積或低壓化學氣相沉積形成閘介電層222。

【0034】 在一些實施例中，閘介電層在沉積步驟後再經過 $400^\circ C - 700^\circ C$ 左右的退火處理。退火步驟可復原步驟106可能在第二III-V族化合物層206上造成的損傷。同時，也可修復形成於閘介電層與第二III-V族化合物層206之間的懸鍵(dangling bond)(例如先前步驟造成的結果)。

【0035】 再參照回第1圖，方法100進行至步驟107。第2G圖所示為閘極224形成於開口217A及凹槽217B中且在第二III-V族化合物層206上之半導體結構200之剖面圖。

【0036】 第2G圖中，閘極224形成於含氟區域218上之閘介電層222上方。閘極224亦覆於載子通道208之空乏區220上。在一實例中，閘極層沉積於閘介電層222上並填入開口217A及凹槽217B中至溢出的程度，如第2F圖。進行微影及蝕刻製程以在源/汲極特徵212間定義出閘極224。在一些實施例中，閘極224包括含有難熔金屬或其化合物的導電材料層，例如鈦、氮化鈦、鎢化鈦、及鎢。在另一實例中，閘極224包括鎳、金、或銅。

【0037】 在前述實施例中，在第一III-V族化合物層204中的閘極224、源/汲極特徵212、及載子通道208係視為一電晶體之配置。當施電壓於閘極時，可調幅電晶體的裝置電流。

【0038】 本發明一方面係關於一種半導體結構。半導體結構包括一第一I-V族化合物層。一第二III-V族化合物層設置於前述第一III-V族化合物層之上並與前述第一III-V族化合物層之組成不同，前述第二III-V族化合物層具有一上表面；一源極特徵與一汲極特徵設置於前述第二III-V族化合物層之上；一閘極設置於前述源極特徵與前述汲極特徵間的前述第二III-V族化合物層上方；一含氟區域內埋於前述閘極下的前述第二III-V族化合物層中，其中前述含氟區域具有一下表面，其低於前述第二III-V族化合物層之上表面；以及一閘介電層設置於至少一部分之前述閘極下且在前述含氟區域上方。

【0039】 本發明一方面亦係關於一種半導體結構。半導體結構包括一設置於基板上的Ga₂N層。一AlGa₂N層設置於前述Ga₂N層上，前述AlGa₂N層具有一上表面；一含氟區域內埋於前述AlGa₂N層中，其中前述含氟區域所具有之一上表面低於前述AlGa₂N層之前述上表面；一閘極設置於前述含氟區域上，其中前述閘極所具有之一下表面低於前述AlGa₂N層之前述上表面；一源極特徵與一汲極特徵設置於前述AlGa₂N層上之前述閘極的相對兩邊，其中前述源極特徵與前述汲極特徵包括一間金屬化合物；以及前述閘介電層之一部分設置於前述閘極與該AlGa₂N層之間。

【0040】 本發明另一方面係關於一半導體結構的形成方

法。此方法包括提供一第一 III-V 族化合物層。磊晶成長一第二 III-V 族化合物層於前述第一 III-V 族化合物層之上；沈積一介電蓋層於前述第二 III-V 族化合物層上；在前述介電蓋層中蝕刻複數個穿孔以裸露出複數個部分之前述第二 III-V 族化合物層；各形成一源極特徵與一汲極特徵於前述第二 III-V 族化合物層上之前述複數個穿孔中；藉一氟氣在前述介電蓋層中蝕刻一開口並在前述開口下的前述第二 III-V 族化合物層蝕刻一凹槽；以及形成一閘極於前述第二 III-V 族化合物層上的前述開口及前述凹槽中。

【0041】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。任何所屬技術領域中具有通常知識者可從本發明揭示內容中理解現行或未來所發展出的製程、機器、製造、物質組成、裝置、方法及步驟，只要可以在此處所述實施例中實施大體相同功能或獲得大體相同結果皆可使用於本發明中。因此，本發明之保護範圍包括上述製程、機器、製造、物質組成、裝置、方法及步驟。

【符號說明】

【0042】

100~方法

101、102、103、104、105、106、107~步驟

200~半導體結構

202~基板

204~GaN層、第一 III-V 族化合物層

206~AlGaIn層、第二 III-V 族化合物層

205~界面

207~上表面

208~載子通道

210~介電蓋層

211~穿孔

212~源/汲極特徵

214~保護層

215~蝕刻製程

216~隔離區域

217A~開口

217B~凹槽

218~含氟區域

220~空乏區

222~閘介電層

224~閘極

D1、D2~厚度

申請專利範圍

1. 一種高電子移動率電晶體，包括：
 - 第一 III-V 族化合物層；
 - 第二 III-V 族化合物層設置於該第一 III-V 族化合物層之上並與該第一 III-V 族化合物層之組成不同，該第二 III-V 族化合物層具有一上表面；
 - 源極特徵與一汲極特徵設置於該第二 III-V 族化合物層之上；
 - 閘極設置於該源極特徵與該汲極特徵之間該第二 III-V 族化合物層上方；
 - 含氟區域內埋於該閘極下的該第二 III-V 族化合物層中，其中該含氟區域具有一上表面，其低於該第二 III-V 族化合物層之上表面；以及
 - 閘介電層設置於至少一部分之該閘極下且在該含氟區域上方。
2. 如申請專利範圍第 1 項所述之高電子移動率電晶體，其中該第二 III-V 族化合物層具有一介於約 5nm-50nm 之厚度 D1，以及其中該含氟區域之一厚度 D2 為該第二 III-V 族化合物層之一部分；其中 D1/D2 之一比例係介於約 2.5-7。
3. 如申請專利範圍第 1 項所述之高電子移動率電晶體，其中該含氟區域空乏一位於該第一 III-V 族化合物層與該第二 III-V 族化合物層之間的載子通道之一部分。
4. 如申請專利範圍第 1 項所述之高電子移動率電晶體，更包括一介電蓋層位在該第二 III-V 族化合物層之上，其中該源極

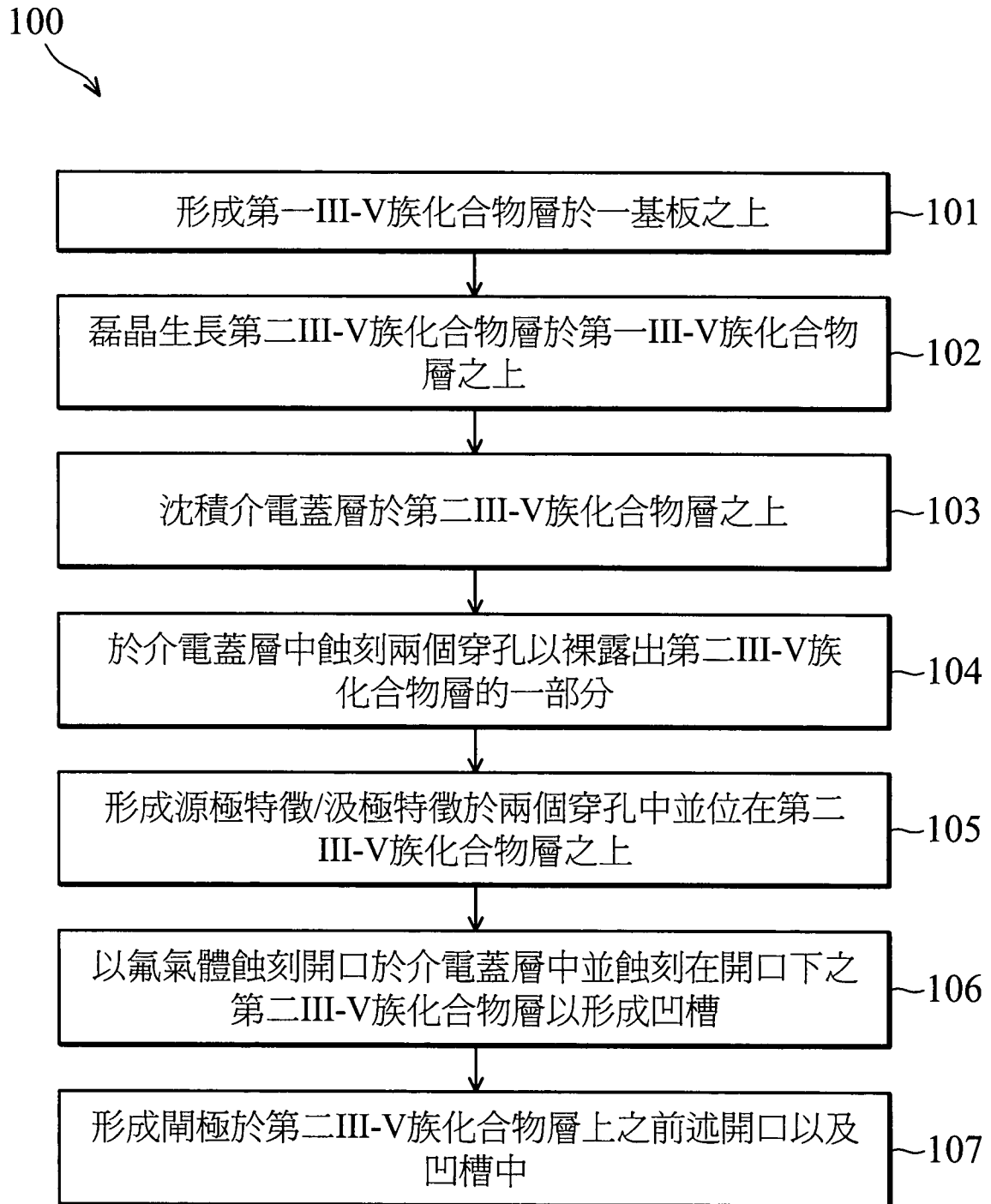
特徵與該汲極特徵延伸穿過該介電蓋層並接觸該第二 III-V 族化合物層。

5. 如申請專利範圍第 1 項所述之高電子移動率電晶體，其中該源極特徵與該汲極特徵皆不包括金而包括鈦、鈷、鎳、鎢、鉑、鉍、鈮、鉬、氮化鈦、或銅鋁合金。
6. 一種高電子移動率電晶體的形成方法，該方法包括：
磊晶成長一第二 III-V 族化合物層於一第一 III-V 族化合物層之上；
沈積一介電蓋層於該第二 III-V 族化合物層上；
在該介電蓋層中蝕刻複數個穿孔以裸露出複數個部分之該第二 III-V 族化合物層；
各形成一源極特徵與一汲極特徵於該第二 III-V 族化合物層上之該複數個穿孔中；
藉一氟氣在該介電蓋層中蝕刻一開口並在該開口下的該第二 III-V 族化合物層蝕刻一凹槽；以及
形成一閘極於該第二 III-V 族化合物層上的該開口及該凹槽中。
7. 如申請專利範圍第 6 項所述之高電子移動率電晶體的形成方法，其中蝕刻該開口及蝕刻該凹槽之該複數個步驟係以同一製程步驟進行於同一反應室中。
8. 如申請專利範圍第 6 項所述之高電子移動率電晶體的形成方法，其中該氟氣包括 SF₆、CF₄、或 C₃F₈。
9. 如申請專利範圍第 6 項所述之高電子移動率電晶體的形成方法，其中該第二 III-V 族化合物層具有一厚度 D1，該第二

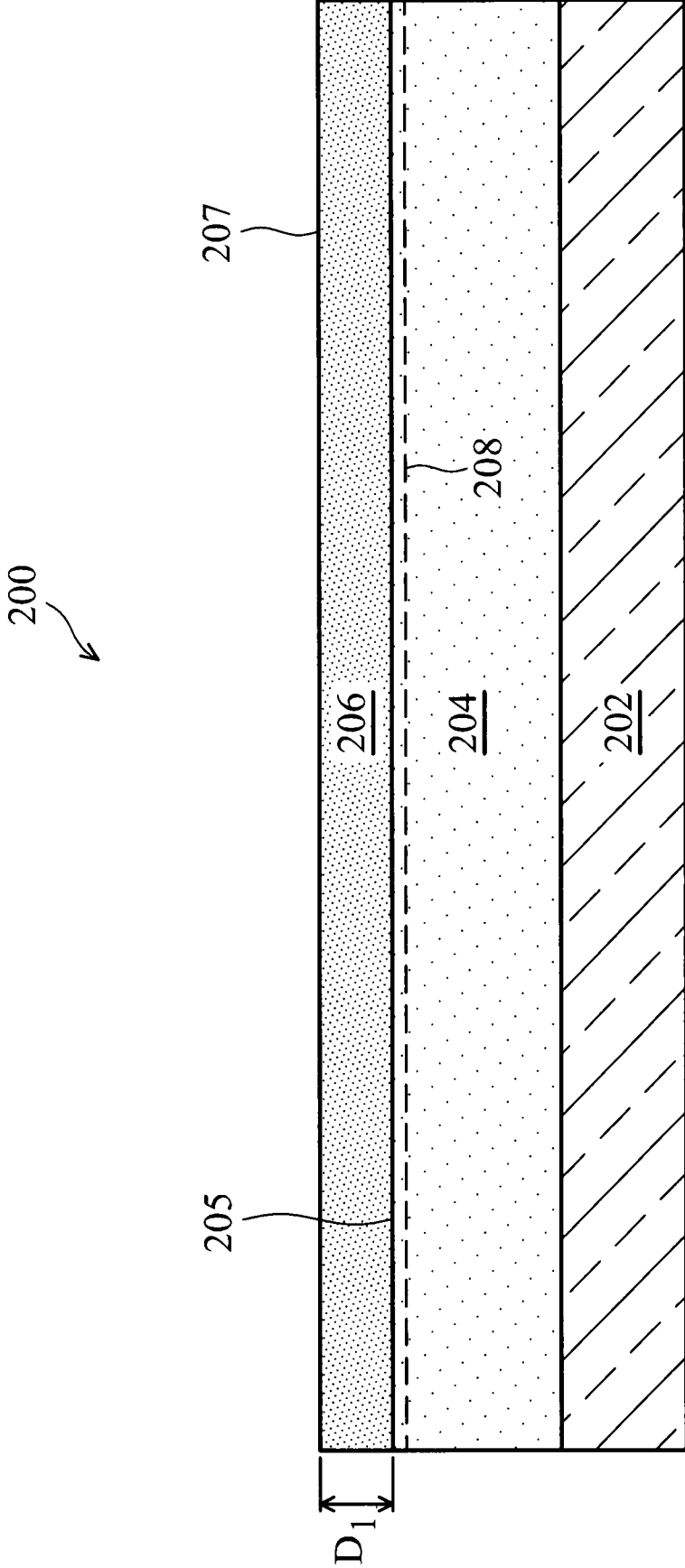
III-V族化合物層位於該凹槽下之一部分具有一厚度D2，其中D1/D2之一比例係約介於2.5-7。

- 10.如申請專利範圍第6項所述之高電子移動率電晶體的形成方法，其中蝕刻該開口及蝕刻該凹槽之該複數個步驟形成一內埋於該第二III-V族化合物層中之含氟區域。

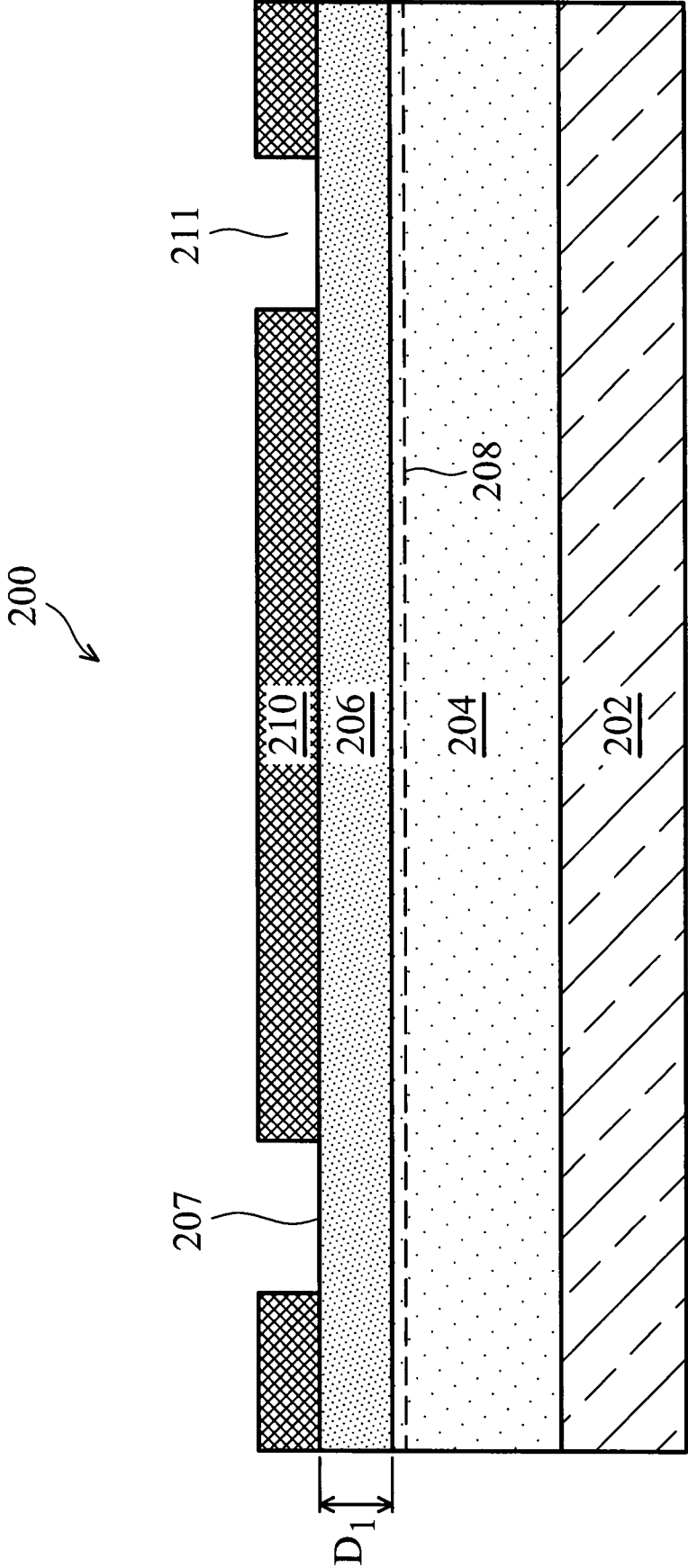
圖式



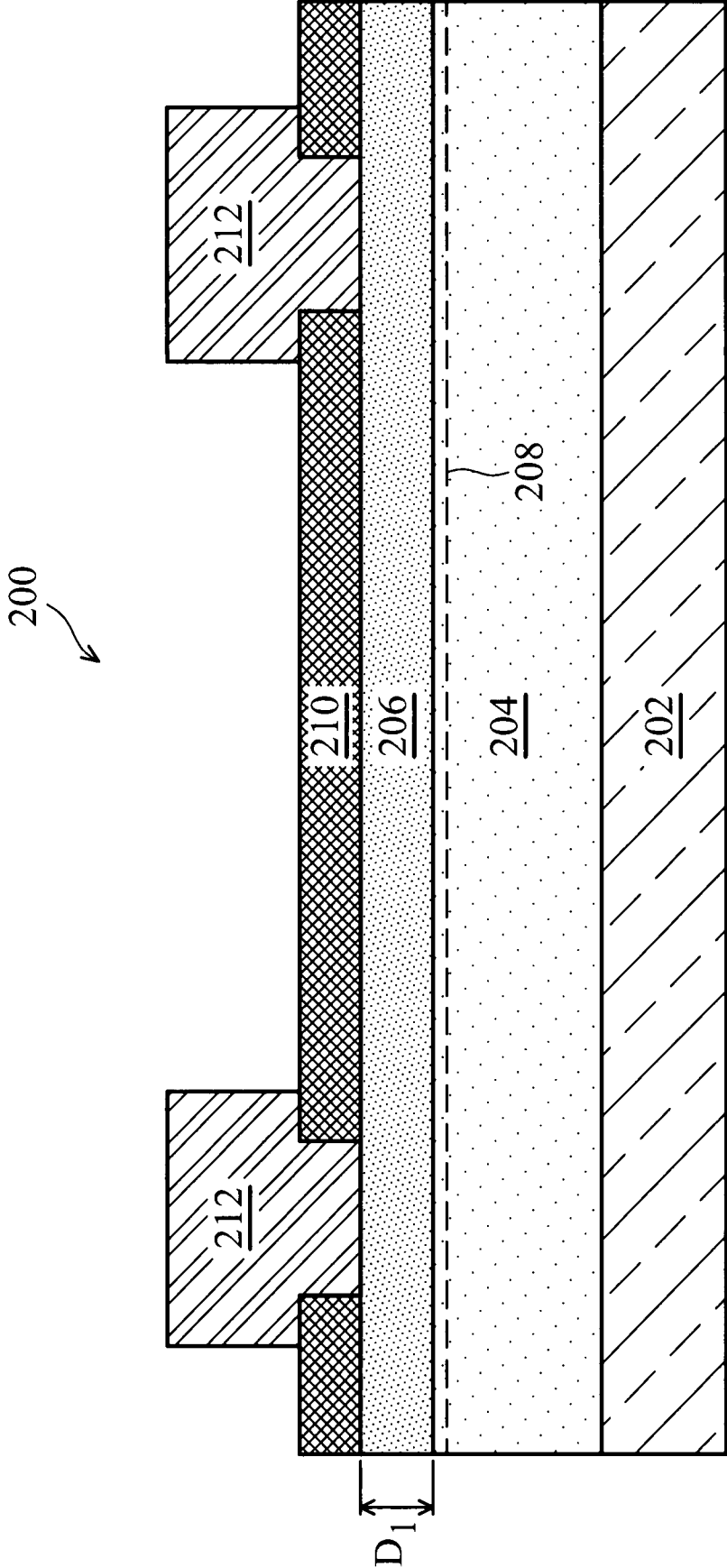
第 1 圖



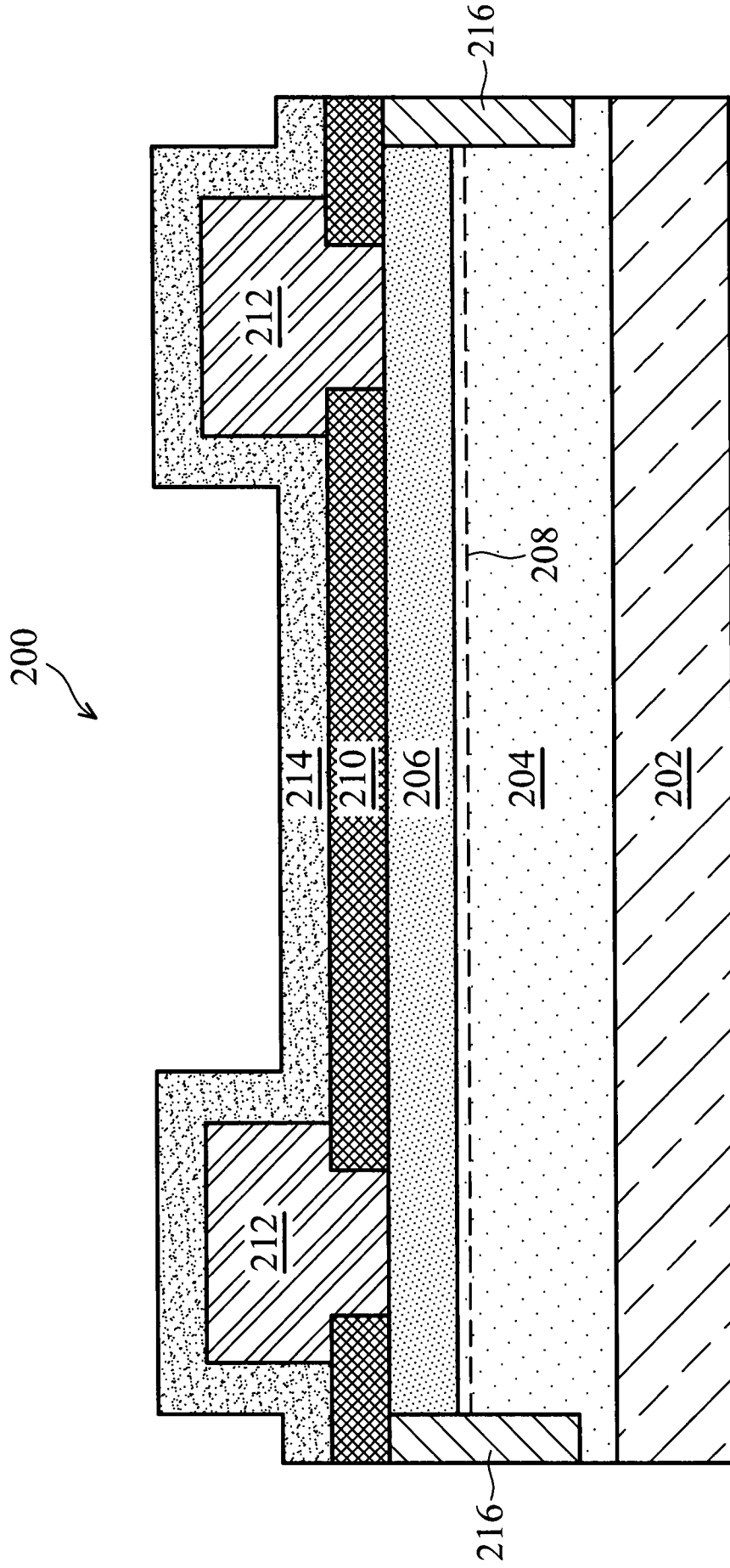
第2A圖



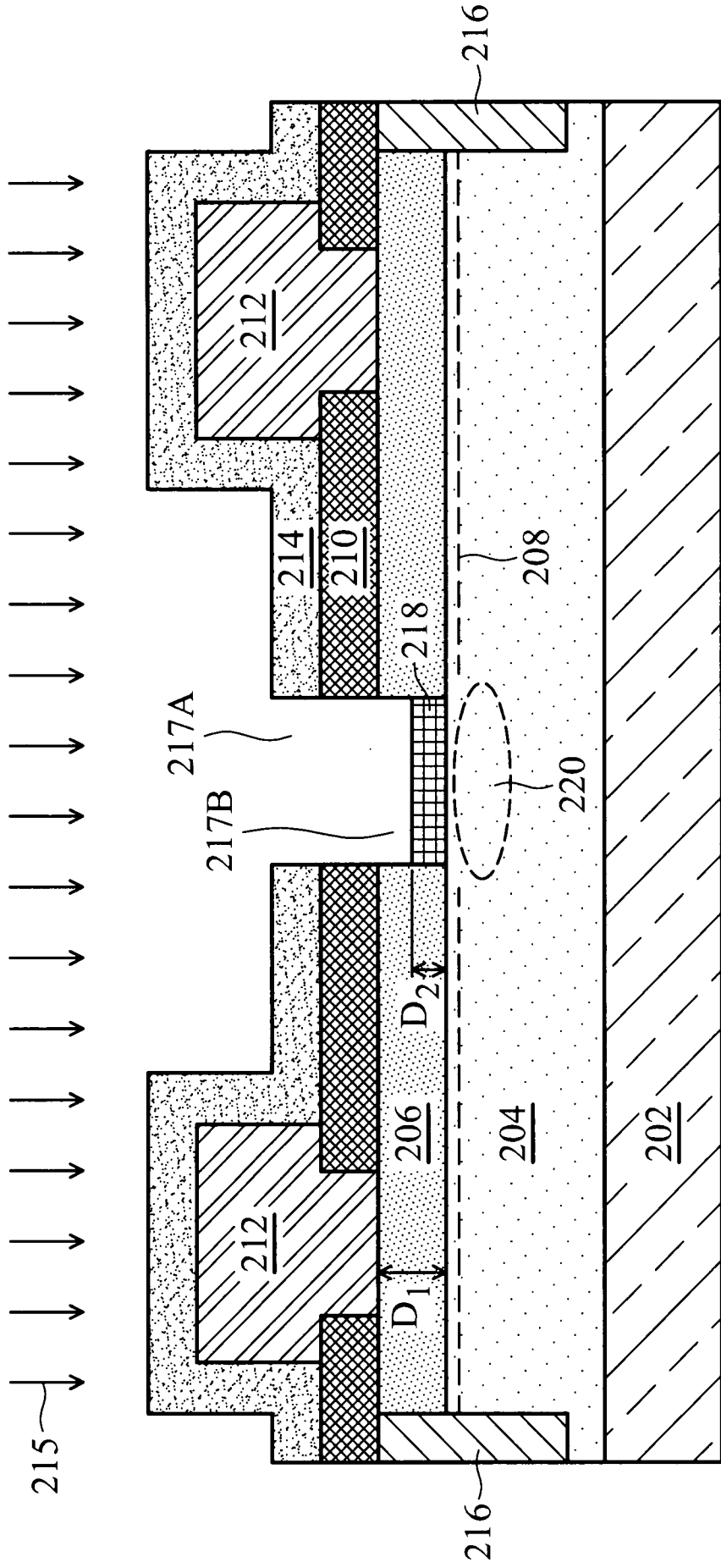
第 2B 圖



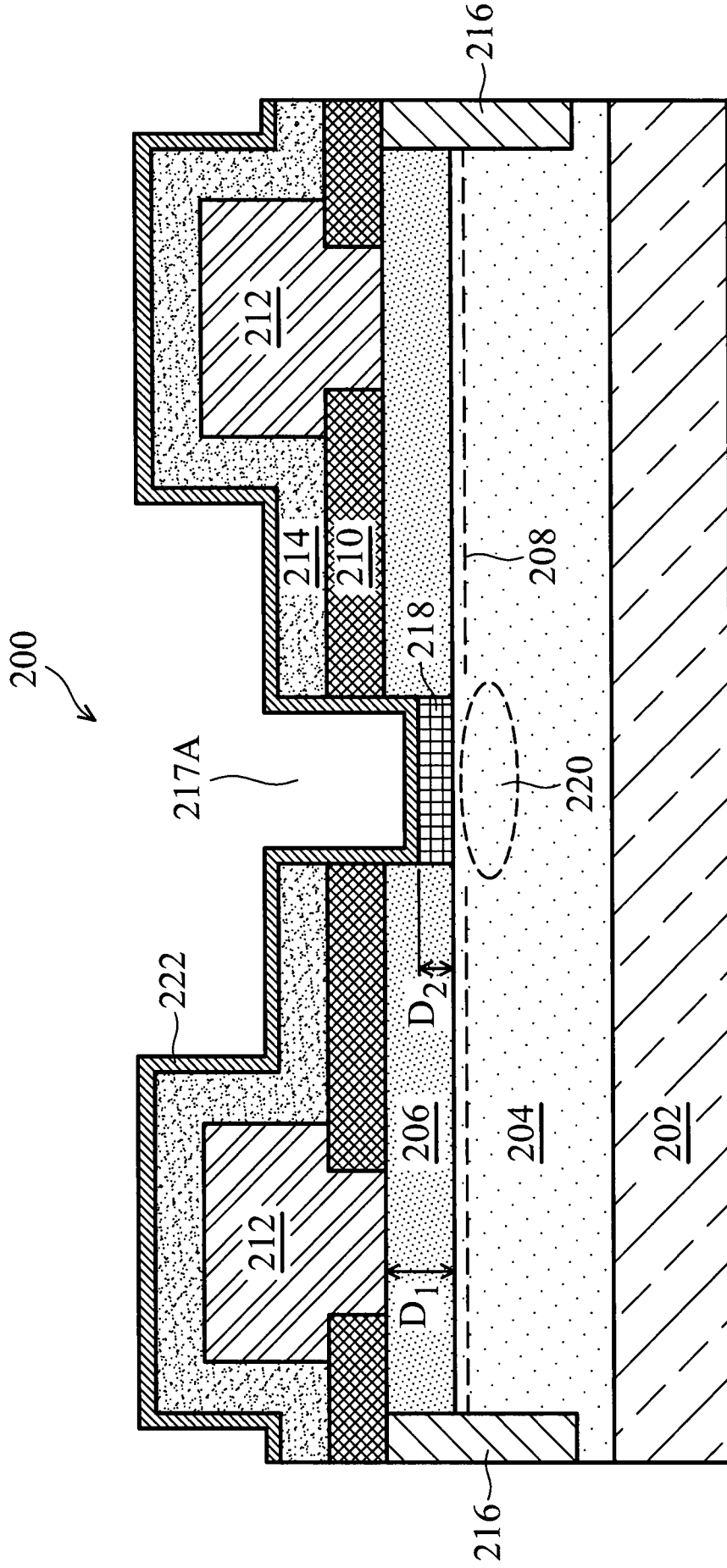
第 2C 圖



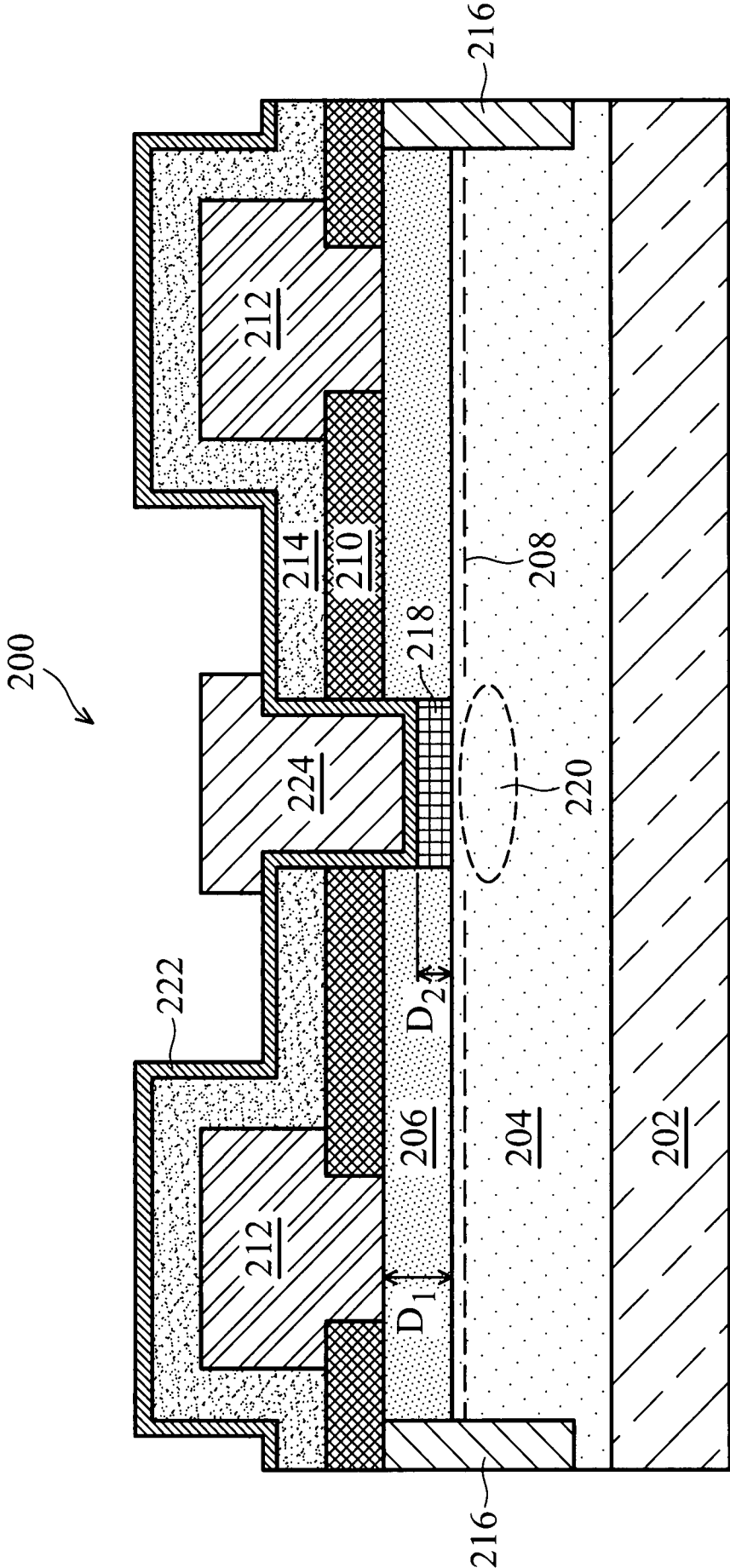
第2D圖



第2E圖



第2F圖



第2G圖