



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0091086
(43) 공개일자 2008년10월09일

(51) Int. Cl.

H01L 23/12 (2006.01) H01L 21/60 (2006.01)
C08J 5/24 (2006.01) H01L 23/29 (2006.01)

(21) 출원번호 10-2008-7012391

(22) 출원일자 2008년05월23일

심사청구일자 2008년05월23일

번역문제출일자 2008년05월23일

(86) 국제출원번호 PCT/JP2007/067283

국제출원일자 2007년09월05일

(87) 국제공개번호 WO 2008/032620

국제공개일자 2008년03월20일

(30) 우선권주장

JP-P-2006-00248473 2006년09월13일 일본(JP)

(71) 출원인

스미토모 베이클라이트 가부시키가이샤

일본 도쿄도 시나가와구 히가시시나가와 2쵸메 5
반 8고

(72) 발명자

와다 마사히로

일본 1400002 도쿄, 시나가와-쿠, 히가시-시나가
와2-쵸메, 5-8, 스미토모 베이클라이트 가부시키
가이샤 내

타나카 히로유끼

일본 1400002 도쿄, 시나가와-쿠, 히가시-시나가
와2-쵸메, 5-8, 스미토모 베이클라이트 가부시키
가이샤 내

(뒷면에 계속)

(74) 대리인

이범래, 장훈

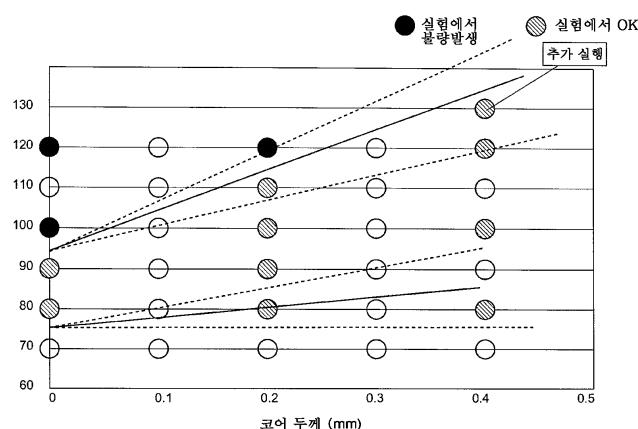
전체 청구항 수 : 총 9 항

(54) 반도체 장치

(57) 요 약

본 발명은 온도 변화에 따른 반도체 장치의 손상을 억제하는 기술을 제공한다. 코어재의 두께를 얇게 한 구조를 채용한 필드업형의 다층 기판에 실리콘 칩을 플립칩 실장할 때에, 그 다층 기판에 선 팽창 계수가 작은 코어재를 사용한 후에, 그 코어재의 두께 및 선 팽창 계수에 맞추어, 언더필재의 선 팽창 계수 및 유리 전이점을 적절하게 설계하고 있다. 이렇게 하면, 온도 변화에 따른 다층 기판의 변형 등에 의해 생기는 반도체 패키지 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지의 손상을 억제할 수 있다.

대 표 도 - 도10



(72) 발명자

히로세 히로시

일본 1400002 도쿄, 시나가와-쿠, 히가시-
시나가와2-쵸메, 5-8, 스미토모 베이클라이트 가부
시키가이샤 내

이또 테페이

일본 1400002 도쿄, 시나가와-쿠, 히가시-
시나가와2-쵸메, 5-8, 스미토모 베이클라이트 가부
시키가이샤 내

타치바나 케나

일본 1400002 도쿄, 시나가와-쿠, 히가시-
시나가와2-쵸메, 5-8, 스미토모 베이클라이트 가부
시키가이샤 내

특허청구의 범위

청구항 1

코어재 및 빌드업층을 구비하는 회로 기판과,

상기 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와,

상기 반도체 소자 및 상기 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서,

상기 코어재의 두께는 $500\mu\text{m}$ 이하이고,

상기 코어재의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이하이고,

상기 코어재의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수는 $18\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 코어재의 두께는 $200\mu\text{m}$ 이하인 것을 특징으로 하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 빌드업층의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $35\text{ppm}/\text{^\circ C}$ 이하인 것을 특징으로 하는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $25T + 75 \leq T_g \leq 100T + 95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 회로 기판이 구비하는 빌드업층은 7층 이상이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g \leq 75T + 95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 회로 기판이 구비하는 빌드업층은 4층 이상 6층 이하이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $25T + 75 \leq T_g \leq 100T + 95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 7

코어재 및 빌드업층을 구비하는 회로 기판과,

상기 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와,

상기 반도체 소자 및 상기 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서,

상기 회로 기판이 구비하는 벌드업층은 3층 이하이고,

상기 코어재의 두께는 $500\mu\text{m}$ 이하이고,

상기 코어재의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이하이고,

상기 코어재의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수는 $18\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $50T+75 \leq T_g < 125T+95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 8

코어재 및 벌드업층을 구비하는 회로 기판과,

상기 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와,

상기 반도체 소자 및 상기 회로 기판의 사이에 봉입되어 있는 밀봉 수지를 구비하는 반도체 장치로서,

상기 코어재의 두께는 $500\mu\text{m}$ 이하이고,

상기 코어재는 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재(基材)에 험침시켜 경화시켜 이루어지고,

상기 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T+95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

청구항 9

코어재 및 벌드업층을 구비하는 회로 기판과,

상기 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와,

상기 반도체 소자 및 상기 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서,

상기 회로 기판이 구비하는 벌드업층은 3층 이하이고,

상기 코어재의 두께는 $500\mu\text{m}$ 이하이고,

상기 코어재는 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재에 험침시켜 경화시켜 이루어지고,

상기 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고,

상기 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $50T+75 \leq T_g < 125T+95$ 의 식을 만족시키는 것을 특징으로 하는, 반도체 장치.

명세서

기술분야

<1>

본 발명은 반도체 장치에 관한 것이다.

배 경 기 술

- <2> 최근, 휴대전화나 디지털비디오카메라, 디지털스틸카메라에서는 소형·경량·고성능화를 실현하는 고밀도 실장이 유용한 요소 기술로 되어 있다. 이 고밀도 실장을 실현하기 위해서, 싱글 칩의 CSP(Chip Scale Package)로서는 불충분한 경우가 있고, MCP(Multi Chip Package)나 SiP(System in Package)와 같은 패키지 채용이 확대되어 있다.
- <3> 이들의 MCP나 SiP와 같은 반도체 칩 복합형의 패키지에서 사용되는 인터포저, 마더보드 등의 회로 기판에서는 회로 기판상에서 반도체 칩 간의 접속이 필요하게 되고, 배선 밀도가 높은 빌드업 기판의 채용이 개시되어 있다. 또한, 이들의 회로 기판으로의 반도체 칩의 실장 방식으로서는 플립 칩 실장이 주류가 되고 있다.
- <4> 여기에서, 플립 칩 실장이란 회로 기판상에 반도체 칩을 실장하는 방법의 하나이며, 반도체 칩 표면과 회로 기판을 전기적으로 접속할 때, 와이어·본딩과 같이 와이어에 의해서 접속하는 것은 아니며, 어레이형으로 나란한 범프라고 불리는 돌기 형상의 단자에 의해서 접속한다.
- <5> 플립 칩 실장에는 와이어·본딩과 비교하여 실장 면적을 작게 할 수 있는 이점이 있다고 되어 있다. 또한, 플립 칩 실장은 배선이 짧기 때문에 전기적 특성이 좋다는 특징도 있다. 플립 칩 실장은 소형, 박형에 대한 요구가 강한 휴대기기의 회로나, 전기적 특성이 중시되는 고주파 회로 등에 적합하다.
- <6> 플립 칩 실장에 있어서, 반도체 칩을 접속하는 회로 기판의 기능은 인터포저 등의 패키지 기판이나 마더보드 등의 메인기판 등 다양하고, 그 형상도 리지드 기판이나 플렉시블 기판 등 다양하다. 플립 칩 실장은 반도체 칩 간을 접속하는 「칩·온·칩」의 실장 방법으로서도 채용되어 있다. 플립 칩 실장은 접속 방법을 나타내는 용어로서, 플립 칩 접속이라고도 불린다. 또한, 플립 칩 실장은 머리 문자로부터 FC 실장, 또는 FC 공법이라고 부르는 경우도 있다.
- <7> 플립 칩 실장한 반도체 소자는 반도체 소자, 회로 기판 및 접합부의 신뢰성을 확보하기 위해서, 통상 반도체 소자 및 회로 기판의 빈틈에 보강용 수지 조성물(언더필)을 충전한다. 이러한 언더필에는 좁은 틈에 단시간에 함침하여, 보이드나 충전체 침강 등이 없고, 각종 기재와의 접착성이 우수하며, 반도체 소자, 회로 기판 및 접합부의 신뢰성을 충분히 확보할 수 있는 것이 요구된다. 언더필의 재료로서는 종래, 에폭시수지를 비롯한 열경화 수지가 널리 사용되어 왔다. 예를 들면, 특허문현 1에는 특정한 성질을 갖는 열경화 수지를 언더필로서 사용한 반도체 장치가 개시되어 있다.
- <8> 이 문현에 의하면, 이 반도체 장치는 실리콘 칩의 능동면을 회로 기판측을 향하여 도전성 재료를 통하여 회로 기판에 전기적으로 접속하고, 실리콘 칩과 회로 기판의 틈을 열경화성 수지 조성물로 충전 경화한 반도체 장치이다. 또한, 이 열경화성 수지 조성물은 열경화성 수지와 화학 결합하는 탄소 원자수 10 이상 30 이하의 칙체형 지방족 탄화수소 화합물을 갖는다. 이 문현에 의하면, 이 구성에 의하면, 높은 온도 사이클 신뢰성을 가지면서, 낮은 온도, 작은 전단력으로, 또한, 실리콘 칩이나 회로 기판을 손상하지 않고 실리콘 칩을 분리할 수 있다고 기재되어 있다.
- <9> 또한, 인터포저의 분야에서는 한층 더 고밀도 실장으로의 대응, 또한 동작 주파수의 고속화로의 요망에 부응하기 위해서, 코어재의 두께를 얇게 하거나, 코어재를 형성하지 않고서 수지 등에 배선 패턴을 형성한 적층체를 인터포저로서 사용하는 코어리스 구조를 채용함으로써, 인터포저 전체의 두께를 얇게 하여, 충간 접속 길이를 짧게 하여 높은 주파수에 대응시킨 박형의 빌드업형 인터포저가 개발되어 있다.
- <10> 그러나, 이들의 박형의 빌드업형 인터포저에서는 온도 조건의 변화에 따른 인터포저의 변형이 생기기 쉽고, 또한 인터포저, 반도체 칩, 언더필 등의 열 팽창의 정도가 다르기 때문에, 주위의 온도 변화의 스트레스에 의한 땀납 범프의 파괴·파단 등이 생기기 쉬웠다.
- <11> 예를 들면 코어재를 갖지 않는 코어리스 구조를 채용한 박형의 빌드업형 인터포저에서는 이러한 주위의 온도 변화의 스트레스에 의한 땀납 범프의 파괴·파단 등을 억제하는 것을 목적으로 한 기술로서, 특허문현 2에 기재된 반도체 장치가 개시되어 있다.
- <12> 이 문현에 의하면, 이 반도체 장치는 반도체 소자와, 상기 반도체 소자를 실장하는 선 팽창 계수가 $16\text{ppm}/\text{^\circ C}$ 이상의 인터포저를 땀납 범프에 의해 접속하여, 이 반도체 소자 및 인터포저의 사이와, 땀납 범프의 틈과 충전 수지를 충전하여 경화시킨 반도체 장치이다. 또한, 이 충전수지의 유리 전이점의 온도가 100°C 내지 120°C 이고, 125°C 에서의 탄성률이 0.1GPa 이상이고, 또한 유리 전이점 이하에 있어서의 선 팽창 계수 α 가 $1\text{이 } 30\text{ppm}/\text{^\circ C}$ 이하이다. 또한, 이 문현에는 이 구성에 의하면, 반도체 소자, 인터포저 및 프린트 기판 각각의 사이에서의 파괴

및 파단을 저감할 수 있는 취지가 기재되어 있다.

- <13> 특허문헌 1: 일본 공개특허공보 제(평)11-233571호
 <14> 특허문헌 2: 일본 공개특허공보 2006-24842호

발명의 상세한 설명

- <15> 발명이 해결하고자 하는 과제

<16> 그러나, 상기 문헌 기재의 종래 기술은 이하의 점에서 개선의 여지를 갖고 있었다.

<17> 첫번째로, 회로 기판과 반도체 칩은 일반적으로 선(線) 팽창 계수가 다르다. 회로 기판은 유기수지를 포함하는 재료에 의해 구성되어 있고, 반도체 칩보다도 큰 선 팽창 계수를 갖는다. 이 때문에, 회로 기판상에 반도체 칩을 실장한 구조의 반도체 장치가 열 이력을 받으면 양자의 선 팽창 계수의 상위에 기인하여 회로 기판의 휘어짐이 생긴다.

<18> 여기에서, 특허문헌 1에 기재된 반도체 장치에서는 코어재를 갖지 않는 코어리스 구조를 채용한 박형의 빌드업형 인터포저를 대상으로 하고 있지만, 코어재의 두께를 얇게 한 구조를 채용한 박형의 빌드업형 인터포저에 대해서는 전혀 검토하고 있지 않다. 일반적으로, 코어리스 구조의 경우와 코어가 있는 구조의 경우에는 인터포저의 선 팽창 계수는 전혀 다르고, 온도 조건의 변화에 동반하는 인터포저의 변형 상태도 전혀 다르다.

<19> 두번째로, 최근에는 반도체 칩의 구성 재료나, 반도체 칩과 회로 기판을 접속하는 범프의 재료로서 종래와 다른 것이 이용되게 되어, 언더필에 대해서도, 이들에 적합하도록 새롭게 설계되는 것이 요구되어 왔다. 예를 들면, 반도체 칩에 대해서는 배선층을 구성하는 절연막 재료로서, Low-k라고 불리는 저유전율막이 사용되게 되어 왔다. 이러한 막을 사용함으로써, 배선 간의 크로스토크가 억제되어, 높은 신뢰성으로 고속 동작하는 반도체 장치를 실현할 수 있다. 또한, 범프의 구성 재료로서는 환경 조화의 관점에서 납을 포함하지 않는 재료가 주류로 되어 있다.

<20> 상술한 균열 등의 손상의 발생은 Low-k 막이나 납 프리 땜납을 사용한 경우, 보다 현저해진다. Low-k 막은 일반적으로 기계적 강도가 충분하지 않다. 이 때문에, 패키지가 뒤집히는 등으로, 반도체 칩에 응력이 발생하면, 그 정도가 극단이 아니더라도 Low-k 막중에 균열이 발생하는 경우가 있었다. 또한, 납 프리 땜납은 인성(韌性)이 충분하지 않기 때문에, 범프와, 반도체 칩이나 회로 기판과의 계면에서, 균열이 발생하기 쉽다.

<21> 본 발명은 위의 사정을 감안하여 이루어진 것으로, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때, 그 회로 기판의 특성에 맞추어 언더필을 적절하게 설계함으로써, 온도 변화에 따른 반도체 장치의 손상을 억제하는 기술을 제공하는 것을 목적으로 한다.

- <22> 과제를 해결하기 위한 수단

<23> 본 발명에 의하면, 코어재 및 빌드업층을 구비하는 회로 기판과, 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와, 반도체 소자 및 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서, 코어재의 두께는 $500\mu\text{m}$ 이하이고, 코어재의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이하이고, 코어재의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수는 $18\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 특징으로 하는 반도체 장치가 제공된다.

<24> 이 구성에 의하면, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때에, 그 회로 기판에 선 팽창 계수가 작은 코어재를 사용한 후에, 그 코어재의 두께 및 선 팽창 계수에 맞추어, 언더필의 선 팽창 계수 및 유리 전이점을 적절하게 설계하기 때문에, 온도 변화에 따른 회로 기판의 변형 등에 의해 생기는 반도체 장치 내부의 응력을 완화하여, 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있다.

<25> 또한, 본 발명에 의하면, 코어재 및 빌드업층을 구비하는 회로 기판과, 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와, 반도체 소자 및 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서, 회로 기판이 구비하는 빌드업층은 3층 이하이고, 코어재의 두께는 $500\mu\text{m}$ 이하이고, 코어재의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이하이고, 코어재의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수는 $18\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 실온으로부터 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 특징으로 하는 반도체 장치가 제공된다.

온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, $50T+75 \leq T_g < 125T+95$ 의 식을 만족시키는 것을 특징으로 하는 반도체 장치가 제공된다.

<26> 이 구성에 의하면, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때에, 그 회로 기판에 선 팽창 계수가 작은 코어재를 사용한 후에, 그 코어재의 두께 및 선 팽창 계수에 맞추어, 언더필의 선 팽창 계수 및 유리 전이점을 빌드업층의 층수가 3 이하인 경우에 특유의 조건으로 적절하게 설계하기 때문에, 온도 변화에 따른 회로 기판의 변형 등에 의해 생기는 반도체 장치 내부의 응력을 완화하여, 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있다.

<27> 또한, 본 발명에 의하면, 코어재 및 빌드업층을 구비하는 회로 기판과, 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와, 반도체 소자 및 회로 기판의 사이에 봉입되어 있는 밀봉 수지를 구비하는 반도체 장치로서, 코어재의 두께는 $500\mu\text{m}$ 이하이고, 코어재는 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재에 함침시켜 경화시켜 이루어지고, 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T+95$ 의 식을 만족하는 것을 특징으로 하는 반도체 장치가 제공된다.

<28> 이 구성에 의하면, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때에, 그 회로 기판에 특유의 조성의 코어재를 사용한 후에, 그 코어재의 두께 및 조성에 맞추어, 언더필의 선 팽창 계수 및 유리 전이점을 적절하게 설계하기 때문에, 온도 변화에 따른 회로 기판의 변형 등에 의해 생기는 반도체 장치 내부의 응력을 완화하여, 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있다.

<29> 또한, 본 발명에 의하면, 코어재 및 빌드업층을 구비하는 회로 기판과, 회로 기판에 금속 범프를 통하여 접속되어 있는 반도체 소자와, 반도체 소자 및 회로 기판의 사이에 봉입되어 있는 밀봉 수지 조성물을 구비하는 반도체 장치로서, 회로 기판이 구비하는 빌드업층은 3층 이하이고, 코어재의 두께는 $500\mu\text{m}$ 이하이고, 코어재는 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재에 함침시켜 경화시켜 이루어지고, 밀봉 수지 조성물의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 $15\text{ppm}/\text{^\circ C}$ 이상 $30\text{ppm}/\text{^\circ C}$ 이하이고, 밀봉 수지 조성물의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 상기 코어재의 두께를 $T(\text{mm})$ 로 하면, $50T+75 \leq T_g < 125T+95$ 의 식을 만족시키는 것을 특징으로 하는 반도체 장치가 제공된다.

<30> 이 구성에 의하면, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때에, 그 회로 기판에 특유의 조성의 코어재를 사용한 후에, 그 코어재의 두께 및 조성에 맞추어, 언더필의 선 팽창 계수 및 유리 전이점을 빌드업층의 층수가 3 이하인 경우에 특유의 조건으로 적절하게 설계하기 때문에, 온도 변화에 따른 회로 기판의 변형 등에 의해 생기는 반도체 장치 내부의 응력을 완화하여, 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있다. 발명의 효과

<31> 본 발명에 의하면, 코어재의 두께를 얇게 한 구조를 채용한 빌드업형 회로 기판에 반도체 소자를 플립 칩 실장할 때, 그 회로 기판의 특성에 맞추어 언더필을 적절하게 설계하기 때문에, 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있다.

실시예

<51> 이하, 본 발명의 실시 형태에 관해서, 도면을 사용하여 설명한다. 한편, 모든 도면에 있어서, 같은 구성 요소에는 같은 부호를 붙이고, 적절한 설명을 생략한다.

<52> <실시형태 1> 1-2-1형의 다층 기판을 사용한 반도체 패키지

<53> 1-2-1형의 다층 기판에서는 코어재의 양면에 배선층이 형성되어 있고, 또한 그 양측에 배선층을 갖는 빌드업층이 형성되어 있다. 즉, 하측으로부터 보아, 빌드업층의 표면에 1층, 코어재의 양측에 2층, 빌드업층의 표면에 1층의 배선층이 형성되어 있기 때문에 1-2-1형의 다층 기판이라고 불린다.

<54> 본 실시형태의 개요에 관해서

<55> 본 실시형태에 있어서는 인터포저를 비롯한 회로 기판으로의 반도체 소자의 실장 방식으로서는 플립 칩 실장을 채용하고 있다. 도 1은 실시 형태에 따른 반도체 패키지(100)를 포함하는 전자 디바이스(1000)의 구성을 설명하기 위한 사진이다. 이 반도체 패키지(100)에서는 반도체 소자인 실리콘 칩(102)이, 회로 기판인 다층 기판

(라미네이트; 108)상에 플립 칩 방식에 의해 접속되어 있다. 또한, 실리콘 칩(102) 및 다층 기판(108)의 사이에는 밀봉 수지 조성물인 언더필재(112)가 봉입되어 있다. 그리고, 이들 구성 요소를 포함하는 반도체 패키지(100)는 마더보드(120)상에 접속되어, 전체로서 전자 디바이스(1000)를 구성하고 있다.

<56> 여기에서, 반도체 패키지(100)에서는 다층 기판(108)상에 실리콘 칩(102)을 실장할 때, 플립 칩 실장을 하고 있기 때문에, 실리콘 칩(102) 표면과, 다층 기판(108)을 전기적으로 접속할 때, 와이어 · 본딩과 같이 와이어에 의해서 접속하는 것은 아니고, 어레이형으로 나란한 돌기 형상의 단자인 땀납 범프(도시하지 않음)에 의해서 접속되어 있다. 또한, 반도체 패키지(100) 자체도, 마더보드(120)상에 땀납 범프(도시하지 않음)를 통하여 접속되어 있다.

<57> 플립 칩 실장에는 와이어 · 본딩과 비교하여 실장 면적을 작게 할 수 있는 이점이 있기 때문에, 고밀도 실장이 가능하게 되는 이점이 있다. 또한, 플립 칩 실장은 배선이 짧기 때문에 전기적 특성이 좋다는 특징도 있다. 따라서, 본 실시형태의 전자 디바이스(1000)에 포함되는 반도체 패키지(100)는 다층 기판(108)상에 실리콘 칩(102)을 플립 칩 실장하고 있기 때문에, 소형, 박형에 대한 요구가 강한 휴대기기의 회로나, 전기적 특성이 중시되는 고주파 회로 등에 적합하다.

<58> 도 2는 인터포저의 박형화의 개발 상황을 설명하기 위한 단면도이다. 인터포저를 비롯한 다층 기판의 코어재로서는 종래는 도 2a에 도시하는 바와 같이, 0.8mm 정도의 두께인 것이 사용되고 있었다. 이것에 대하여, 최근, 다층 기판의 기판 비용(부재 비용 · 가공 비용)의 저감, 전기 특성 향상 등의 이점이 많기 때문에, 도 2b 및 도 2c에 도시하는 바와 같이, 다층 기판의 박형화(코어재 및 빌드업층의 박형화)가 진행되고 있다.

<59> 그러나, 다층 기판의 박형화에 의해, 종래부터 다층 기판에 있어서 문제되고 있는 몇 개인가의 과제가 보다 엄격하게 되어 있다. 즉, 다층 기판의 박형화(코어재 및 빌드업층의 박형화)를 진행시킴으로써, 반도체 패키지 전체의 휘어짐이 증대하기 때문에, 역학적으로 무른 경향이 있는 Low-K 층을 구비하는 반도체 칩에 걸리는 스트레스가 커져 반도체 칩의 파손이 생기기 쉽게 되어 있다. 또한, 이와 같이 반도체 패키지 전체의 휘어짐이 증대하기 때문에, 반도체 패키지의 마더보드 등으로의 2차 실장으로의 영향도 나오기 쉽게 되어 있다.

<60> 또한, 이와 같이 반도체 패키지 전체의 휘어짐이 증대하기 때문에, 최근의 환경 규제에 의해 사용이 늘어나고 있는 역학적으로 무른 경향이 있는 납 프리 범프의 보호성이 저하되고, 반도체 패키지 및 다층 기판의 접속 부분에 있어서의 파손이 생기기 쉽게 되어 있다.

<61> 이와 같이, 최근, 반도체 패키지의 박형화의 요청에 의해, 반도체 칩의 구성 재료나, 반도체 칩과 회로 기판을 접속하는 범프의 재료로서 종래와 다른 것이 이용되게 되어, 언더필에 대해서도, 이들에 적합하도록 새롭게 설계되는 것이 요구되어 있다.

<62> 도 3은 빌드업형 인터포저의 설계를 설명하기 위한 개념도이다. 또, 이 도면에서는 3-2-3형의 빌드업형 인터포저의 설계에 관해서 설명하지만, 다른 1-2-1형, 2-2-2형, 4-2-4형 등의 빌드업형 인터포저의 설계에 관해서도 같다.

<63> 본 실시형태에 있어서의 박형의 빌드업형 인터포저를 비롯하여, 빌드업형의 다층 기판(108)은 코어재(104)의 양면에 구리박 등으로 이루어지는 회로 배선(114)을 접착하고, 또한 그 위에 빌드업층(106)을 접착하고, 또한 그 위에 회로 배선(114)을 접착함으로써 제작한다. 또, 이 빌드업층(106) 및 회로 배선(114)의 접착(라미네이트)은 3-2-3형의 경우에는 양면 모두 각각 3회씩 반복한다. 이렇게 해서, 3-2-3형의 빌드업형 인터포저는 제작된다.

<64> 이 때, 다층 기판(108)의 선 팽창 계수 및 온도 변화에 따른 변형 상태는 코어재(104)의 두께 및 선 팽창 계수에 대해서 큰 영향을 받는다. 또한, 다층 기판(108)의 선 팽창 계수 및 온도 변화에 따른 변형 상태는 코어재(104) 뿐만 아니라, 빌드업층(106)의 선 팽창 계수에 대해서도 어느 정도의 영향을 받는다. 또한, 다층 기판(108)의 선 팽창 계수 및 온도 변화에 따른 변형 상태는 이들의 요소 이외에도, 다층 기판(108)의 층 구조, 빌드업층(106)의 두께, 구리박 등으로 이루어지는 회로 배선(114)의 두께 등의 각종 요소에 대해서도 다소의 영향을 받는다.

<65> 그러나, 다층 기판(108)의 선 팽창 계수 및 온도 변화에 따른 변형 상태는 이들의 각종 요소 중에서도, 코어재(104)의 두께 및 선 팽창 계수에 대해서 받는 영향이 특히 크기 때문에, 다층 기판(108)의 설계시는 코어재(104)의 두께 및 선 팽창 계수를 규정함으로써, 다층 기판(108)의 선 팽창 계수 및 온도 변화에 따른 변형 상태를 상당한 정밀도로 규정할 수 있다.

- <66> 이하, 본 실시형태의 구성에 관해서 상세하게 설명한다.
- <67> 도 4a는 실시 형태에 따른 반도체 패키지(100)의 구성을 설명하기 위한 단면도이다. 이하에 구체적으로 설명하는 본 실시형태의 반도체 패키지(100)에서는 상술한 고밀도 실장의 요구를 만족시키기 위해서 $500\mu\text{m}$ 이하의 두께의 박형 다기판(박형의 코어재 및 빌드업층; 108)을 사용하고 있다.
- <68> 그러나, 본 실시형태에서는 다층 기판(108)의 박형화에 의해 심각화되는 각종 과제를 해결하기 위해서, 후술하는 바와 같이, 박형 다층 기판(108)의 코어재(104)의 두께 및 선 팽창 계수에 기초하여, 적절한 언더필재(112)의 선 팽창 계수 및 유리 전이점을 설계하고 있다. 따라서, 후술하는 실험 데이터로 실증하는 것처럼, 온도 조건의 변화에 의한 신뢰성의 저하를 적합하게 억제하고 있다.
- <69> 이 반도체 패키지(100)는 코어재(104) 및 빌드업층(106)을 구비하는 다층 기판(108)과, 다층 기판(108)에 땜납 범프(110)를 통하여 접속되어 있는 실리콘 칩(102)을 구비한다. 또한, 실리콘 칩(102) 및 다층 기판(108)의 사이에는 언더필재(112)가 봉입되어 있다. 또, 다층 기판(108)에 포함되는 빌드업층(106)은 코어재(104)의 양측에 각각 1층씩이다.
- <70> 또, 반도체 패키지(100)는 1종의 반도체 장치라고 말할 수 있다. 또한, 다층 기판(108)은 코어재(104) 및 빌드업층(106)에 더하여, 구리박으로 이루어지는 회로를 코어재(104)의 양면 및 빌드업층(106)의 표면에 구비하고 있고, 1종의 회로 기판이라고 말할 수 있다. 그리고, 실리콘 칩(102)은 반도체인 실리콘을 기재로 하는 소자이고, 1종의 반도체 소자라고 말할 수 있다.
- <71> 또한, 땜납 범프(110)는 납을 포함하지 않은 금속으로 이루어지는 범프이고, 1종의 금속 범프라고 말할 수 있다. 또한, 언더필재(112)는 실리콘 칩(102) 및 다층 기판(108) 사이의 공극을 밀봉하기 위한 수지 조성물이고, 1종의 밀봉 수지 조성물이라고 말할 수 있다.
- <72> 이 다층 기판(108)에서는 코어재(104)의 두께는 $500\mu\text{m}$ 이하이고, 바람직하게는 $400\mu\text{m}$ 이하, 더욱 바람직하게는 $200\mu\text{m}$ 이하이다. 코어재의 두께가 이들의 값 이하이면, 다층 기판(108)의 제조 비용(부재 비용 및 가공 비용)을 저감할 수 있고, 전기 특성도 향상할 수 있다. 또한, 신호 지연이나 크로스토크 노이즈의 발생, 전원 라인의 전위의 변동 등을 억제하는 것이 가능해진다. 또, 코어재(104)의 두께의 하한은 특히 없지만, 제조상의 관점 및 장인도(強韌度)의 관점에서는 바람직하게는 $20\mu\text{m}$ 이상이다.
- <73> 또한, 이 다층 기판(108)에서는 코어재(104)의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수(TMA법, X 방향 및 Y 방향)은 $15\text{ppm}/\text{^\circ C}$ 이하이고, 바람직하게는 $13\text{ppm}/\text{^\circ C}$ 이하이다. 코어재(104)의 면내 방향의 선 팽창 계수가 이들 값 이하이면, 온도 조건의 변화에 의한 코어재(104)의 면내 방향의 신축을 억제할 수 있기 때문에, 다층 기판(108)의 면내 방향의 신축도 마찬가지로 억제할 수 있다. 또, 코어재(104)의 면내 방향의 선 팽창 계수의 하한은 특히 없지만, 제조상의 관점에서는 바람직하게는 $10\text{ppm}/\text{^\circ C}$ 이상이다.
- <74> 또한, 이 다층 기판(108)에서는 코어재(104)의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수(TMA법, Z방향, a1)는 $18\text{ppm}/\text{^\circ C}$ 이하이고, 바람직하게는 $16\text{ppm}/\text{^\circ C}$ 이하이다. 코어재(104)의 두께 방향의 선 팽창 계수가 이들의 값 이하이면, 온도 조건의 변화에 의한 코어재(104)의 두께 방향의 신축을 억제할 수 있기 때문에, 다층 기판(108)의 두께 방향의 신축도 마찬가지로 억제할 수 있다. 또, 코어재(104)의 두께 방향의 선 팽창 계수의 하한은 특히 없지만, 제조상의 관점에서는 바람직하게는 $10\text{ppm}/\text{^\circ C}$ 이상이다.
- <75> 또, 상기의 코어재의 선 팽창 계수(CTE)의 측정 방법은 이하와 같다. 두께 0.1mm 의 양면 동장(銅張) 적층판을 전면 애칭하여, 얻어진 적층판으로부터 세로. 가로 방향 각각 $4\text{mm} \times 20\text{mm}$ 의 테스트 피스를 잘라내고, TMA(TA 인스트루먼트(주)제)를 사용하여 세로·가로 방향의 선 팽창 계수를 $5\text{^\circ C}/\text{분}$ 으로 측정한다(세로 방향은 압축 모드, 가로 방향은 인장 모드).
- <76> 또한, 이 다층 기판(108)에서는 코어재(104)는 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재에 함침시켜 경화시켜 이루어지는 것이다. 이러한 조성의 코어재(104)는 강도를 비롯한 코어재(104)에 필요한 각종 특성을 유지하면서 상술한 선 팽창 계수의 조건을 만족시킬 수 있다. 시아네이트수지와 필러(무기충전재)의 조합이나 에폭시수지와 충전제의 조합에 있어서 첨가량을 최적화함으로써, 상기 선 팽창 계수(CTE)를 적절한 설계 범위 내에 용이하게 조정할 수 있다. 또, 그 중에서도 노볼락시아네이트수지와 충전제의 조합이 바람직하다.
- <77> 이 다층 기판(108)에서는 빌드업층(106)의 1층당의 두께는 $60\mu\text{m}$ 이하이고, 바람직하게는 $40\mu\text{m}$ 이하이다. 또한, 빌드업층(106)의 두께는 $10\mu\text{m}$ 이상이고, 바람직하게는 $20\mu\text{m}$ 이상이다. 빌드업층(106)의 1층당의 두께가 이들

범위 내이면, 후술하는 언더필재(112)의 T_g 의 함수가 적합하게 성립한다. 또한, 빌드업층(106)의 1층당의 두께가 이들의 범위 내이면, 빌드업층(106)의 강인도 및 제조 안정성을 확보하면서, 빌드업층(106)의 제조 비용(부재 비용 및 가공 비용)을 저감할 수 있어, 전기 특성을 더욱 향상시킬 수 있다.

<78> 이 다층 기판(108)에서는 코어재(104)의 양면 및 빌드업층(106)의 표면에 형성되어 있는 배선층(도시하지 않음)의 1층당의 두께는 $35\mu\text{m}$ 이하이고, 바람직하게는 $20\mu\text{m}$ 이하이다. 또한, 이 배선층의 1층당의 두께는 $3\mu\text{m}$ 이상이고, 바람직하게는 $10\mu\text{m}$ 이상이다. 배선층의 1층당의 두께가 이들의 범위 내이면, 후술하는 언더필재(112)의 T_g 의 함수가 적합하게 성립한다. 또한, 배선층의 1층당의 두께가 이들의 범위 내이면, 이 배선층의 전기 전도성 및 제조 안정성을 확보하면서, 배선층의 제조 비용(부재 비용 및 가공 비용)을 저감할 수 있다.

<79> 또한, 이 다층 기판(108)에서는 빌드업층(106)의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 $35\text{ppm}/\text{C}$ 이하이고, 바람직하게는 $30\text{ppm}/\text{C}$ 이하이고, 더욱 바람직하게는 $18\text{ppm}/\text{C}$ 이하이다. 빌드업층(106)의 선 팽창 계수가 이들의 값 이하이면, 온도 조건의 변화에 의한 빌드업층(106)의 변형을 억제할 수 있기 때문에, 다층 기판(108)의 변형도 마찬가지로 억제할 수 있다. 또한, 빌드업층(106)의 선 팽창 계수의 하한은 특히 없지만, 제조상의 관점에서는 바람직하게는 $10\text{ppm}/\text{C}$ 이상이다.

<80> 또, 상기의 빌드업층의 선 팽창 계수(CTE)의 측정 방법은 이하와 같다.

<81> 구리박 부착 절연시트 2장의 수지면을 안쪽에 접착하고, 진공 프레스로써 압력 2MPa , 온도 220°C 에서 1시간 가열 가압 성형을 하여, 구리박을 전면 경화하여 절연수지 경화물을 얻는다. 얻어진 절연수지 경화물로부터 $4\text{mm} \times 20\text{mm}$ 의 테스트 피스를 잘라내고, TMA(TA 인스트루먼트(주)제)를 사용하여 선 팽창 계수를 $10^\circ\text{C}/\text{분}$ 으로 측정한다. 또, 빌드업층은 면내 방향 및 두께 방향의 CTE가 같기 때문에, 면내 방향의 인장 모드 측정만을 실시하면 좋다.

<82> 또한, 이 다층 기판(108)에서는 빌드업층(106)은 시아네이트수지와 폐놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 경화시켜 이루어지는 것이다. 이러한 조성의 빌드업층(106)은 절연성을 비롯한 빌드업층(106)에 필요한 각종 특성을 유지하면서 상술한 선 팽창 계수의 조건을 만족시킬 수 있다. 시아네이트수지와 충전제(무기충전재)의 조합이나 에폭시수지와 충전제의 조합에 있어서 첨가량을 최적화함으로써, 상기 선 팽창 계수(CTE)를 적절한 설계 범위내에 용이하게 조정할 수 있다. 또, 그 중에서도 노블락시아네이트수지와 충전제의 조합이 바람직하다.

<83> 한편, 언더필재(112)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수(TMA법)는 $15\text{ppm}/\text{C}$ 이상이고, 바람직하게는 $17\text{ppm}/\text{C}$ 이상이다. 또한, 언더필재(112)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수(TMA법)는 $30\text{ppm}/\text{C}$ 미만이고, 바람직하게는 $28\text{ppm}/\text{C}$ 이하이다. 언더필재(112)의 선 팽창 계수가 이들의 범위 내이면, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.

<84> 또, 언더필의 T_g 의 측정 방법은 이하와 같다.

<85> 우선, 수지 조성물을 $150^\circ\text{C} \times 120\text{분}$ 으로 경화 후, 절삭에 의해 $5 \times 5 \times 10\text{mm}$ 의 시험편을 얻는다. 이 시험편을 세이코제 TMA/SS120을 사용하여 압축 하중 5g , -100°C 로부터 300°C 의 온도 범위를 승온 속도 $10^\circ\text{C}/\text{분}$ 의 조건으로 측정한다. 이와 같이, TMA식 측정 장치에 의해 CTE와 T_g 의 양쪽을 산출할 수 있다.

<86> 또한, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(\text{C})$ 는 코어재(104)의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g$ 의 식을 만족시키고, 바람직하게는 $25T+75 \leq T_g$ 의 식을 만족시키고, 더욱 바람직하게는 $50T+75 \leq T_g$ 의 식을 만족시킨다. 또한, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(\text{C})$ 는 $T_g < 112.5T+95$ 의 식을 만족시키고, 바람직하게는 $\leq 100T+95$ 의 식을 만족시키고, 더욱 바람직하게는 $75T+95$ 의 식을 만족시킨다. 언더필재(112)의 유리 전이 온도 T_g 가 이들의 범위 내이면, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다. 또, 이들의 유리 전이 온도 $T_g(\text{C})$ 의 수치 한정은 기본적으로는 다층 기판(108)의 층 구조에 관계없이 성립하는 것이며, 다층 기판(108)의 빌드업층(106)의 1층당의 두께가 20 내지 $60\mu\text{m}$, 구리박(도시하지 않음)의 1층당의 두께가 3 내지 $20\mu\text{m}$ 의 범위에 있는 경우에는 특히 적합하게 성립하는 것이다.

<87> 또, 실시형태 1에서는 다층 기판(108)이 구비하는 빌드업층(106)은 3층 이하이기 때문에, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(\text{C})$ 는 코어재(104)의 두께를 $T(\text{mm})$ 로 하면, $50T+75 \leq T_g < 125T+95$ 의 식을 만족시키는 것이 특히 바람직하다. 빌드업층(106)이 3층 이하인 경우에는 후술하는 실험 데이터로부터 알 수 있는 것처럼, 언더필재(112)의 유리 전이 온도 T_g 가 이들의 범위 내이면, 온도 변화에 따른 반도체 패키지(100)의 손상을

특히 현저하게 억제할 수 있기 때문이다. 또, 이 유리 전이 온도 T_g ($^{\circ}\text{C}$)의 수치 한정은 다층 기판(108)의 층 구조에 기초하여 성립하는 것이며, 다층 기판(108)의 빌드업층(106)의 층수가 3층 이하인 경우에, 적합하게 성립하는 것이다.

<88> 상기 언더필재(112)의 TMA법에 의한 유리 전이 온도 T_g ($^{\circ}\text{C}$)의 관계식의 도입 근거를 이하에 설명한다.

<89> 본 발명자들은 FC-BGA형의 반도체 장치에 있어서 기판의 층 구조·두께·물성을 여러 가지로 변경하여 이들에 최적인 언더필의 특성을 응력 계산(시뮬레이션)에 의해서 구하고, 본 실시형태 1 및 후술하는 실시형태 2 내지 4에 나타내는 반도체 패키지(100)에 있어서는 언더필재(112)의 TMA법에 의한 유리 전이 온도 T_g ($^{\circ}\text{C}$)가 소정의 관계식을 만족시키는 경우에, 종래의 박형 FC-BGA형의 반도체 장치와 비교하여 온도 충격 시험에 있어서의 신뢰성이 각별하게 향상되는 것을 발견하였다.

<90> 또, 응력 계산은 반도체 장치를 구성하는 실리콘 칩·금속 범프·다층 기판(코어재, 빌드업재, 구리배선 등을 포함함)의 구조(치수), CTE, T_g , 탄성률의 파라미터를 사용하여 FC-BGA 장치의 모델을 작성하여, 여기에 밀봉하는 언더필재의 T_g , CTE, 탄성률의 파라미터를, 통계적 수법을 이용하여 여러 가지로 변경하여, 반도체 장치 각 부의 변형, 응력 또는 응력 개방치를 산출하여, 파괴나 변형이 허용 한계 이하가 되는 언더필재의 특성을 구한다.

<91> 이 때, 응력을 계산할 때의 요건으로서,

<92> (i) 실리콘 칩(102)의 회로면에 Low-K 막을 상정하여, 여기에 가해지는 응력이 LowK 재료의 충간 박리를 진전시키지 않는 것

<93> (ii) 땀납 범프(여기에서는 SnAgCu를 상정; 100)의 예측 수명이 온도 충격 시험(-55°C 30분, 125°C 30분) 1000 사이클 이상인 것

<94> (iii) 반도체 장치의 휘어짐 변형에 의한 실리콘 칩(102)의 파괴가 없는 것

<95> (iv) 칩 실리콘 칩(102)의 측면과 언더필재(112) 계면의 박리 응력이 언더필의 밀착 강도 이하인 것

<96> 의 4개의 관점에서 응력 계산을 하여, 각각의 요건을 만족시키는 언더필재의 특성을 구하고, 그것들을 종합한 결과, 상기의 T_g 의 관계식을 얻기에 이르렀다.

<97> 또, 여기에서는 본 실시형태의 개요, 구성 및 언더필재의 T_g 의 관계식의 도입 근거에 관해서만 설명하고, 본 실시형태에서 사용되는 재료의 조성이나, 본 실시형태에 의한 작용 효과 등에 관해서는 다시 후술한다. 이 점은 하기의 실시형태 2 내지 4에 대해서도 같다.

<98> <실시형태 2> 2-2-2형의 다층 기판을 사용한 반도체 패키지

<99> 2-2-2형의 다층 기판에서는 코어재의 양면에 배선층이 형성되어 있고, 더욱이 그 양측에 배선층을 갖는 빌드업층이 각각 2층씩 형성되고 있다. 즉, 하측으로부터 보아, 2층의 빌드업층의 표면에 각각 1층씩에 합계 2층, 코어재의 양측에 2층, 2층의 빌드업층의 표면에 각각 1층씩에 합계 2층의 배선층이 형성되어 있기 때문에 2-2-2형의 다층 기판이라고 불린다.

<100> 도 2b는 실시 형태에 따른 반도체 패키지(100)의 구성을 설명하기 위한 단면도이다. 이 실시형태 2는 기본적으로는 실시형태 1과 동일한 구성이지만, 다층 기판(108)에 포함되는 빌드업층(106)의 수가, 코어재(104)의 양측에 각각 2층씩 인 점이 다르다.

<101> 이 경우에도, 언더필재(112)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수(TMA법) 및 TMA법에 의한 유리 전이 온도 T_g ($^{\circ}\text{C}$)가, 상술한 실시형태 1에서 설명한 함수를 만족시킴으로써, 실시형태 1의 경우와 같이, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.

<102> 또, 실시형태 2의 경우에는 다층 기판(108)이 구비하는 빌드업층(106)은 4층 이상 6층 이하이기 때문에, 언더필재(112)의 TMA법에 의한 유리 전이 온도 T_g ($^{\circ}\text{C}$)는 코어재(104)의 두께를 $T(\text{mm})$ 로 하면, $25T+75 \leq T_g \leq 100T+95$ 의 식을 만족시키는 것이 특히 바람직하다. 빌드업층(106)이 4층 이상 6층 이하인 경우에는 후술하는 실험 데이터로부터 알 수 있는 것처럼, 언더필재(112)의 유리 전이 온도 T_g 가 이를 범위 내이면, 온도 변화에 따른 반도체 패키지(100)의 손상을 특히 현저하게 억제할 수 있기 때문이다.

<103> <실시형태 3> 3-2-3형의 다층 기판을 사용한 반도체 패키지

- <104> 3-2-3형의 다층 기판에서는 코어재의 양면에 배선층이 형성되어 있고, 더욱이 양측에 배선층을 갖는 빌드업층이 각각 3층씩 형성되어 있다. 즉, 하측으로부터 보아, 3층의 빌드업층의 표면에 각각 1층씩에 합계 3층, 코어재의 양측에 2층, 3층의 빌드업층의 표면에 각각 1층씩에 합계 3층의 배선층이 형성되어 있기 때문에 3-2-3형의 다층 기판이라고 불린다.
- <105> 도 3c는 실시 형태에 따른 반도체 패키지(100)의 구성을 설명하기 위한 단면도이다. 이 실시 형태 3은 기본적으로는 실시 형태 1과 동일한 구성이지만, 다층 기판(108)에 포함되는 빌드업층(106)의 수가, 코어재(104)의 양측에 각각 3층씩 인 점이 다르다.
- <106> 이 경우에도, 언더필재(112)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수(TMA법) 및 TMA법에 의한 유리 전이 온도 $T_g(^{\circ}\text{C})$ 가, 상술한 실시 형태 1에서 설명한 함수를 만족시킴으로써, 실시 형태 1의 경우와 마찬가지로, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.
- <107> 또, 실시 형태 3의 경우에는 다층 기판(108)이 구비하는 빌드업층(106)은 4층 이상 6층 이하이기 때문에, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(^{\circ}\text{C})$ 는 코어재(104)의 두께를 $T(\text{mm})$ 로 하면, $25T+75 \leq T_g \leq 100T+95$ 의 식을 만족시키는 것이 특히 바람직하다. 빌드업층(106)이 4층 이상 6층 이하인 경우에는 후술하는 실험 데이터로부터 알 수 있는 것처럼, 언더필재(112)의 유리 전이 온도 T_g 가 이들 범위 내에 있으면, 온도 변화에 따른 반도체 패키지(100)의 손상을 특히 현저하게 억제할 수 있기 때문이다.
- <108> <실시 형태 4> 4-2-4형의 다층 기판을 사용한 반도체 패키지
- <109> 4-2-4형의 다층 기판에서는 코어재의 양면에 배선층이 형성되어 있고, 더욱이 그 양측에 배선층을 갖는 빌드업층이 각각 4층씩 형성되어 있다. 즉, 하측으로부터 보아, 4층의 빌드업층의 표면에 각각 1층씩에 합계 4층, 코어재의 양측에 2층, 4층의 빌드업층의 표면에 각각 1층씩에 합계 4층의 배선층이 형성되어 있기 때문에 3-2-3형의 다층 기판이라고 불린다.
- <110> 도 3d는 실시 형태에 따른 반도체 패키지(100)의 구성을 설명하기 위한 단면도이다. 이 실시 형태 4는 기본적으로는 실시 형태 1과 동일한 구성이지만, 다층 기판(108)에 포함되는 빌드업층(106)의 수가, 코어재(104)의 양측에 각각 4층씩 인 점이 다르다.
- <111> 이 경우에도, 언더필재(112)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수(TMA법) 및 TMA법에 의한 유리 전이 온도 $T_g(^{\circ}\text{C})$ 가, 상술한 실시 형태 1에서 설명한 함수를 만족시킴으로써, 실시 형태 1의 경우와 같이, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.
- <112> 또, 실시 형태 4의 경우에는 다층 기판(108)이 구비하는 빌드업층(106)은 7층 이상이기 때문에, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(^{\circ}\text{C})$ 는 코어재(104)의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g \leq 75T+95$ 의 식을 만족시키는 것이 특히 바람직하다. 빌드업층(106)이 7층 이상인 경우에는 후술하는 실험 데이터로부터 알 수 있는 것처럼, 언더필재(112)의 유리 전이 온도 T_g 가 이들의 범위 내이면, 온도 변화에 따른 반도체 패키지(100)의 손상을 특히 현저하게 억제할 수 있기 때문이다.
- <113> 이하, 실시 형태 1 내지 실시 형태 4의 반도체 장치의 작용 효과에 관해서 설명한다.
- <114> 또, 실시 형태 1 내지 실시 형태 4의 반도체 장치(100)의 작용 효과에 관해서 이해를 쉽게 하기 위해서, 종래의 FC-BGA가 갖고 있는 과제에 관해서 언급하면서, 도 6에 도시하는 종래의 박형 FC-BGA형의 반도체 장치의 고장 사례를 설명하기 위한 단면도를 사용하여 설명한다.
- <115> 일반적으로 도 6에 도시하는 바와 같은 종래의 반도체 패키지(100)에 있어서는 다층 기판(108)과 실리콘 칩(102)은 선 팽창 계수가 다르다. 즉, 다층 기판(108)은 유기수지를 포함하는 재료에 의해 구성되어 있고, 실리콘 칩(102)보다도 큰 선 팽창 계수를 갖는다. 이 때문에, 다층 기판(108)상에 실리콘 칩(102)을 실장한 구조의 반도체 패키지(100)가 열 이력을 받으면, 도 6에 도시하는 바와 같이, 양자의 선 팽창 계수의 상위에 기인하여 다층 기판(108)의 휘어짐이 생긴다.
- <116> 그 결과, 도 6에 도시하는 바와 같이, 종래의 반도체 패키지(100)에 있어서는 실리콘 칩(102)의 깨어짐, 다층 기판(108) 및 마더보드(122)의 2차 볼(122)을 통한 접속 부분의 도전 불량 등이 생기는 경우가 있다. 또한, 실리콘 칩(102)의 측면에 형성되는 언더필재(112)의 필렛의 박리, 필렛 속에서의 크랙(균열) 등이 생기는 경우

도 있다.

<117> 또한, 최근에는 실리콘 칩(102)의 구성 재료나, 실리콘 칩(102)과 다층 기판(108)을 접속하는 땜납 범프(110)의 재료로서 종래와 다른 것이 이용되고, 언더필재(112)에 대해서도, 이들에 적합하도록 새롭게 설계되는 것이 요구되게 되고 있다.

<118> 예를 들면, 실리콘 칩(102)에 대해서는 배선층을 구성하는 절연막 재료로서, Low-k라고 불리는 저유전율막이 사용되고 있다. 이러한 막을 사용함으로써, 배선간의 크로스토크가 억제되고, 높은 신뢰성으로 고속 동작하는 실리콘 칩(102)을 실현할 수 있다. 또한, 땜납 범프(110)의 구성 재료로서는 환경 조화의 관점에서 납을 포함하지 않는 재료가 주류가 되고 있다.

<119> 도 7은 박형 FC-BGA형의 반도체 장치에서의 균열 발생 상황에 관해서 설명하기 위한 단면사진이다. Low-k 막을 사용한 경우, Low-k 막은 유전율을 저감하기 위해서 공공화(脆化)가 진행되고 있기 때문에, 상술한 균열 등의 손상의 발생은 보다 현저하게 된다. 그 결과, 도면에 도시하는 바와 같이, 실리콘 칩(102)의 회로층에 포함되는 Low-k 층에서 균열이 발생하거나, 실리콘 칩(102)의 폴리이미드수지 코팅 및 언더필재(112)의 계면에서 균열이 발생하는 경우가 많았다.

<120> 한편, 도 8은 박형 FC-BGA형의 반도체 장치에서의 땜납 범프의 균열 발생 메카니즘에 관해서 설명하기 위한 개념도이다. 이와 같이, 종래의 다층 기판(108)을 사용한 경우에는 실리콘 칩(102)의 선 팽창 계수는 약 3 내지 4ppm/°C 정도이고, 예를 들면 XY 방향의 선 팽창 계수가 17.6ppm/°C 정도이고, Z 방향의 선 팽창 계수가 64.1 정도이기 때문에, 온도 조건의 변화에 따라서 실리콘 칩(102) 및 다층 기판(108) 사이에 형성된 땜납 범프(110)에 큰 응력이 가해진다.

<121> 그것에도 관계없이, 납 프리 땜납 범프(110)는 인성(韧性)이 충분하지 않기 때문에, 땜납 범프(110)와, 실리콘 칩(102)이나 다층 기판(108)과의 계면에서, 균열이 발생하기 쉽다. 이와 같이, 종래의 박형 FC-BGA형의 반도체 장치에서는 납 프리 땜납 범프(110)를 사용하면, 납 프리 땜납 범프는 납 함유 땜납 범프와 비교하여 취화(脆化)하는 경우가 많기 때문에, 온도 충격 시험에서 땜납 범프(110)의 폐로 파괴가 생기기 쉬웠다.

<122> 이것에 대하여, 본 발명자들은 실시형태 1에서 이미 기술한 응력 계산에 의해, 박형 FC-BGA형의 반도체 장치에서의 최적 언더필 특성을 얻기 위해서 언더필재의 TMA법에 의한 Tg가 만족시켜야 하는 관계식을 얻어, 실시형태 1 내지 실시형태 4에 나타낸 반도체 패키지(100)에 있어서는 종래의 박형 FC-BGA형의 반도체 장치와 비교하여 온도 충격 시험에 있어서의 신뢰성이 각별하게 향상되는 것을 발견하였다.

<123> 즉, 실시형태 1 내지 실시형태 4에 나타낸 반도체 패키지(100)의 구성에 의하면, 코어재(104)의 두께를 얇게 한 구조를 채용한 다층 기판(108)에 실리콘 칩(102)을 플립 칩 실장할 때에, 그 다층 기판(108)에 선 팽창 계수가 작은 코어재(104)를 사용한 후에, 그 코어재(104)의 두께 및 선 팽창 계수에 맞추어, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 적절하게 설계하기 때문에, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.

<124> 여기에서, 이미 기술한 응력 계산에 의하면, 종래의 박형 FC-BGA형의 반도체 패키지(100)에서는 코어재(104)의 선 팽창 계수가 크기 때문에, 코어재(104)의 두께가 500 μ m 이하인 영역에서는 언더필재(112)의 선 팽창 계수 및 유리 전이점을 어떻게 조정하여도, (i)실리콘 칩(102)의 Low-K 막 보호, (ii)땡납 범프(100) 보호, (iii) 실리콘 칩(102) 휘어짐 소(小), (iv)실리콘 칩(102)의 측면에 있어서의 언더필재(112)의 필렛 박리 보호라는 4개의 요청을 만족하는 것은 곤란하다.

<125> 한편, 이미 기술한 응력 계산의 결과에 의하면, 실시형태 1 내지 실시형태 4의 반도체 패키지(100)에서는 코어재(104)의 선 팽창 계수가 작기 때문에, 코어재(104)의 두께가 500 μ m 이하의 영역에서도, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 조정함으로써, (i)실리콘 칩(102)의 Low-K 막 보호, (ii)땡납 범프(100) 보호, (iii)실리콘 칩(102) 휘어짐 소, (iv)실리콘 칩(102)의 측면에 있어서의 언더필재(112)의 필렛 박리 보호라는 4개의 요구를 균형 맞게 만족시키는 것이 가능한 것을, 본 발명자들은 실시형태 1 내지 실시형태 4의 반도체 패키지(100)에 대해서 분석한 결과 발견하였다.

<126> 즉, 실시형태 1 내지 실시형태 4의 반도체 패키지(100)는 어느 것이나 코어재(104) 및 빌드업층(106)을 구비하는 다층 기판(108)과, 다층 기판(108)에 땜납 범프(110)를 통하여 접속되어 있는 실리콘 칩(102)과, 실리콘 칩(102) 및 다층 기판(108)의 사이에 봉입되어 있는 언더필재(102)를 구비하는 반도체 패키지(100)이다. 또한, 코어재(104)의 두께는 500 μ m 이하이고, 코어재(104)의 실온으로부터 유리 전이 온도까지의 면내 방향의 선 팽창 계수는 15ppm/°C 이하이고, 코어재(104)의 실온으로부터 유리 전이 온도까지의 두께 방향의 선 팽창 계수는

20ppm/°C 이하이다. 그리고, 언더필재(102)의 실온으로부터 유리 전이 온도까지의 선 팽창 계수는 15ppm/°C 이상 30ppm/°C 미만이고, 언더필재(102)의 TMA법에 의한 유리 전이 온도 $T_g(°C)$ 는 코어재(104)의 두께를 T(mm)로 하면, $75 \leq T_g < 112.5T + 95$ 의 식을 만족시킨다.

<127> 이 구성에 의하면, 코어재(104)의 두께를 얇게 한 구조를 채용한 빌드업형의 다층 기판(108)에 실리콘 칩(102)을 플립 칩 실장할 때에, 그 다층 기판(108)에 선 팽창 계수의 작은 코어재(104)를 사용한 후에, 그 코어재(104)의 두께 및 선 팽창 계수에 맞추어, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 적절하게 설계하고 있기 때문에, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.

<128> 또한, 별도의 관점에서 보면, 실시형태 1 내지 실시형태 4의 반도체 패키지(100)의 어느 것에 있어서도, 코어재(104)는 시아네이트수지와 페놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재에 함침시켜 경화시켜 이루어지는 것이기 때문에, 강도를 비롯한 코어재(104)에 필요한 각종 특성을 유지하면서 상술한 선 팽창 계수의 조건을 만족시킬 수 있다. 그 결과, 그 코어재(104)의 두께 및 조성에 맞추어, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 적절하게 설계함으로써, 온도 변화에 따른 다층 기판(108)의 변형 등에 의해 생기는 반도체 패키지(100) 내부의 응력을 완화하여, 온도 변화에 따른 반도체 패키지(100)의 손상을 억제할 수 있다.

<129> 또한, 다른 관점에서 보면, 실시형태 1의 반도체 패키지(100)에서는 다른 구성은 다른 실시형태 2 내지 4와 같지만, 다층 기판(108)이 구비하는 빌드업층이 3층 이하이기 때문에, 후술하는 실험 데이터로 나타내는 것처럼, 언더필재(112)의 TMA법에 의한 유리 전이 온도 $T_g(°C)$ 는 코어재(104)의 두께를 T(mm)로 하면, 다른 층 구성에서는 만족시켜지지 않는 $50T + 75 \leq T_g < 125T + 95$ 의 식이 특별히 만족시켜지고 있다.

<130> 이하, 실시형태 1 내지 실시형태 4에서 사용되는 다층 기판의 재료 및 제조방법에 관해서 설명한다.

<코어재에 관해서>

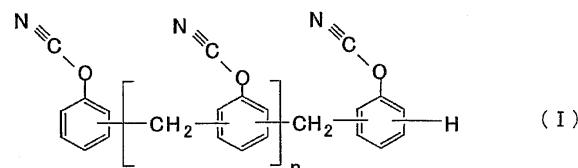
<132> 실시형태 1 내지 실시형태 4에서 사용되는 코어재(104)는 상술한 두께 및 선 팽창 계수의 조건을 만족시키고, 적절한 강도를 갖고 있으면 좋고, 특히 한정하지 않지만, 예를 들면, 시아네이트수지와 페놀수지와 에폭시수지와 무기충전재를 포함하는 수지 조성물을 섬유 기재(예를 들면 유리섬유시트 등)에 함침시켜 경화시켜 이루어지는 판형상의 기재(소위 프리프레그)를 적합하게 사용할 수 있다.

<133> 코어재(104)를 형성하는 수지 조성물에 시아네이트수지를 함유시킴으로써, 코어재(104)의 열 팽창 계수를 작게 할 수 있고, 코어재(104)의 전기 특성(저유전율, 저유전정접), 기기계 강도 등도 향상시킬 수 있다. 또, 시아네이트수지란, 시아네이트수지뿐만 아니라, 시아네이트수지의 프리폴리머를 포함하는 것으로 한다.

<134> 상기 시아네이트수지는 예를 들면 할로겐화시안화합물과 페놀류를 반응시켜, 필요에 따라서 가열 등의 방법으로 프리폴리머화함으로써 얻을 수 있다. 구체적으로는 노볼락형 시아네이트수지, 비스페놀 A형 시아네이트수지, 비스페놀 E형 시아네이트수지, 테트라메틸비스페놀 F형 시아네이트수지 등의 비스페놀형 시아네이트수지 등을 들 수 있다. 이들 중에서도 노볼락형 시아네이트수지가 바람직하다. 이로써, 가교 밀도 증가에 의한 내열성 향상과, 수지 조성물 등의 난연성을 향상시킬 수 있다. 노볼락형 시아네이트수지는 경화 반응 후에 트리아진환을 형성하기 때문이다. 또한, 노볼락형 시아네이트수지는 그 구조상 벤젠환의 비율이 높고, 탄화하기 쉽기 때문이다. 또한, 코어재(104)를 두께 0.5mm(500 μ m) 이하로 한 경우라도, 코어재(104)를 경화시켜 제작한 적층판에 우수한 강성을 부여할 수 있다. 특히 가열시에 있어서의 강성이 우수하기 때문에, 반도체 소자 실장시의 신뢰성에도 특히 우수하다.

<135> 상기의 노볼락형 시아네이트수지로서는 예를 들면 식 I로 나타내어지는 것을 사용할 수 있다.

화학식 1



<136> 상기 식 I로 나타내어지는 노볼락형 시아네이트수지의 평균 반복 단위 n은 특히 한정되지 않지만, 1 내지 10이

바람직하고, 특히 2 내지 7이 바람직하다. 평균 반복 단위 n이 상기 하한치 미만이면 노볼락형 시아네이트수지는 내열성이 저하되어, 가열시에 저량체가 탈리, 휘발하는 경우가 있다. 또한, 평균 반복 단위 n이 상기 상한치를 초과하면 용융 점도가 높아지고, 코어재(104)의 성형성이 저하되는 경우가 있다.

<138> 상기 시아네이트수지의 중량 평균 분자량은 특히 한정되지 않지만, 중량 평균 분자량 500 내지 4,500이 바람직하고, 특히 600 내지 3,000이 바람직하다. 중량 평균 분자량이 이들의 하한치 미만이면 코어재(104)를 제작한 경우에 택성이 생기고, 코어재(104)끼리가 접촉하였을 때 서로 부착하거나, 수지의 전사가 생기는 경우가 있다. 또한, 중량 평균 분자량이 이들의 상한치를 초과하면 반응이 지나치게 빨라져서, 기판(특히 회로 기판)으로 한 경우에, 성형 불량이 생기거나, 충간 필 강도가 저하되기도 하는 경우가 있다. 상기 시아네이트수지 등의 중량 평균 분자량은 예를 들면 GPC(겔 투과 크로마토그래피, 표준 물질: 폴리스티렌환산)로 측정할 수 있다.

<139> 또한, 특히 한정되지 않지만, 상기 시아네이트수지는 1종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머(Prepolymer)를 병용할 수도 있었다.

<140> 상기의 열경화성 수지의 함유량은 특히 한정되지 않지만, 상기 수지 조성물 전체의 5 내지 50중량%가 바람직하고, 특히 20 내지 40중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 코어재(104)를 형성하는 것이 곤란해지는 경우가 있어, 이들의 상한치를 초과하면 코어재(104)의 강도가 저하되는 경우가 있다.

<141> 또한, 코어재(104)를 형성하는 수지 조성물에 무기충전재를 함유시킴으로써, 코어재(104)를 박막화(두께 0.5mm 이하)로 하여도 우수한 강도를 유지할 수 있다. 또한, 코어재(104)의 저열 팽창화를 향상할 수도 있다.

<142> 상기 무기충전재로서는 예를 들면 활석, 소성 점토, 미소성 점토, 운모, 유리 등의 규산염, 산화티타늄, 알루미나, 실리카, 용융 실리카 등의 산화물, 탄산칼슘, 탄산마그네슘, 하이드로탈사이트 등의 탄산염, 수산화알루미늄, 수산화마그네슘, 수산화칼슘 등의 수산화물, 황산바륨, 황산칼슘, 아황산칼슘 등의 황산염 또는 아황산염, 봉산아연, 메타봉산바륨, 봉산알루미늄, 봉산칼슘, 봉산나트륨 등의 봉산염, 질화알루미늄, 질화붕소, 질화규소, 질화탄소 등의 질화물, 티타늄산스트론튬, 티타늄산바륨 등의 티타늄산염 등을 들 수 있다. 또, 무기충전재로서, 이들 중의 1종류를 단독으로 사용할 수도 있고, 2종류 이상을 병용할 수도 있다. 이들 중에서도 특히, 실리카가 바람직하고, 용융 실리카(특히 구형 용융 실리카)가 저열 팽창성이 우수한 점에서 바람직하다. 그 형상은 파쇄형, 구형이 있지만, 섬유 기재로의 함침성을 확보하기 위해서 수지 조성물의 용융 점도를 낮추기 위해서는 구형 실리카를 사용하는 등, 그 목적으로 맞춘 사용 방법이 채용된다.

<143> 상기 무기충전재의 평균 입자 직경은 특히 한정되지 않지만, 0.01 내지 5.0 μm 가 바람직하고, 특히 0.1 내지 2.0 μm 가 바람직하다. 무기충전재의 입자직경이 이들의 하한치 미만이면 바니시의 점도가 높아지기 때문에, 코어재(104) 제작시의 작업성에 영향을 주는 경우가 있다. 또한, 이들의 상한치를 초과하면, 바니시 속에서 무기충전재의 침강 등의 현상이 일어나는 경우가 있다. 이 평균 입자 직경은 예를 들면 입도 분포계(HORIBA제, LA-500)에 의해 측정할 수 있다.

<144> 또한 상기 무기충전재는 특히 한정되지 않지만, 평균 입자 직경이 단분산인 무기충전재를 사용할 수도 있고, 평균 입자 직경이 다분산인 무기충전재를 사용할 수 있다. 또한 평균 입자 직경이 단분산 및/또는 다분산인 무기충전재를 1종류 또는 2종류 이상을 병용할 수도 있다.

<145> 또한 평균 입자 직경 5.0 μm 이하의 구형 실리카(특히 구형 용융 실리카)가 바람직하고, 특히 평균 입자 직경 0.01 내지 2.0 μm 의 구형 용융 실리카가 바람직하다. 이로써, 무기충전재의 충전성을 향상시킬 수 있다.

<146> 상기 무기충전재의 함유량은 특히 한정되지 않지만, 수지 조성물 전체의 20 내지 80 중량%가 바람직하고, 특히 30 내지 70중량%가 바람직하다. 함유량이 상기 범위 내이면, 특히 저열 팽창, 저흡수로 할 수 있다.

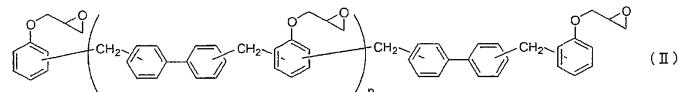
<147> 코어재(104)를 형성하는 수지 조성물에 에폭시수지(실질적으로 할로겐원자를 포함하지 않음)를 함유시킴으로써, 코어재(104)의 흡습 땀납 내열성 및 난연성을 향상시킬 수 있다.

<148> 상기 에폭시수지로서는 예를 들면 비스페놀 A형 에폭시수지, 비스페놀 F형 에폭시수지, 비스페놀 E형 에폭시수지, 비스페놀 S형 에폭시수지, 비스페놀 M형 에폭시수지, 비스페놀 P형 에폭시수지, 비스페놀 Z형 에폭시수지 등의 비스페놀형 에폭시수지, 페놀노볼락형 에폭시수지, 크레졸노볼락에폭시수지 등의 노볼락형 에폭시수지, 비페닐형 에폭시수지, 크실리렌형 에폭시수지, 비페닐아랄킬형 에폭시수지 등의 아릴알킬렌형 에폭시수지, 나프탈렌형 에폭시수지, 안트라센형 에폭시수지, 페녹시형 에폭시수지, 디사이클로펜타디엔형 에폭시수지, 노보넨형 에폭시수지, 아다만탄형 에폭시수지, 플루오렌형 에폭시수지 등을 들 수 있다. 에폭시수지로서, 이들 중의 1종

류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머를 병용할 수도 있다. 이들 에폭시수지 중에서도 특히 아릴알킬렌형 에폭시수지가 바람직하다. 이로써, 흡습 땀납 내열성 및 난연성을 향상시킬 수 있다.

<149> 상기 아릴알킬렌형 에폭시수지란, 반복 단위중에 하나 이상의 아릴알킬렌기를 갖는 에폭시수지를 말한다. 예를 들면 크실리렌형 에폭시수지, 비페닐디메틸렌형 에폭시수지 등을 들 수 있다. 이들 중에서도 비페닐디메틸렌형 에폭시수지가 바람직하다. 비페닐디메틸렌형 에폭시수지는 예를 들면 식 II로 나타낼 수 있다.

화학식 2



<150>

<151> 상기 식 II로 나타내어지는 비페닐디메틸렌형 에폭시수지의 평균 반복 단위 n 은 특히 한정되지 않지만, 1 내지 10이 바람직하고, 특히 2 내지 5가 바람직하다. 평균 반복 단위 n 이 상기 하한치 미만이면 비페닐디메틸렌형 에폭시수지는 결정화하기 쉽게 되어, 범용 용매에 대한 용해성이 비교적 저하되기 때문에, 취급이 곤란해지는 경우가 있다. 또한, 평균 반복 단위 n 이 상기 상한치를 초과하면 수지의 유동성이 저하되어, 성형 불량 등의 원인이 되는 경우가 있다.

<152> 상기 에폭시수지의 함유량은 특히 한정되지 않지만, 수지 조성물 전체의 1 내지 55중량%가 바람직하고, 특히 2 내지 40중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 시아네이트수지의 반응성이 저하되거나, 얻어지는 제품의 내습성이 저하되는 경우가 있고, 이들의 상한치를 초과하면 내열성이 저하되는 경우가 있다.

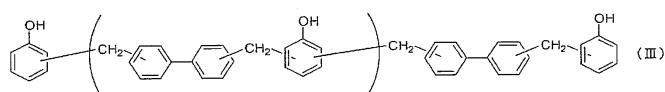
<153> 상기 에폭시수지의 중량 평균 분자량은 특히 한정되지 않지만, 중량 평균 분자량 500 내지 20,000이 바람직하고, 특히 800 내지 15,000이 바람직하다. 중량 평균 분자량이 이들의 하한치 미만이면 코어재(104)에 택성이 생기는 경우가 있고, 이들의 상한치를 초과하면 코어재(104) 제작시, 유리섬유 기재에 대한 함침성이 저하되어, 균일한 제품이 얻어지지 않는 경우가 있다. 상기 에폭시수지의 중량 평균 분자량은 예를 들면 GPC로 측정할 수 있다.

<154> 코어재(104)를 형성하는 수지 조성물에 폐놀수지를 함유시킴으로써, 더욱이 코어재(104)의 흡습 땀납 내열성을 향상시킬 수 있다.

<155> 상기 폐놀수지로서는 예를 들면 노볼락형 폐놀수지, 레졸형 폐놀수지, 아릴알킬렌형 폐놀수지 등을 들 수 있다. 폐놀수지로서, 이들 중의 1종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머를 병용할 수도 있다. 이들 중에서도 특히, 아릴알킬렌형 폐놀수지가 바람직하다. 이로써, 또한 흡습 땀납 내열성을 향상시킬 수 있다.

<156> 상기 아릴알킬렌형 폐놀수지로서는 예를 들면 크실리렌형 폐놀수지, 비페닐디메틸렌형 폐놀수지 등을 들 수 있다. 비페닐디메틸렌형 폐놀수지는 예를 들면 식 III로 나타낼 수 있다.

화학식 3



<157>

<158> 상기 식 III로 나타내어지는 비페닐디메틸렌형 폐놀수지의 반복 단위 n 은 특히 한정되지 않지만, 1 내지 12가 바람직하고, 특히 2 내지 8이 바람직하다. 평균 반복 단위 n 이 이들의 하한치 미만이면 내열성이 저하되는 경우가 있다. 또한, 이들의 상한치를 초과하면 다른 수지와의 상용성이 저하되어, 작업성이 저하되는 경우가 있다.

<159> 상술한 시아네이트수지(특히 노볼락형 시아네이트수지)와 아릴알킬렌형 폐놀수지와의 조합에 의해, 가교 밀도를 컨트롤하여 반응성을 용이하게 제어할 수 있다.

<160> 상기의 폐놀수지의 함유량은 특히 한정되지 않지만, 수지 조성물 전체의 1 내지 55중량%가 바람직하고, 특히 5 내지 40중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 내열성이 저하되는 경우가 있고, 이들의 상한치

를 초과하면 저열 팽창의 특성이 손상되는 경우가 있다.

<161> 상기 폐놀수지의 중량 평균 분자량은 특히 한정되지 않지만, 중량 평균 분자량 400 내지 18,000이 바람직하고, 특히 500 내지 15,000이 바람직하다. 중량 평균 분자량이 이들의 하한치 미만이면 코어재(104)에 택성이 생기는 경우가 있고, 이들의 상한치를 초과하면 코어재(104) 제작시, 유리섬유 기재로의 함침성이 저하되어, 균일한 제품이 얻어지지 않는 경우가 있다. 상기의 폐놀수지의 중량 평균 분자량은 예를 들면 GPC로 측정할 수 있다.

<162> 또한, 상기 시아네이트수지(특히 노볼락형 시아네이트수지)와 상기의 폐놀수지(아릴알킬렌형 폐놀수지, 특히 비페닐디메틸렌형 폐놀수지)와 상기 에폭시수지(아릴알킬렌형 에폭시수지, 특히 비페닐디메틸렌형 에폭시수지)의 조합을 사용하여 코어재(104)를 제작한 경우, 특히 우수한 치수 안정성을 얻을 수 있다.

<163> 상기 수지 조성물은 특히 한정되지 않지만, 커플링제를 사용하는 것이 바람직하다. 상기 커플링제는 상기의 열경화성 수지와, 상기 무기충전재의 계면의 습윤성을 향상시킴으로써, 섬유 기재에 대하여 열경화성 수지 등 및 무기충전재를 균일하게 정착시켜, 내열성, 특히 흡습 후의 땀납 내열성을 개량할 수 있다.

<164> 상기 커플링제로서는 통상 사용되는 것이라면 어떤 것이라도 사용할 수 있지만, 구체적으로는 에폭시실란 커플링제, 카티오닉실란 커플링제, 아미노실란 커플링제, 티타네이트계 커플링제 및 실리콘오일형 커플링제 중에서 선택되는 1종 이상의 커플링제를 사용하는 것이 바람직하다. 이로써, 무기충전재의 계면과의 습윤성을 높게 할 수 있고, 그것에 의해서 내열성을 보다 향상시킬 수 있게 된다.

<165> 상기 커플링제의 첨가량은 상기 무기충전재의 비표면적에 의존하기 때문에 특히 한정되지 않지만, 무기충전재 100중량부에 대하여 0.05 내지 3중량부가 바람직하고, 특히 0.1 내지 2중량부가 바람직하다. 함유량이 이들의 하한치 미만이면 무기충전재를 충분하게 피복할 수 없기 때문에 내열성을 향상시키는 효과가 저하되는 경우가 있어, 이들의 상한치를 초과하면 반응에 영향을 주고, 굴곡 강도 등이 저하되는 경우가 있다.

<166> 상기 수지 조성물로는 필요에 따라서 경화촉진제를 사용하여도 좋다. 상기 경화촉진제로서는 공지된 것을 사용할 수 있다. 예를 들면 나프텐산아연, 나프텐산코발트, 옥틸산주석, 옥틸산코발트, 비스아세틸아세토네이트코발트(II), 트리스아세틸아세토네이트코발트(III) 등의 유기금속염, 트리에틸아민, 트리부틸아민, 디아자비사이클로[2,2,2]옥탄 등의 3급 아민류, 2-페닐-4-메틸이미다졸, 2-에틸-4-에틸이미다졸, 2-페닐-4-메틸이미다졸, 2-페닐-4-메틸-5-하이드록시이미다졸, 2-페닐-4,5-디하이드록시이미다졸 등의 이미다졸류, 폐놀, 비스페놀 A, 노닐페놀 등의 폐놀 화합물, 아세트산, 벤조산, 살리실산, 파라톨루엔설폰산 등의 유기산 등, 또는 이 혼합물을 들 수 있다. 경화촉진제로서, 이들 중의 유도체도 포함시켜 1종류를 단독으로 사용할 수도 있고, 이들의 유도체도 포함시켜 2종류 이상을 병용할 수도 있다.

<167> 상기 경화촉진제의 함유량은 특히 한정되지 않지만, 상기 수지 조성물 전체의 0.05 내지 5중량%가 바람직하고, 특히 0.2 내지 2중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 경화를 촉진하는 효과가 나타나지 않는 경우가 있고, 이들의 상한치를 초과하면 코어재(104)의 보존성이 저하되는 경우가 있다.

<168> 상기 수지 조성물로서는 폐녹시수지, 폴리아미드수지, 폴리페닐렌옥사이드수지, 폴리에테르설폰수지, 폴리에스테르수지, 폴리에틸렌수지, 폴리스티렌수지 등의 열가소성 수지, 스티렌-부타디엔 공중합체, 스티렌-이소프렌공중합체 등의 폴리스티렌계 열가소성 탄성중합체, 폴리올레핀계 열가소성 탄성중합체, 폴리아미드계 탄성중합체, 폴리에스테르계 탄성중합체 등의 열가소성 탄성중합체, 폴리부타디엔, 에폭시변성폴리부타디엔, 아크릴변성폴리부타디엔, 메타크릴 변성폴리부타디엔 등의 디엔계 탄성중합체를 병용하여도 좋다.

<169> 또한, 상기 수지 조성물에는 필요에 따라서, 안료, 염료, 소포제, 레밸링제, 자외선 흡수제, 발포제, 산화방지제, 난연제, 이온 포착제 등의 상기 성분 이외의 첨가물을 첨가하여도 좋다.

<170> 다음에, 프리프레그에 관해서 설명한다.

<171> 상기 수지 조성물을 섬유 기재(예를 들면 유리섬유시트 등)에 함침시켜 경화시켜 이루어지는 판형상의 기재(소위 프리프레그)인 코어재(104)는 유전 특성, 고온 다습하에서의 기계적, 전기적 접속 신뢰성 등의 각종 특성이 우수한 프린트 배선판인 인터포저나 마더보드 등을 제조하는 데 적합하다.

<172> 여기에서 사용하는 섬유 기재로서는 유리직포, 유리부직포 등의 유리섬유 기재, 폴리아미드수지섬유, 방향족 폴리아미드수지섬유, 전방향족 폴리아미드수지섬유 등의 폴리아미드계 수지섬유, 폴리에스테르수지섬유, 방향족 폴리에스테르수지섬유, 전방향족 폴리에스테르수지섬유 등의 폴리에스테르계 수지섬유, 폴리아미드수지섬유, 불

소수지섬유 등을 주성분으로 하는 직포 또는 부직포로 구성되는 합성 섬유 기재, 크라프트지, 면 린터(cotton linter)지, 린터와 크라프트 펠프의 혼초지(混抄紙) 등을 주성분으로 하는 종이기재 등의 유기섬유 기재 등을 들 수 있다. 이들 중에서도 유리섬유 기재가 바람직하다. 이로써, 코어재(104)의 강도, 흡수율을 향상시킬 수 있다. 또한, 코어재(104)의 열 팽창 계수를 작게 할 수 있다.

<173> 상기 수지 조성물을 섬유 기재에 함침시키는 방법으로는 예를 들면, 상기 수지 조성물을 사용하여 수지 바니시를 조제하여, 섬유 기재를 수지 바니시에 침지하는 방법, 각종 피복기에 의해 도포하는 방법, 스프레이에 의해 분사하는 방법 등을 들 수 있다. 이들 중에서도, 섬유 기재를 수지 바니시에 침지하는 방법이 바람직하다. 이로써, 섬유 기재에 대한 수지 조성물의 함침성을 향상시킬 수 있다. 또, 섬유 기재를 수지 바니시에 침지하는 경우, 통상의 함침 도포 설비를 사용할 수 있다.

<174> 상기 수지 바니시에 사용되는 용매는 상기 수지 조성을 중의 수지성분에 대하여 양호한 용해성을 나타내는 것이 바람직하지만, 악영향을 미치지 않는 범위에서 빈(貧)용매를 사용하여도 상관없다. 양호한 용해성을 나타내는 용매로서는 예를 들면 아세톤, 메틸에틸케톤, 메틸이소부틸케톤, 사이클로헥사논, 테트라하이드로푸란, 디메틸 포름아미드, 디메틸아세토아미드, 디메틸설록시드, 에틸렌글리콜, 셀로솔브계, 카비톨계 등을 들 수 있다.

<175> 상기 수지 바니시의 고형분은 특히 한정되지 않지만, 상기 수지 조성물의 고형분 40 내지 80중량%가 바람직하고, 특히 50 내지 65중량%가 바람직하다. 이로써, 수지 바니시의 섬유 기재로의 함침성을 더욱 향상시킬 수 있다. 상기의 섬유 기재에 상기 수지 조성물을 함침시켜, 소정 온도, 예를 들면 80 내지 200°C 등에서 건조시킴으로써 코어재(104)를 얻을 수 있다.

<176> <빌드업층에 대하여>

<177> 이하, 실시형태 1 내지 실시형태 4에 사용되는 빌드업층(106)을 형성하는 수지 조성물에 대하여 설명한다. 빌드업층(106)을 형성하는 수지 조성물은 특히 한정되지 않지만, 열경화성 수지를 포함하는 수지 조성물로 구성되어 있는 것이 바람직하다. 이로써, 절연수지층의 내열성을 향상시킬 수 있다.

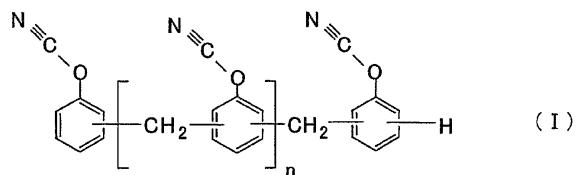
<178> 빌드업층(106)에 사용하는 열경화성 수지로서는 예를 들면 폐놀노볼락수지, 크레졸노볼락수지, 비스페놀 A 노볼락수지 등의 노볼락형 폐놀수지, 미변성의 레졸페놀수지, 동유(桐油), 아마인유, 너트유 등으로 변성한 오일변성레졸페놀수지 등의 레졸형 폐놀수지 등의 폐놀수지, 비스페놀 A 에폭시수지, 비스페놀 F 에폭시수지, 비스페놀 E형 에폭시수지, 비스페놀 S형 에폭시수지, 비스페놀 Z형 에폭시수지, 비스페놀 P형 에폭시수지, 비스페놀 M형 에폭시수지 등의 비스페놀형 에폭시수지, 폐놀노볼락형 에폭시수지, 크레졸노볼락에폭시수지 등의 노볼락형 에폭시수지, 비페닐형 에폭시수지, 비페닐아랄킬형 에폭시수지, 아릴알킬렌형 에폭시수지, 나프탈렌형 에폭시수지, 안트라센형 에폭시수지, 폐녹시형 에폭시수지, 디사이클로펜타디엔형 에폭시수지, 노보넨형 에폭시수지, 아다만탄형 에폭시수지, 플루오렌형 에폭시수지 등의 에폭시수지, 우레아(요소)수지, 멜라민수지 등의 트리아진환을 갖는 수지, 불포화폴리에스테르수지, 비스말레이미드수지, 폴리우레탄수지, 디알릴프탈레이트수지, 실리콘수지, 벤조옥사진환을 갖는 수지, 시아네이트수지 등을 들 수 있다.

<179> 이들 중의 1종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머를 병용할 수도 있다. 또한 이들 중에서도, 특히 시아네이트수지(시아네이트수지의 프리폴리머를 포함함)가 바람직하다. 이로써, 절연수지층의 열 팽창 계수를 작게 할 수 있다. 또한, 절연수지층의 전기 특성(저유전율, 저유전정접), 기기계 강도 등에도 우수하다.

<180> 상기 시아네이트수지는 예를 들면 할로겐화시안화합물과 폐놀류를 반응시켜, 필요에 따라서 가열 등의 방법으로 프리폴리머화함으로써 얻을 수 있다. 구체적으로는 노볼락형 시아네이트수지, 비스페놀 A형 시아네이트수지, 비스페놀 E형 시아네이트수지, 테트라메틸비스페놀 F형 시아네이트수지 등의 비스페놀형 시아네이트수지 등을 들 수 있다. 이들 중에서도 노볼락형 시아네이트수지가 바람직하다. 이로써, 가교 밀도 증가에 의한 내열성 향상과, 수지 조성물 등의 난연성을 향상시킬 수 있다. 노볼락형 시아네이트수지는 경화 반응 후에 트리아진환을 형성하기 때문이다. 또한, 노볼락형 시아네이트수지는 그 구조상 벤젠환의 비율이 높고, 탄화하기 쉽기 때문이다.

<181> 상기 노볼락형 시아네이트수지로서는 예를 들면 식 I로 나타내어지는 것을 사용할 수 있다.

화학식 4



<182>

상기 식 I로 나타내어지는 노볼락형 시아네이트수지의 평균 반복 단위 n 은 특히 한정되지 않지만, 1 내지 10이 바람직하고, 특히 2 내지 7이 바람직하다. 평균 반복 단위 n 이 상기 하한치 미만이면 노볼락형 시아네이트수지는 결정화되기 쉬워져서, 범용 용매에 대한 용해성이 비교적 저하되기 때문에, 취급이 곤란해지는 경우가 있다. 또한, 평균 반복 단위 n 이 상기 상한치를 초과하면 용융 점도가 지나치게 높아지고, 절연수지층의 성형성이 저하되는 경우가 있다.

<184>

상기 시아네이트수지의 중량 평균 분자량은 특히 한정되지 않지만, 중량 평균 분자량 500 내지 4,500이 바람직하고, 특히 600 내지 3,000이 바람직하다. 중량 평균 분자량이 상기 하한치 미만이면 절연수지층을 경화물의 기계적 강도가 저하되는 경우가 있고, 더욱이 절연수지층을 제작한 경우에 택성이 생겨, 수지의 전사가 생기는 경우가 있다. 또한, 중량 평균 분자량이 상기 상한치를 초과하면 경화 반응이 지나치게 빠르게 되어, 기판(특히 회로 기판)으로 한 경우에, 성형 불량이 생기거나, 충간 필 강도가 저하되는 경우가 있다. 상기 시아네이트수지 등의 중량 평균 분자량은 예를 들면 GPC(겔파마이에이션 크로마토그래피, 표준 물질: 폴리스티렌 환산)로 측정할 수 있다.

<185>

또한, 특히 한정되지 않지만, 상기 시아네이트수지는 그 유도체도 포함시켜, 1 종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 각각의 프리폴리머를 병용할 수도 있다.

<186>

상기 열경화성 수지의 함유량은 특히 한정되지 않지만, 상기 수지 조성물 전체의 5 내지 50중량%가 바람직하고, 특히 10 내지 40중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 절연수지층을 형성하는 것이 곤란해지는 경우가 있고, 이들의 상한치를 초과하면 절연수지층의 강도가 저하되는 경우가 있다.

<187>

빌드업층(106)에 사용하는 열경화성 수지로서 시아네이트수지(특히 노볼락형 시아네이트수지)를 사용하는 경우는 에폭시수지(실질적으로 할로겐원자를 포함하지 않음)를 병용하는 것이 바람직하다. 상기 에폭시수지로서는 예를 들면 비스페놀 A 에폭시수지, 비스페놀 F 에폭시수지, 비스페놀 E형 에폭시수지, 비스페놀 S형 에폭시수지, 비스페놀 Z형 에폭시수지, 비스페놀 P형 에폭시수지, 비스페놀 M형 에폭시수지 등의 비스페놀형 에폭시수지, 페놀노볼락형 에폭시수지, 크레졸노볼락에폭시수지 등의 노볼락형 에폭시수지, 비페닐형 에폭시수지, 크실리렌형 에폭시수지, 비페닐아랄킬형 에폭시수지 등의 아릴알킬렌형 에폭시수지, 나프탈렌형 에폭시수지, 안트라센형 에폭시수지, 페녹시형 에폭시수지, 디사이클로펜타디엔형 에폭시수지, 노보넨형 에폭시수지, 아다만탄형 에폭시수지, 플루오렌형 에폭시수지 등을 들 수 있다.

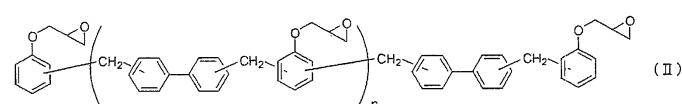
<188>

에폭시수지로서, 이들 중의 1종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머를 병용할 수도 있다. 이들 에폭시수지 중에서도 특히 아릴알킬렌형 에폭시수지가 바람직하다. 이로써, 흡습 땀납 내열성 및 난연성을 향상시킬 수 있다.

<189>

상기 아릴알킬렌형 에폭시수지란, 반복 단위중에 하나 이상의 아릴알킬렌기를 갖는 에폭시수지를 말한다. 예를 들면 크실리렌형 에폭시수지, 비페닐디메틸렌형 에폭시수지 등을 들 수 있다. 이들 중에서도 비페닐디메틸렌형 에폭시수지가 바람직하다. 비페닐디메틸렌형 에폭시수지는 예를 들면 식 II로 나타낼 수 있다.

화학식 5



<190>

상기 식 II로 나타내어지는 비페닐디메틸렌형 에폭시수지의 평균 반복 단위 n 은 특히 한정되지 않지만, 1 내지 10이 바람직하고, 특히 2 내지 5가 바람직하다. 평균 반복 단위 n 이 이들의 하한치 미만이면 비페닐디메틸렌형 에폭시수지는 결정화하기 쉽게 되어, 범용 용매에 대한 용해성이 비교적 저하되기 때문에, 취급이 곤란해지는

경우가 있다. 또한, 평균 반복 단위 n 이 이들의 상한치를 초과하면 수지의 유동성이 저하되어, 성형 불량 등의 원인이 되는 경우가 있다. 평균 반복 단위 n 의 수를 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<192> 상기 에폭시수지의 함유량은 특히 한정되지 않지만, 수지 조성물 전체의 1 내지 55중량%가 바람직하고, 특히 5 내지 40중량%가 바람직하다. 함유량이 이들의 하한치 미만이면 시아네이트수지의 반응성이 저하되거나, 얻어지는 제품의 내습성이 저하되는 경우가 있고, 이들의 상한치를 초과하면 저열 팽창성, 내열성이 저하되는 경우가 있다.

<193> 상기 에폭시수지의 중량 평균 분자량은 특히 한정되지 않지만, 중량 평균 분자량 500 내지 20,000이 바람직하고, 특히 800 내지 15,000이 바람직하다. 중량 평균 분자량이 이들의 하한치 미만이면 절연수지층의 표면에 택성이 생기는 경우가 있고, 이들의 상한치를 초과하면 땀납 내열성이 저하되는 경우가 있다. 중량 평균 분자량을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다. 상기 에폭시수지의 중량 평균 분자량은 예를 들면 GPC로 측정할 수 있다.

<194> 빌드업층(106)에 사용하는 수지 조성물은 제막성 수지를 함유하는 것이 바람직하다. 이로써, 기재 부착 절연수지층을 제조할 때의 제막성이나 핸들링성을 더욱 향상시킬 수 있다. 상기 제막성 수지로서는 예를 들면, 폐녹시계 수지, 비스페놀 F계 수지, 올레핀계 수지 등을 들 수 있다.

<195> 상기 제막성 수지로서, 이들 중의 유도체도 포함시켜 1종류를 단독으로 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 2종류 이상을 병용하거나, 1종류 또는 2종류 이상과, 이들의 프리폴리머를 병용할 수도 있다. 이들 중에서도, 폐녹시계 수지가 바람직하다. 이로써, 내열성 및 난연성을 향상시킬 수 있다.

<196> 상기 폐녹시수지로서, 특히 한정되지 않지만, 예를 들면, 비스페놀 A 골격을 갖는 폐녹시수지, 비스페놀 F 골격을 갖는 폐녹시수지, 비스페놀 S 골격을 갖는 폐녹시수지, 비스페놀 M 골격을 갖는 폐녹시수지, 비스페놀 P 골격을 갖는 폐녹시수지, 비스페놀 Z 골격을 갖는 폐녹시수지 등 비스페놀 골격을 갖는 폐녹시수지, 노볼락 골격을 갖는 폐녹시수지, 안트라센 골격을 갖는 폐녹시수지, 플루오렌 골격을 갖는 폐녹시수지, 디사이클로펜타디엔 골격을 갖는 폐녹시수지, 노보넨 골격을 갖는 폐녹시수지, 나프탈렌 골격을 갖는 폐녹시수지, 비페닐 골격을 갖는 폐녹시수지, 아다만탄 골격을 갖는 폐녹시수지 등을 들 수 있다.

<197> 또한 폐녹시수지로서, 이들 중의 골격을 복수 종류 갖는 구조를 사용할 수도 있고, 각각의 골격의 비율이 다른 폐녹시수지를 사용할 수 있다. 또한 다른 골격의 폐녹시수지를 복수 종류 사용할 수도 있고, 다른 중량 평균 분자량을 갖는 폐녹시수지를 복수 종류 사용하거나, 이들의 프리폴리머를 병용할 수도 있다.

<198> 이들 중에서도, 비페닐 골격과, 비스페놀 S 골격을 갖는 폐녹시수지를 사용할 수 있다. 이로써, 비페닐 골격이 갖는 강직성에 의해 유리 전이 온도를 높게 할 수 있는 동시에, 비스페놀 S 골격에 의해, 다층 프린트 배선판을 제조할 때의 도금 금속의 부착성을 향상시킬 수 있다.

<199> 또한, 비스페놀 A 골격과 비스페놀 F 골격을 갖는 폐녹시수지를 사용할 수 있다. 이로써, 다층 프린트 배선판의 제조 시에 내층 회로 기판으로의 밀착성을 향상시킬 수 있다. 또한, 상기 비페닐 골격과 비스페놀 S 골격을 갖는 폐녹시수지와, 비스페놀 A 골격과 비스페놀 F 골격을 갖는 폐녹시수지를 병용하여도 좋다.

<200> 상기 제막성 수지의 분자량으로서는 특히 한정되지 않지만, 중량 평균 분자량이 1000 내지 100000인 것이 바람직하다. 더욱 바람직하게는 10000 내지 60000이다. 제막성 수지의 중량 평균 분자량이 이들의 하한치 미만이면, 제막성을 향상시키는 효과가 충분하지 않는 경우가 있다. 한편, 이들의 상한치를 초과하면, 제막성 수지의 용해성이 저하되는 경우가 있다. 제막성 수지의 중량 평균 분자량을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<201> 제막성 수지의 함유량으로서는 특히 한정되지 않지만, 수지 조성물 전체의 1 내지 40중량%인 것이 바람직하다. 더욱 바람직하게는 5 내지 30중량%이다. 제막성 수지의 함유량이 이들의 하한치 미만이면, 제막성을 향상시키는 효과가 충분하지 않는 경우가 있다. 한편, 이들의 상한치를 초과하면, 상대적으로 시아네이트수지의 함유량이 적어지기 때문에, 저열 팽창성을 부여하는 효과가 저하하는 것이 있다. 제막성 수지의 함유량을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<202> 빌드업층(106)에서 사용되는 상기 열경화성 수지 및, 제막성 수지는 어느 것이나, 실질적으로 할로겐원자를 포함하지 않는 것이 바람직하다. 이로써, 할로겐화합물을 사용하지 않고, 난연성을 부여할 수 있다. 여기에서, 실질적으로 할로겐원자를 포함하지 않는다는 것은 예를 들면, 에폭시수지 또는 폐녹시수지 중의 할로겐원자의

함유량이 0, 15중량% 이하(JPCA-ES01-2003)인 것을 말한다.

- <203> 빌드업층(106)에서 사용되는 수지 조성물에는 필요에 따라서 경화촉진제를 사용하여도 좋다. 상기의 경화촉진제로서는 공지된 것을 사용할 수 있다. 예를 들면 이미다졸 화합물, 나프텐산아연, 나프텐산코발트, 옥틸산주석, 옥틸산코발트, 비스아세틸아세토네이트코발트(II), 트리스아세틸아세토네이트코발트(III) 등의 유기금속염, 트리에틸아민, 트리부틸아민, 디아자비사이클로[2,2,2]옥탄 등의 3급 아민류, 페놀, 비스페놀 A, 노닐페놀 등의 페놀 화합물, 아세트산, 벤조산, 살리실산, 파라톨루엔설폰산 등의 유기산 등, 또는 이 혼합물을 들 수 있다. 경화촉진제로서, 이들 중의 유도체도 포함시켜 1종류를 단독으로 사용할 수도 있고, 이들의 유도체도 포함시켜 2종류 이상을 병용할 수도 있다.
- <204> 이들 경화촉진제 중에서도 특히 이미다졸 화합물이 바람직하다. 이로써, 흡습 맴납 내열성을 향상시킬 수 있다. 그리고, 상기 이미다졸 화합물은 특히 한정되지 않지만, 상기 시아네이트수지, 에폭시수지, 제막성 수지 성분과의 상용성을 갖는 것이 바람직하다.
- <205> 여기에서, 상기 시아네이트수지, 에폭시수지, 제막성 수지 성분과의 상용성을 갖는다는 것은 이미다졸 화합물을 상기 시아네이트수지, 에폭시수지, 제막성 수지 성분과 혼합, 또는, 이미다졸 화합물을 상기 시아네이트수지, 에폭시수지, 제막성 수지 성분과 유기용제와 동시에 혼합한 경우에, 실질적으로 분자레벨까지 용해, 또는, 그것에 가까운 상태까지 분산할 수 있는 성상을 가리키는 것이다.
- <206> 상기 수지 조성물은 이와 같은 이미다졸 화합물을 사용함으로써, 시아네이트수지나 에폭시수지의 반응을 효과적으로 촉진시킬 수 있고, 또한, 이미다졸 화합물의 배합량을 적게 하여도 동등한 특성을 부여할 수 있다. 또한, 이러한 이미다졸 화합물을 사용한 수지 조성물은 수지 성분과의 사이에서 미소한 매트릭스 단위로부터 높은 균일성으로 경화시킬 수 있다. 이로써, 다층 프린트 배선판에 형성된 수지층의 절연성, 내열성을 높일 수 있다.
- <207> 그리고, 이러한 상기의 수지 재료로 형성된 절연수지층인 빌드업층(106)은 예를 들면 과망간산염, 중크롬산염 등의 산화제를 사용하여 표면의 조화(粗化) 처리를 하면, 조화 처리 후의 절연층 표면에 균일성이 높은 미소한 요철 형상을 다수 형성할 수 있다. 이러한 조화 처리 후의 절연수지 층 표면에 금속 도금 처리를 하면, 조화 처리면의 평활성이 높기 때문에, 미세한 도체 회로를 정밀도 높게 형성할 수 있다. 또한, 미소한 요철 형상에 의해 앵커 효과를 높여, 절연수지층과 도금 금속의 사이에 높은 밀착성을 부여할 수 있다.
- <208> 상기 수지 조성물에서 사용되는 상기 이미다졸 화합물로서는 예를 들면, 1-벤질-2-메틸이미다졸, 1-벤질-2-페닐 이미다졸, 2-페닐-4-메틸이미다졸, 2-에틸-4-메틸이미다졸, 2,4-디아미노-6-[2'-메틸이미다졸릴-(1')]-에틸-s-트리아진, 2,4-디아미노-6-(2'-운데실이미다졸릴)-에틸-s-트리아진, 2,4-디아미노-6-[2'-에틸-4-메틸이미다졸릴-(1')]-에틸-s-트리아진, 2-페닐-4,5-디하이드록시메틸이미다졸, 2-페닐-4-메틸-5-하이드록시메틸이미다졸 등을 들 수 있다.
- <209> 이들 중에서도, 1-벤질-2-메틸이미다졸, 1-벤질-2-페닐이미다졸, 및, 2-에틸-4-메틸이미다졸로부터 선택되는 이미다졸 화합물인 것이 바람직하다. 이들의 이미다졸 화합물은 특히 우수한 상용성을 가짐으로써, 균일성이 높은 경화물이 얻어짐과 동시에, 미세하고 또한 균일한 조화면을 형성할 수 있기 때문에, 미세한 도체 회로를 용이하게 형성할 수 있는 동시에, 다층 프린트 배선판에 높은 내열성을 발현시킬 수 있다.
- <210> 상기 이미다졸 화합물의 함유량으로서는 특히 한정되지 않지만, 상기 시아네이트수지와 에폭시수지의 합계에 대하여, 0.01 내지 5중량%가 바람직하고, 특히 0.05 내지 3중량%가 바람직하다. 이로써, 특히 내열성을 향상시킬 수 있다.
- <211> 또한, 빌드업층(106)에 사용하는 수지 조성물은 무기충전재를 포함하는 것이 바람직하다. 이로써, 저열 팽창성 및 난연성의 향상을 도모할 수 있다. 또한, 상기 시아네이트수지 및/또는 그 프리폴리머(특히 노볼락형 시아네이트수지)와 무기충전재의 조합에 의해, 탄성률을 향상시킬 수 있다.
- <212> 상기 무기충전재로서는 예를 들면 활석, 소성 점토, 미소성 점토, 운모, 유리 등의 규산염, 산화티타늄, 알루미나, 실리카, 용융 실리카 등의 산화물, 탄산칼슘, 탄산마그네슘, 하이드로틸사이트 등의 탄산염, 수산화알루미늄, 수산화마그네슘, 수산화칼슘 등의 수산화물, 황산바륨, 황산칼슘, 아황산칼슘 등의 황산염 또는 아황산염, 봉산아연, 메타봉산바륨, 봉산알루미늄, 봉산칼슘, 봉산나트륨 등의 봉산염, 질화알루미늄, 질화붕소, 질화규소, 질화탄소 등의 질화물, 티타늄산스트론튬, 티타늄산바륨 등의 티타늄산염 등을 들 수 있다. 무기충전재로서, 이들 중의 1종류를 단독으로 사용할 수도 있고, 2종류 이상을 병용할 수도 있다. 이들 중에서도 특히, 실리카가 바람직하고, 용융 실리카(특히 구형 용융 실리카)가 저열 팽창성이 우수한 점에서 바람직하다.

그 형상은 파쇄형, 구형이 있지만, 섬유 기재로의 함침성을 확보하기 위해서 수지 조성물의 용융 점도를 낮추기 위해서는 구형 실리카를 사용하는 등, 그 목적에 맞는 사용 방법이 채용된다.

<213> 상기 무기충전재의 평균 입자 직경으로서는 특히 한정되지 않지만, 0.01 내지 5.0 μm 인 것이 바람직하다. 더욱 바람직하게는 0.1 내지 2.0 μm 이다. 무기충전재의 평균 입자 직경이 이들의 하한치 미만이면, 상기 수지 조성물을 사용하여 수지 바니시를 조제할 때에, 수지 바니시의 점도가 높아지기 때문에, 기재가 부착된 절연시트를 제작할 때의 작업성에 영향을 주는 경우가 있다. 한편, 이들의 상한치를 초과하면, 수지 바니시 중에서 무기충전재의 침강 등의 현상이 일어나는 경우가 있다. 무기충전재의 평균 입자 직경을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<214> 또한 상기 무기충전재는 특히 한정되지 않지만, 평균 입자 직경이 단분산인 무기충전재를 사용할 수도 있고, 평균 입자 직경이 다분산인 무기충전재를 사용할 수 있다. 더욱이 평균 입자 직경이 단분산 및/또는, 다분산인 무기충전재를 1종류 또는 2종류 이상을 병용할 수도 있다.

<215> 상기 무기충전재의 함유량으로서 특히 한정되지 않지만, 수지 조성물 전체의 20 내지 70중량%인 것이 바람직하다. 더욱 바람직하게는 30 내지 60중량%이다. 무기충전재의 함유량이 이들의 하한치 미만이면, 저열 팽창성, 저흡수성을 부여하는 효과가 저하되는 경우가 있다. 또한, 이들의 상한치를 초과하면, 수지 조성물의 유동성의 저하에 의해 절연수지층의 성형성이 저하되는 경우가 있다. 무기충전재의 함유량을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<216> 빌드업층(106)에 사용하는 수지 조성물은 특히 한정되지 않지만, 커플링제를 사용하는 것이 바람직하다. 상기 커플링제는 상기의 열경화성 수지와, 상기 무기충전재의 계면의 습윤성을 향상시킴으로써, 내열성, 특히 흡습 맴남 내열성을 향상시킬 수 있다.

<217> 상기 커플링제로서는 통상 사용되는 것이라면 무엇이든지 사용할 수 있지만, 구체적으로는 에폭시실란 커플링제, 카티오너실란 커플링제, 아미노실란 커플링제, 티타네이트계 커플링제 및 실리콘오일형 커플링제 중에서 선택되는 1종 이상의 커플링제를 사용하는 것이 바람직하다. 이로써, 무기충전재의 계면과의 습윤성을 높게 할 수 있고, 그것에 의해서 내열성을 보다 향상시킬 수도 있다.

<218> 상기 커플링제의 함유량으로서는 특히 한정되지 않지만, 무기충전재 100중량부에 대하여 0.05 내지 3.00중량부인 것이 바람직하다. 커플링제의 함유량이 이들의 하한치 미만이면, 무기충전재를 피복하여 내열성을 향상시키는 효과가 충분하지 않는 경우가 있다. 한편, 이들의 상한치를 초과하면, 기재가 부착된 절연수지층의 굴곡 강도가 저하하는 경우가 있다. 커플링제의 함유량을 상기 범위 내로 함으로써, 이들의 특성의 균형이 우수한 것으로 할 수 있다.

<219> 빌드업층(106)에 사용하는 수지 조성물로서는 폐녹시수지, 폴리이미드수지, 폴리아미드이미드수지, 폴리페닐렌 옥사이드수지, 폴리에테르설폰수지, 폴리에스테르수지, 폴리에틸렌수지, 폴리스티렌수지 등의 열가소성 수지, 스티렌부타디엔 공중합체, 스티렌이소프렌공중합체 등의 폴리스티렌계 열가소성 탄성중합체, 폴리올레핀계 열가소성 탄성중합체, 폴리아미드계 탄성중합체, 폴리에스테르계 탄성중합체 등의 열가소성 탄성중합체, 폴리부타디엔, 에폭시변성폴리부타디엔, 아크릴변성폴리부타디엔, 메타크릴 변성 폴리부타디엔 등의 디엔계 탄성중합체를 병용하여도 좋다.

<220> 또한, 빌드업층(106)에 사용하는 수지 조성물에는 필요에 따라서, 안료, 염료, 소포제, 레밸링제, 자외선 흡수제, 발포제, 산화방지제, 난연제, 이온 포착제 등의 상기 성분 이외의 첨가물을 첨가하여도 좋다.

<221> 또, 빌드업층(106)에 사용하는 수지 조성물은 유리섬유시트를 비롯한 섬유 기재에 함침시켜도 좋고, 수지 조성물을 그대로 경화시켜도 좋다. 여기에서, 수지 조성물을 기재에 함침시키는 방법으로서는 특히 한정되지 않지만, 예를 들면, 수지 조성물을 용제 등에 용해·분산시켜 수지 바니시를 조제하여, 각종 피복기 장치를 사용하여 수지 바니시를 기재에 도포한 후, 이것을 건조하는 방법, 수지 바니시를 스프레이 장치를 사용하여 기재에 분무 도포한 후, 이것을 건조하는 방법, 등을 들 수 있다.

<222> 이들 중에서도, 콤마 코터, 다이 코터 등의 각종 피복기 장치를 사용하여, 수지 바니시를 기재에 도포한 후, 이것을 건조하는 방법이 바람직하다. 이로써, 보이드가 없고, 균일한 절연수지층의 두께를 갖는 기재가 부착된 절연수지층을 효율 좋게 제조할 수 있다.

<223> <다층 기판의 제조방법에 관해서>

<224> 다음에, 다층 기판의 제조방법에 관해서 설명한다.

<225> 도 3은 빌드업형 인터포저의 설계를 설명하기 위한 개념도이다. 실시형태 1 내지 실시형태 4에 사용하는 적층판인 다층 기판(108)은 상술한 코어재(104)를 적어도 1장, 상술한 빌드업층을 적어도 1장, 더욱이 이들의 표면에 구리박 등으로 이루어지는 회로 배선(114)을 적어도 1장 적층하여 이루어지는 것이다. 이로써, 유전 특성, 고온다습화에서의 기계적, 전기적 접속 신뢰성이 우수한 적층판을 얻을 수 있다.

<226> 코어재(104)가 프리프레그 1장으로 이루어질 때는 그 상하 양면 또는 한 면에 금속박(예를 들면 구리박)으로 이루어지는 회로 배선(114) 또는 필름으로 이루어지는 더미회로를 겹친다. 또한, 프리프레그를 2장 이상 적층할 수도 있다. 코어재(104)가 프리프레그 2장 이상 적층하여 이루어질 때는 적층한 프리프레그의 가장 외측의 상하 양면 또는 한 면에 금속박(예를 들면 구리박)으로 이루어지는 회로 배선(114) 또는 필름으로 이루어지는 더미회로를 겹친다. 다음에, 프리프레그와 금속박 등을 겹친 것을 가열, 가압함으로써 코어재(104)를 얻을 수 있다. 가열하는 온도는 특히 한정되지 않지만, 120 내지 220°C가 바람직하고, 특히 150 내지 200°C가 바람직하다. 또한, 가압하는 압력은 특히 한정되지 않지만, 2 내지 5MPa가 바람직하고, 특히 2.5 내지 4MPa가 바람직하다.

<227> 상기 금속박을 구성하는 금속으로서는 예를 들면 구리 및 구리계 합금, 알루미늄 및 알루미늄계 합금, 은 및 은계 합금, 금 및 금계 합금, 아연 및 아연계 합금, 니켈 및 니켈계 합금, 주석 및 주석계 합금, 철 및 철계 합금 등을 들 수 있다. 또한, 필름으로서는 예를 들면 폴리에틸렌, 폴리프로필렌, 폴리에틸렌테레프탈레이트, 폴리이미드, 불소계 수지 등을 들 수 있다.

<228> 이하, 실시형태 1 내지 실시형태 4에서 사용되는 언더필의 재료 및 제조방법에 관해서 설명한다.

<229> <언더필에 관해서>

<230> 실시형태 1 내지 실시형태 4에서 사용되는 언더필재(112)는 상술한 선 팽창 계수 및 유리 전이 온도의 조건을 만족시키고 있으면 좋고, 특히 한정되지 않지만, 에폭시수지와, 경화제와, 무기충전재와, 실란 커플링제를 포함하는 것이 바람직하다.

<231> 여기에서, 언더필재(112)에 사용하는 에폭시수지란 1분자중에 에폭시기를 2개 이상 갖는 것이면 특히 분자량이나 구조는 한정되지 않는다. 예를 들면 폐놀노볼락수지, 크레졸노볼락수지, 비스페놀 A 노볼락수지 등의 노볼락형 폐놀수지, 레졸형 폐놀수지 등의 폐놀수지, 폐놀노볼락형 에폭시수지, 크레졸노볼락형 에폭시수지 등의 노볼락형 에폭시수지, 비스페놀 A형 에폭시수지, 비스페놀 F형 에폭시수지 등의 비스페놀형 에폭시수지, N, N-디글리시딜아닐린, N, N-디글리시딜톨루이딘, 디아미노디페닐메탄형글리시딜아민, 아미노페놀형글리시딜아민과 같은 방향족 글리시딜아민형 에폭시수지, 하이드로퀴논형 에폭시수지, 비페닐형 에폭시수지, 스틸벤형 에폭시수지, 트리페놀메탄형 에폭시수지, 트리페놀프로판형 에폭시수지, 알킬변성트리페놀메탄형 에폭시수지, 트리아진핵함유에폭시수지, 디사이클로펜타디엔변성 폐놀형 에폭시수지, 나프톨형 에폭시수지, 나프탈렌형 에폭시수지, 폐닐렌 및/또는 비페닐렌 골격을 갖는 폐놀아랄킬형 에폭시수지, 폐닐렌 및/또는 비페닐렌 골격을 갖는 나프톨아랄킬형 에폭시수지 등의 아랄킬형 에폭시수지 등의 에폭시수지, 비닐사이클로헥센디옥시드, 디사이클로펜타디엔옥사이드, 알릴사이클릭디에폭시아지페이트 등의 지환식 에폭시 등의 지방족 에폭시수지를 들 수 있다.

<232> 이 경우, 방향족환에 글리시딜에테르 구조 또는 글리시딜아민 구조가 결합한 구조를 포함하는 것이 내열성, 기계 특성, 내습성이라는 관점에서 바람직하고, 지방족 또는 지환식 에폭시수지는 신뢰성, 특히 접착성이라는 관점에서 사용하는 양을 제한하는 편이 바람직하다. 이들은 단독으로나 2종 이상 혼합하여 사용하여도 좋다. 본 발명에서는 언더필용 액상 밀봉 수지 조성물의 형태 때문에, 에폭시수지로서 최종적으로 상온(25°C)에서 액상인 것이 바람직하지만, 상온에서 고체의 에폭시수지이거나 상온에서 액상의 에폭시수지에 용해시키고, 결과적으로 액상의 상태이면 좋다.

<233> 언더필재(112)에 사용하는 경화제란, 에폭시수지중의 에폭시기와 공유결합을 형성하는 것이 가능한 관능기를 1분자중에 2개 이상 포함하는 것, 단 관능기가 산무수물기인 경우에는 산무수물 관능기를 1개 이상 포함하는 것 이면 특히 분자량이나 구조는 한정되지 않는다. 관능기의 구체예로서는 폐놀성수산기, 산무수물, 1급 아민, 2급 아민 등이 있다.

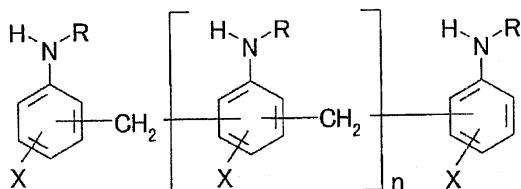
<234> 폐놀성 수산기를 2개 이상 포함하는 경화제의 예로서는 폐놀노볼락수지, 크레졸노볼락수지 등의 노볼락형 폐놀수지, 트리페놀메탄형 폐놀수지, 트리페놀프로판형 폐놀수지, 테르펜변성 폐놀수지, 디사이클로펜타디엔변성 폐

놀수지 등의 변성 폐놀수지, 폐닐렌 및/또는 비폐닐렌 골격을 갖는 폐놀아랄킬수지, 폐닐렌 및/또는 비폐닐렌 골격을 갖는 나프톨아랄킬수지 등의 아랄킬형 폐놀수지, 비스페놀 화합물 등을 들 수 있다.

<235> 산무수물 관능기를 1개 이상 포함하는 경화제의 예로서는 테트라하이드로산무수물, 헥사하이드로무수프탈산, 메틸테트라하이드로무수프탈산, 메틸나디산무수물, 수소화메틸나디산무수물, 트리알킬테트라하이드로무수프탈산, 메틸사이클로헥센테트라카본산2무수물, 무수프탈산, 무수트리메리트산, 무수피로메리트산벤조페논테트라카본산2무수물, 에틸렌글리콜비스안하이드로트리메리테이트, 글리세린비스(안하이드로트리메리테이트)모노아세테이트, 도데세닐무수석신산 등이 있다.

<236> 1급 아민 또는 2급 아민을 2개 이상 포함하는 경화제의 예로서는 디에틸렌트리아민, 트리에틸렌테트라아민, 테트라에틸렌펜타민, m-크실렌디아민, 트리메틸헥사메틸렌디아민, 2-메틸펜타메틸렌디아민지방족 폴리아민, 이소포론디아민, 1,3-비스아미노메틸사이클로헥산, 비스(4-아미노사이클로헥실)메탄, 노보넨디아민, 1,2-디아미노사이클로헥산 등의 지환식폴리아민, N-아미노에틸피페라진, 1,4-비스(2-아미노-2-메틸프로필)피페라진 등의 피페라진형의 폴리아민, 디아미노디페닐메탄, m-페닐렌디아민, 디아미노디페닐설폰, 디에틸톨루엔디아민, 트리메틸렌비스(4-아미노벤조에이트), 폴리테트라메틸렌옥사이드-디-P-아미노벤조에이트, 하기 식으로 나타내는 것 등의 방향족 폴리아민을 들 수 있다.

화학식 6



<238> R: 수소기 또는 알킬기

<239> X: 수소기 또는 알킬기

<240> 상기 경화제는 단독으로 사용하거나, 같은 관능기를 포함하는 2종 이상의 경화제를 배합하여 사용하여도 좋고, 더욱이 팟 라이프(pot-life)나 에폭시수지의 경화성을 손상하지 않는 범위라면, 다른 관능기를 포함하는 경화제를 2종 이상 배합하여 사용하여도 좋다. 반도체 장치의 밀봉 용도를 고려하면, 내열성, 전기적 기계적 특성이라는 관점에서 폐놀수지 및 방향족 폴리아민형 경화제가 바람직하다. 또한 밀착성, 내습성을 겸비한다는 관점에서는 방향족 폴리아민형 경화제가 바람직하다. 또한 본 발명의 양태가 언더필용 액상 밀봉 수지 조성물인 것을 근거로 하면, 실온(25°C)에서 액상을 띠는 것이 바람직하고, 그러한 방향족 폴리아민경화제의 구체예로서는 일본 공개특허공보 제(평)10-158365에 개시하고 있는 경화제(식 1에 있어서, n=0 내지 2, X=C2H5, R=H), 일본 공개특허공보 2004-35668, 137970에 개시하고 있는 경화제(식 1에 있어서, n=평균 0.3, X=H, R=CH3) 등이 입수 가능하다.

<241> 경화제의 배합량은 에폭시수지의 에폭시 당량에 대하여 경화제의 활성 수소 당량으로 0.6 내지 1.4의 범위이고, 보다 바람직하게는 0.7 내지 1.3의 범위이다. 여기에서 경화제의 활성 수소 당량이 0.6 미만 또는 1.4를 초과하는 경우에는 반응성이나 조성물의 내열성이 현저하게 손상되기 때문에 바람직하지 못하다. 단, 경화제에 포함되는 관능기가 산무수물기인 경우는 1개의 산무수물 관능기로부터 2개의 카본산 관능기가 유도되기 때문에, 산무수물 관능기 1개당 2개의 활성수소가 포함되는 것으로 하여 계산한다.

<242> 언더필재(112)에 사용하는 무기충전재에는 탤크(talc), 소성 점토, 미소성 점토, 운모, 유리 등의 규산염, 산화티탄, 알루미나, 용융 실리카(용융구형 실리카, 용융파쇄실리카), 합성실리카, 결정실리카 등의 실리카분말 등의 산화물, 탄산칼슘, 탄산마그네슘, 하이드로탈사이트 등의 탄산염, 수산화알루미늄, 수산화마그네슘, 수산화칼슘 등의 수산화물, 황산바륨, 황산칼슘, 아황산칼슘 등의 황산염 또는 아황산염, 봉산아연, 메타봉산바륨, 봉산알루미늄, 봉산칼슘, 봉산나트륨 등의 봉산염, 질화알루미늄, 질화봉소, 질화규소 등의 질화물 등을 들 수 있다. 이들의 무기충전재는 단독으로나 혼합하여 사용하여도 좋다. 이들 중에서도 수지 조성물의 내열성, 내습성, 강도 등을 향상할 수 있기 때문에 용융 실리카, 결정실리카, 합성실리카 분말이 바람직하다.

<243> 무기충전재의 형상은 특히 한정되지 않지만, 충전 특성의 관점에서 형상은 구형인 것이 바람직하다. 이 경우, 무기충전재의 평균 입자 직경은 바람직하게는 0.1 내지 20미크론이고, 특히 바람직하게는 0.2 내지

8미크론이다. 평균 입자 직경이 0.1미크론을 초과하는 경우는 수지 조성물의 점도가 저하되기 때문에 충전성이 향상하고, 20미크론을 초과하지 않는 경우는 조성물이 반도체 장치의 틈으로 충전할 때에 수지 막힘이 생기기 어렵기 때문에 바람직하다.

<244>

언더필재(112)에 사용하는 실란 커플링제란, 그 화학 구조로서는 1분자중에 알콕시기가 결합한 규소원자와 관능기가 결합한 탄화수소부를 포함하는 화학 구조를 갖는 것이면, 특히 분자량이나 구조는 한정되지 않는다. 예를 들면 3-글리시독시프로필트리메톡시실란, 3-글리시독시프로필트리에톡시실란, 3-글리시독시프로필메틸디메톡시실란, 3-글리시독시프로필에틸디에톡시실란, 2-(3,4에폭시사이클로헥실)에틸트리메톡시실란 등의 에폭시실란 커플링제, 3-메타크릴록시프로필트리메톡시실란, 3-메타크릴록시프로필트리에톡시실란, 3-메타크릴록시프로필메틸디에톡시실란, 3-메타크릴록시프로필에틸디에톡시실란, 3-아크릴록시프로필트리메톡시실란 등의 아크릴레이트기가 결합한 실란 커플링제, N-아미노에틸화아미노프로필메틸디알콕시실란, N-아미노에틸화아미노프로필트리알콕시실란, 3-아미노프로필트리메톡시실란, 3-아미노프로필트리에톡시실란, N-페닐-γ-아미노프로필트리메톡시실란, N-페닐-γ-아미노프로필트리에톡시실란, N-페닐-γ-아미노부틸트리메톡시실란, N-페닐-γ-아미노부틸트리에톡시실란 등의 아미노실란 커플링제, N-(1,3-디메틸부틸리텐)-3-(트리에톡시실릴)프로필아민, N-(벤질리텐)-3-(트리에톡시실릴)프로필아민 등 아미노실란 커플링제의 1급 아미노기를 케톤 또는 알데히드를 반응시켜 보호한 잠재성 아미노실란 커플링제, 3-머캅토프로필트리메톡시실란, 3-머캅토프로필메틸디메톡시실란과 같은 머캅토실란 커플링제, 비스(3-트리에톡시실릴프로필)테트라설파이드, 비스(3-트리에톡시실릴프로필)디설파이드와 같은 열분해함으로써 머캅토실란 커플링제와 같은 기능을 발현하는 실란 커플링제 등이 있다. 또한 이들의 실란 커플링제는 미리 가수분해 반응시킨 것을 배합하여도 좋다. 이들은 단독으로나 2종 이상 혼합하여 사용하여도 좋다. 본 발명의 경우, 에폭시실란 커플링제는 기판, 반도체 장치의 부재 표면(기판 표면의 솔더레지스트, 실리콘 칩 표면의 폴리이미드, 실리콘 칩의 측면)으로의 밀착성이 비교적 양호하다는 관점에서 바람직하다. 아미노실란 커플링제, 잠재성 아미노실란 커플링제 및 머캅토실란 커플링제는 실리콘 칩 표면의 폴리이미드 및 질화규소 표면과의 밀착성이 대단히 양호하기 때문에 바람직하다.

<245>

실란 커플링제의 배합 방법으로서는 수지 조성물을 제조하는 과정에서 실리카 충전제와 유기재료를 혼합할 때에 동시에 커플링제를 배합, 분산, 혼합하는 인테그럴 브랜드법식, 에폭시수지, 방향족 아민경화제 및, 또는 실리카 충전제 이외의 다른 유기첨가제에 사전에 커플링제를 분산·용해시킨 후 수지 조성물로 배합되는 마스터배치(master batch)법식, 사전에 커플링제를 실리카 충전제 표층으로 화학 수식하는 방식 등이 있고, 어느 배합 방법을 취하더라도, 이들을 조합이나 배합 방법을 행하여도 좋다. 보다 바람직하게는 마스터 배치 방식 또는 마스터 배치 방식과 실리카 표층으로 화학 수식하는 방법을 조합한 배합 방법이 균일한 수지 조성물을 얻을 수 있다.

<246>

언더필재(112)는 필요에 따라서, 에폭시기를 갖는 폴리부타디엔을 함유한다. 에폭시기를 갖는 폴리부타디엔이란, 분자중에 1,3-부타디엔 단량체를 반복 단위로서 포함하는 중합체이고, 또한 분자중에 에폭시기를 포함하는 것이면, 분자량이나 결합 구조는 특히 한정되지 않는다. 수평균 분자량은 400 이상 4000 이하의 범위가 바람직하고, 보다 바람직한 범위는 600 이상 3000 이하이다. 분자량 400 이상에서는 수지 조성물은 유리 전이 온도를 유지할 수 있고, 분자량이 4000을 넘지 않는 경우에 있어서는 수지 조성물의 점도가 지나치게 높아지는 일이 없고, 양호한 작업성을 발현할 수 있다. 또, 여기에서 수평균 분자량이란 GPC 법에 의한 스티렌환산 분자량이다. 에폭시기의 함유율은 3 내지 10%가 바람직하다. 3% 이상에서는 에폭시수지 및 방향족 아민경화제와 분리되지 않게 혼합·상용할 수 있고, 10%를 넘지 않는 경우는 경화 후에 해도(海島) 구조를 형성할 수 있고, 결과로서 저응력화, 가요성 부여 효과를 얻을 수 있다

<247>

또한 상기의 요건을 만족시키고 있으면, 구조중에 다른 단량체를 포함하는 랜덤 공중합체 또는 블록 공중합체라도 좋지만, 이 경우, 1,3부타디엔 단량체의 반복 단위가 30중량% 이상 포함되는 것이 바람직하다. 그와 같은 중합체 예로서는 SBR(스티렌부타디엔고무), NBR(니트릴고무), ABS의 에폭시화한 것을 들 수 있다.

<248>

언더필재(112)에는 필요에 따라서, 상기 성분 외에 희석제, 안료, 난연제, 계면활성제, 레벨링제, 소포제 등의 첨가물을 사용하여도 지장이 없다. 언더필재(112)를 구성하는 수지 조성물의 제조방법으로서는 각 성분, 첨가물을 등을 플레니터리 믹서(planetary-mixer), 3개 롤, 2개열 롤, 니더(kneader) 등의 장치를 이용하여 분산 혼련한 후, 진공하에서 탈 기포 처리하여 제조한다. 미리 또한 제조 도중 단계에서 원재료 중의 휘발분을 제거할 목적으로, 대기압 또는 감압 분위기 하, 에폭시수지와 경화제의 반응이나 각 성분의 분해반응이 일어나지 않는 온도 범위, 예를 들면 50°C 내지 200°C에서 가열 처리를 하여도 지장이 없다. 또한 분산 혼합 공정의 도중 단계 또는 최종 단계에, 5°C에서 35°C의 온도에서 12 내지 96시간의 범위에서 양생을 하여도 좋다.

- <249> 언더필재(112)의 반도체 패키지(100)의 실리콘 칩(102) 및 다층 기판(108)의 틈으로의 충전·밀봉 방법으로서는 반도체 장치(100) 및 언더필재(112)를 형성하는 수지 조성물을 가열하면서, 실리콘 칩(102)의 끝에 수지 조성물을 도포하여, 모세관 현상에 의해 틈에 퍼지게 하는 것이 통상적인 방법이지만, 생산 사이클을 단축시킬 목적으로부터, 반도체 장치(100)를 경사시키는 압력차를 이용하여 주입을 가속시키는 등의 방법을 병용하여도 좋다. 충전된 수지는 100°C 내지 170°C의 온도 범위에서 1 내지 12시간 가열할 때마다 더욱 경화한다. 여기에서 온도 프로파일은 예를 들면, 100°C 1시간 가열한 후에 연이어 150°C 2시간 가열하는 것과 같은 단계적으로 온도를 변화시키면서 가열 경화를 하여도 좋다.
- <250> 이상, 도면을 참조하여 본 발명의 실시형태에 관해서 언급하였지만, 이들은 본 발명의 예시이고, 상기 이외의 여러 가지 구성을 채용할 수도 있다.
- <251> 예를 들면, 상기 실시 형태에서는 다층 기판(108)의 층 구조를, 코어재(104)를 갖는 다층 기판(108)으로 하였지만, 특히 한정하는 취지가 아니며, 코어리스 기판이어도 좋다. 또한, 코어리스 기판의 구체적인 예로서는 6층(수지층)이나 8층(수지층)으로 이루어지는 코어리스 기판을 들 수 있다.
- <252> 또한, 상기 실시 형태에서는 다층 기판(108)의 층 구조를 1-2-1형, 2-2-2형, 3-2-3형, 4-2-4형으로 하였지만, 다른 층 구조으로 하여도 좋다. 예를 들면, 1-2-3형, 1-2-5형, 3-2-1형, 5-2-1형 등의 층 구조로 하여도, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 대하여 상기 실시 형태의 경우와 같은 조건식이 성립한다. 또한, 다층 기판(108)은 코어리스 기판이어도 좋고, 이 경우에는 6층이나 8층인 것이 사용된다.
- <253> 또한, 상기 실시 형태에서는 다층 기판(108)을 인터포저로 하였지만, 마더보드 등의 다른 회로 기판으로 하여도 좋다. 이 경우, 실리콘 칩(102)을 직접 마더보드에 플립 칩 실장하여도, 마더보드의 코어재(104)의 선 팽창 계수가 충분히 작고, 언더필재(112)의 선 팽창 계수 및 유리 전이점의 조건이 만족시켜지면 같은 온도 조건의 변화에 대하여 우수한 내구성을 나타낸다.
- <254> 실시예
- <255> 이하, 본 발명을 실시예 및 비교예에 따라 설명하지만, 본 발명은 여기에서 예시된 형태에 한정되지 않는다.
- <256> 이하의 실시예를 행하기 전에, 본 발명자들은 스미토모베이크라이트의 사내에 축적된 플립 칩 실장에 관한 기술 데이터 베이스를 사용하여, 박형 FC-BGA의 최적 언더필 특성에 관해서, 실시형태 1에서 설명한 응력 계산의 시뮬레이션을 하였다. 본 발명자들은 응력 계산의 시뮬레이션의 조건으로서는 FC-BGA 실장에 있어서, 3-2-3 구조의 회로 기판을 사용하여, 패키지 사이즈는 50mm각이고, 실리콘 칩의 사이즈는 15mm각, 725 μ m 두께의 조건을 채용하였다.
- <257> 시뮬레이션의 결과, 종래의 박형 FC-BGA형의 반도체 패키지(100)에서는 코어재(104)의 선 팽창 계수가 크기 때문에, 코어재(104)의 두께가 500 μ m 이하(코어두께 400 μ m 및 100 μ m)의 영역에서는 언더필재(112)의 선 팽창 계수 및 유리 전이점을 어떻게 조정하여도, (i)실리콘 칩(102)의 Low-K 막 보호, (ii)멤브레인(100) 보호, (iii)실리콘 칩(102) 휘어짐 소, (iv)실리콘 칩(102)의 측면에 있어서의 언더필재(112)의 필렛 박리 보호라는 4개의 요구를 만족시키는 것은 곤란하였다.
- <258> 한편으로, 실시형태 1 내지 실시형태 4의 반도체 패키지(100)에서는 코어재(104)의 선 팽창 계수가 작기 때문에, 코어재(104)의 두께가 500 μ m 이하(코어두께 400 μ m 및 100 μ m)의 영역에서도, 언더필재(112)의 선 팽창 계수 및 유리 전이점을 조정함으로써, (i)실리콘 칩(102)의 Low-K 막 보호, (ii)멤브레인(100) 보호, (iii)실리콘 칩(102) 휘어짐 소, (iv)실리콘 칩(102)의 측면에 있어서의 언더필재(112)의 필렛 박리 보호라는 4개의 요구를 균형 좋게 만족시키는 것이 가능하다고 예측되었다.
- <259> 이하의 실시예는 상기의 시뮬레이션의 결과를 실험 데이터에 의해 실증하고, 또한 회로 기판의 층 구조가 3-2-3 구조 이외의 경우에도 성립하는 것을 실증하기 위해서 행한 것이다. 또, 하기의 실시예는 기본적으로 시뮬레이션의 조건인 패키지 사이즈, 칩 사이즈 등의 각종 조건에 기초하여 행하였다. 미리 결론을 말해두면, 본 발명자들은 이하의 실시예에 의해, 상기의 시뮬레이션의 결과가 올바른 것이 증명되어 있다고 생각하고 있다.
- <260> 1. 액상 수지 조성물의 원료
- <261> 절연수지층 형성용의 액상 수지 조성물의 원료는 이하와 같다.
- <262> (1)시아네이트수지 1: 노볼락형 시아네이트수지(론저재팬사제, 「프리마 세트 PT-30」, Mw 약 700)

- <263> (2) 시아네이트수지 2: 노볼락형 시아네이트수지(론저재팬사제, 「프리마 세트 PT-60」, M_w 약 2,600)
- <264> (3) 시아네이트수지 3: 비스페놀 A형 시아네이트수지(아사히카세이에폭시사제, 「AroCyB-30」)
- <265> (4) 에폭시수지: 비페닐디메틸렌형 에폭시수지(니혼카야쿠사제, 「NC-3000」, 에폭시 당량 275)
- <266> (5) 폐놀수지: 비페닐디메틸렌형 폐놀수지(니혼카야쿠사제, 「GPH-103」, 하이드록실기 당량 203)
- <267> (6) 폐녹시수지 1/비페닐에폭시수지와 비스페놀 S 에폭시수지와의 공중합체이고, 말단부는 에폭시기를 갖고 있다: 재팬에폭시레진사제 · 「YX-8100H30」, 중량 평균 분자량 30000)
- <268> (7) 폐녹시수지 2/비스페놀 A형 에폭시수지와 비스페놀 F형 에폭시수지와의 공중합체이고, 말단부는 에폭시기를 갖고 있다: 재팬에폭시레진사제 · 「에피코트 4275」, 중량 평균 분자량 60000)
- <269> (8) 경화촉진제/이미다졸 화합물: 시코쿠카세이코교사제 · 「1-벤질-2-페닐이미다졸」
- <270> (9) 무기충전재 1: 구형 용융 실리카(덴키카가쿠코교사제, 「SFP-10X」, 평균 입자 직경 $0.3\mu\text{m}$)
- <271> (10) 무기충전재 2: 구형 용융 실리카(아드마텍스사제, 「SO-32R」, 평균 입자 직경 $1.5\mu\text{m}$)
- <272> (11) 무기충전재 3: 구형 용융 실리카(아드마텍스사제, 「SO-25R」, 평균 입자 직경 $0.5\mu\text{m}$)
- <273> (12) 커플링제: 에폭시실란형 커플링제(일본 유니카사제, 「A-187」)
- <274> 2. 절연수지층 형성용의 액상 수지 조성물의 조제
- <275> 이하, 각 성분의 배합량은 고형분 기준이다.
- <276> 2.1 절연수지층 형성용의 액상 수지 조성물 1의 조제
- <277> 시아네이트수지 1을 15중량부, 시아네이트수지 2를 5중량부, 에폭시수지를 10중량부, 폐놀수지를 10중량부, 각각 사용하고, 이들을 상온에서 메틸에틸케톤에 용해하였다.
- <278> 이어서, 무기충전재 1을 10중량부, 무기충전재 2를 50중량부, 및, 무기충전재 1과 무기충전재 2의 합계 100중량부에 대하여, 커플링제를 0.5중량부 첨가하여, 고속 교반 장치를 사용하여 10분간 교반 혼합하고 액상 수지 조성물 1을 조제하였다.
- <279> 3. 절연수지층 부착 캐리어의 제조
- <280> 3.1 절연수지층 부착 캐리어 A-1의 제조
- <281> 캐리어로서 두께 $35\mu\text{m}$, 폭 480mm의 폴리에틸렌테레프탈레이트필름(미츠비시카가쿠폴리에스테르사제 · 다이어 호일)을 사용하였다.
- <282> 상기 캐리어에, 상기에서 얻어진 액상 수지 조성물 1을 콤마 코터장치로 도포하여, 150°C 의 건조장치에서 3분간 건조시켜, 두께 $20\mu\text{m}$, 폭 410mm의 절연수지층을, 폭방향에 있어서 캐리어의 중심에 위치하도록 형성하였다.
- <283> 이 절연수지층에, 보호필름(폴리에틸렌)을 라미네이트하여, 절연수지층 부착 캐리어 A-1을 제조하였다.
- <284> 4. 캐리어 부착 프리프레그의 제조
- <285> 섬유포로서 유리직포(유니티카글라스파이버사제 · 「E02Z-SK」, 폭 360mm, 평량 $17\text{g}/\text{m}^2$)을 사용하였다.
- <286> 또한, 상기에서 얻어진 절연수지층 부착 캐리어 A-1(2장)을, 제 1 및 제 2 절연수지층 부착 캐리어로서 사용하였다.
- <287> 제 1 및 제 2 절연수지층 부착 캐리어의 보호필름을 벗기면서, 절연수지층 부착 캐리어의 절연수지층측을 섬유포의 양면측에, 섬유포가 폭방향에서 캐리어의 중심에 위치하도록 각각 겹치고, 750Torr의 감압 조건하에서, 80°C 의 라미네이트롤(24)을 사용하여 접합하였다.
- <288> 여기에서, 섬유포의 폭방향 치수의 내측 영역에서는 제 1 및 제 2 절연수지층 부착 캐리어의 절연수지층측을 섬유포의 양면측에 각각 접합함과 동시에, 섬유포의 폭방향 치수의 외측영역에서는 제 1 및 제 2 절연수지층 부착 캐리어의 절연수지층끼리를 접합하였다.
- <289> 이어서, 상기 접합한 것을, 120°C 로 설정한 횡반송형의 열풍 건조장치내를 2분간 통과시킴으로써, 압력을 작용

시키지 않고 가열 처리하여, 캐리어 부착 프리프레그를 제조하였다.

<290> 5. 다층 프린트 배선판의 제조

<291> 내층 회로 기판으로서, 절연층 두께 0.6mm, 회로두께 $12\mu\text{m}$, 회로폭 및 회로간 폭: $L/S=50\mu\text{m}/50\mu\text{m}$ 의 회로 가공이 실시된 프린트 배선판을 사용하였다.

<292> 상기 캐리어 부착 프리프레그의, 한쪽의 캐리어를 박리 제거하여, 절연수지층을 노출시키고, 다른 한쪽 측은 캐리어를 갖는 상태로 하였다. 상기의 내층 회로 기판의 양면측에, 캐리어 부착 프리프레그의 절연수지층을 각각 겹치고, 메이키세이사쿠쇼제 「베크렐라미네이터 MVL」를 사용하여, 상압으로부터 750Torr 감압한 조건하에서, 80°C , 0.5MPa 에서 30초간, 이어서, 120°C , 1.5MPa 에서 60초간 성형을 하였다. 그 후, 200°C 에서의 건조장치에서 1시간 가열 처리하여, 평가용의 1-2-1형의 다층 프린트 배선판을 제조하였다.

<293> 또한, 상기 공정을 반복하여, 2-2-2형, 3-2-3형, 4-2-4형의 다층 프린트 배선판을 각각 제조하였다.

<294> 6. 언더필재의 제조

<295> 언더필재의 제조로 사용한 액상 수지 조성물의 원료는 이하와 같다.

(1)에폭시수지 1: 비스페놀형 에폭시수지(다이니흔잉크카가쿠코교(주)제, EXA-830 LVP, 에폭시 당량 161)

(2)에폭시수지 2: 3관능 글리시딜아민(재팬·에폭시·레진(주)사제, E-630, N, N-비스(2,3-에폭시프로필)-4-(2,3-에폭시프로포시)아닐린, 에폭시 당량 97.5)

(3)경화제: 방향족 1급 아민형 경화제(니혼카야쿠(주)사제 「카야하드 AA」 3, 3'-디에틸-4,4'-디아미노디페닐메탄아민당량 63.5)

(4)실란 커플링제: 에폭시실란 커플링제(신에츠카가쿠코교카가쿠(주)제 KBM-403E:3-글리시독시프로필트리메톡시실란, 문자량 236.3)

(5)첨가제 1: 저응력제(니혼세키유카가쿠(주)제, E-1800-6.5, 수평균 분자량 1800, 에폭시변성폴리부타디엔고무)

(6)첨가제 2: 희석제(와코준야쿠코교(주)사제 시약 디에틸렌글리콜모노에틸에테르(DGME))

(7)충전제: 구형합성실리카(주식회사아드마텍스사제 합성구형 실리카 SE-6200(평균 입자 직경 $2.5\mu\text{m}$), S0-E3(평균 입자 직경 1), S0-E2(평균 입자 직경 $0.5\mu\text{m}$)를 각각 45:40:15의 중량비율로 배합한 것)

<303> 이들의 원료를 사용하여, 표 1에 나타내는 바와 같은 배합 비율(중량부)로 언더필 수지 UF1 내지 UF-9를 제작하였다. 그리고, 얻어진 언더필 수지 UF1 내지 UF-9의 TMA법에 의한 유리 전이 온도에서, 선 팽창 계수($\text{ppm}/^\circ\text{C}$)를 측정하였다. 측정 결과를 표 1에 나타낸다.

표 1

제한	일반 특성	실험 조건	UF-1	UF-2	UF-3	UF-4	UF-5	UF-6	UF-7	UF-8	UF-9
이주시 수지	비스코일 풀형 이주시 수지	EVA-330.VP	100	100	90	70	60	45	30	10	70
경화제	3판농 클리시틸 아민	E-630	0	0	10	30	40	55	70	90	30
방향족 1급 아민형 경화제	카이아드 AA	34	39	40	45	48	53	55	55	61	45
기타	에폭시 실란 커플링 카	KBM-403	5	5	5	5	5	5	5	5	5
첨가제	제조 허가제	E-1800-6.5	5	5	5	5	5	5	5	5	5
화학제	DGMME	2	2	2	2	2	2	2	2	2	2
증진제	구형 헥실디카	273	280	282	292	297	306	308	319	317	30
비합성의	실리카 합성율 (wt%)	65%	65%	65%	65%	65%	65%	65%	65%	65%	50%
수지 특성	유리 절이 온도 (°C)	70	80	90	100	110	120	130	140	100	100
	선풍 계수 (ppm/°C)	27	27	26	26	26	26	26	25	25	37

<304>

6. 반도체 패키지의 제조

<305>

또한, 상기한 바와 같이 하여 얻어진 1-2-1형, 2-2-2형, 3-2-3형, 4-2-4형의 다층 프린트 배선판과, 언더필 수지 UF1 내지 UF-9와, 실리콘 칩을 사용하여, 표 2 내지 표 6에 나타내는 조합에 의해 플립 칩 실장에 의한 반도체 패키지를 제작하였다.

<307>

그리고, 제작한 반도체 패키지에 관해서, SAT 관찰 및 도전시험을 하였다. 결과를 표 2 내지 표 6에 나타낸다. 또, 비교예 5를 제외하고, 어느 반도체 패키지에 있어서도, 코어재 및 빌드업층의 조성으로서는 표 7에 나타낸 것을 사용하였다.

표 2

	실시예 1	실시예 2
기판 구조	1-2-1 구조	1-2-1 구조
코어재 두께	0.4	0.4
코어재 번비 방향 CTE(ppm/°C)	11	11
코어재 두께 방향 CTE(ppm/°C)	16	16
빌드업재 CTE(ppm/°C)	30	30
기판구조·우레탄 대체하여 얻은 Tg 범위	95~145	95~145
언더필 배설	UF-2	UF-8
Tg(°C)	60	140
CTE(ppm/°C)	27	26
반도체 신뢰성 결과		
SAT 관찰	양적	양적
도전 시험 결과	양적	양적

<308>

표 3

기판종 구조	실험에 3		실험에 4		실험에 5		실험에 6		실험에 7		실험에 8		실험에 9	
	2-2-2 기판													
코어재 두께	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.4	0.4	0.4	0.4
코어재 내부 방향 CTE(ppm/°C)	11	11	11	11	11	11	11	11	11	11	11	11	11	11
코어재 두께 방향 CTE(ppm/°C)	16	16	16	16	16	16	16	16	16	16	16	16	16	16
코어재 두께 방향 CTE(ppm/°C)	30	30	30	30	30	30	30	30	30	30	30	30	30	30
기판구조-두께를 대입하여 얻은 T_g 범위	85-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	85-135	85-135	85-135	85-135
인더피 배합	UF-2	UF-3	UF-4	UF-5	UF-6	UF-7	UF-8	UF-9	UF-10	UF-11	UF-12	UF-13	UF-14	UF-15
T_g (°C)	80	90	100	110	80	100	110	80	100	110	100	100	130	130
CTE(ppm/°C)	27	26	26	26	27	26	26	27	26	26	26	26	25	25
반도체 신뢰성 결과														
SAT 관찰	합격													
도전 시험 결과	합격													

<309>

표 4

기판종 구조	실험에 10		실험에 11		실험에 12		실험에 13		실험에 14		실험에 15		실험에 16		실험에 17		실험에 18		실험에 19		실험에 20		실험에 21		실험에 22		실험에 23		
	2-2-2 기판																												
코어재 두께	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	
코어재 내부 방향 CTE(ppm/°C)	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	
코어재 내부 방향 CTE(ppm/°C)	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	
코어재 내부 방향 CTE(ppm/°C)	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	
기판구조-두께를 대입하여 얻은 T_g 범위	75-105	75-105	75-105	75-105	75-105	75-105	75-105	75-105	75-105	75-105	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115	80-115		
인더피 배합	UF-3	UF-4	UF-5	UF-6	UF-7	UF-8	UF-9	UF-10	UF-11	UF-12	UF-13	UF-14	UF-15	UF-16	UF-17	UF-18	UF-19	UF-20	UF-21	UF-22	UF-23	UF-24	UF-25	UF-26	UF-27	UF-28	UF-29	UF-30	
T_g (°C)	80	90	100	110	120	130	140	150	160	170	180	190	200	210	220	230	240	250	260	270	280	290	300	310	320	330	340	350	
CTE(ppm/°C)	27	26	26	26	27	26	26	27	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	26	
반도체 신뢰성 결과																													
SAT 관찰	합격	합격																											
도전 시험 결과	합격	합격																											

<310>

표 5

기판종 구조	실험에 22		실험에 23	
	4-2-4 기판	4-2-4 기판	4-2-3 기판	4-2-3 기판
코어재 두께	0.4	0.4	0.4	0.4
코어재 내부 방향 CTE(ppm/°C)	11	11	11	11
코어재 내부 방향 CTE(ppm/°C)	16	16	16	16
코어재 내부 방향 CTE(ppm/°C)	30	30	30	30
기판구조-두께를 대입하여 얻은 T_g 범위	75-125	75-125	75-125	75-125
인더피 배합	UF-2	UF-6	UF-3	UF-9
T_g (°C)	80	120	90	90
CTE(ppm/°C)	27	26	26	26
반도체 신뢰성 결과				
SAT 관찰	합격	합격	합격	합격
도전 시험 결과	합격	합격	합격	합격

<311>

표 6

비교에 1	비교에 2		비교에 3		비교에 4		비교에 5		비교에 6	
	3-2-3 기판									
코어재 두께	0.4	0.1	0.2	0.4	0.2	0.2	0.2	0.2	0.2	0.2
코어재 내부 방향 CTE(ppm/°C)	16	16	16	16	16	16	16	16	16	16
코어재 내부 방향 CTE(ppm/°C)	30	30	30	30	30	30	30	30	30	30
기판구조-두께를 대입하여 얻은 T_g 범위	75-105	75-105	80-115	80-115	85-135	85-135	80-115	80-115	80-115	80-115
인더피 배합	UF-1	UF-5	UF-6	UF-8	UF-3	UF-9	UF-1	UF-3	UF-9	UF-9
T_g (°C)	70	110	120	140	90	90	70	90	90	90
CTE	27	26	26	25	26	26	27	26	26	37
반도체 신뢰성 결과										
SAT 관찰	합격	(불합격)	(불합격)	(불합격)	(불합격)	(불합격)	불합격	(불합격)	(불합격)	(불합격)
도전 시험 결과	불합격									

<312>

표 7

수지	상품명 등	중량부	
		코어재	빌드업층
시아네이트 수지	노볼락형시아네이트수지:론저사제 · 「프리마세트 PT-30」, 중량 평균 분자량 700	19.7	25.0
에폭시 수지	비페닐디메틸렌형 에폭시수지:니혼카야쿠제 · 「NC-3000」, 에폭시 당량 275, 중량평균분자량 2000	11.0	24.7
페녹시 수지	비페닐에폭시수지와 비스페놀 S 에폭시수지와의 공중합체이고, 말단부는 에폭시기를 갖고 있다: 재팬에폭시레진사제 · 「YX-8100H30」, 중량평균분자량 30000)		10.0
경화제	비페닐디메틸렌형 폐놀수지:메이카카세이사제 · 「MEH-7851-3H」, 수산기당량 230	9.0	
경화촉매	이미다졸화합물:시코쿠카세이코교제 · 「1B2PZ」, 1-벤질-2-페닐이미다졸		0.1
무기충전재	황형 용융실리카:아도마틱스사제 · 「SO-25H」, 평균입자직경 $0.5\mu\text{m}$	60	40
커플링제	에폭시실란커플링제:GE 토시바실리콘사제 · 「A-187」	0.3	0.2

<314> <평가 결과의 정리>

<315> 도 9는 1-2-1형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프이다. 언더필의 선 팽창 계수는 $26\text{ppm}/\text{^\circ C}$ 로 고정한 조건으로 실험을 하였다. 또, 이 도면의 획축은 코어재의 두께(mm)를 나타내고, 종축은 언더필의 TMA법에 의한 유리 전이 온도(^\circ C)를 나타낸다. 후술하는 도 10 내지 도 12에 대해서도 같다.

<316> 평가항목으로서는 (i)실리콘 칩(102)의 Low-K 막 보호, (ii)램프 범프(100) 보호, (iii)실리콘 칩(102) 휘어짐 소, (iv)실리콘 칩(102)의 측면에 있어서의 언더필재(112)의 필렛 박리 보호라는 4개의 항목으로 평가하였다. 이 도면의 흑색동그라미는 실험에서 어느 한 항목에 있어서 불량이 발생한 것을 나타내고, 회색동그라미는 약간 저항치가 높지만 균열 등이 없기 때문에 합격인 것을 나타내고, 백색동그라미는 어느 항목이나 합격인 것을 나타낸다. 후술하는 도 10 내지 도 12에 대해서도 같다.

<317> 이 도면을 보고 알 수 있는 것처럼, 언더필의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 알 수 있다. 또한, 그것보다도 좁은 조건인 $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 당연히 만족시키고 있다. 또한, 1-2-1형의 인터포저의 빌드업층은 3층 이하이기 때문에, $50T + 75 \leq T_g < 125T + 95$ 의 식도 만족시키고 있다.

<318> 도 10은 2-2-2형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프이다. 언더필의 선 팽창 계수는 $26\text{ppm}/\text{^\circ C}$ 에서 고정한 조건으로 실험하였다.

<319> 이 도면을 보고 알 수 있는 것처럼, 언더필의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, 1-2-1형의 경우와 같이 $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 알 수 있다. 또한, 그것보다도 좁은 조건인 $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 당연히 만족시키고 있다. 또한, 2-2-2형의 인터포저의 빌드업층은 4층 이상 6층 이하이기 때문에, $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 만족시키고 있다.

<320> 도 11은 3-2-3형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프이다. 언더필의 선 팽창 계수는 $26\text{ppm}/\text{^\circ C}$ 로 고정한 조건으로 실험을 하였다.

<321> 이 도면을 보고 알 수 있는 것처럼, 언더필의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, 1-2-1형, 2-2-2형의 경우와 마찬가지로 $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 알 수 있다. 또한, 그것보다도 좁은 조건인 $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 당연히 만족시키고 있다. 또한, 2-2-2형의 인터포저의 빌드업층은 4층 이상 6층 이하이기 때문에, $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 만족시키고 있다.

<322> 도 12는 4-2-4형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프이다. 언더필의 선 팽창 계수는 $26\text{ppm}/\text{^\circ C}$ 로 고정한 조건으로 실험을 하였다.

<323> 이 도면을 보고 알 수 있는 것처럼, 언더필의 TMA법에 의한 유리 전이 온도 $T_g(\text{^\circ C})$ 는 코어재의 두께를 $T(\text{mm})$ 로 하면, 1-2-1형, 2-2-2형, 3-2-3형의 경우와 같이 $75 \leq T_g < 112.5T + 95$ 의 식을 만족시키는 것을 알 수 있다. 또한, 그것보다도 좁은 조건인 $25T + 75 \leq T_g \leq 100T + 95$ 의 식도 당연히 만족시키고 있다. 또한, 2-2-2형의 인터포

저의 빌드업층은 7층 이상이기 때문에, $75 \leq T_g \leq 75T+95$ 의 식도 만족시키고 있다.

<324> 이상의 실험 결과로부터, 시뮬레이션의 결과의 최적 영역에 포함되는 실험 조건의 샘플이, (i)실리콘 칩(102)의 Low-K 막 보호, (ii)땜납 범프(100) 보호, (iii)실리콘 칩(102) 휘어짐 소, (iv)실리콘 칩(102)의 측면에 있어서의 언더필제(112)의 필렛 박리 보호라는 4개의 요구를 실제로 만족시키는 것을 확인하여, 시뮬레이션의 결과가 신뢰성을 둘 수 있는 것이 명백하게 되었다.

<325> 또한, 1-2-1형, 2-2-2형, 3-2-3형, 4-2-4형의 어느 경우에 있어서도 마찬가지로 $75 \leq T_g < 112.5T+95$ 의 식을 만족시키는 것을 알았다. 또한, 어느 경우에도, 그것보다도 좁은 조건인 $25T+75 \leq T_g \leq 100T+95$ 의 식도 당연히 만족시키는 것을 알았다. 즉, 이들의 조건식은 인터포저의 층 구조에 관계없이 성립하는 조건식인 것이 명백하게 되었다.

<326> 또한, 인터포저의 빌드업층이 3층 이하인 경우에는 $75 \leq T_g < 112.5T+95$ 의 식보다도 일부 넓은 범위를 커버하는 $50T+75 \leq T_g \leq 125T+95$ 의 식이 성립하는 것이 명백하게 되었다. 그러나, 이 경우에도, 인터포저의 빌드업층이 3층 이하인 경우에, $75 \leq T_g < 112.5T+95$ 의 식의 성립성이 부정되거나, 모순되는 것은 아니다.

<327> 이상, 본 발명을 실시예에 기초하여 설명하였다. 이 실시예는 어디까지나 예시이고, 다양한 변형예가 가능한 것, 또한 그러한 변형예도 본 발명의 범위에 있는 것은 당업자에게 이해될 것이다.

산업상 이용 가능성

<328> 이상과 같이, 본 발명에 따른 반도체 장치는 온도 변화에 따른 반도체 장치의 손상을 억제할 수 있고, 휴대전화나 디지털비디오카메라, 디지털스틸카메라 등의 소형·경량·고성능화를 실현하는 고밀도 실장의 신뢰성을 향상하는 데에 있어서 유용하다.

도면의 간단한 설명

<32> 도 1은 실시 형태에 따른 반도체 장치의 구성을 설명하기 위한 사진.

<33> 도 2는 인터포저의 박형화의 개발 상황을 설명하기 위한 단면도.

<34> 도 3은 빌드업형 인터포저의 설계를 설명하기 위한 개념도.

<35> 도 4는 실시 형태에 따른 반도체 장치의 구성을 설명하기 위한 단면도.

<36> 도 5는 실시 형태에 따른 반도체 장치의 구성을 설명하기 위한 단면도.

<37> 도 6은 박형 FC-BGA형의 반도체 장치의 고장 사례를 설명하기 위한 단면도.

<38> 도 7은 박형 FC-BGA형의 반도체 장치에서의 균열 발생 상황에 관해서 설명하기 위한 단면사진.

<39> 도 8은 박형 FC-BGA형의 반도체 장치에서의 땜납 범프의 균열 발생 메카니즘에 대하여 설명하기 위한 개념도.

<40> 도 9는 1-2-1형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프.

<41> 도 10은 2-2-2형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프.

<42> 도 11은 3-2-3형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프.

<43> 도 12는 4-2-4형의 인터포저를 사용한 박형 FC-BGA형의 반도체 장치에서의 서멀 사이클 시험의 결과를 설명하기 위한 그래프.

<44> *도면의 주요 부분에 대한 부호의 설명*

<45> 100: 반도체 패키지 102: 실리콘 칩

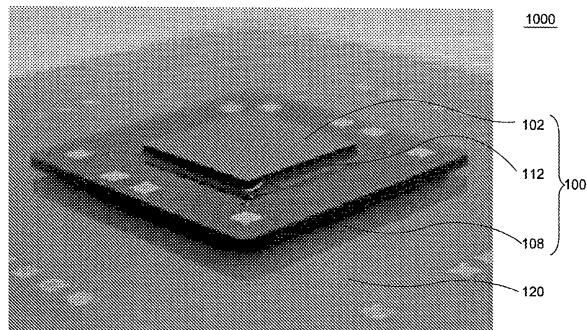
<46> 104: 코어재 106: 빌드업층

<47> 108: 다층 기판 110: 땜납 범프

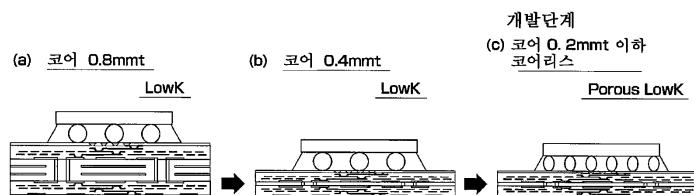
- <48> 112: 언더필재
 114: 회로 배선
 <49> 120: 마더보드
 122: 2차 볼
 <50> 1000: 전자 디바이스

도면

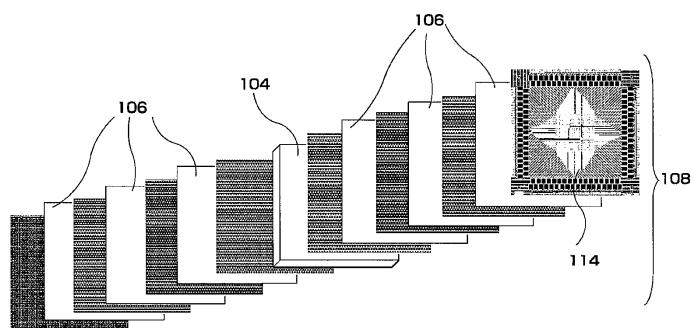
도면1



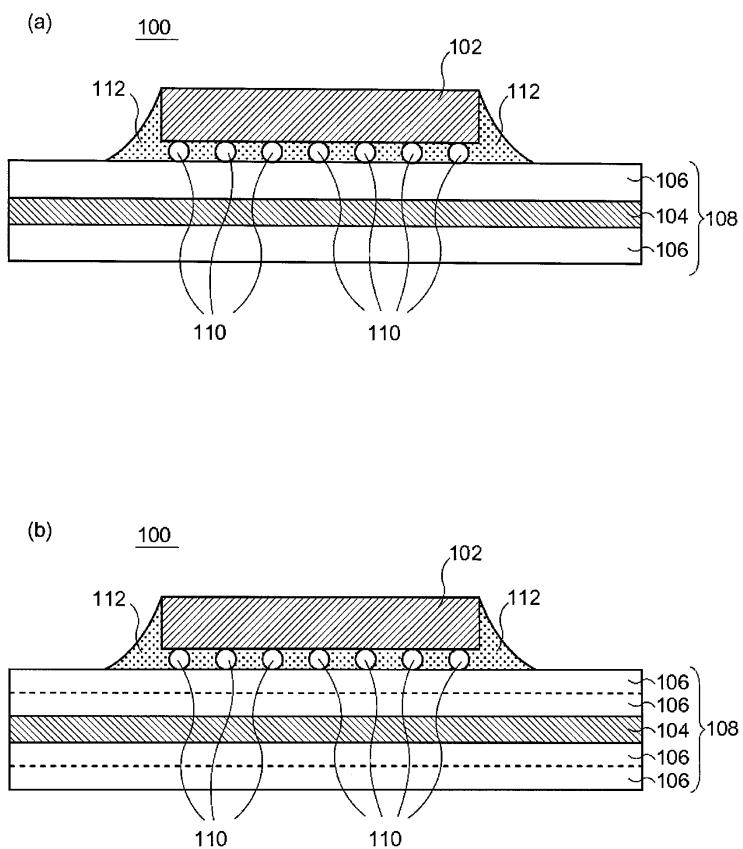
도면2



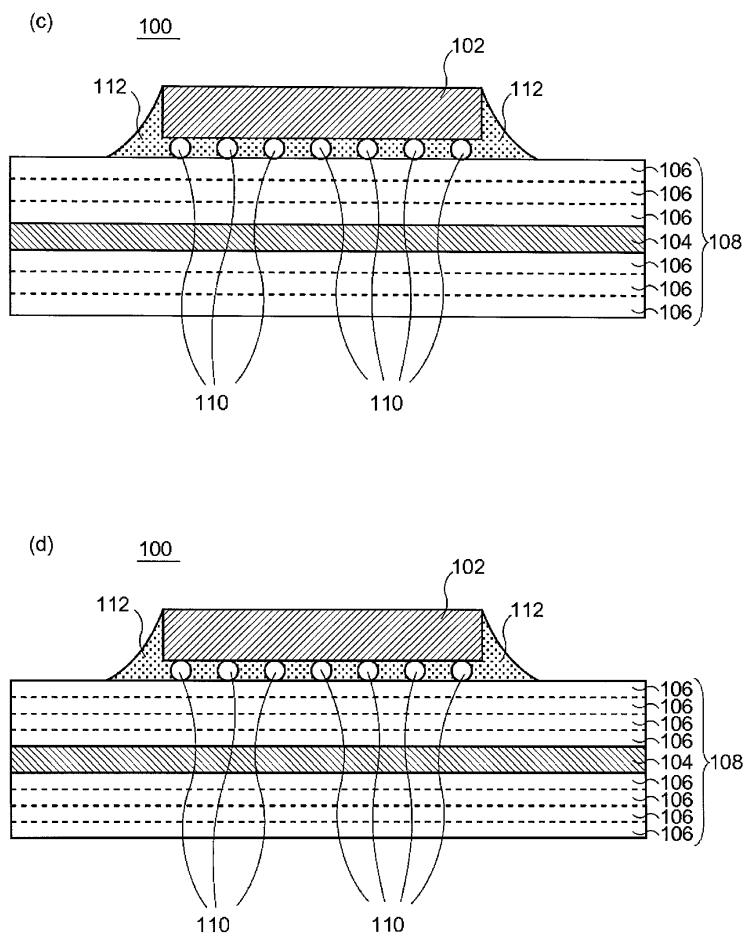
도면3



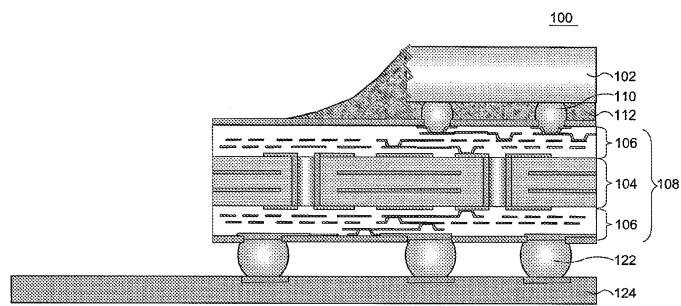
도면4



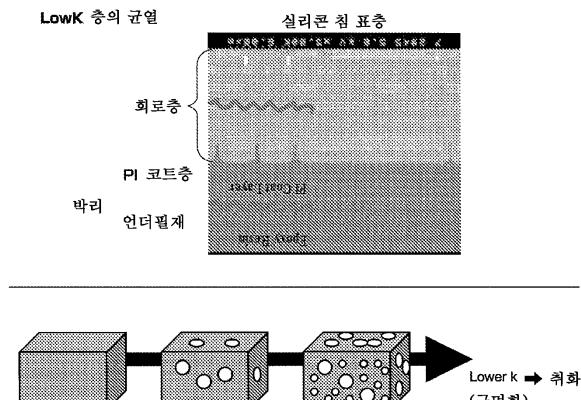
도면5



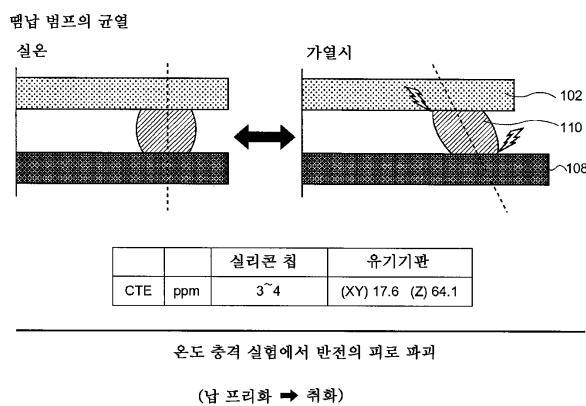
도면6



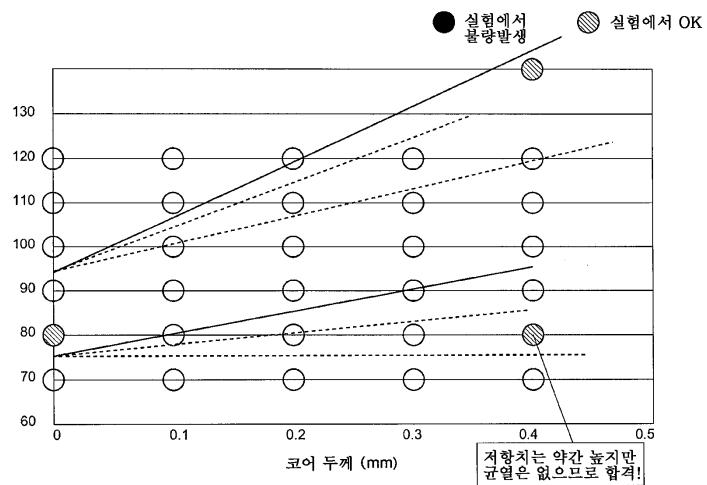
도면7



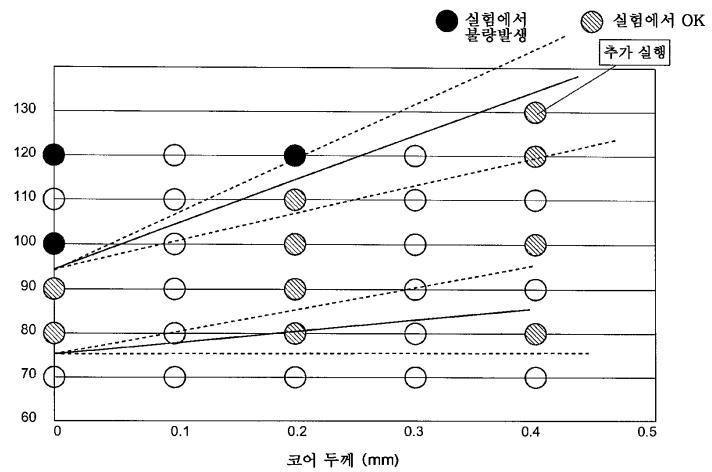
도면8



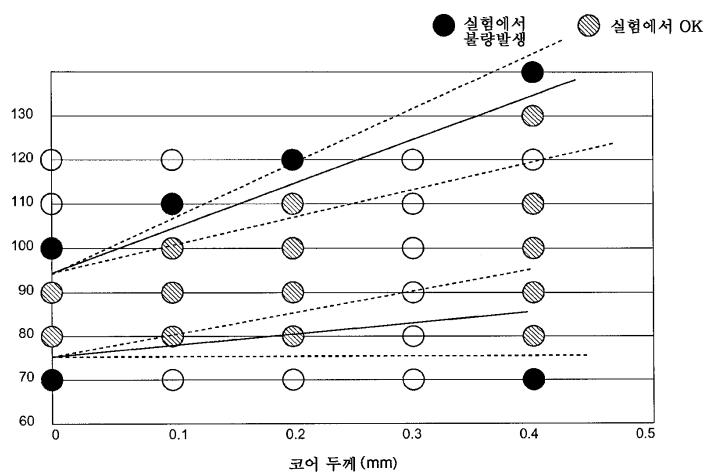
도면9



도면10



도면11



도면12

