

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月24日(24.03.2022)



(10) 国際公開番号
WO 2022/058838 A1

(51) 国際特許分類:
G06G 7/60 (2006.01) H01L 29/786 (2006.01)
H01L 21/8242 (2006.01) G06N 3/063 (2006.01)
H01L 27/108 (2006.01) G11C 11/22 (2006.01)
H01L 27/11507 (2017.01) G11C 11/405 (2006.01)
H01L 27/1159 (2017.01)

(21) 国際出願番号 : PCT/IB2021/058112
(22) 国際出願日 : 2021年9月7日(07.09.2021)
(25) 国際出願の言語 : 日本語
(26) 国際公開の言語 : 日本語
(30) 優先権データ :
特願 2020-157570 2020年9月18日(18.09.2020) JP
特願 2020-157607 2020年9月18日(18.09.2020) JP

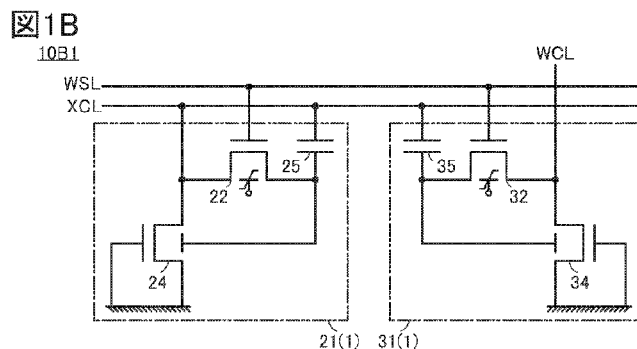
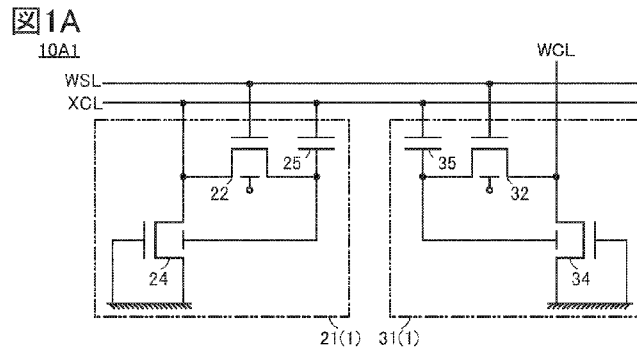
特願 2020-157610 2020年9月18日(18.09.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 郷戸宏充 (GODO, Hiromichi);
〒2430036 神奈川県厚木市長谷398株式会社
半導体エネルギー研究所内 Kanagawa (JP).
黒川義元(KUROKAWA, Yoshiyuki); 〒2430036
神奈川県厚木市長谷398株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 津田一樹
(TSUDA, Kazuki); 〒2430036 神奈川県厚木市
長谷398株式会社半導体エネルギー研究所
内 Kanagawa (JP). 大下智(OHSHITA, Satoru);

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称 : 半導体装置、および電子機器



(57) Abstract: The purpose of the present invention is to provide a low power consumption semiconductor device. This semiconductor device comprises a first transistor, a second transistor, and capacitances. The first transistor has a first gate and a first back gate, and the second transistor has a second gate and a second back gate. The gate insulating layer for the first back gate has ferroelectricity. The first transistor has a function for holding a first potential corresponding to first data when the first transistor is in an off state. The second transistor has a function for passing an output current between



WO 2022/058838 A1

〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

the source and drain of the second transistor.

(57) 要約 : 低消費電力の半導体装置を提供すること。第1トランジスタと、第2トランジスタと、容量と、を有する。第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、第2トランジスタは、第2ゲートと、第2バックゲートと、を有する。第1バックゲートに対するゲート絶縁層は、強誘電性を有する。第1トランジスタは、オフ状態のときに、第1データに応じた第1電位を保持する機能を有する。第2トランジスタは、出力電流を、第2トランジスタのソースドレイン間に流す機能を有する。

明細書

発明の名称

半導体装置、および電子機器

技術分野

[0001]

本明細書は、半導体装置等について説明する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、またはそれらの製造方法、を一例として挙げるができる。

背景技術

[0003]

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」、「ブレインモーフィック」、または「ブレインインスパイア」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

[0004]

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。人工ニューラルネットワークを用いることで、人間並み、もしくは、人間を超える精度での推論も可能である。人工ニューラルネットワークでは、ニューロン出力の重み付け和の演算、すなわち、積和演算が主要な演算である。

[0005]

非特許文献1には、不揮発性メモリセルを用いた積和演算回路が提案されている。当該積和演算回路では、各メモリセルにおいて、チャンネル形成領域にシリコンを有するトランジスタのサブスレッショルド領域での動作を利用して、各メモリセルに格納した乗数に対応したデータと被乗数に対応した入力データとの乗算に対応した電流を出力する。また、各列のメモリセルが出力する電流の和により、積和演算に対応したデータを取得する。当該積和演算回路は、内部にメモリセルを有しているため、乗算、加算において外部のメモリからのデータ読み出しおよび書き込みを行う必要がない。このため、読み出しおよび書き込み等に起因するデータ転送の回数を少なくすることができるため、消費電力を低くできると期待されている。

[先行技術文献]

[非特許文献]

[0006]

[非特許文献1] X. Guo et al., "Fast, Energy-Efficient, Robust, and Reproducible Mixed-Signal Neuromorphic Classifier Based on Embedded NOR Flash Memory Technology" IEDM2017, pp. 151-154.

発明の概要

発明が解決しようとする課題

[0007]

本発明の一態様は、低消費電力の半導体装置を提供することを課題の一とする。または、本発明の一態様は、長時間データを保持できる半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置等を提供することを課題の一とする。

[0008]

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面等の記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面等の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0009]

本発明の一態様は、第1トランジスタと、第2トランジスタと、容量と、を有し、第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、第1バックゲートに対するゲート絶縁層は、強誘電性を有し、第1トランジスタは、オフ状態のときに、第1トランジスタを介して第2バックゲートに与えられる第1データに応じた第1電位を保持する機能を有し、容量は、容量の一方の電極に与えられる第2データに応じた電位の変化に応じて、第2バックゲートに保持された第1電位を第2電位に変化させる機能を有し、第2トランジスタは、第2バックゲートの電位に応じた出力電流を、第2トランジスタのソースドレイン間に流す機能を有し、出力電流は、第2トランジスタがサブスレッショルド領域で動作するときに流れる電流であり、第2ゲートには、定電位が与えられる、半導体装置である。

[0010]

または、本発明の一態様は、第1トランジスタと、第2トランジスタと、容量と、を有し、第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、第1バックゲートに対するゲート絶縁層は、強誘電性を有し、容量の一方の電極は、第2ゲートと電氣的に接続され、容量の他方の電極には、定電位が与えられ、第1トランジスタは、オフ状態のときに、第1トランジスタを介して第2ゲートに与えられる第1データに応じた第1電位を保持する機能を有し、第2トランジスタは、第2ゲートの電位に応じた出力電流を、第2トランジスタのソースドレイン間に流す機能を有し、出力電流は、第2トランジスタがサブスレッショルド領域で動作するときに流れる電流である半導体装置である。

[0011]

または、本発明の一態様は、第1トランジスタと、第2トランジスタと、容量と、を有し、第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、第1バックゲートに対するゲート絶縁層は、強誘電性を有し、容量の一方の電極は、第2バックゲートと電氣的に接続され、容量の他方の電極には、定電位が与えられ、第1トランジスタは、オフ状態のときに、第1トランジスタを介して第2バックゲートに与えられる第1データに応じた第1電位を保持する機能を有し、第2トランジスタは、第2バック

ゲートの電位に応じた出力電流を、第2トランジスタのソースドレイン間に流す機能を有し、出力電流は、第2トランジスタがサブスレッショルド領域で動作するときには流れる電流である半導体装置である。

[0012]

または、上記態様において、半導体装置は、回路を有し、回路は、第1ゲートと電氣的に接続され、回路は、第1トランジスタのオンまたはオフを制御する信号を生成する機能を有してもよい。

[0013]

または、上記態様において、第1バックゲートに対するゲート絶縁層は、ハフニウム、およびジルコニウム的一方、または双方を含む酸化物を有してもよい。

[0014]

または、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、第1トランジスタのソースまたはドレインの一方は、第2トランジスタのソースまたはドレインの一方、および第1容量の一方の電極と電氣的に接続され、第1トランジスタのソースまたはドレインの他方は、第2トランジスタのバックゲート、および第1容量の他方の電極と電氣的に接続され、第1トランジスタのバックゲートは、第3トランジスタのソースまたはドレインの一方、第3トランジスタのバックゲート、および第4トランジスタのソースまたはドレインの一方と電氣的に接続され、第3トランジスタのゲートは、強誘電キャパシタの一方の電極と電氣的に接続され、第4トランジスタのソースまたはドレインの他方は、強誘電キャパシタの他方の電極、および第2容量の一方の電極と電氣的に接続される、半導体装置である。

[0015]

または、上記態様において、第2トランジスタのゲートには、定電位が与えられてもよい。

[0016]

または、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、第1トランジスタのソースまたはドレインの一方は、第2トランジスタのソースまたはドレインの一方と電氣的に接続され、第1トランジスタのソースまたはドレインの他方は、第2トランジスタのゲート、および第1容量の一方の電極と電氣的に接続され、第1トランジスタのバックゲートは、第3トランジスタのソースまたはドレインの一方、第3トランジスタのバックゲート、および第4トランジスタのソースまたはドレインの一方と電氣的に接続され、第3トランジスタのゲートは、強誘電キャパシタの一方の電極と電氣的に接続され、第4トランジスタのソースまたはドレインの他方は、強誘電キャパシタの他方の電極、および第2容量の一方の電極と電氣的に接続される、半導体装置である。

[0017]

または、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、第1トランジスタのソースまたはドレインの一方は、第2トランジスタのソースまたはドレインの一方と電氣的に接続され、第1トランジスタのソースまたはドレインの他方は、第2トランジスタのバックゲート、および第1容量の一

方の電極と電氣的に接続され、第1トランジスタのバックゲートは、第3トランジスタのソースまたはドレインの一方、第3トランジスタのバックゲート、および第4トランジスタのソースまたはドレインの一方と電氣的に接続され、第3トランジスタのゲートは、強誘電キャパシタの一方の電極と電氣的に接続され、第4トランジスタのソースまたはドレインの他方は、強誘電キャパシタの他方の電極、および第2容量の一方の電極と電氣的に接続される、半導体装置である。

[0018]

または、上記態様において、第1容量の他方の電極には、定電位が与えられてもよい。

[0019]

または、上記態様において、半導体装置は、回路を有し、回路は、第1トランジスタのゲートと電氣的に接続され、回路は、第1トランジスタのオンまたはオフを制御する信号を生成する機能を有してもよい。

[0020]

または、上記態様において、強誘電キャパシタは、誘電体層を有し、誘電体層は、ハフニウム、およびジルコニウム的一方、または双方を含む酸化物を有してもよい。

[0021]

または、上記態様において、第1トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有してもよい。

[0022]

または、上記態様において、金属酸化物は、Inと、Gaと、Znと、を含んでもよい。

[0023]

または、上記態様において、第2トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有してもよい。

[0024]

本発明の一態様の半導体装置と、筐体と、を有し、半導体装置によって、ニューラルネットワークの演算を行う、電子機器も、本発明の一態様である。

[0025]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

[0026]

本発明の一態様により、低消費電力の半導体装置を提供することができる。または、本発明の一態様により、長時間データを保持できる半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置等を提供することができる。

[0027]

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

図面の簡単な説明

[0028]

図1Aおよび図1Bは、半導体装置の構成例を説明する図である。
図2Aおよび図2Bは、半導体装置の構成例を説明する図である。
図3Aおよび図3Bは、半導体装置の構成例を説明する図である。
図4Aおよび図4Bは、半導体装置の構成例を説明する図である。
図5Aおよび図5Bは、半導体装置の構成例を説明する図である。
図6Aおよび図6Bは、半導体装置の構成例を説明する図である。
図7Aおよび図7Bは、半導体装置の構成例を説明する図である。
図8Aおよび図8Bは、半導体装置の動作方法の一例を説明する図である。
図9Aおよび図9Bは、半導体装置の動作方法の一例を説明する図である。
図10Aおよび図10Bは、半導体装置の動作方法の一例を説明する図である。
図11Aおよび図11Bは、半導体装置の動作方法の一例を説明する図である。
図12Aおよび図12Bは、半導体装置の動作方法の一例を説明する図である。
図13は、半導体装置の構成例を説明する図である。
図14は、半導体装置の構成例を説明する図である。
図15は、半導体装置の構成例を説明する図である。
図16は、演算回路の構成例を説明する図である。
図17A、図17Bおよび図17Cは、演算回路の構成例を説明する図である。
図18A、図18B、図18Cおよび図18Dは、演算回路の構成例を説明する図である。
図19A、図19Bおよび図19Cは、演算回路の構成例を説明する図である。
図20は、演算回路の構成例を説明する図である。
図21、図21Aおよび図21Bは、ニューラルネットワークを説明する図である。
図22Aは、半導体装置の構成例を説明する図である。図22Bおよび図22Cは、トランジスタの構成例を説明する図である。
図23Aおよび図23Bは、トランジスタの構成例を説明する図である。
図24は、トランジスタの構成例を説明する図である。
図25A乃至図25Cは、トランジスタの構成例を説明する図である。
図26AはIGZOの結晶構造の分類を説明する図である。図26Bは結晶性IGZOのXRDスペクトルを説明する図である。図26Cは結晶性IGZOの極微電子線回折パターンを説明する図である。
図27は、集積回路の構成例を説明する図である。
図28Aおよび図28Bは、集積回路の適用例を説明する図である。
図29Aおよび図29Bは、集積回路の適用例を説明する図である。
図30A、図30Bおよび図30Cは、集積回路の適用例を説明する図である。
図31は、集積回路の適用例を説明する図である。

発明を実施するための形態

[0029]

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載

内容に限定して解釈されるものではない。

[0030]

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素となることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0031]

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0032]

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

[0033]

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“_2”、“_n”、“_m, n”等の識別用の符号を付記して記載する場合がある。

[0034]

(実施の形態1)

本発明の一態様である半導体装置の構成、および動作等について説明する。

[0035]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタ等の半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器等は、半導体装置を有すると言える場合がある。

[0036]

図1Aは、本発明の一態様である半導体装置10A1を説明するための図である。

[0037]

半導体装置10A1は、参照セル21(1)および演算セル31(1)を有する。参照セル21(1)は、トランジスタ22、トランジスタ24、および容量25を有する。演算セル31(1)は、トランジスタ32、トランジスタ34、および容量35を有する。トランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34は、それぞれゲートと、バックゲートと、を有する。

[0038]

本明細書等において、例えばスイッチとしての機能を有するトランジスタがゲートと、バックゲートと、を有する場合、ゲートの電位を制御することにより、トランジスタのオンオフを制御できるものとすることができる。また、バックゲートの電位を制御することにより、トランジスタのしきい値電圧を制御できるものとすることができる。

[0039]

参照セル21(1)および演算セル31(1)が有するトランジスタおよび容量は、図1に示すように、配線WSL、配線XCL、配線WCL、およびグラウンド電位を与える配線の少なくとも一に接続される。

[0040]

参照セル21(1)は、データ書き込み時と、データ読出し時と、において、設定した電流を流すことで、演算セル31(1)における演算動作を実行させる機能を有する。具体的には、データ書き込み時に、基準となる電流を流すことで、参照セル21(1)内に基準電位を保持させ、その後、データ読出し時に、演算セル31(1)に与える入力データ(X)に応じた電流を参照セル21(1)に流し、演算セル31(1)に流れる電流を制御する機能を有する。なお参照セル21(1)は、単にセルという場合がある。

[0041]

次いで参照セル21(1)内の接続関係について説明する。

[0042]

トランジスタ22のゲートは、配線WSLと電氣的に接続される。トランジスタ22のソースまたはドレインの一方は、トランジスタ24のソースまたはドレインの一方と電氣的に接続され、また配線XCLを介して容量25の一方の電極と電氣的に接続される。トランジスタ22のソースまたはドレインの他方は、トランジスタ24のバックゲートおよび容量25の他方の電極と電氣的に接続される。トランジスタ22は、データ書き込み時にオン状態として基準電位を参照セル21(1)内の保持ノード(トランジスタ24のバックゲート)に書き込み、オフ状態とすることで基準電位を参照セル21(1)内に保持することができる。なおトランジスタ24のバックゲート、トランジスタ22のソースまたはドレインの他方、および容量25の他方の電極が接続されるノードは、保持ノードともいう。保持ノードは、トランジスタ24を流れる電流に応じた電位に設定することができる。

[0043]

ここで、トランジスタ22のバックゲートの電位を制御することにより、トランジスタ22のしきい値電圧を制御することができる。具体的には、トランジスタ22のバックゲートの電位を高くすることにより、トランジスタ22のしきい値電圧を低くすることができる。一方、トランジスタ22のバックゲートの電位を低くすることにより、トランジスタ22のしきい値電圧を高くすることができる。よって、トランジスタ22がオン状態である場合にトランジスタ22のバックゲートの電位を高くすると、トランジスタ22のオン電流を高くすることができ、トランジスタ22がオフ状態である場合にトランジスタ22のバックゲートの電位を低くすると、トランジスタ22のオフ電流を低くすることができる。

[0044]

トランジスタ24のゲート、およびトランジスタ24のソースまたはドレインの他方は、低電源電位(例えばグラウンド電位)等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ24のソースとドレインとの間に電流を流すための配線として機能する。

[0045]

容量25は、他方の電極が電氣的に浮遊状態である時において、一方の電極に与えられる電位の変化に応じて、他方の電極の電位を変化させる。

[0046]

演算セル31(1)は、データ書き込み時において、演算セル31(1)に保持する重みデータ(W)に応じた電流を流すことで、内部に当該電流に応じた電圧を保持する機能を有する。また、演算セル31(1)は、データ読出し時において、データ書き込み時に保持した電圧が、参照セル21(1)を流れる電流に応じて昇圧されることで、重みデータと入力データの演算に応じた電流を流す機能を有する。重みデータは、第1データ、入力データは第2データという場合がある。なお演算セル31(1)は、単にセルという場合がある。なお重みデータは、例えば、人工ニューラルネットワークの積和演算に用いられる重みパラメータに対応するデータ(重みデータ)である。

[0047]

次いで演算セル31(1)内の接続関係について説明する。

[0048]

トランジスタ32のゲートは、配線WSLと電氣的に接続される。トランジスタ32のソースまたはドレインの一方は、トランジスタ34のソースまたはドレインの一方および配線WCLと電氣的に接続される。容量35の一方の電極は、配線XCLと電氣的に接続される。トランジスタ32のソースまたはドレインの他方は、トランジスタ34のバックゲートおよび容量35の他方の電極と電氣的に接続される。トランジスタ32は、データ書き込み時にオン状態とすることで重みデータに応じた電圧を演算セル31(1)内に書き込み、オフ状態とすることで重みデータに応じた電圧を演算セル31(1)内に保持することができる。なおトランジスタ34のバックゲート、トランジスタ32のソースまたはドレインの他方、および容量35の他方の電極が接続されるノードは、保持ノードともいう。

[0049]

ここで、トランジスタ32のバックゲートの電位を制御することにより、トランジスタ32のしきい値電圧を制御することができる。具体的には、トランジスタ32のバックゲートの電位を高くすることにより、トランジスタ32のしきい値電圧を低くすることができる。一方、トランジスタ32のバックゲートの電位を低くすることにより、トランジスタ32のしきい値電圧を高くすることができる。よって、トランジスタ32がオン状態である場合にトランジスタ32のバックゲートの電位を高くすると、トランジスタ32のオン電流を高くすることができ、トランジスタ32がオフ状態である場合にトランジスタ32のバックゲートの電位を低くすると、トランジスタ32のオフ電流を低くすることができる。

[0050]

トランジスタ34のゲート、およびトランジスタ34のソースまたはドレインの他方は、低電源電位(例えばグラウンド電位)等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ34のソースとドレインとの間に電流を流すための配線として機能する。

[0051]

容量35は、他方の電極が電氣的に浮遊状態である時において、一方の電極に与えられる電位の変化に応じて、他方の電極の電位を変化させる。

[0052]

次いで参照セル21(1)および演算セル31(1)が有するトランジスタについて説明する。

[0053]

トランジスタ24およびトランジスタ34は、特に断りの無い場合は、サブスレッショルド領域

で動作する。サブスレッショルド領域で動作するトランジスタのドレイン電流 I_d は、式 (1) で表すことができる。

[0054]

[数1]

$$I_d = I_0 \exp\left(\frac{q(V_g - V_{th})}{\eta k_B T}\right) \dots (1)$$

[0055]

式 (1) 中、 I_0 は $V_g = V_{th}$ のときのドレイン電流、 q は電気素量、 V_g はゲート電圧、 V_{th} はしきい値電圧、 η はデバイス構造等によって定められる係数、 k_B はボルツマン定数、 T は温度である。式 (1) に示すように、サブスレッショルド領域で動作するトランジスタのドレイン電流 I_d は、ドレイン電圧に依存しない。トランジスタ 24 およびトランジスタ 34 に流れる電流は、サブスレッショルド領域で動作するときに流れる電流量となる。トランジスタ 24 およびトランジスタ 34 のサブスレッショルド領域における電流は、ドレイン電圧のばらつきの影響を低減することができる。そのため、演算によって得られるデータの精度を高めることができる。

[0056]

なお本明細書等においてサブスレッショルド領域とは、トランジスタのゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を示すグラフにおいて、ゲート電圧がしきい値電圧よりも低い領域をいう。またはサブスレッショルド領域とは、グラデュアルチャネル近似 (ドリフト電流しか考慮しないモデル) から外れた、キャリアの拡散による電流が流れる領域をいう。またはサブスレッショルド領域とは、ゲート電圧の増加に対してドレイン電流が指数関数的に増大する領域をいう。またはサブスレッショルド領域とは、前述の各説明の領域とみなせる領域を含むものとする。

[0057]

また、トランジスタがサブスレッショルド領域で動作する際のドレイン電流を、サブスレッショルド電流という。サブスレッショルド電流は、ドレイン電圧によらず、ゲート電圧に対して指数関数的に増大する。サブスレッショルド電流を用いた回路動作では、ドレイン電圧のばらつきの影響を小さくすることができる。

[0058]

また、トランジスタ 22 およびトランジスタ 32 は、オフ状態とすることで、トランジスタ 24 のバックゲートおよびトランジスタ 34 のバックゲートの電位を保持する機能を有する。具体的には、トランジスタ 22 を介してトランジスタ 24 のバックゲートに与えられる基準電位を保持する機能を有する。また、トランジスタ 32 を介してトランジスタ 34 のバックゲートに与えられるデータに応じた電位を保持する機能を有する。トランジスタ 22 およびトランジスタ 32 は、一例として、チャネル形成領域に金属酸化物を有するトランジスタ (OS トランジスタともいう) であることが好ましい。例えば、トランジスタ 22 およびトランジスタ 32 のチャネル形成領域は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることがより好ましい。また、当該酸化物の代わりとしては、インジウム、元素 M (元素 M としては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジ

ルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウム等から選ばれた一種、または複数種等が挙げられる。)、亜鉛の少なくとも一を含む酸化物を用いてもよい。

[0059]

OSトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。よって、トランジスタ22および/またはトランジスタ32として、OSトランジスタを用いることにより、トランジスタ22および/またはトランジスタ32のリーク電流を抑えることができるため、半導体装置10A1の消費電力を低減することができる。具体的には、トランジスタ24のバックゲートおよびトランジスタ34のバックゲートのそれぞれに保持した電位の変動を非常に小さくすることができるため、当該電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、半導体装置10A1の消費電力を低減することができる。また、保持ノードから配線WCL、または配線XCLへのリーク電流を非常に小さくすることによって、セルは保持ノードの電位を長い時間保持できる。

[0060]

またOSトランジスタは、ゲート電圧がトランジスタのしきい値電圧より小さいとき、 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満といったチャネル幅 $1 \mu\text{m}$ 当たりのドレイン電流として極めて小さい電流を流すことができる。またOSトランジスタは、ゲート電圧がトランジスタのしきい値電圧のとき、 1.0×10^{-8} A以下、 1.0×10^{-12} A以下、あるいは 1.0×10^{-15} A以下といった、チャネル幅 $1 \mu\text{m}$ 当たりのドレイン電流を流すことができる。そのためOSトランジスタは、サブスレッショルド領域で動作するゲート電圧の範囲において、大きさの異なるサブスレッショルド電流を流すことができる。つまり、OSトランジスタは、サブスレッショルド領域で動作するゲート電圧の範囲を大きくとることができる。具体的には、OSトランジスタのしきい値電圧を V_{th} としたとき、サブスレッショルド領域では、 $(V_{th} - 1.0 \text{ V})$ 以上 V_{th} 以下、または $(V_{th} - 0.5 \text{ V})$ 以上 V_{th} 以下の電圧範囲のゲート電圧を用いた回路動作を行うことができる。

[0061]

酸化物半導体として機能する金属酸化物のバンドギャップは 2.5 eV 以上あるため、OSトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が 3.5 V 、室温(25°C)下において、チャネル幅 $1 \mu\text{m}$ 当たりのオフ電流を 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満とすることができる。そのため、OSメモリは、OSトランジスタを介して保持ノードからリークする電荷量が極めて少ない。

[0062]

OSトランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)等がある。特にMとしてGaを用いる金属酸化物をOSトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウム等から選ばれた一種、または複数種が含まれてい

てもよい。

[0063]

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OS等の結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、*c-axis-aligned crystalline oxide semiconductor*の略称である。CAC-OSとは、*Cloud-Aligned Composite oxide semiconductor*の略称である。nc-OSとは、*nanocrystalline oxide semiconductor*の略称である。

[0064]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

[0065]

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

[0066]

OSトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタと比較して短チャネル効果の一つである、ドレイン誘起障壁低下（*Drain-Induced Barrier Lowering: DIBL*）の影響が小さい。つまり、OSトランジスタは、Siトランジスタよりも短チャネル効果に対する高い耐性を有する。

[0067]

また、トランジスタ24およびトランジスタ34に対してもOSトランジスタを用いることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電流を低減することができる。また、トランジスタ24およびトランジスタ34に対してもOSトランジスタを用いることで、トランジスタ22、およびトランジスタ32と同時に作製することができるため、演算回路の作製工程を短縮することができる場合がある。

[0068]

なお、トランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34は、OSトランジスタとしなくてもよい。例えば、トランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34として、Siトランジスタとすることができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼称する場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコン等を用いることができる。

[0069]

また、図1に図示しているトランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34は、nチャネル型トランジスタとしているが、本発明の一態様の半導体装置は、これに限定されない。例えば、トランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34の一部、または全部をpチャネル型トランジスタに置き換えてもよい。なお、トラ

ンジスタ 2 2、トランジスタ 2 4、トランジスタ 3 2、およびトランジスタ 3 4の一部、または全部を p チャネル型トランジスタに置き換える場合、トランジスタ 2 2、トランジスタ 2 4、トランジスタ 3 2、およびトランジスタ 3 4が所望の動作をするように、必要に応じて配線が与える電圧等を変更してもよい。

[0070]

なお、上記のトランジスタの構造、極性に関する変更例は、トランジスタ 2 2、トランジスタ 2 4、トランジスタ 3 2、およびトランジスタ 3 4だけに限定されない。例えば、明細書の他の箇所に記載されているトランジスタ、または他の図面に図示されているトランジスタについても同様に構造、極性等を変更してもよい。

[0071]

次いで、参照セル 2 1 (1) および演算セル 3 1 (1) に接続される配線 W S L、配線 X C L、および配線 W C Lについて説明する。

[0072]

配線 W S Lには、スイッチとして機能するトランジスタ 2 2およびトランジスタ 3 2のオンまたはオフを制御する信号が与えられる。配線 W S Lは、参照セル 2 1 (1) および演算セル 3 1 (1) にデータを書き込む際の書き込みワード線として機能する。ここで、配線 X C Lあるいは配線 W C Lに、所望のデータに応じた電流を流すことにより、参照セル 2 1 (1) あるいは演算セル 3 1 (1) にデータが書き込まれる。また、配線 X C Lあるいは配線 W C Lに、所望のデータに応じた電位を与えることにより、参照セル 2 1 (1) あるいは演算セル 3 1 (1) にデータが書き込まれる。データは、トランジスタ 2 2をオンにすることで参照セル 2 1 (1) に書き込まれ、トランジスタ 3 2をオンにすることで演算セル 3 1 (1) に書き込まれる。トランジスタ 2 2およびトランジスタ 3 2は、配線 W S LをHレベル（高レベル電位）とすることでオンにすることができる。また、トランジスタ 2 2をオフにすることで参照セル 2 1 (1) にデータが保持され、トランジスタ 3 2をオフにすることで演算セル 3 1 (1) にデータが保持される。トランジスタ 2 2およびトランジスタ 3 2は、配線 W S LをLレベル（低レベル電位）とすることでオフにすることができる。

[0073]

配線 W C Lは、演算セル 3 1 (1) に対して、重みデータ（第1データ、第1入力データともいう）に応じた量の電流（重み電流あるいは電流 I_{wut} ）を流す機能、または演算セル 3 1 (1) に保持された電位に応じて電流を流すための定電位を与える機能、を有する。

[0074]

配線 X C Lは、参照セル 2 1 (1) および演算セル 3 1 (1) に対して、参照データに応じた電流量（参照電流あるいは電流 I_{xut} ）、または入力データ（第2データ、第2入力データともいう）に応じた電流量（入力電流あるいは電流 I_x ）を流す機能を有する。

[0075]

図 1 Bは、本発明の一態様である半導体装置 1 0 B 1を説明するための図である。半導体装置 1 0 B 1は、半導体装置 1 0 A 1が有するトランジスタ 2 2のバックゲートに対するゲート絶縁層、およびトランジスタ 3 2のバックゲートに対するゲート絶縁層が、強誘電性を有し得る材料を有するとしている。

[0076]

本明細書等の回路図において、トランジスタのバックゲートに対するゲート絶縁層が、強誘電性

を有し得る材料を有することを、当該バックゲートに斜線を加えることにより示している。

[0077]

本明細書等において、強誘電性とは、電圧を印加して分極させた後に電圧の印加を停止しても、分極の状態を保つ性質を示す。また、常誘電性とは、電圧を印加して分極させた後に電圧の印加を停止すると、分極の状態が維持されず消滅する性質を示す。

[0078]

強誘電性を有し得る材料としては、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ (Xは0よりも大きい実数とする)、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム (Zr)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) 等。) を添加した材料、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム (Hf)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) 等。) を添加した材料、等が挙げられる。また、強誘電性を有し得る材料として、 $PbTiO_x$ 、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、 tantalum酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、等のペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有し得る材料としては、例えば、上記に列挙した材料から選ばれた複数の材料、または、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ 、および酸化ハフニウムに元素J1を添加した材料等は、成膜条件だけでなく、各種プロセス等によっても結晶構造 (特性) が変わり得る可能性があるため、本明細書等では強誘電性を有し得る材料と呼んでいる。

[0079]

中でも強誘電性を有し得る材料として、酸化ハフニウム、あるいは酸化ハフニウムおよび酸化ジルコニウムを有する材料は、数nmといった薄膜に加工しても強誘電性を有し得ることができると、好ましい。

[0080]

また、強誘電性を有し得る材料の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは、10nm以下 (代表的には、2nm以上9nm以下) にすることができる。また、強誘電性を有し得る材料として $HfZrO_x$ を用いる場合、原子層堆積 (ALD: Atomic Layer Deposition) 法、特に熱ALD法を用いて成膜することが好ましい。

[0081]

また、熱ALD法を用いて、強誘電性を有し得る材料を成膜する場合、炭化水素 (Hydrocarbon、HCともいう) を含まない材料をプリカーサとして用いると好適である。強誘電性を有し得る材料中に、水素、および炭素のいずれか一方または双方が含まれる場合、強誘電性を有し得る材料の結晶化を阻害する可能性がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、強誘電性を有し得る材料中の、水素、および炭素のいずれか一方または双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、強誘電性を有し得る材料として、酸化ハフニウムおよび酸化ジルコニウムを有する材料 ($HfZrO_x$) を用いる場合、プリカーサとしては、 $HfCl_4$ 、および/またはZr

C1₄を用いればよい。

[0082]

また、熱ALD法を用いて、強誘電性を有し得る材料を成膜する場合、酸化剤としてはH₂OまたはO₃を用いることができる。ただし、熱ALD法の酸化剤は、これに限定されない。例えば、熱ALD法の酸化剤は、O₂、O₃、N₂O、NO₂、H₂O、およびH₂O₂の中から選ばれるいずれか一または複数を含んでもよい。

[0083]

また、強誘電性を有し得る材料の結晶構造は、特に限定されない。例えば、強誘電性を有し得る材料の結晶構造としては、立方晶系、正方晶系、直方晶系、および単斜晶系の中から選ばれるいずれか一または複数とすればよい。特に強誘電性を有し得る材料としては、直方晶系の結晶構造を有すると、強誘電性が発現するため好ましい。または、強誘電性を有し得る材料として、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0084]

常誘電性を有し得る材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン等を用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0085]

半導体装置10B1では、トランジスタ22のバックゲートの電位を制御することにより、当該バックゲートに対するゲート絶縁層の分極状態を制御することができる。これにより、トランジスタ22のしきい値電圧を制御することができる。同様に、トランジスタ32のバックゲートの電位を制御することにより、当該バックゲートに対するゲート絶縁層の分極状態を制御し、これによりトランジスタ32のしきい値電圧を制御することができる。

[0086]

また、半導体装置10B1では、トランジスタ22またはトランジスタ32のバックゲートに対するゲート絶縁層を分極させた後、当該バックゲートへの電位の供給を停止しても、当該ゲート絶縁層は分極の状態を保つことができる。よって、トランジスタ22およびトランジスタ32のバックゲートに電位を供給し続ける必要がない。よって、半導体装置10B1は、低消費電力の半導体装置とすることができる。

[0087]

図2Aは、本発明の一態様である半導体装置10A2を説明するための図である。なお、以降に示す半導体装置10A2の説明において、半導体装置10A1と同様の構成等については説明を省略する場合がある。

[0088]

半導体装置10A2は、参照セル21(2)および演算セル31(2)を有する。参照セル21(2)は、参照セル21(1)と同様に、トランジスタ22、トランジスタ24、および容量25を有する。演算セル31(2)は、演算セル31(1)と同様に、トランジスタ32、トランジスタ34、および容量35を有する。

[0089]

トランジスタ22のゲートは、配線WSLと電氣的に接続される。トランジスタ22のソースま

たはドレインの一方は、トランジスタ 2 4 のソースまたはドレインの一方、および配線 X C L と電氣的に接続される。トランジスタ 2 2 のソースまたはドレインの他方は、トランジスタ 2 4 のゲート、および容量 2 5 の一方の電極と電氣的に接続される。トランジスタ 2 2 は、データ書き込み時にオン状態として基準電位を参照セル 2 1 (2) 内の保持ノード (トランジスタ 2 4 のゲート) に書き込み、オフ状態とすることで基準電位を参照セル 2 1 (2) 内に保持することができる。なおトランジスタ 2 4 のゲート、トランジスタ 2 2 のソースまたはドレインの他方、および容量 2 5 の一方の電極が接続されるノードは、保持ノードともいう。保持ノードは、トランジスタ 2 4 を流れる電流に応じた電位に設定することができる。

[0 0 9 0]

トランジスタ 2 4 のソースまたはドレインの他方、および容量 2 5 の他方の電極は、低電源電位 (例えばグラウンド電位) 等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ 2 4 のソースとドレインとの間に電流を流すための配線として機能する。また、トランジスタ 2 4 のバックゲートは、配線 X C L と電氣的に接続される。

[0 0 9 1]

次いで演算セル 3 1 (2) 内の接続関係について説明する。

[0 0 9 2]

トランジスタ 3 2 のゲートは、配線 W S L と電氣的に接続される。トランジスタ 3 2 のソースまたはドレインの一方は、トランジスタ 3 4 のソースまたはドレインの一方および配線 W C L と電氣的に接続される。トランジスタ 3 2 のソースまたはドレインの他方は、トランジスタ 3 4 のゲートおよび容量 3 5 の一方の電極と電氣的に接続される。トランジスタ 3 2 は、データ書き込み時にオン状態とすることで重みデータに応じた電圧を演算セル 3 1 (2) 内に書き込み、オフ状態とすることで重みデータに応じた電圧を演算セル 3 1 (2) 内に保持することができる。なおトランジスタ 3 4 のゲート、トランジスタ 3 2 のソースまたはドレインの他方、および容量 3 5 の一方の電極が接続されるノードは、保持ノードともいう。

[0 0 9 3]

トランジスタ 3 4 のソースまたはドレインの他方は、低電源電位 (例えばグラウンド電位) 等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ 3 4 のソースとドレインとの間に電流を流すための配線として機能する。また、トランジスタ 3 4 のバックゲートは、配線 X C L と電氣的に接続される。

[0 0 9 4]

次いで参照セル 2 1 (2) および演算セル 3 1 (2) が有するトランジスタについて説明する。

[0 0 9 5]

トランジスタ 2 2 およびトランジスタ 3 2 は、オフ状態とすることで、トランジスタ 2 4 のゲートおよびトランジスタ 3 4 のゲートの電位を保持する機能を有する。具体的には、トランジスタ 2 2 を介してトランジスタ 2 4 のゲートに与えられる基準電位を保持する機能を有する。また、トランジスタ 3 2 を介してトランジスタ 3 4 のゲートに与えられるデータに応じた電位を保持する機能を有する。

[0 0 9 6]

前述のように、O S トランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。よって、トランジスタ 2 2 および / またはトランジスタ 3 2 として、O

Sトランジスタを用いることにより、トランジスタ22および/またはトランジスタ32のリーク電流を抑えることができるため、半導体装置10A2の消費電力を低減することができる。具体的には、トランジスタ24のゲートおよびトランジスタ34のゲートのそれぞれに保持した電位の変動を非常に小さくすることができるため、当該電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、半導体装置10A2の消費電力を低減することができる。また、保持ノードから配線WCL、または配線XCLへのリーク電流を非常に小さくすることによって、セルは保持ノードの電位を長い時間保持できる。

[0097]

図2Bは、本発明の一態様である半導体装置10B2を説明するための図である。半導体装置10B2は、半導体装置10A2が有するトランジスタ22のバックゲートに対するゲート絶縁層、およびトランジスタ32のバックゲートに対するゲート絶縁層が、強誘電性を有し得る材料を有するとしている。

[0098]

図3Aは、本発明の一態様である半導体装置10A3を説明するための図である。なお、以降に示す半導体装置10A3の説明において、半導体装置10A1と同様の構成等については説明を省略する場合がある。

[0099]

半導体装置10A3は、参照セル21(3)および演算セル31(3)を有する。参照セル21(3)は、参照セル21(1)と同様に、トランジスタ22、トランジスタ24、および容量25を有する。演算セル31(3)は、演算セル31(1)と同様に、トランジスタ32、トランジスタ34、および容量35を有する。トランジスタ22、トランジスタ24、トランジスタ32、およびトランジスタ34は、それぞれゲートと、バックゲートと、を有する。

[0100]

トランジスタ22のゲートは、配線WSLと電氣的に接続される。トランジスタ22のソースまたはドレインの一方は、トランジスタ24のソースまたはドレインの一方、および配線XCLと電氣的に接続される。トランジスタ22のソースまたはドレインの他方は、トランジスタ24のバックゲート、および容量25の一方の電極と電氣的に接続される。トランジスタ22は、データ書き込み時にオン状態として基準電位を参照セル21(3)内の保持ノード(トランジスタ24のバックゲート)に書き込み、オフ状態とすることで基準電位を参照セル21(3)内に保持することができる。なおトランジスタ24のバックゲート、トランジスタ22のソースまたはドレインの他方、および容量25の一方の電極が接続されるノードは、保持ノードともいう。保持ノードは、トランジスタ24を流れる電流に応じた電位に設定することができる。

[0101]

トランジスタ24のソースまたはドレインの他方、および容量25の他方の電極は、低電源電位(例えばグラウンド電位)等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ24のソースとドレインとの間に電流を流すための配線として機能する。また、トランジスタ24のゲートは、配線XCLと電氣的に接続される。

[0102]

次いで演算セル31(3)内の接続関係について説明する。

[0103]

トランジスタ 3 2 のゲートは、配線 W S L と電氣的に接続される。トランジスタ 3 2 のソースまたはドレインの一方は、トランジスタ 3 4 のソースまたはドレインの一方および配線 W C L と電氣的に接続される。トランジスタ 3 2 のソースまたはドレインの他方は、トランジスタ 3 4 のバックゲートおよび容量 3 5 の一方の電極と電氣的に接続される。トランジスタ 3 2 は、データ書き込み時にオン状態とすることで重みデータに応じた電圧を演算セル 3 1 (3) 内に書き込み、オフ状態とすることで重みデータに応じた電圧を演算セル 3 1 (3) 内に保持することができる。なおトランジスタ 3 4 のバックゲート、トランジスタ 3 2 のソースまたはドレインの他方、および容量 3 5 の一方の電極が接続されるノードは、保持ノードともいう。

[0 1 0 4]

トランジスタ 3 4 のソースまたはドレインの他方は、低電源電位（例えばグラウンド電位）等の定電位を与える配線に接続される。当該グラウンド電位を与える配線は、トランジスタ 3 4 のソースとドレインとの間に電流を流すための配線として機能する。また、トランジスタ 3 4 のゲートは、配線 X C L と電氣的に接続される。

[0 1 0 5]

次いで参照セル 2 1 (3) および演算セル 3 1 (3) が有するトランジスタについて説明する。

[0 1 0 6]

トランジスタ 2 2 およびトランジスタ 3 2 は、オフ状態とすることで、トランジスタ 2 4 のバックゲートおよびトランジスタ 3 4 のバックゲートの電位を保持する機能を有する。具体的には、トランジスタ 2 2 を介してトランジスタ 2 4 のバックゲートに与えられる基準電位を保持する機能を有する。また、トランジスタ 3 2 を介してトランジスタ 3 4 のバックゲートに与えられるデータに応じた電位を保持する機能を有する。

[0 1 0 7]

前述のように、O S トランジスタはオフ状態でソースとドレインの間を流れる電流、つまりリーク電流が極めて小さい。よって、トランジスタ 2 2 および／またはトランジスタ 3 2 として、O S トランジスタを用いることにより、トランジスタ 2 2 および／またはトランジスタ 3 2 のリーク電流を抑えることができるため、半導体装置 1 0 A 3 の消費電力を低減することができる。具体的には、トランジスタ 2 4 のバックゲートおよびトランジスタ 3 4 のバックゲートのそれぞれに保持した電位の変動を非常に小さくすることができるため、当該電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、半導体装置 1 0 A 3 の消費電力を低減することができる。また、保持ノードから配線 W C L、または配線 X C L へのリーク電流を非常に小さくすることによって、セルは保持ノードの電位を長い時間保持できる。

[0 1 0 8]

図 3 B は、本発明の一態様である半導体装置 1 0 B 3 を説明するための図である。半導体装置 1 0 B 3 は、半導体装置 1 0 A 3 が有するトランジスタ 2 2 のバックゲートに対するゲート絶縁層、およびトランジスタ 3 2 のバックゲートに対するゲート絶縁層が、強誘電性を有し得る材料を有するとしている。

[0 1 0 9]

図 4 A は、本発明の一態様である半導体装置 1 0 C 1 を説明するための図であり、図 5 A は、本発明の一態様である半導体装置 1 0 C 2 を説明するための図であり、図 6 A は、本発明の一態様である半導体装置 1 0 C 3 を説明するための図である。半導体装置 1 0 C 1 は、半導体装置 1 0 A 1

が有するトランジスタ22のバックゲート、およびトランジスタ32のバックゲートが、回路HCと電氣的に接続されるとしている。また、半導体装置10C2は、半導体装置10A2が有するトランジスタ22のバックゲート、およびトランジスタ32のバックゲートが、回路HCと電氣的に接続されるとしている。半導体装置10C3は、半導体装置10A3が有するトランジスタ22のバックゲート、およびトランジスタ32のバックゲートが、回路HCと電氣的に接続されるとしている。

[0110]

回路HCは、トランジスタ22のバックゲートの電位、およびトランジスタ32のバックゲートの電位を保持するための、保持回路としての機能を有する。回路HCは、トランジスタM1と、トランジスタM2と、容量C1と、容量FEC1と、を有する。トランジスタM1、およびトランジスタM2は、それぞれゲートと、バックゲートと、を有する。

[0111]

トランジスタM1、およびトランジスタM2のそれぞれは、OSトランジスタであることが好ましい。前述のように、OSトランジスタは、オフ電流が極めて小さい。よって、トランジスタM1、およびトランジスタM2としてOSトランジスタを用いることで、トランジスタ22のバックゲートの電位、およびトランジスタ32のバックゲートの電位を長時間保持することができる。

[0112]

容量FEC1は、誘電体として強誘電性を有し得る材料を有する容量である。本明細書等では、強誘電性を有し得る材料を誘電体として用いた容量を強誘電キャパシタと呼称する。

[0113]

なお、本明細書等において、強誘電キャパシタ（例えば、容量FEC1）の回路記号は、図4A、図5A、および図6Aのとおり、容量の回路記号に斜線を加えたものとしている。また、別の回路記号としては、図4B、図5B、および図6Bのとおり、容量の回路記号において、互いに平行である2本の線の間には複数の斜線を加えたものとしてもよい。

[0114]

回路HCは、参照セル21、および演算セル31と電氣的に接続される。具体的には、トランジスタ22のバックゲート、およびトランジスタ32のバックゲートは、トランジスタM1のソースまたはドレインの一方、トランジスタM1のバックゲート、およびトランジスタM2のソースまたはドレインの一方と電氣的に接続される。トランジスタM1のソースまたはドレインの他方は、配線VILと電氣的に接続される。トランジスタM1のゲートは、容量FEC1の一方の電極と電氣的に接続される。トランジスタM2のソースまたはドレインの他方は、容量FEC1の他方の電極、および容量C1の一方の電極と電氣的に接続される。トランジスタM2のゲートは、配線VGLと電氣的に接続される。容量C1の他方の電極は、配線VCLと電氣的に接続される。

[0115]

本明細書等において、トランジスタM1のゲートと、容量FEC1の一方の電極と、の電氣的な接続点をノードN1と呼称する。また、容量FEC1の他方の電極と、容量C1の一方の電極と、トランジスタM2のソースまたはドレインの他方と、の電氣的な接続点をノードN2と呼称する。さらに、トランジスタM1のソースまたはドレインの一方と、トランジスタM1のバックゲートと、トランジスタM2のソースまたはドレインの一方と、の電氣的な接続点をノードNBGと呼称する。つまり、ノードNBGの電位を、トランジスタ22のバックゲート、およびトランジスタ32のバ

ックゲートに与える電位とすることができる。

[0116]

なお、ノードN1は、トランジスタM1のゲートおよび容量FEC1の一方の電極以外の回路素子、端子、配線等に電氣的に接続されていないため、電圧源等からノードN1に電圧が直接入力されることはない。そのため、ノードN1は、フローティング状態となっている。ノードN1の初期電位は、半導体装置の作製時（具体的には、例えば、回路HCの形成時等）に決めることができる。

[0117]

配線VILは、定電位を与える配線として機能する。当該定電位としては、例えば、トランジスタ22、およびトランジスタ32のしきい値電圧をプラス側にシフトさせる場合には、低レベル電位、接地電位、負電位等とすることができる。また、例えば、トランジスタ22、およびトランジスタ32のしきい値電圧をマイナス側にシフトさせる場合には、高レベル電位、正電位等とすることができる。

[0118]

配線VCLは、容量FEC1に含まれる強誘電性を有し得る材料を分極させるための電位を与えるための配線として機能する。例えば、当該材料が分極することによって当該材料内に生じる電場の方向を、容量FEC1の一方の電極から他方の電極への向きとする場合、当該電位としては、正電位等にすればよい。また、例えば、当該材料が分極することによって当該材料内に生じる電場の方向を、容量FEC1の他方の電極から一方の電極への向きとする場合、当該電位としては、負電位等にすればよい。また、配線VCLには、容量FEC1に含まれる強誘電性を有し得る材料を分極させない程度の電位を供給してもよい。

[0119]

配線VGLは、トランジスタM2のオン状態とオフ状態との切り替えを制御するための信号電位を供給する配線として機能する。例えば、配線VGLの電位を高レベル電位とすることで、トランジスタM2をオン状態にすることができ、配線VGLの電位を低レベル電位とすることで、トランジスタM2をオフ状態にすることができる。

[0120]

次いで参照セル21、演算セル31を複数備えた構成について、図7Aおよび図7Bを参照して説明する。図7Aはデータ書き込み時の動作の概要を表し、図7Bは、データ読出し時の動作の概要を表している。

[0121]

図7A、図7Bでは、複数の参照セル21__1乃至21__m（図1A等の参照セル21に相当）を備えた参照セル部20、複数の演算セル31__1, 1乃至31__m, n（図1A等の演算セル31に相当）を備えた演算セル部30を備える。また図7A、図7Bでは、複数の配線XCLを配線XCL__1乃至XCL__mとして図示している。また図7A、図7Bでは、複数の配線WCLを配線WCL__1乃至WCL__nとして図示している。なおmおよびnは共に1以上の整数である。

[0122]

なお、図7A、図7Bでは、参照セル部20および演算セル部30が有するセルが、行方向にn+1個、列方向にm個、マトリクス状に配置されている。参照セル部20および演算セル部30が有するセルは、行方向に2個以上、列方向に1個以上、マトリクス状に配置されている構成であればよい。

[0123]

図7Aおよび図7Bでは、説明のため、参照セル21および演算セル31を簡略化して図示している。参照セル部20における参照セル21の端子 C_p は、図1A等の容量25の一方の電極、図2A等のトランジスタ24のバックゲート、または図3A等のトランジスタ24のゲートに相当する。参照セル部20における参照セル21の端子 T_w は、図1A、図2A、および図3A等のトランジスタ22のソースまたはドレインの一方、およびトランジスタ24のソースまたはドレインの一方が接続される端子に相当する。演算セル部30における演算セル31の端子 C_p は、図1A等の容量35の一方の電極、図2A等のトランジスタ34のバックゲート、または図3A等のトランジスタ34のゲートに相当する。演算セル部30における演算セル31の端子 T_x は、図1A、図2A、および図3A等のトランジスタ32のソースまたはドレインの一方およびトランジスタ34のソースまたはドレインの一方が接続される端子に相当する。

[0124]

図7Aに示すデータ書き込み時の動作では、各行の参照セル21に電流 $I_{x_{ut}}$ を流す。各行に与える電流は、規格化された電流 $I_{x_{ut}}$ であり、それぞれ等しい。電流 $I_{x_{ut}}$ は、参照データに応じた電流量（参照電流）に相当する。各行の演算セル31には、容量を介して接続されているため、電流は流れない。参照セル21では、流れる電流に応じた電圧が保持されるよう動作する。

[0125]

また図7Aに示すデータ書き込み時の動作では、各列の演算セルに電流 I_{w_1} 乃至 I_{w_n} (I_w) を流す。各列に与える電流は、規格化された電流 $I_{w_{ut}}$ に重みデータ w を乗じた電流量に相当する ($I_w = w I_{w_{ut}}$)。電流 I_{w_1} 乃至 I_{w_n} はそれぞれ列ごとに異なる場合もある。

[0126]

図7Bに示すデータ読出し時の動作では、各行の参照セル21に電流 I_{x_1} 乃至 I_{x_m} (I_x) を流す。各行に与える電流 I_{x_1} 乃至 I_{x_m} は、規格化された電流 $I_{x_{ut}}$ に入力データ x を乗じた電流量に相当する ($I_x = x I_{x_{ut}}$)。電流 I_{x_1} 乃至 I_{x_m} はそれぞれ行ごとに異なる場合もある。なお電流 $I_{x_{ut}}$ は、電流 $I_{w_{ut}}$ と等しいことが好ましい。

[0127]

図7Bに示すデータ読出し時の動作では、電流 I_{x_1} 乃至 I_{x_m} によって参照セル21に保持された電圧が昇圧される。この昇圧に応じて配線 XCL_1 乃至 XCL_m も昇圧するため、演算セル31では容量35の容量結合により保持している電圧が昇圧される。そして配線 WCL_1 乃至 WCL_n の電位を、電圧 V_d に設定する。このときトランジスタ34を流れる電流 I_r は、データ書き込み時に演算セル31に保持した電流値 (I_w) と、データ読出し時に参照セル21に流した電流値 (I_x) と、の積に相当する (電流 $I_{r_{11}}$ 乃至 $I_{r_{mn}}$)。各列を流れる電流 $I_{r_{11}}$ 乃至 I_{r_m} の和を見積もることで、入力データと重みデータの積和の演算結果に相当するデータを出力することができる。

[0128]

なお参照セル部20が有するセルのそれぞれに含まれているトランジスタ22、およびトランジスタ24のサイズ (例えば、チャンネル長、チャンネル幅、トランジスタの構成等) は互いに等しいことが好ましい。また、演算セル部30が有するセルのそれぞれに含まれているトランジスタ32、およびトランジスタ34のサイズは互いに等しいことが好ましい。また、トランジスタ22とトランジスタ32のサイズは互いに等しいことが好ましい。また、トランジスタ24とトランジスタ3

4のサイズは互いに等しいことが好ましい。

[0129]

トランジスタのサイズを互いに等しくすることによって、それぞれのトランジスタの電気特性をほぼ等しくすることができる。そのため、参照セル21__1, 1乃至参照セル21__m, nのそれぞれに含まれているトランジスタ22のサイズを等しくし、参照セル21__1, 1乃至参照セル21__m, nのそれぞれに含まれているトランジスタ24のサイズを等しくすることによって、参照セル21__1, 1乃至参照セル21__m, nのそれぞれは、互いに条件が同一である場合において、ほぼ同じ動作を行うことができる。ここで条件が同一であるとは、例えば、トランジスタ22のソース、ドレイン、ゲート等への入力電位、トランジスタ24のソース、ドレイン、ゲート等への入力電位、参照セル21__1, 1乃至参照セル21__m, nのそれぞれに保持される電圧等が等しいことを指す。また、演算セル31__1乃至演算セル31__mのそれぞれに含まれているトランジスタ32のサイズを等しくし、演算セル31__1乃至演算セル31__mのそれぞれに含まれているトランジスタ34のサイズを等しくすることによって、例えば、演算セル31__1乃至演算セル31__mは、動作、および当該動作の結果をほぼ同一にすることができる。互いに条件が同一である場合において、ほぼ同じ動作を行うことができる。ここで条件が同一であるとは、例えば、トランジスタ32のソース、ドレイン、ゲート等への入力電位、トランジスタ34のソース、ドレイン、ゲート等への入力電位、演算セル31__1乃至演算セル31__mのそれぞれに保持される電圧等が等しいことを指す。

[0130]

データ書き込み時の参照セル21(1)および演算セル31(1)の動作について、図8Aを参照して説明する。

[0131]

配線WSLをHレベルとし、トランジスタ22およびトランジスタ32をオン状態(ON)とする。配線XCLに参照電流にあたる電流 I_{xut} を流す。また配線WCLには電流 I_w を流す。電流 I_w は、重みデータwに規格化された電流 I_{wut} を乗じた電流(図中、 $I_w = w I_{wut}$)に相当する。

[0132]

参照セル21(1)において、トランジスタ22をオン状態とする。トランジスタ24のバックゲートが電氣的に接続される保持ノードの電位は、トランジスタ24のしきい値電圧が V_{th1} となるような電位となる。これにより、トランジスタ24は、電流 I_{xut} の電流をトランジスタ24のソースドレイン間に流すことができる。具体的には、トランジスタ24のソースドレイン間に流れる電流が I_{xut} となるように、トランジスタ24のしきい値電圧を設定することができる。本明細書等では、このような動作を「参照セル21(1)のトランジスタ24のソースドレイン間に流れる電流を I_{xut} に設定する(プログラミングする)」等と表す場合がある。

[0133]

演算セル31(1)において、トランジスタ32をオン状態とする。トランジスタ34のバックゲートが電氣的に接続される保持ノードの電位は、トランジスタ34のしきい値電圧が V_{th2} となるような電位となる。これにより、演算セル31(1)のトランジスタ34のソースドレイン間に流れる電流が I_w に設定される。具体的には、トランジスタ34のソースドレイン間に流れる電流が I_w となるように、トランジスタ34のしきい値電圧が設定される。

[0134]

データ書き込み時に配線XCLを介して参照セル21(1)に与える電流 I_{xut} は、式(2)で表すことができる。ここで、トランジスタ24のゲート、およびトランジスタ24のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0135]

[数2]

$$I_{xut} = I_0 \exp\left(\frac{-V_{th1}}{\eta k_B T / q}\right) \cdots (2)$$

[0136]

データ書き込み時に配線WCLを介して演算セル31(1)に与える電流 I_w は、式(3)で表すことができる。ここで、トランジスタ34のゲート、およびトランジスタ34のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0137]

[数3]

$$\begin{aligned} I_w &= I_0 \exp\left(\frac{-V_{th2}}{\eta k_B T / q}\right) \\ &= w I_{wut} \cdots (3) \end{aligned}$$

[0138]

式(3)に示すように、電流 I_w は、重みデータ w と、規格化された電流 I_{wut} の積で表すことができる。

[0139]

データ読出し時の参照セル21(1)および演算セル31(1)の動作について、図8Bを参照して説明する。なお、データ書き込み時とデータ読出し時の間の期間において、設定された電流を保持する期間を設けることができる。設定された電流を保持する期間では、トランジスタ22およびトランジスタ32をオフ状態(OFF)とする。トランジスタ22およびトランジスタ32は、OSトランジスタとすることで設定された電流に相当する保持ノードの電位を保持し続けることができる。

[0140]

参照セル21(1)において、配線WSLをLレベルとし、トランジスタ22をオフ状態(OFF)とする。配線XCLに入力電流にあたる電流 I_x を流す。電流 I_x は、入力データ x に規格化された電流 I_{xut} を乗じた電流(図中、 $I_x = x I_{xut}$)に相当する。トランジスタ24のバックゲートが電氣的に接続される保持ノードの電位は、トランジスタ24を電流 I_x が流れることで、容量25を介した容量結合により変動し、これによりトランジスタ24のしきい値電圧が $V_{th1} + \Delta V_{th}$ と変動する。これとともに、配線XCLの電位も変動する。

[0141]

演算セル31(1)において、配線WSLをLレベルとし、トランジスタ32をオフ状態(OFF)

F) とする。そのため、演算セル 3 1 (1) の保持ノードは電氣的に浮遊状態 (フローティング) にある。参照セル 2 1 (1) の動作による配線 X C L の電位の変動に伴う容量 3 5 の容量結合によって、演算セル 3 1 (1) の保持ノードの電位が変動し、トランジスタ 3 4 のしきい値電圧が $V_{th2} + \Delta V_{th}$ と変動する。これにより、トランジスタ 3 4 のソースドレイン間に電流 I_r が流れる。

[0 1 4 2]

データ読出し時に配線 X C L を介して参照セル 2 1 (1) に与える電流 I_x は、式 (4) で表すことができる。ここで、トランジスタ 2 4 のゲート、およびトランジスタ 2 4 のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0 1 4 3]

[数 4]

$$I_X = I_0 \exp\left(\frac{-V_{th1} + \Delta V_{th}}{\eta k_B T / q}\right) \\ = x I_{Xut} \dots (4)$$

[0 1 4 4]

式 (4) 中、入力データ x は、式 (5) で表すことができる。

[0 1 4 5]

[数 5]

$$x = \exp\left(\frac{\Delta V_{th}}{\eta k_B T / q}\right) \dots (5)$$

[0 1 4 6]

式 (4)、式 (5) から、電流 I_x は、入力データ x と、規格化された電流 I_{Xut} の積で表すことができる。

[0 1 4 7]

データ読出し時に配線 W C L は、各行の演算セル 3 1 (1) に電流が流れるよう電圧 V_d に設定する。そして、演算セル 3 1 (1) のトランジスタ 3 4 のしきい値電圧が $V_{th2} + \Delta V_{th}$ に変化することで、トランジスタ 3 4 を流れる電流 I_r は、式 (6) で表すことができる。ここで、トランジスタ 3 4 のゲート、およびトランジスタ 3 4 のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0 1 4 8]

[数 6]

$$I_r = I_0 \exp \left(\frac{-V_{th2} + \Delta V_{th}}{\eta k_B T / q} \right) \\ = w x I_{Wut} \dots (6)$$

[0149]

式(3)、式(5)から式(6)における I_r は、重みデータ w と入力データ x の積に相当する電流と見積もることができる。各行の演算セル31(1)に流れる電流は、足し合わせることができるため、配線WCLに流れる電流を外部に出力することで、重みデータ w と入力データ x に応じた積和演算処理の演算結果に応じた信号を出力することができる。

[0150]

データ書き込み時の参照セル21(2)および演算セル31(2)の動作について、図9Aを参照して説明する。なお、以下の動作の説明において、トランジスタ24のバックゲートに与えられる電位と、トランジスタ34のバックゲートに与えられる電位と、が等しい場合、トランジスタ24のしきい値電圧と、トランジスタ34のしきい値電圧と、は等しいものとする。

[0151]

配線WSLをHレベルとし、トランジスタ22およびトランジスタ32をオン状態(ON)とする。配線XCLに参照電流にあたる電流 I_{xut} を流す。また配線WCLには電流 I_w を流す。前述のように、電流 I_w は、重みデータ w に規格化された電流 I_{wut} を乗じた電流(図中、 $I_w = w I_{wut}$)に相当する。

[0152]

参照セル21(2)において、トランジスタ22をオン状態とする。トランジスタ24のゲートが電氣的に接続される保持ノードの電位は、 V_{g1} となる。また、トランジスタ24のバックゲートの電位は、トランジスタ24のしきい値電圧が V_{th1} となるような電位となる。以上により、トランジスタ24は、電流 I_{xut} の電流をトランジスタ24のソースドレイン間に流すことができる。

[0153]

演算セル31(2)において、トランジスタ32をオン状態とする。トランジスタ34のゲートが電氣的に接続される保持ノードの電位は、 V_{g2} となる。また、トランジスタ34のバックゲートの電位は、トランジスタ34のしきい値電圧が V_{th2} となるような電位となる。以上により、演算セル31(2)のトランジスタ34のソースドレイン間に流れる電流が I_w に設定される。

[0154]

データ書き込み時に配線XCLを介して参照セル21(2)に与える電流 I_{xut} は、式(7)で表すことができる。ここで、トランジスタ24のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0155]

[数7]

$$I_{Xut} = I_0 \exp\left(\frac{V_{g1} - V_{th1}}{\eta k_B T / q}\right) \cdots (7)$$

[0156]

データ書き込み時に配線WCLを介して演算セル31(2)に与える電流 I_w は、式(8)で表すことができる。ここで、トランジスタ34のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0157]

[数8]

$$\begin{aligned} I_w &= I_0 \exp\left(\frac{V_{g2} - V_{th2}}{\eta k_B T / q}\right) \\ &= w I_{Wut} \cdots (8) \end{aligned}$$

[0158]

式(8)に示すように、電流 I_w は、重みデータ w と、規格化された電流 I_{Wut} の積で表すことができる。

[0159]

データ読出し時の参照セル21(2)および演算セル31(2)の動作について、図9Bを参照して説明する。

[0160]

参照セル21(2)において、配線WSLをLレベルとし、トランジスタ22をオフ状態(OFF)とする。配線XCLに入力電流にあたる電流 I_x を流す。前述のように、電流 I_x は、入力データ x に規格化された電流 I_{xut} を乗じた電流(図中、 $I_x = x I_{xut}$)に相当する。トランジスタ24のバックゲートの電位は、トランジスタ24を電流 I_x が流れることで、トランジスタ24のしきい値電圧が $V_{th1} + \Delta V_{th}$ となるような電位に変動する。これとともに、配線XCLの電位も変動する。

[0161]

演算セル31(2)において、配線WSLをLレベルとし、トランジスタ32をオフ状態(OFF)とする。参照セル21(2)の動作による配線XCLの電位の変動に伴い、トランジスタ34のバックゲートの電位も変動し、トランジスタ34のしきい値電圧が $V_{th2} + \Delta V_{th}$ と変動する。これにより、トランジスタ34のソースドレイン間に電流 I_r が流れる。

[0162]

データ読出し時に配線XCLを介して参照セル21(2)に与える電流 I_x は、式(9)で表すことができる。ここで、トランジスタ24のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0163]

[数9]

$$I_X = I_0 \exp\left(\frac{V_{g1} - V_{th1} - \Delta V_{th}}{\eta k_B T / q}\right) \\ = x I_{Xut} \cdots (9)$$

[0164]

式(9)中、入力データ x は、式(10)で表すことができる。

[0165]

[数10]

$$x = \exp\left(\frac{-\Delta V_{th}}{\eta k_B T / q}\right) \cdots (10)$$

[0166]

式(9)、式(10)から、電流 I_X は、入力データ x と、規格化された電流 I_{Xut} の積で表すことができる。

[0167]

データ読出し時に配線WCLは、各行の演算セル31(2)に電流が流れるよう電圧 V_d に設定する。そして、演算セル31(2)のトランジスタ34のしきい値電圧が $V_{th2} + \Delta V_{th}$ に変化することで、演算セル31(2)のトランジスタ34を流れる電流 I_r は、式(11)で表すことができる。ここで、トランジスタ34のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0168]

[数11]

$$I_r = I_0 \exp\left(\frac{V_{g2} - V_{th2} - \Delta V_{th}}{\eta k_B T / q}\right) \\ = w x I_{Wut} \cdots (11)$$

[0169]

式(8)、式(10)から式(11)における I_r は、重みデータ w と入力データ x の積に相当する電流と見積もることができる。各行の演算セル31(2)に流れる電流は、足し合わせることができるため、配線WCLに流れる電流を外部に出力することで、重みデータ w と入力データ x に応じた積和演算処理の演算結果に応じた信号を出力することができる。

[0170]

データ書き込み時の参照セル21(3)および演算セル31(3)の動作について、図10Aを

参照して説明する。

[0171]

配線WSLをHレベルとし、トランジスタ22およびトランジスタ32をオン状態(ON)とする。配線XCLに参照電流にあたる電流 I_{xut} を流す。また配線WCLには電流 I_w を流す。前述のように、電流 I_w は、重みデータ w に規格化された電流 I_{wut} を乗じた電流(図中、 $I_w = w I_{wut}$)に相当する。

[0172]

参照セル21(3)において、トランジスタ22をオン状態とする。トランジスタ24のバックゲートが電氣的に接続される保持ノードの電位は、トランジスタ24のしきい値電圧が V_{th1} となるような電位となる。また、トランジスタ24のゲートの電位は、 V_g となる。以上により、トランジスタ24は、電流 I_{xut} の電流をトランジスタ24のソースドレイン間に流すことができる。具体的には、トランジスタ24のゲートの電位が V_g である場合にトランジスタ24のソースドレイン間に流れる電流が I_{xut} となるように、トランジスタ24のしきい値電圧を設定することができる。

[0173]

演算セル31(3)において、トランジスタ32をオン状態とする。トランジスタ34のバックゲートが電氣的に接続される保持ノードの電位は、トランジスタ24のしきい値電圧が V_{th2} となるような電位となる。また、トランジスタ34のゲートの電位は、 V_g となる。以上により、演算セル31(3)のトランジスタ34のソースドレイン間に流れる電流が I_w に設定される。具体的には、トランジスタ34のゲートの電位が V_g である場合にトランジスタ34のソースドレイン間に流れる電流が I_w となるように、トランジスタ34のしきい値電圧を設定される。

[0174]

データ書き込み時に配線XCLを介して参照セル21(3)に与える電流 I_{xut} は、式(12)で表すことができる。ここで、トランジスタ24のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0175]

[数12]

$$I_{Xut} = I_0 \exp\left(\frac{V_g - V_{th1}}{\eta k_B T / q}\right) \dots (12)$$

[0176]

データ書き込み時に配線WCLを介して演算セル31(3)に与える電流 I_w は、式(13)で表すことができる。ここで、トランジスタ34のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0177]

[数13]

$$I_W = I_0 \exp\left(\frac{V_g - V_{th2}}{\eta k_B T / q}\right) \\ = w I_{Wut} \cdots (13)$$

[0178]

式(13)に示すように、電流 I_w は、重みデータ w と、規格化された電流 I_{wut} の積で表すことができる。

[0179]

データ読出し時の参照セル21(3)および演算セル31(3)の動作について、図10Bを参照して説明する。

[0180]

参照セル21(3)において、配線WSLをLレベルとし、トランジスタ22をオフ状態(OFF)とする。配線XCLに入力電流にあたる電流 I_x を流す。前述のように、電流 I_x は、入力データ x に規格化された電流 I_{xut} を乗じた電流(図中、 $I_x = x I_{xut}$)に相当する。トランジスタ24のゲートの電位は、トランジスタ24を電流 I_x が流れることで $V_g + \Delta V_g$ と変動するとともに、配線XCLの電位もつれて変動する。

[0181]

演算セル31(3)において、配線WSLをLレベルとし、トランジスタ32をオフ状態(OFF)とする。参照セル21(3)の動作による配線XCLの電位の変動に伴い、トランジスタ34のゲートの電位も変動し、 $V_g + \Delta V_g$ となる。トランジスタ34のゲートの電位が $V_g + \Delta V_g$ と変動することで、演算セル31(3)のトランジスタ34のソースドレイン間に電流 I_r が流れる。

[0182]

データ読出し時に配線XCLを介して参照セル21(3)に与える電流 I_x は、式(14)で表すことができる。ここで、トランジスタ24のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0183]

[数14]

$$I_X = I_0 \exp\left(\frac{V_g + \Delta V_g - V_{th1}}{\eta k_B T / q}\right) \\ = x I_{Xut} \cdots (14)$$

[0184]

式(14)中、入力データ x は、式(15)で表すことができる。

[0185]

[数15]

$$x = \exp\left(\frac{\Delta V_g}{\eta k_B T/q}\right) \cdots (15)$$

[0186]

式(14)、式(15)から、電流 I_x は、入力データ x と、規格化された電流 I_{xut} の積で表すことができる。

[0187]

データ読出し時に配線WCLは、各行の演算セル31(3)に電流が流れるよう電圧 V_d に設定する。そして、演算セル31(3)が有するトランジスタ34のゲートの電位が $V_g + \Delta V_g$ に変化することで、演算セル31(3)のトランジスタ34を流れる電流 I_r は、式(16)で表すことができる。ここで、トランジスタ34のソースまたはドレインの他方には、グラウンド電位が与えられるものとする。

[0188]

[数16]

$$\begin{aligned} I_r &= I_0 \exp\left(\frac{V_g + \Delta V_g - V_{th2}}{\eta k_B T/q}\right) \\ &= wxI_{Wut} \cdots (16) \end{aligned}$$

[0189]

式(13)、式(15)から式(16)における I_r は、重みデータ w と入力データ x の積に相当する電流と見積もることができる。各行の演算セル31(3)に流れる電流は、足し合わせるため、配線WCLに流れる電流を外部に出力することで、重みデータ w と入力データ x に応じた積和演算処理の演算結果に応じた信号を出力することができる。

[0190]

以下では、半導体装置10C1、半導体装置10C2、および半導体装置10C3が有する回路HCの動作例を説明する。図11Aは、回路HCの動作例を示すタイミングチャートであり、時刻T11から時刻T16までの間、およびその近傍の時刻における、配線VCL、配線VGL、配線VIL、ノードN1、ノードN2、およびノードNBGのそれぞれの電位の変化を示している。特に、図11Aでは、容量FEC1への電位の書き込みの動作例を示している。また、図11Aにおいて、高レベル電位は“High”と表記し、低レベル電位は“Low”と表記している。

[0191]

時刻T11から時刻T12までの間では、回路HCに電氣的に接続されている配線VCL、配線VGL、および配線VILのそれぞれに、初期状態としての電位が与えられる。具体的には、例えば、配線VCLには電位 V_{FC1} が与えられ、配線VGLには高レベル電位が与えられ、配線VILには電位 V_{IN1} が与えられている。なお、 V_{FC1} は、一例として、正電位、高レベル電位、接地電位等とすることができ、 V_{IN1} は、一例として、正電位、高レベル電位、接地電位等とすることが

できる。

[0192]

また、ノードN1の電位 V_{11} は、ノードN2の電位 V_{21} よりも低い電位であるとする。なお、容量FEC1の第1端子と第2端子との間の電圧は $V_{11} - V_{12}$ となるが、当該電圧では、容量FEC1に含まれる強誘電性を有し得る誘電体で分極は起こらないものとする。また、時刻T11から時刻T12までの間において、容量FEC1に含まれる強誘電性を有し得る誘電体で分極が起こらない範囲であれば、ノードN1の電位 V_{11} は、ノードN2の電位 V_{21} よりも低い電位でなく、電位 V_{21} と等しい電位、または電位 V_{21} よりも高い電位としてもよい。

[0193]

トランジスタM2のゲートには、配線VGLからの高レベル電位が与えられているため、トランジスタM2はオン状態となる。そのため、ノードN2とノードNBGとの間は導通状態となり、ノードNBGの電位 V_{BG1} は、ノードN2の電位 V_{21} とほぼ等しくなる。

[0194]

時刻T12から時刻T13までの間では、配線VGLに低レベル電位が与えられる。これにより、トランジスタM2のゲートには配線VGLからの低レベル電位が与えられるため、トランジスタM2はオフ状態となる。

[0195]

また、トランジスタM2がオフ状態になることによって、ノードN2は、フローティング状態となる。

[0196]

時刻T13から時刻T14までの間では、配線VCLが与えている電位 V_{FC1} が電位 V_{FC2} に変化する。電位 V_{FC2} は、 V_{FC1} よりも低い電位であって、容量FEC1に含まれている強誘電性を有し得る誘電体で分極が起こる程度の電位とする。

[0197]

ノードN2はフローティング状態であるため、配線VCLが与える電位が V_{FC1} から V_{FC2} に変化することで、容量C1における容量結合によって、その電圧変化に応じてノードN2の電位も変化する。本動作例では、時刻T13から時刻T14までの間において、ノードN2の電位は、 V_{21} から V_{22} に変化するものとする。なお、電位 V_{FC2} は、 V_{FC1} よりも低い電位であるため、電位 V_{22} は、 V_{21} よりも低い電位となる。

[0198]

また、ノードN1もフローティング状態であるため、ノードN2の電位が V_{21} から V_{22} に変化することで、容量FEC1における容量結合によって、その電圧変化に応じてノードN1の電位も変化する。但し、ノードN1と配線VILとの間には、トランジスタM1のゲートー第1端子間におけるゲート容量が存在し、また、ノードN1とノードNBGの間には、トランジスタM1のゲートー第2端子間におけるゲート容量が存在するため、ノードN1における電圧変化は、ノードN2の電圧変化 $V_{21} - V_{22}$ よりも小さくなる場合がある。このとき、ノードN1の電位は、 V_{11} から V_{12} に変化するものとする。

[0199]

このとき、容量FEC1の第1端子と第2端子との間の電圧は、 $V_{12} - V_{22}$ となり、容量FEC1において、容量FEC1に含まれている強誘電性を有し得る誘電体で分極が起こるものとする。

つまり、このタイミングで容量FEC1への書き込み動作が行われるものとする。

[0200]

また、配線VILが与える電位VIN1を正電位、高レベル電位等として、配線VILからトランジスタM1に電位VIN1を与えることによって、トランジスタM1のゲートー第1端子間を介して、ノードN1の電位を昇圧させることができる場合がある。これにより、容量FEC1の第1端子と第2端子との間の電圧V12-V22を高くすることができ、容易に、容量FEC1に含まれている強誘電性を有し得る誘電体に分極を起こすことができる場合がある。

[0201]

時刻T14から時刻T15までの間では、配線VCLが与えている電位VFC2がVFC1に変化する。つまり、時刻T14から時刻T15までの間における配線VCLが与える電位は、時刻T13よりも前の時刻において配線VCLが与える電位と等しいものとする。

[0202]

ノードN2は、時刻T12以降では、フローティング状態となっているため、配線VCLが与えている電位VFC2がVFC1に変化することで、ノードN2の電位はV22からV21に戻る。

[0203]

ノードN2の電位がV22からV21に変化することで、容量FEC1の容量結合によって、ノードN1の電位V12も変化する。なお、時刻T13から時刻T14までの間の動作によって、容量FEC1に含まれる強誘電性を有し得る誘電体では分極が生じているため、ノードN1の電位は、元の電位V11に戻らず、電位V12よりも高くかつ電位V11よりも低い電位となる。本動作例では、時刻T14から時刻T15までの間において、ノードN1の電位は、電位V12から電位V13に変化するものとする。

[0204]

なお、電位V13は、電位V21、および電位VIN1よりも低い電位とする。ここで、トランジスタM1のゲートーソース間電圧V13-VIN1は、トランジスタM1のしきい値電圧よりも低くなるものとし、トランジスタM1はオフ状態になるものとする。

[0205]

時刻T15から時刻T16までの間では、配線VGLに高レベル電位が与えられる。これにより、トランジスタM2のゲートには配線VGLからの高レベル電位が与えられるため、トランジスタM2はオン状態となる。

[0206]

上記の動作によって、容量FEC1への電位の書き込みを行うことができる。

[0207]

図11Bは、回路HCの動作例を示すタイミングチャートであり、時刻T21から時刻T24までの間、およびその近傍の時刻における、配線VCL、配線VGL、配線VIL、ノードN1、ノードN2、およびノードNBGのそれぞれの電位の変化を示している。特に、図11Bでは、トランジスタ22およびトランジスタ32のバックゲートへの電位の書き込みの動作例を示している。また、図11Bにおいて、高レベル電位は“High”と表記し、低レベル電位は“Low”と表記している。

[0208]

時刻T21は、図11Aのタイミングチャートの時刻T16以降の時刻とする。そのため、時刻

T 2 1 から時刻 T 2 2 までの間では、配線 V C L には電位 V_{FC1} が与えられ、配線 V G L には高レベル電位が与えられ、配線 V I L には電位 V_{IN1} が与えられている。また、ノード N 1 の電位は V_{13} となり、ノード N 2 の電位は V_{21} となり、ノード N B G は、 V_{BG1} ($=V_{21}$) となっている。

[0 2 0 9]

時刻 T 2 2 から時刻 T 2 3 までの間では、配線 V I L が与えている電位 V_{IN1} が電位 V_{IN2} に変化する。なお、電位 V_{IN2} は、 V_{IN1} よりも低い電位である。また、電位 V_{IN2} は、例えば、負電位、低レベル電位等とすることができる。

[0 2 1 0]

トランジスタ M 1 の第 1 端子には、配線 V I L から電位 V_{IN2} が与えられているため、トランジスタ M 1 のゲートソース間電圧は、 $V_{13} - V_{IN2}$ となる。ここで、 $V_{13} - V_{IN2}$ は、トランジスタ M 1 のしきい値電圧よりも高い電圧とする。

[0 2 1 1]

$V_{13} - V_{IN2}$ をトランジスタ M 1 のしきい値電圧よりも高い電圧とすることで、トランジスタ M 1 はオン状態となる。また、配線 V G L には高レベル電位が与えられていて、トランジスタ M 2 もオン状態となっているため、配線 V I L から、トランジスタ M 1、ノード N B G、およびトランジスタ M 2 を介して、ノード N 2 に配線 V I L からの電位が供給される。

[0 2 1 2]

具体的には、ノード N 2、およびノード N B G のそれぞれの電位は V_{21} から低下する。本動作例では、時刻 T 2 2 から時刻 T 2 3 までの間において、ノード N 2、およびノード N B G のそれぞれの電位は、 V_{21} から電圧 ΔV_{BG} だけ低下するものとする。また、ノード N 2、およびノード N B G のそれぞれの電位は、 ΔV_{BG} だけ低下して、 V_{BG2} になるものとする。

[0 2 1 3]

また、ノード N 2 の電位が V_{21} から V_{BG2} に低下することで、容量 F E C 1 の容量結合によって、ノード N 1 の電位 V_{13} も低下する。なお、本動作例では、時刻 T 2 2 から時刻 T 2 3 までの間において、ノード N 1 の電位は、 $V_{13} - \alpha \Delta V_{BG}$ になるものとする。なお、 α は、容量 F E C 1 における容量結合係数とする。

[0 2 1 4]

時刻 T 2 3 から時刻 T 2 4 までの間では、配線 V I L が与えている電位 V_{IN2} が V_{IN1} に変化する。つまり、時刻 T 2 3 から時刻 T 2 4 までの間における配線 V I L が与える電位は、時刻 T 2 2 よりも前の時刻において配線 V I L が与える電位と等しいものとする。

[0 2 1 5]

このとき、トランジスタ M 1 の第 1 端子には、配線 V I L からの電位 V_{IN1} が与えられているため、トランジスタ M 1 のゲートソース間電圧は、 $V_{13} - \alpha \Delta V_{BG} - V_{IN1}$ となる。なお、 $V_{13} - \alpha \Delta V_{BG}$ は V_{13} よりも低い電位であり、 V_{13} は V_{IN1} よりも低い電位である。また、 $V_{13} - V_{IN1}$ はトランジスタ M 1 のしきい値電圧よりも低くなるため、 $V_{13} - \alpha \Delta V_{BG} - V_{IN1}$ もトランジスタ M 1 のしきい値電圧よりも低くなる。これにより、時刻 T 2 3 から時刻 T 2 4 までの間では、トランジスタ M 1 はオフ状態となる。

[0 2 1 6]

上記の動作によって、回路 H C のノード N B G に電圧 V_{BG2} の書き込みを行うことができる。特に、 V_{IN2} を負電位とすることで、 V_{BG2} を負電位にすることができ、回路 H C のノード N B G に、

負電位として V_{BG2} を書き込むことができる。また、トランジスタ $M1$ のゲートソース間電圧をしきい値電圧よりも低くして、トランジスタ $M1$ をオフ状態にすることができるため、ノード NBG の負電位 V_{BG2} を長く保持することができる。これによって、トランジスタ 22 およびトランジスタ 32 のバックゲートに、長い時間、負電位 V_{BG2} を与えることができる。また、状況に応じて、同様の動作を行って、ノード NBG に保持されている負電位をリフレッシュしてもよい。

[0217]

次に、図11Bの動作例の時刻 $T24$ の後で、ノード NBG の電位を書き換える場合の動作例について説明する。

[0218]

[ノード NBG の電位を低下させる場合]

ノード NBG の電位を低下させたい場合、例えば、図12Aに示すタイミングチャートのとおり、回路 HC を動作させればよい。図12Aのタイミングチャートは、時刻 $T31$ から時刻 $T34$ までの間、およびその近傍の時刻における、配線 VCL 、配線 VGL 、配線 VIL 、ノード $N1$ 、ノード $N2$ 、およびノード NBG のそれぞれの電位の変化を示している。また、図12Aにおいて、高レベル電位は“High”と表記し、低レベル電位は“Low”と表記している。

[0219]

時刻 $T31$ は、図11Bのタイミングチャートの時刻 $T24$ 以降の時刻とする。そのため、時刻 $T31$ から時刻 $T32$ までの間では、配線 VCL には電位 V_{FC1} が与えられ、配線 VGL には高レベル電位が与えられ、配線 VIL には電位 V_{IN1} が与えられている。また、ノード $N1$ の電位は $V_{13} - \alpha \Delta V_{BG}$ となり、ノード $N2$ の電位は V_{BG2} となり、ノード NBG は、 V_{BG2} となっている。

[0220]

時刻 $T32$ から時刻 $T33$ までの間では、配線 VIL が与えている電位 V_{IN1} が電位 V_{IN3} に変化する。なお、電位 V_{IN3} は、 V_{IN2} よりも低い電位である。また、電位 V_{IN3} は、例えば、 V_{IN2} よりも低い負電位、低レベル電位等とすることができる。

[0221]

トランジスタ $M1$ の第1端子には、配線 VIL から電位 V_{IN3} が与えられているため、トランジスタ $M1$ のゲートソース間電圧は、 $V_{13} - V_{IN3}$ となる。ところで、 $V_{13} - V_{IN2}$ は、トランジスタ $M1$ のしきい値電圧よりも高い電圧となっており、また V_{IN3} は V_{IN2} よりも低い電位であるため、 $V_{13} - V_{IN3}$ もトランジスタ $M1$ のしきい値電圧よりも高い電圧となる。

[0222]

$V_{13} - V_{IN3}$ がトランジスタ $M1$ のしきい値電圧よりも高い電圧となっているため、トランジスタ $M1$ はオン状態となる。また、配線 VGL には高レベル電位が与えられていて、トランジスタ $M2$ もオン状態となっているため、配線 VIL から、トランジスタ $M1$ 、ノード NBG 、およびトランジスタ $M2$ を介して、ノード $N2$ に配線 VIL からの電位が供給される。

[0223]

具体的には、ノード $N2$ 、およびノード NBG のそれぞれの電位は V_{BG2} から低下する。本動作例では、時刻 $T32$ から時刻 $T33$ までの間において、ノード $N2$ 、およびノード NBG のそれぞれの電位は、 V_{BG2} から電圧 ΔV_{BGN} だけ低下するものとする。また、ノード $N2$ 、およびノード NBG のそれぞれの電位は、 ΔV_{BGN} だけ低下して、電位 V_{BG3} になるものとする。

[0224]

また、ノードN2の電位が V_{BG2} から V_{BG3} に低下することで、容量 F_{EC1} の容量結合によって、ノードN1の電位 $V_{13} - \alpha \Delta V_{BG}$ も低下する。なお、本動作例では、時刻T32から時刻T33までの間において、ノードN1の電位は、 $V_{13} - \alpha (\Delta V_{BG} + \Delta V_{BGN})$ になるものとする。

[0225]

時刻T33から時刻T34までの間では、配線VILが与えている電位 V_{IN3} が V_{IN1} に変化する。つまり、時刻T33から時刻T34までの間における配線VCLが与える電位は、時刻T32よりも前の時刻において配線VILが与える電位と等しいものとする。

[0226]

このとき、トランジスタM1の第1端子には、配線VILからの電位 V_{IN1} が与えられているため、トランジスタM1のゲートソース間電圧は、 $V_{13} - \alpha (\Delta V_{BG} + \Delta V_{BGN}) - V_{IN1}$ となる。なお、 $V_{13} - \alpha (\Delta V_{BG} + \Delta V_{BGN})$ は V_{13} よりも低い電位であり、 V_{13} は V_{IN1} よりも低い電位である。また、 $V_{13} - V_{IN1}$ はトランジスタM1のしきい値電圧よりも低くなるため、 $V_{13} - \alpha (\Delta V_{BG} + \Delta V_{BGN}) - V_{IN1}$ もトランジスタM1のしきい値電圧よりも低くなる。これにより、時刻T33から時刻T34までの間では、トランジスタM1はオフ状態となる。

[0227]

図12Bの動作例を、回路HCに行わせることによって、図11Bの動作例でノードNBGに書き込まれた電圧を、より小さい電圧に書き換えることができる。

[0228]

[ノードNBGの電位を上昇させる場合]

ノードNBGの電位を上昇させたい場合、例えば、図12Bに示すタイミングチャートのとおり、回路HCを動作させればよい。図12Bのタイミングチャートは、時刻T41から時刻T45までの間、およびその近傍の時刻における、配線VCL、配線VGL、配線VIL、ノードN1、ノードN2、およびノードNBGのそれぞれの電位の変化を示している。また、図12Bにおいて、高レベル電位は“High”と表記し、低レベル電位は“Low”と表記している。

[0229]

時刻T41は、図11Bのタイミングチャートの時刻T24以降の時刻とする。そのため、時刻T41から時刻T42までの間では、配線VCLには電位 V_{FC1} が与えられ、配線VGLには高レベル電位が与えられ、配線VILには電位 V_{IN1} が与えられている。また、ノードN1の電位は $V_{13} - \alpha \Delta V_{BG}$ となり、ノードN2の電位は V_{BG2} となり、ノードNBGは、 V_{BG2} となっている。

[0230]

時刻T42から時刻T43までの間では、配線VCLが与えている電位 V_{FC1} が電位 V_{FC3} に変化する。なお、電位 V_{FC3} は、 V_{FC1} よりも高い電位である。

[0231]

ノードN2、およびノードNBGがフローティング状態である場合、配線VCLが与える電位が V_{FC1} から V_{FC3} に変化することで、容量C1における容量結合によって、その電圧変化に応じてノードN2、およびノードNBGの電位も変化する。本動作例では、時刻T42から時刻T43までの間において、ノードN2、およびノードNBGのそれぞれの電位は、 V_{BG2} から電圧 ΔV_{BGP} だけ上昇するものとする。また、ノードN2、およびノードNBGのそれぞれの電位は、 ΔV_{BGP} だけ低下して、電位 V_{BG4} になるものとする。

[0232]

また、ノードN1もフローティング状態であるため、ノードN2の電位が V_{BG2} から V_{BG4} に変化することで、容量FEC1における容量結合によって、その電圧変化に応じてノードN1の電位も変化する。本動作例では、ノードN1の電位は、 $V_{13} - \alpha \Delta V_{BG}$ から $V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP})$ に変化するものとする。

[0233]

なお、時刻T42から時刻T43までの間における、ノードN1とノードN2との間の電圧では、容量FEC1に含まれている強誘電性を有し得る誘電体で分極の反転は起こらないものとする。言い換えると、配線VCLから与えられる、電位 V_{FC1} から電位 V_{FC3} に変化した電圧は、当該誘電体で分極の反転が起こらない程度の電圧とする。

[0234]

トランジスタM1の第1端子には、配線VILからの電位 V_{IN1} が与えられているため、トランジスタM1のゲートソース間電圧は、 $V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP}) - V_{IN1}$ となる。時刻T41から時刻T42までの間における、トランジスタM1のゲートソース間電圧は $V_{13} - \alpha \Delta V_{BG} - V_{IN1}$ なので、時刻T42から時刻T43までの動作（配線VCLが与える電位が V_{FC1} から V_{FC3} への変化）によって、トランジスタM1のゲートソース間電圧は、 ΔV_{BGP} だけ上昇したことになる。

[0235]

ここで、 $V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP}) - V_{IN1}$ は、トランジスタM1のしきい値電圧よりも小さいものとして、トランジスタM1はオフ状態とする。

[0236]

時刻T43から時刻T44までの間では、配線VILが与えている電位 V_{IN1} が電位 V_{IN4} に変化する。なお、電位 V_{IN4} は、 V_{IN1} よりも低い電位であって、かつ電位 V_{IN2} よりも高い電位である。また、電位 V_{IN4} は、例えば、 V_{IN1} よりも低く、且つ V_{IN2} よりも高い負電位、低レベル電位等とすることができる。

[0237]

トランジスタM1の第1端子には、配線VILからの電位 V_{IN4} が与えられているため、トランジスタM1のゲートソース間電圧は、 $V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP}) - V_{IN4}$ となる。ここで、 $V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP}) - V_{IN4}$ は、トランジスタM1のしきい値電圧よりも高い電圧とする。

[0238]

$V_{13} - \alpha (\Delta V_{BG} - \Delta V_{BGP}) - V_{IN4}$ をトランジスタM1のしきい値電圧よりも高い電圧とすることで、トランジスタM1はオン状態となる。また、配線VGLには高レベル電位が与えられていて、トランジスタM2もオン状態となっているため、配線VILから、トランジスタM1、ノードNBG、およびトランジスタM2を介して、ノードN2に配線VILからの電位が供給される。

[0239]

具体的には、ノードN2、およびノードNBGのそれぞれの電位は V_{BG4} から低下する。本動作例では、時刻T43から時刻T44までの間において、ノードN2、およびノードNBGのそれぞれの電位は、 V_{BG4} から電圧 ΔV_{BGQ} だけ低下するものとする。また、ノードN2、およびノードNBGのそれぞれの電位は、 ΔV_{BGQ} だけ低下して、電位 V_{BG5} になるものとする。

[0240]

また、ノードN2の電位が V_{BG4} から V_{BG5} に低下することで、容量 $FEC1$ の容量結合によって、ノードN1の電位 $V_{13} - \alpha (\Delta V_{BGN} - \Delta V_{BGP})$ も低下する。なお、本動作例では、時刻T43から時刻T44までの間において、ノードN1の電位は、 $V_{13} - \alpha (\Delta V_{BGN} - \Delta V_{BGP} + \Delta V_{BGQ})$ になるものとする。

[0241]

時刻T44から時刻T45までの間では、配線VILが与えている電位 V_{IN4} が V_{IN1} に変化する。つまり、時刻T44から時刻T45までの間における配線VILが与える電位は、時刻T43よりも前の時刻において配線VILが与える電位と等しいものとする。

[0242]

このとき、トランジスタM1の第1端子には、配線VILからの電位 V_{IN1} が与えられているため、トランジスタM1のゲートソース間電圧は、 $V_{13} - \alpha (\Delta V_{BGN} - \Delta V_{BGP} + \Delta V_{BGQ}) - V_{IN1}$ となる。なお、 $V_{13} - \alpha (\Delta V_{BGN} - \Delta V_{BGP} + \Delta V_{BGQ})$ は V_{13} よりも低い電位であり、 V_{13} は V_{IN1} よりも低い電位である。また、 $V_{13} - V_{IN1}$ はトランジスタM1のしきい値電圧よりも低くなるため、 $V_{13} - \alpha (\Delta V_{BGN} - \Delta V_{BGP} + \Delta V_{BGQ}) - V_{IN1}$ もトランジスタM1のしきい値電圧よりも低くなる。これにより、時刻T44から時刻T45までの間では、トランジスタM1はオフ状態となる。

[0243]

上記の動作によって、回路HCのノードNBGに電圧 V_{BG2} よりも高い電圧 V_{BG5} を書き込むことができる。また、トランジスタM1がオフ状態なので、ノードNBGの負電位 V_{BG5} を長く保持することができ、これにより、トランジスタ22およびトランジスタ32のバックゲートに、長い時間、負電位 V_{BG5} を与えることができる。

[0244]

図12A、および図12Bのタイミングチャートの動作によって、回路HCのノードNBGに書き込まれている電圧 V_{BG2} を別の電位に書き換えることができる。

[0245]

図13は、参照セル21(1)、および演算セル31(1)を有する半導体装置10D1を説明するための図であり、図14は、参照セル21(2)、および演算セル31(2)を有する半導体装置10D2を説明するための図であり、図15は、参照セル21(3)、および演算セル31(3)を有する半導体装置10D3を説明するための図である。半導体装置10D1の参照セル21(1)、半導体装置10D2の参照セル21(2)、および半導体装置10D3の参照セル21(3)は、トランジスタ22、トランジスタ24、および容量25の他、トランジスタ23を有する。また、半導体装置10D1の演算セル31(1)、半導体装置10D2の演算セル31(2)、および半導体装置10D3の演算セル31(3)は、トランジスタ32、トランジスタ34、および容量35の他、トランジスタ33を有する。

[0246]

トランジスタ23のソースまたはドレインの一方は、トランジスタ22のソースまたはドレインの一方、および配線XCLと電氣的に接続される。トランジスタ23のソースまたはドレインの他方は、トランジスタ24のソースまたはドレインの一方と電氣的に接続される。トランジスタ33のソースまたはドレインの一方は、トランジスタ32のソースまたはドレインの一方、および配線WCLと電氣的に接続される。トランジスタ33のソースまたはドレインの他方は、トランジスタ

34のソースまたはドレインの一方と電氣的に接続される。トランジスタ23のゲート、およびトランジスタ33のゲートは、配線VBLと電氣的に接続される。トランジスタ23のバックゲート、およびトランジスタ33のバックゲートには、低電源電位（例えばグラウンド電位）等の定電位を与えることができる。なお、トランジスタ23のバックゲートの電位、およびトランジスタ33のバックゲートの電位を変動させることができる構成としてもよい。

[0247]

配線VBLには、バイアス電位が与えられる。具体的には、配線VBLには、トランジスタ23、およびトランジスタ33を飽和領域で動作させるための電位が与えられる。これにより、トランジスタ23、およびトランジスタ33は、定電流源としての機能を有することができる。よってバイアストランジスタとしての機能を有することができる。以上より、トランジスタ23、トランジスタ33のゲートにバイアス電位を与えることで、トランジスタ24のソースまたはドレインの一方の電位、およびトランジスタ34のソースまたはドレインの一方の電位の変動を小さくすることができる。これにより、トランジスタ24のしきい値電圧、およびトランジスタ34のしきい値電圧が、DIBLにより変動することを抑制することができる。以上により、演算によって得られるデータの精度を高めることができる。

[0248]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0249]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置を適用可能な装置である、演算装置の一例について説明する。演算装置は、積和演算が可能な回路を有する。演算装置は、演算回路という場合がある。

[0250]

<演算装置の構成例>

図16は、第1データと、第2データと、の積和演算を行う演算装置の構成例を示している。図16に示す演算装置MAC1は、各セルに保持した電位に応じた第1データ（重みデータ）と、入力された第2データ（入力データ）と、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第1データ、および第2データは、一例としては、アナログデータ、または多値のデータ（離散的なデータ）とすることができる。

[0251]

演算装置MAC1は、回路WCSと、回路XCSと、回路WSDと、回路SWS1と、回路SWS2と、セルアレイCAと、変換回路ITRZ_1乃至変換回路ITRZ_nと、を有する。

[0252]

セルアレイCAは、演算セル31_1, 1乃至演算セル31_m, nと、参照セル21_1乃至参照セル21_mと、を有する。演算セル31_1, 1乃至演算セル31_m, nのそれぞれは、一例として、上記実施の形態で説明した演算セル31と同様に、トランジスタ32と、トランジスタ34と、容量35と、を有する。参照セル21_1乃至参照セル21_mのそれぞれは、一例として、上記実施の形態で説明した参照セル21と同様に、トランジスタ22と、トランジスタ24と、容量25と、を有する。なお以下の説明では、上記実施の形態1で説明した「ソースまたはドレインの一方」を「第1端子」、「ソースまたはドレインの他方」を「第2端子」として説明する

場合がある。また、以下の説明では、容量の「一方の電極」を「第1端子」、「他方の電極」を「第2端子」として説明する場合がある。

[0253]

図16では、演算セル31__1, 1において、トランジスタ32の第1端子と、トランジスタ34のバックゲートと、容量35の第1端子と、の接続箇所をノードNN__11としている。同様に図16では、演算セル31__1, n、演算セル31__m, 1および演算セル31__m, nにおいて、同様の接続箇所をノードNN__1n、ノードNN__m1およびノードNN__mnとしている。同様に図16では、参照セル21__1および参照セル21__mにおいて、同様の接続箇所をノードNN__ref1およびノードNN__ref__mとしている。なお、ノードNN__11乃至ノードNN__mn、およびノードNN__ref__1乃至ノードNN__ref__mは、それぞれのセルの保持ノードとして機能する。

[0254]

回路SWS1は、一例として、トランジスタF3__1乃至トランジスタF3__nを有する。トランジスタF3__1の第1端子は、配線WCL__1に電氣的に接続され、トランジスタF3__1の第2端子は、回路WCSに電氣的に接続され、トランジスタF3__1のゲートは、配線SWL1に電氣的に接続されている。トランジスタF3__nの第1端子は、配線WCL__nに電氣的に接続され、トランジスタF3__nの第2端子は、回路WCSに電氣的に接続され、トランジスタF3__nのゲートは、配線SWL1に電氣的に接続されている。

[0255]

トランジスタF3__1乃至トランジスタF3__nのそれぞれとしては、例えば、セルアレイCAが有するトランジスタに適用できるトランジスタを用いることができる。特に、トランジスタF3__1乃至トランジスタF3__nのそれぞれとしては、OSトランジスタを用いることが好ましい。

[0256]

回路SWS1は、回路WCSと、配線WCL__1乃至配線WCL__nのそれぞれと、の間を、導通状態または非導通状態にする回路として機能する。

[0257]

回路SWS2は、一例として、トランジスタF4__1乃至トランジスタF4__nを有する。トランジスタF4__1の第1端子は、配線WCL__1に電氣的に接続され、トランジスタF4__1の第2端子は、変換回路ITRZ__1の入力端子に電氣的に接続され、トランジスタF4__1のゲートは、配線SWL2に電氣的に接続されている。トランジスタF4__nの第1端子は、配線WCL__nに電氣的に接続され、トランジスタF4__nの第2端子は、変換回路ITRZ__nの入力端子に電氣的に接続され、トランジスタF4__nのゲートは、配線SWL2に電氣的に接続されている。

[0258]

トランジスタF4__1乃至トランジスタF4__nのそれぞれとしては、例えば、セルアレイCAが有するトランジスタに適用できるトランジスタを用いることができる。特に、トランジスタF4__1乃至トランジスタF4__nのそれぞれとしては、OSトランジスタを用いることが好ましい。

[0259]

回路SWS2は、配線WCL__1と変換回路ITRZ__1との間、および配線WCL__nと変換回路ITRZ__nとの間を、導通状態または非導通状態にする機能を有する。

[0260]

回路WCSは、セルレイCAが有するそれぞれのセルに格納するためのデータを供給する機能を有する。

[0261]

回路XCSは、配線XCL₁乃至配線XCL_mに電氣的に接続されている。回路XCSは、セルレイCAが有する参照セル2₁₁および参照セル2₁_mのそれぞれに対して、後述する参照データに応じた電流量の電流、または第2データに応じた電流量の電流を流す機能を有する。

[0262]

回路WSDは、配線WSL₁乃至配線WSL_mに電氣的に接続されている。回路WSDは、演算セル3₁₁, 1乃至演算セル3₁_m, nに第1データを書き込む際に、配線WSL₁乃至配線WSL_mに所定の信号を供給することによって、第1データの書き込み先となるセルレイCAの行を選択する機能を有する。具体的には、回路WSDは、トランジスタ2₂、およびトランジスタ3₂のオンまたはオフを制御する信号を生成し、当該信号をトランジスタ2₂のゲート、およびトランジスタ3₂のゲートに与える機能を有する。つまり、配線WSL₁乃至配線WSL_mは、書き込みワード線として機能する。

[0263]

また、回路WSDは、一例として、配線SWL₁と、配線SWL₂と、に電氣的に接続されている。回路WSDは、配線SWL₁に所定の信号を供給することによって、回路WCSとセルレイCAとの間を導通状態または非導通状態にする機能と、配線SWL₂に所定の信号を供給することによって、変換回路ITRZ₁乃至変換回路ITRZ_nとセルレイCAとの間を導通状態または非導通状態にする機能と、を有する。

[0264]

変換回路ITRZ₁乃至変換回路ITRZ_nのそれぞれは、一例として、入力端子と、出力端子と、を有する。例えば、変換回路ITRZ₁の出力端子は、配線OL₁に電氣的に接続され、変換回路ITRZ_nの出力端子は、配線OL_nに電氣的に接続されている。

[0265]

変換回路ITRZ₁乃至変換回路ITRZ_nのそれぞれは、入力端子に電流が入力されることで、当該電流量に応じた電圧に変換して、出力端子から当該電圧を出力する機能を有する。当該電圧としては、例えば、アナログ電圧、デジタル電圧等とすることができる。また、変換回路ITRZ₁乃至変換回路ITRZ_nのそれぞれは、関数系の演算回路を有してもよい。この場合、例えば、変換された電圧を用いて、当該演算回路によって関数の演算を行って、演算の結果を配線OL₁乃至配線OL_nに出力してもよい。

[0266]

特に、階層型のニューラルネットワークの演算を行う場合、上述した関数としては、例えば、シグモイド関数、tanh関数、ソフトマックス関数、ReLU関数、しきい値関数等を用いることができる。

[0267]

<<回路WCS、回路XCS>>

ここでは、回路WCS、および回路XCSの具体例について説明する。

[0268]

初めに、回路WCSについて説明する。図17Aは、回路WCSの一例を示したブロック図であ

る。なお、図17Aには、回路WCSの周辺の回路との電氣的な接続を示すため、回路SWS1、トランジスタF3、配線SWL1、配線WCLも図示している。また、トランジスタF3は、図16の演算装置MAC1に含まれているトランジスタF3₁乃至トランジスタF3_nのいずれか一であり、配線WCLは、図16の演算装置MAC1に含まれている配線WCL₁乃至配線WCL_nのいずれか一である。

[0269]

図17Aに示す回路WCSは、一例として、スイッチSWWを有する。スイッチSWWの第1端子は、トランジスタF3の第2端子に電氣的に接続され、スイッチSWWの第2端子は、配線VINIL1に電氣的に接続されている。配線VINIL1は、配線WCLに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位(GND)、低レベル電位、高レベル電位等とすることができる。なお、スイッチSWWは、配線WCLに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

[0270]

スイッチSWWとしては、例えば、アナログスイッチまたはトランジスタ等の電氣的なスイッチ等を適用することができる。なお、スイッチSWWとして、例えば、トランジスタを適用する場合、当該トランジスタは、例えば、セルレイCAが有するトランジスタに適用できるトランジスタを用いることができる。また、電氣的なスイッチ以外では、機械的なスイッチを適用してもよい。

[0271]

また、図17Aの回路WCSは、一例として、複数の電流源CSを有する。具体的には、回路WCSはKビット(2^K 値)(Kは1以上の整数)の第1データを電流として出力する機能を有し、この場合、回路WCSは、 $2^K - 1$ 個の電流源CSを有する。なお、回路WCSは、1ビット目の値に相当する情報を電流として出力する電流源CSを1個有し、2ビット目の値に相当する情報を電流として出力する電流源CSを2個有し、Kビット目の値に相当する情報を電流として出力する電流源CSを 2^{K-1} 個有する。

[0272]

図17Aにおいて、それぞれの電流源CSは、端子T1と、端子T2と、を有する。それぞれの電流源CSの端子T1は、回路SWS1が有するトランジスタF3の第2端子に電氣的に接続されている。また、1個の電流源CSの端子T2は配線DW₁に電氣的に接続され、2個の電流源CSの端子T2のそれぞれは配線DW₂に電氣的に接続され、 2^{K-1} 個の電流源CSの端子T2のそれぞれは配線DW_Kに電氣的に接続されている。

[0273]

回路WCSが有する複数の電流源CSは、それぞれ同一の定電流 I_{wut} を端子T1から出力する機能を有する。定電流 I_{wut} は、実施の形態1で説明した規格化された電流 I_{wut} に相当する。なお、実際には、演算装置MAC1の作製段階において、それぞれの電流源CSに含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源CSの端子T1のそれぞれから出力される定電流 I_{wut} の誤差は10%以内が好ましく、5%以内であることがより好ましく、1%以内であることがより好ましい。なお、本実施の形態では、回路WCSに含まれている複数の電流源CSの端子T1から出力される定電流 I_{wut} の誤差は無いものとして説明する。

[0274]

配線DW__1乃至配線DW__Kは、電氣的に接続されている電流源CSから定電流 I_{wut} を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線DW__1に高レベル電位が与えられているとき、配線DW__1に電氣的に接続されている電流源CSは、定電流として I_{wut} をトランジスタF3の第2端子に流し、また、配線DW__1に低レベル電位が与えられているとき、配線DW__1に電氣的に接続されている電流源CSは、 I_{wut} を出力しない。

[0275]

配線DW__1に電氣的に接続されている1個の電流源CSが流す電流は、1ビット目の値に相当し、配線DW__2に電氣的に接続されている2個の電流源CSが流す電流は、2ビット目の値に相当し、配線DW__Kに電氣的に接続されているK個の電流源CSが流す電流は、Kビット目の値に相当する。

[0276]

なお、図17AではKが3以上の整数である場合の回路WCSを図示しているが、Kが1である場合は、図17Aの回路WCSを、配線DW__2乃至配線DW__Kに電氣的に接続されている電流源CSを設けない構成にすればよい。また、Kが2である場合は、図17Aの回路WCSを、配線DW__3乃至配線DW__Kに電氣的に接続されている電流源CSを設けない構成にすればよい。

[0277]

次に、電流源CSの具体的な構成例について説明する。

[0278]

図18Aに示す電流源CS1は、図17Aの回路WCSに含まれる電流源CSに適用できる回路であって、電流源CS1は、トランジスタTr1と、トランジスタTr2と、を有する。

[0279]

トランジスタTr1の第1端子は、配線VDDLに電氣的に接続され、トランジスタTr1の第2端子は、トランジスタTr1のゲートと、トランジスタTr1のバックゲートと、トランジスタTr2の第1端子と、に電氣的に接続されている。トランジスタTr2の第2端子は、端子T1に電氣的に接続され、トランジスタTr2のゲートは、端子T2に電氣的に接続されている。また、端子T2は、配線DWに電氣的に接続されている。

[0280]

配線DWは、図17Aの配線DW__1乃至配線DW__Kのいずれかである。

[0281]

配線VDDLは、定電位を与える配線として機能する。当該定電位としては、例えば、高レベル電位とすることができる。

[0282]

配線VDDLが与える定電位を高レベル電位としたとき、トランジスタTr1の第1端子には高レベル電位が入力される。また、トランジスタTr1の第2端子の電位は、当該高レベル電位よりも低い電位とする。このとき、トランジスタTr1の第1端子はドレインとして機能し、トランジスタTr1の第2端子はソースとして機能する。また、トランジスタTr1のゲートと、トランジスタTr1の第2端子と、は、電氣的に接続されているため、トランジスタTr1のゲートソース間電圧は0Vとなる。このため、トランジスタTr1のしきい値電圧が適切な範囲内である場合、トランジスタTr1の第1端子ー第2端子間には、サブスレッショルド領域の電流範囲の電流（ドレイン電流）が流れる。当該電流の量としては、トランジスタTr1がOSトランジスタである場

合、例えば、 1.0×10^{-8} A以下であることが好ましく、また、 1.0×10^{-12} A以下であることがより好ましく、また、 1.0×10^{-15} A以下であることがより好ましい。また、例えば、当該電流はゲートソース間電圧に対して指数関数的に増大する範囲内であることがより好ましい。つまり、トランジスタTr 1は、サブスレッショルド領域で動作するときの電流範囲の電流を流すための電流源として機能する。なお、当該電流は上述した I_{wut} 、または後述する I_{xut} に相当する。

[0283]

トランジスタTr 2は、スイッチング素子として機能する。ところで、トランジスタTr 2の第1端子の電位がトランジスタTr 2の第2端子の電位よりも高い場合、トランジスタTr 2の第1端子はドレインとして機能し、トランジスタTr 2の第2端子はソースとして機能する。また、トランジスタTr 2のバックゲートと、トランジスタTr 2の第2端子と、は、電氣的に接続されているため、バックゲートソース間電圧は0 Vとなる。このため、トランジスタTr 2のしきい値電圧が適切な範囲内である場合、トランジスタTr 2のゲートに高レベル電位が入力されることで、トランジスタTr 2はオン状態となるものとし、トランジスタTr 2のゲートに低レベル電位が入力されることで、トランジスタTr 2はオフ状態となるものとする。具体的には、トランジスタTr 2がオン状態のとき、上述したサブスレッショルド領域の電流範囲の電流がトランジスタTr 1の第2端子から端子T 1に流れ、トランジスタTr 2がオフ状態のとき、当該電流はトランジスタTr 1の第2端子から端子T 1に流れないものとする。

[0284]

なお、図17Aの回路WCSに含まれる電流源CSに適用できる回路は、図18Aの電流源CS 1に限定されない。例えば、電流源CS 1は、トランジスタTr 2のバックゲートとトランジスタTr 2の第2端子とが電氣的に接続されている構成となっているが、トランジスタTr 2のバックゲートは別の配線に電氣的に接続されている構成としてもよい。このような構成例を図18Bに示す。図18Bに示す電流源CS 2は、トランジスタTr 2のバックゲートが配線VTHLに電氣的に接続されている構成となっている。電流源CS 2は、配線VTHLが外部回路等と電氣的に接続されることで、当該外部回路等によって配線VTHLに所定の電位を与えて、トランジスタTr 2のバックゲートに当該所定の電位を与えることができる。これにより、トランジスタTr 2のしきい値電圧を変動させることができる。特に、トランジスタTr 2のしきい値電圧を高くすることによって、トランジスタTr 2のオフ電流を小さくすることができる。

[0285]

また、例えば、電流源CS 1は、トランジスタTr 1のバックゲートとトランジスタTr 1の第2端子とが電氣的に接続されている構成となっているが、トランジスタTr 2のバックゲートと第2端子との間は容量によって電圧を保持する構成としてもよい。このような構成例を図18Cに示す。図18Cに示す電流源CS 3は、トランジスタTr 1、およびトランジスタTr 2に加えて、トランジスタTr 3と、容量C 6と、を有する。電流源CS 3は、トランジスタTr 1の第2端子とトランジスタTr 1のバックゲートとが容量C 6を介して電氣的に接続されている点と、トランジスタTr 1のバックゲートとトランジスタTr 3の第1端子とが電氣的に接続されている点で電流源CS 1と異なる。また、電流源CS 3は、トランジスタTr 3の第2端子が配線VTLに電氣的に接続され、トランジスタTr 3のゲートが配線VWLに電氣的に接続されている構成となっている。電流源CS 3は、配線VWLに高レベル電位を与えて、トランジスタTr 3をオン状態にす

ることによって、配線VTLとトランジスタTr1のバックゲートとの間を導通状態にすることができる。このとき、配線VTLからトランジスタTr1のバックゲートに所定の電位を入力することができる。そして、配線VWLに低レベル電位を与えて、トランジスタTr3をオフ状態にすることによって、容量C6により、トランジスタTr1の第2端子とトランジスタTr1のバックゲートとの間の電圧を保持することができる。つまり、配線VTLがトランジスタTr1のバックゲートに与える電圧を定めることによって、トランジスタTr1のしきい値電圧を変動させることができ、かつトランジスタTr3と容量C6とによって、トランジスタTr1のしきい値電圧を固定することができる。

[0286]

また、例えば、図17Aの回路WCSに含まれる電流源CSに適用できる回路としては、図18Dに示す電流源CS4としてもよい。電流源CS4は、図18Cの電流源CS3において、トランジスタTr2のバックゲートをトランジスタTr2の第2端子でなく、配線VTHLに電氣的に接続した構成となっている。つまり、電流源CS4は、図18Bの電流源CS2と同様に、配線VTHLが与える電位によって、トランジスタTr2のしきい値電圧を変動させることができる。

[0287]

電流源CS4において、トランジスタTr1の第1端子—第2端子間に大きな電流が流れる場合、端子T1から電流源CS4の外部に当該電流を流すために、トランジスタTr2のオン電流を大きくする必要がある。この場合、電流源CS4は、配線VTHLに高レベル電位を与えて、トランジスタTr2のしきい値電圧を低くして、トランジスタTr2のオン電流を高くすることによって、トランジスタTr1の第1端子—第2端子間に流れる大きな電流を、端子T1から電流源CS4の外部に流すことができる。

[0288]

図17Aの回路WCSに含まれる電流源CSとして、図18A乃至図18Dに示した電流源CS1乃至電流源CS4を適用することによって、回路WCSは、Kビットの第1データに応じた電流を出力することができる。また、当該電流の量は、例えば、トランジスタ34がサブスレッショルド領域で動作する範囲内における第1端子—第2端子間に流れる電流とすることができる。

[0289]

また、図17Aの回路WCSとしては、図17Bに示す回路WCSを適用してもよい。図17Bの回路WCSは、配線DW₁乃至配線DW_Kのそれぞれに、図18Aの電流源CSが1つずつ接続された構成となっている。また、トランジスタTr1₁のチャネル幅をw₁、トランジスタTr1₂のチャネル幅をw₂、トランジスタTr1_Kのチャネル幅をw_Kとしたとき、それぞれのチャネル幅の比は、w₁ : w₂ : w_K = 1 : 2 : 2^{K-1}となっている。サブスレッショルド領域で動作するトランジスタのソースドレイン間に流れる電流は、チャネル幅に比例するため、図17Bに示す回路WCSは、図17Aの回路WCSと同様に、Kビットの第1データに応じた電流を出力することができる。

[0290]

なお、トランジスタTr1（トランジスタTr1₁乃至トランジスタTr2_Kを含む）、トランジスタTr2（トランジスタTr2₁乃至トランジスタTr2_Kを含む）、およびトランジスタTr3は、例えば、セルアレイCAが有するトランジスタに適用できるトランジスタを用いることができる。特に、トランジスタTr1（トランジスタTr1₁乃至トランジスタTr2_K）

Kを含む)、トランジスタTr 2 (トランジスタTr 2__1乃至トランジスタTr 2__Kを含む)、およびトランジスタTr 3としては、OSトランジスタを用いることが好ましい。

[0291]

次に、回路XCSの具体例について説明する。

[0292]

図17Cは、回路XCSの一例を示したブロック図である。なお、図17Cには、回路WCSの周辺の回路との電氣的な接続を示すため、配線XCLも図示している。また、配線XCLは、図16の演算装置MAC1に含まれている配線XCL__1乃至配線XCL__mのいずれかである。

[0293]

図17Cに示す回路XCSは、一例として、スイッチSWXを有する。スイッチSWXの第1端子は、配線XCLと、複数の電流源CSと、に電氣的に接続され、スイッチSWXの第2端子は、配線VINIL2に電氣的に接続されている。配線VINIL2は、配線XCLに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位(GND)、低レベル電位、高レベル電位等とすることができる。また、配線VINIL2が与える初期化用の電位は、配線VINIL1が与える電位と等しくしてもよい。なお、スイッチSWXは、配線XCLに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

[0294]

スイッチSWXとしては、例えば、スイッチSWWに適用できるスイッチとすることができる。

[0295]

また、図17Cの回路XCSの回路構成は、図17Aの回路WCSとほぼ同様の構成にすることができる。具体的には、回路XCSは、参照データを電流として出力する機能と、Lビット(2^L 値)(Lは1以上の整数)の第2データを電流として出力する機能と、を有し、この場合、回路XCSは、 $2^L - 1$ 個の電流源CSを有する。なお、回路XCSは、1ビット目の値に相当する情報を電流として出力する電流源CSを1個有し、2ビット目の値に相当する情報を電流として出力する電流源CSを2個有し、Lビット目の値に相当する情報を電流として出力する電流源CSを 2^{L-1} 個有している。

[0296]

ところで、回路XCSが電流として出力する参照データとしては、例えば、1ビット目の値が“1”、2ビット目以降の値が“0”の情報とすることができる。

[0297]

図17Cにおいて、1個の電流源CSの端子T2は配線DX__1に電氣的に接続され、2個の電流源CSの端子T2のそれぞれは配線DX__2に電氣的に接続され、 2^{L-1} 個の電流源CSの端子T2のそれぞれは配線DX__Kに電氣的に接続されている。

[0298]

回路XCSが有する複数の電流源CSは、それぞれ同一の定電流として I_{xut} を端子T1から出力する機能を有する。また、配線DX__1乃至配線DX__Kは、電氣的に接続されている電流源CSから I_{xut} を出力するための制御信号を送信する配線として機能する。つまり、回路XCSは、配線DX__1乃至配線DX__Kから送られるLビットの情報に応じた電流を、配線XCLに流す機能を有する。

[0299]

なお、回路XCSが有する、それぞれの電流源CSに含まれているトランジスタの電気特性のバラツキによって誤差が生じている場合、複数の電流源CSの端子T1のそれぞれから出力される定電流 I_{xut} の誤差は10%以内が好ましく、5%以内であることがより好ましく、1%以内であることがより好ましい。なお、本実施の形態では、回路XCSに含まれている複数の電流源CSの端子T1から出力される定電流 I_{xut} の誤差は無いものとして説明する。

[0300]

また、回路XCSの電流源CSとしては、回路WCSの電流源CSと同様に、図18A乃至図18Dの電流源CS1乃至電流源CS4のいずれかを適用することができる。この場合、図18A乃至図18Dに図示している配線DWを配線DXに置き換えればよい。これにより、回路XCSは、参照データ、またはLビットの第2データとして、サブスレッショルド領域の電流範囲の電流を配線XCLに流すことができる。

[0301]

また、図17Cの回路XCSとしては、図17Bに示す回路WCSと同様の回路構成を適用することができる。この場合、図17Bに示す回路WCSを回路XCSに置き換え、配線DW__1を配線DX__1に置き換え、配線DW__2を配線DX__2に置き換え、配線DW__Kを配線DX__Kに置き換え、スイッチSWWをスイッチSWXに置き換え、配線VINIL1を配線VINIL2に置き換えて考えればよい。

[0302]

<<変換回路ITRZ__1乃至変換回路ITRZ__n>>

ここでは、図16の演算装置MAC1に含まれる変換回路ITRZ__1乃至変換回路ITRZ__nに適用できる回路の具体例について説明する。

[0303]

図19Aに示す変換回路ITRZ1は、図16の変換回路ITRZ__1乃至変換回路ITRZ__nに適用できる回路の一例である。なお、図19Aには、変換回路ITRZ1の周辺の回路との電気的な接続を示すため、回路SWS2、配線WCL、配線SWL2、トランジスタF4も図示している。また、配線WCLは、図16の演算装置MAC1に含まれている配線WCL__1乃至配線WCL__nのいずれか一であり、トランジスタF4は、図16の演算装置MAC1に含まれているトランジスタF4__1乃至トランジスタF4__nのいずれか一である。

[0304]

図19Aの変換回路ITRZ1は、トランジスタF4を介して配線WCLに電氣的に接続されている。また、変換回路ITRZ1は、配線OLに電氣的に接続されている。変換回路ITRZ1は、変換回路ITRZ1から配線WCLに流れる電流、または配線WCLから変換回路ITRZ1に流れる電流をアナログ電圧に変換して、配線OLに当該アナログ電圧を出力する機能を有する。つまり、変換回路ITRZ1は、電流電圧変換回路を有する。

[0305]

図19Aの変換回路ITRZ1は、一例として、抵抗R5と、オペアンプOP1と、を有する。

[0306]

オペアンプOP1の反転入力端子は、抵抗R5の第1端子と、トランジスタF4の第2端子と、に電氣的に接続されている。オペアンプOP1の非反転入力端子は、配線VRLに電氣的に接続されている。オペアンプOP1の出力端子は、抵抗R5の第2端子と、配線OLに電氣的に接続され

ている。

[0307]

配線VRLは、定電位を与える配線として機能する。当該定電位としては、例えば、接地電位(GND)、低レベル電位等とすることができる。

[0308]

変換回路ITRZ1は、図19Aの構成にすることによって、配線WCLから、トランジスタF4を介して、変換回路ITRZ1に流れる電流、または、変換回路ITRZ1から、トランジスタF4を介して、配線WCLに流れる電流を、アナログ電圧に変換して配線OLに出力することができる。

[0309]

特に、配線VRLが与える定電位を接地電位(GND)とすることによって、オペアンプOP1の反転入力端子は仮想接地となるため、配線OLに出力されるアナログ電圧は接地電位(GND)を基準とした電圧とすることができる。

[0310]

また、図19Aの変換回路ITRZ1は、アナログ電圧を出力する構成となっているが、図16の変換回路ITRZ__1乃至変換回路ITRZ__nに適用できる回路構成は、これに限定されない。例えば、変換回路ITRZ1は、図19Bに示すとおり、アナログデジタル変換回路ADCを有する構成としてもよい。具体的には、図19Bの変換回路ITRZ2は、アナログデジタル変換回路ADCの入力端子がオペアンプOP1の出力端子と、抵抗R5の第2端子と、に電氣的に接続され、アナログデジタル変換回路ADCの出力端子が配線OLに電氣的に接続されている構成となっている。このような構成にすることによって、図19Bの変換回路ITRZ2は、配線OLにデジタル信号を出力することができる。

[0311]

また、変換回路ITRZ2において、配線OLに出力されるデジタル信号を1ビット(2値)とする場合、変換回路ITRZ2は、図19Cに示す変換回路ITRZ3に置き換えてもよい。図19Cの変換回路ITRZ3は、図19Aの変換回路ITRZ1にコンパレータCMP1を設けた構成となっている。具体的には、変換回路ITRZ3は、コンパレータCMP1の第1入力端子がオペアンプOP1の出力端子と、抵抗R5の第2端子と、に電氣的に接続され、コンパレータCMP1の第2入力端子が配線VRL2に電氣的に接続され、コンパレータCMP1の出力端子が配線OLに電氣的に接続されている構成となっている。配線VRL2は、コンパレータCMP1の第1端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図19Cの変換回路ITRZ3は、電流電圧変換回路によってトランジスタF4のソースドレイン間に流れる電流から変換された電圧と、配線VRL2が与える電圧と、との大小に応じて、配線OLに低レベル電位または高レベル電位(2値のデジタル信号)を出力することができる。

[0312]

また、図16の演算装置MAC1に適用できる変換回路ITRZ__1乃至変換回路ITRZ__nは、図19A乃至図19Cのそれぞれに示した変換回路ITRZ1乃至変換回路ITRZ3に限定されない。例えば、階層型のニューラルネットワークの演算として、演算装置MAC1を用いる場合、変換回路ITRZ1乃至変換回路ITRZ3には、関数系の演算装置を有することが好ましい。また、関数系の演算装置としては、シグモイド関数、tanh関数、ソフトマックス関数、ReLU

U関数、しきい値関数等の演算装置とすることができる。

[0313]

<演算装置の動作例>

次に、演算装置MAC1の動作例について説明する。

[0314]

図20に演算装置MAC1の動作例のタイミングチャートを示す。図20のタイミングチャートは、時刻T51から時刻T63までの間、およびそれらの近傍における、配線SWL1、配線SWL2、配線WSL_i（iは1以上m-1以下の整数とする。）、配線WSL_{i+1}、配線XCL_i、配線XCL_{i+1}、ノードNN_{i, j}（jは1以上n-1以下の整数とする。）、ノードNN_{i+1, j}、ノードNN_{ref, i}、ノードNN_{ref, i+1}の電位の変動を示している。更に、図20のタイミングチャートには、演算セル31_{i, j}に含まれているトランジスタ34の第1端子-第2端子間に流れる電流I_{34, i, j}と、参照セル21_iに含まれているトランジスタ24の第1端子-第2端子間に流れる電流I_{24, i}と、演算セル31_{i+1, j}に含まれているトランジスタ34の第1端子-第2端子間に流れる電流I_{34, i+1, j}と、参照セル21_{i+1}に含まれているトランジスタ24の第1端子-第2端子間に流れる電流I_{24, i+1}と、のそれぞれの変動についても示している。

[0315]

なお、演算装置MAC1の回路WCSとしては、図17Aの回路WCSを適用し、演算装置MAC1の回路XCSとしては、図17Cの回路XCSを適用するものとする。

[0316]

なお、本動作例において、トランジスタ24、トランジスタ34のソース電位は接地電位GNDとする。また、時刻T51より前では、初期設定として、ノードNN_{i, j}、ノードNN_{i+1, j}、ノードNN_{ref, i}、およびノードNN_{ref, i+1}のそれぞれの電位を、接地電位GNDにしているものとする。具体的には、例えば、図17Aの配線VINIL1の初期化用の電位を接地電位GNDとし、スイッチSWW、トランジスタF3、および演算セル31_{i, j}、演算セル31_{i+1, j}に含まれているそれぞれのトランジスタ32をオン状態にすることによって、ノードNN_{i, j}、ノードNN_{i+1, j}の電位を接地電位GNDにすることができる。また、例えば、図17Cの配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWX、および演算セル31_{i, j}、演算セル31_{i+1, j}に含まれているそれぞれのトランジスタ22をオン状態にすることによって、ノードNN_{ref, i, j}、ノードNN_{ref, i+1, j}の電位を接地電位GNDにすることができる。

[0317]

<<時刻T51から時刻T52まで>>

時刻T51から時刻T52までの間において、配線SWL1に高レベル電位（図20ではHighと表記している。）が印加され、配線SWL2に低レベル電位（図20ではLowと表記している。）が印加されている。これにより、トランジスタF3₁乃至トランジスタF3_nのそれぞれのゲートに高レベル電位が印加されて、トランジスタF3₁乃至トランジスタF3_nのそれぞれのゲートに低レベル電位が印加されて、トランジスタF4₁乃至トランジスタF4_nのそれぞれのゲートに低レベル電位が印加されて、トランジスタF4₁乃至トランジスタF4_nのそれぞれのゲートがオフ状態となる。

[0318]

また、時刻T51から時刻T52までの間では、配線WSL_i、配線WSL_{i+1}には低レベル電位が印加されている。これにより、セルレイCAのi行目の演算セル31_{i,1}乃至演算セル31_{i,n}に含まれているトランジスタ32のゲートと、参照セル21_iに含まれているトランジスタ22のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ32とトランジスタ22とがオフ状態となる。また、セルレイCAのi+1行目の演算セル31_{i+1,1}乃至演算セル31_{i+1,n}に含まれているトランジスタ32のゲートと、参照セル21_{i+1}に含まれているトランジスタ22のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ32とトランジスタ22とがオフ状態となる。

[0319]

また、時刻T51から時刻T52までの間では、配線XCL_i、および配線XCL_{i+1}には接地電位GNDが印加されている。具体的には、例えば、図17Cに記載の配線XCLが配線XCL_i、配線XCL_{i+1}のそれぞれである場合において、配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWXをオン状態にすることにより、配線XCL_i、および配線XCL_{i+1}の電位を接地電位GNDにすることができる。

[0320]

また、時刻T51から時刻T52までの間では、図17Aに記載の配線WCLが配線WCL₁乃至配線WCL_Kのそれぞれである場合において、配線DW₁乃至配線DW_Kには第1データが入力されていない。また、図17Cに記載の配線XCLが配線XCL₁乃至配線XCL_Kのそれぞれである場合において、配線DX₁乃至配線DX_Kには第2データが入力されていない。ここでは、図17Aの回路WCSにおいて、配線DW₁乃至配線DW_Kのそれぞれには低レベル電位が入力されているものとし、また、図17Cの回路XCSにおいて、配線DX₁乃至配線DX_Kのそれぞれには低レベル電位が入力されているものとする。

[0321]

また、時刻T51から時刻T52までの間では、配線WCL_j、配線XCL_i、配線XCL_{i+1}には電流が流れない。そのため、 $I_{34,i,j}$ 、 $I_{24,i}$ 、 $I_{34,i+1,j}$ 、 $I_{24,i+1}$ は0となる。

[0322]

<<時刻T52から時刻T53まで>>

時刻T52から時刻T53までの間において、配線WSL_iに高レベル電位が印加される。これにより、セルレイCAのi行目の演算セル31_{i,1}乃至演算セル31_{i,n}に含まれているトランジスタ32のゲートと、参照セル21_iに含まれているトランジスタ22のゲートと、に高レベル電位が印加されて、それぞれのトランジスタ32とトランジスタ22とがオン状態になる。また、時刻T52から時刻T53までの間において、配線WSL_iを除く配線WSL₁乃至配線WSL_mには低レベル電位が印加されており、セルレイCAのi行目以外の演算セル31_{1,1}乃至演算セル31_{m,n}に含まれているトランジスタ32と、i行目以外の参照セル21₁乃至参照セル21_mに含まれているトランジスタ22は、オフ状態になっているものとする。

[0323]

更に、配線XCL₁乃至配線XCL_mには時刻T52以前から引き続き接地電位GNDが印

加されている。

[0324]

<<時刻T53から時刻T54まで>>

時刻T53から時刻T54までの間において、回路WCSから、トランジスタF3_jを介してセルレイCAに第1データとして電流I_{o_i, j}が流れる。具体的には、図17Aに記載の配線WCLが配線WCL_jである場合において、配線DW_1乃至配線DW_Kのそれぞれに第1データに応じた信号が入力されることによって、回路WCSからトランジスタF3_jの第2端子に電流I_{o_i, j}が流れる。つまり、第1データとして入力されたKビットの信号の値を $\alpha_{i, j}$ ($\alpha_{i, j}$ を0以上 $2^K - 1$ 以下の整数とする)としたとき、 $I_{o_i, j} = \alpha_{i, j} \times I_{Wut}$ となる(図中、「×」は「*」で図示)。

[0325]

なお、 $\alpha_{i, j}$ が0のとき、 $I_{o_i, j} = 0$ となるので、厳密には、回路WCSから、トランジスタF3_jを介してセルレイCAに電流は流れないが、本明細書等では、「 $I_{o_i, j} = 0$ の電流が流れる」等と記載する場合がある。

[0326]

時刻T53から時刻T54までの間において、セルレイCAのi行目の演算セル31_i, jに含まれているトランジスタ32の第1端子と配線WCL_jとの間が導通状態となっており、かつセルレイCAのi行目以外の演算セル31_1, j乃至演算セル31_m, jに含まれているトランジスタ32の第1端子と配線WCL_jとの間が非導通状態となっているので、配線WCL_jから演算セル31_i, jに電流I_{o_i, j}が流れる。

[0327]

ところで、演算セル31_i, jに含まれているトランジスタ32がオン状態になる。トランジスタ34において、ゲートソース間電圧が $V_{g_i, j} - GND$ となり、トランジスタ34の第1端子-第2端子間に流れる電流として、電流I_{o_i, j}が設定される。

[0328]

また、時刻T53から時刻T54までの間において、回路XCSから、配線XCL_iに、参照データとして電流I_{ref0}が流れる。具体的には、図17Cに記載の配線XCLが配線XCL_iである場合において、配線DX_1に高レベル電位、配線DX_2乃至配線DX_Kのそれぞれに低レベル電位が入力されて、回路XCSから配線XCL_iに電流I_{ref0}が流れる。つまり、 $I_{ref0} = I_{Xut}$ となる。

[0329]

時刻T53から時刻T54までの間において、参照セル21_iに含まれているトランジスタ22の第1端子と配線XCL_iとの間が導通状態となっているので、配線XCL_iから参照セル21_iに電流I_{ref0}が流れる。

[0330]

演算セル31_i, jと同様に、参照セル21_iに含まれているトランジスタ22がオン状態になる。トランジスタ24において、ゲートソース間電圧が $V_{gm_i} - GND$ となり、トランジスタ24の第1端子-第2端子間に流れる電流として、電流I_{ref0}が設定される。

[0331]

<<時刻T54から時刻T55まで>>

時刻T 5 4から時刻T 5 5までの間において、配線WSL__iに低レベル電位が印加される。これにより、セルアレイCAのi行目の演算セル3 1__i, 1乃至演算セル3 1__i, nに含まれているトランジスタ3 2のゲートと、参照セル2 1__iに含まれているトランジスタ2 2のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ3 2とトランジスタ2 2とがオフ状態となる。

[0 3 3 2]

演算セル3 1__i, jに含まれているトランジスタ3 2がオフ状態になることによって、容量3 5には、トランジスタ3 4のゲート（ノードNN__i, j）の電位と、配線XCL__iの電位と、の差である $V_{g_i, j} - V_{gm_i}$ が保持される。また、参照セル2 1__iに含まれているトランジスタ3 2がオフ状態になることによって、容量2 5には、トランジスタ2 4のゲート（ノードN N r e f __i）の電位と、配線XCL__iの電位と、の差である0が保持される。

[0 3 3 3]

<<時刻T 5 5から時刻T 5 6まで>>

時刻T 5 5から時刻T 5 6までの間において、配線XCL__iにGNDが印加される。具体的には、例えば、図1 7 Cに記載の配線XCLが配線XCL__iである場合において、配線VINIL 2の初期化用の電位を接地電位GNDとし、スイッチSWXをオン状態にすることにより、配線XCL__iの電位を接地電位GNDにすることができる。

[0 3 3 4]

このため、i行目の演算セル3 1__i, 1乃至演算セル3 1__i, nのそれぞれに含まれている容量3 5による容量結合によってノードNN__i, 1乃至ノードNN__i, nの電位が変化し、参照セル2 1__iに含まれている容量2 5による容量結合によってノードN N r e f __iの電位が変化する。

[0 3 3 5]

ノードNN__i, 1乃至ノードNN__i, nの電位の変化量は、配線XCL__iの電位の変化量に、セルアレイCAに含まれているそれぞれの演算セル3 1__i, 1乃至演算セル3 1__i, nの構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量3 5の容量、トランジスタ3 4のゲート容量、寄生容量等によって算出される。演算セル3 1__i, 1乃至演算セル3 1__i, nのそれぞれにおいて、容量3 5による容量結合係数をpとしたとき、演算セル3 1__i, jのノードNN__i, jの電位は、時刻T 5 4から時刻T 5 5までの間の時点における電位から、 $p (V_{gm_i} - GND)$ 低下する。

[0 3 3 6]

同様に、配線XCL__iの電位が変化することによって、参照セル2 1__iに含まれている容量2 5による容量結合によって、ノードN N r e f __iの電位も変化する。容量2 5による容量結合係数を、容量3 5と同様にpとしたとき、参照セル2 1__iのノードN N r e f __iの電位は、時刻T 5 4から時刻T 5 5までの間における電位から、 $p (V_{gm_i} - GND)$ 低下する。なお、図2 0のタイミングチャートでは、一例として、 $p = 1$ としている。このため、時刻T 5 5から時刻T 5 6までの間におけるノードN N r e f __iの電位は、GNDとなる。

[0 3 3 7]

これによって、演算セル3 1__i, jのノードNN__i, jの電位が低下するため、トランジスタ3 4はオフ状態となり、同様に、参照セル2 1__iのノードN N r e f __iの電位が低下するた

め、トランジスタ24もオフ状態となる。そのため、時刻T55から時刻T56までの間において、 $I_{34_i, j}$ 、 I_{24_i} のそれぞれは0となる。

[0338]

<<時刻T56から時刻T57まで>>

時刻T56から時刻T57までの間において、配線WSL $_i+1$ に高レベル電位が印加される。これにより、セルレイCAの $i+1$ 行目の演算セル31 $_i+1, 1$ 乃至演算セル31 $_i+1, n$ に含まれているトランジスタ32のゲートと、参照セル21 $_i+1$ に含まれているトランジスタ22のゲートと、に高レベル電位が印加されて、それぞれのトランジスタ32とトランジスタ22とがオン状態となる。また、時刻T56から時刻T57までの間において、配線WSL $_i+1$ を除く配線WSL $_1$ 乃至配線WSL $_m$ には低レベル電位が印加されており、セルレイCAの $i+1$ 行目以外の演算セル31 $_1, 1$ 乃至演算セル31 $_m, n$ に含まれているトランジスタ32と、 $i+1$ 行目以外の参照セル21 $_1$ 乃至参照セル21 $_m$ に含まれているトランジスタ22は、オフ状態になっているものとする。

[0339]

更に、配線XCL $_1$ 乃至配線XCL $_m$ には時刻T56以前から引き続き接地電位GNDが印加されている。

[0340]

<<時刻T57から時刻T58まで>>

時刻T57から時刻T58までの間において、回路WCSから、トランジスタF3 $_j$ を介してセルレイCAに第1データとして電流 $I_{0_i+1, j}$ が流れる。具体的には、図17Aに記載の配線WCLが配線WCL $_j+1$ である場合において、配線DW $_1$ 乃至配線DW $_K$ のそれぞれに第1データに応じた信号が入力されることによって、回路WCSからトランジスタF3 $_j$ の第2端子に電流 $I_{0_i+1, j}$ が流れる。つまり、第1データとして入力されたKビットの信号の値を $\alpha_{i+1, j}$ ($\alpha_{i+1, j}$ は0以上 2^K-1 以下の整数とする。)としたとき、 $I_{0_i+1, j} = \alpha_{i+1, j} \times I_{Wut}$ となる(図中、「 \times 」は「 $*$ 」で図示)。

[0341]

なお、 $\alpha_{i+1, j}$ が0のとき、 $I_{0_i+1, j} = 0$ となるので、厳密には、回路WCSから、トランジスタF3 $_j$ を介してセルレイCAに電流は流れないが、本明細書等では、 $I_{0_i, j} = 0$ の場合と同様に、「 $I_{0_i+1, j} = 0$ の電流が流れる」等と記載する場合がある。

[0342]

このとき、セルレイCAの $i+1$ 行目の演算セル31 $_i+1, j$ に含まれているトランジスタ32の第1端子と配線WCL $_j$ との間が導通状態となっており、かつセルレイCAの $i+1$ 行目以外の演算セル31 $_1, j$ 乃至演算セル31 $_m, j$ に含まれているトランジスタ32の第1端子と配線WCL $_j$ との間が非導通状態となっているので、配線WCL $_j$ から演算セル31 $_i+1, j$ に電流 $I_{0_i+1, j}$ が流れる。

[0343]

ところで、演算セル31 $_i+1, j$ に含まれているトランジスタ32がオン状態とする。トランジスタ34において、ゲートソース間電圧が $V_{g_i+1, j} - GND$ となり、トランジスタ34の第1端子-第2端子間に流れる電流として、電流 $I_{0_i+1, j}$ が設定される。

[0344]

また、時刻T57から時刻T58までの間において、回路XCSから、配線XCL_{i+1}に参照データとして電流I_{ref0}が流れる。具体的には、時刻T53から時刻T54までの間と同様に、図17Cに記載の配線XCLが配線XCL_{i+1}である場合において、配線DX₁に高レベル電位、配線DX₂乃至配線DX_Kのそれぞれに低レベル電位が入力されて、回路XCSから配線XCL_{i+1}に電流I_{ref0}=I_{Xut}が流れる。

[0345]

時刻T57から時刻T58までの間において、参照セル21_{i+1}に含まれているトランジスタ22の第1端子と配線XCL_{i+1}との間が導通状態となるので、配線XCL_{i+1}から参照セル21_{i+1}に電流I_{ref0}が流れる。

[0346]

演算セル31_{i+1, j}と同様に、参照セル21_{i+1}に含まれているトランジスタ22がオン状態とする。トランジスタ24において、ゲートソース間電圧がV_{gm_{i+1}}-GNDとなり、トランジスタ24の第1端子-第2端子間に流れる電流として、電流I_{ref0}が設定される。

[0347]

<<時刻T58から時刻T59まで>>

時刻T58から時刻T59までの間において、配線WSL_{i+1}に低レベル電位が印加される。これにより、セルレイCAのi+1行目の演算セル31_{i+1, 1}乃至演算セル31_{i+1, n}に含まれているトランジスタ32のゲートと、参照セル21_{i+1}に含まれているトランジスタ22のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ32とトランジスタ22とがオフ状態となる。

[0348]

演算セル31_{i+1, j}に含まれているトランジスタ32がオフ状態になることによって、容量35には、トランジスタ34のゲート（ノードNN_{i+1, j}）の電位と、配線XCL_{i+1}の電位と、の差であるV_{g_{i+1, j}}-V_{gm_{i+1}}が保持される。また、参照セル21_{i+1}に含まれているトランジスタ32がオフ状態になることによって、容量25には、トランジスタ24のゲート（ノードNN_{ref_{i+1}}）の電位と、配線XCL_{i+1}の電位と、の差である0が保持される。なお、容量25が保持する電圧は、時刻T58から時刻T59までの動作においてトランジスタ22およびトランジスタ24のトランジスタ特性等に応じて0ではない電圧（ここでは、例えば、V_{ds}とする）となる場合もある。この場合、ノードNN_{ref_{i+1}}の電位は、配線XCL_{i+1}の電位にV_{ds}を加えた電位として考えればよい。

[0349]

<<時刻T59から時刻T60まで>>

時刻T59から時刻T60までの間において、配線XCL_{i+1}に接地電位GNDが印加される。具体的には、例えば、図17Cに記載の配線XCLが配線XCL_{i+1}である場合において、配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWXをオン状態にすることにより、配線XCL_{i+1}の電位を接地電位GNDにすることができる。

[0350]

このため、i+1行目の演算セル31_{i+1, 1}乃至演算セル31_{i+1, n}のそれぞれに含まれている容量35による容量結合によってノードNN_{i, 1}乃至ノードNN_{i+1, n}の電位が変化し、参照セル21_{i+1}に含まれている容量25による容量結合によってノードNN

ref_{i+1}の電位が変化する。

[0351]

ノードNN_{i+1, 1}乃至ノードNN_{i+1, n}の電位の変化量は、配線XCL_{i+1}の電位の変化量に、セルアレイCAに含まれているそれぞれの演算セル31_{i+1, 1}乃至演算セル31_{i+1, n}の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量35の容量、トランジスタ34のゲート容量、寄生容量等によって算出される。演算セル31_{i+1, 1}乃至演算セル31_{i+1, n}のそれぞれにおいて、容量35による容量結合係数を、演算セル31_{i, 1}乃至演算セル31_{i, n}のそれぞれにおける容量35による容量結合係数と同様の、pとしたとき、演算セル31_{i+1, j}のノードNN_{i+1, j}の電位は、時刻T58から時刻T59までの間の時点における電位から、p(V_{gm_{i+1}}-GND)低下する。

[0352]

同様に、配線XCL_{i+1}の電位が変化するることによって、参照セル21_{i+1}に含まれている容量25による容量結合によって、ノードNN_{ref_{i+1}}の電位も変化する。容量25による容量結合係数を、容量35と同様にpとしたとき、参照セル21_{i+1}のノードNN_{ref_{i+1}}の電位は、時刻T58から時刻T59までの間における電位から、p(V_{gm_{i+1}}-GND)低下する。なお、図20のタイミングチャートでは、一例として、p=1としている。このため、時刻T60から時刻T61までの間におけるノードNN_{ref_{i+1}}の電位は、GNDとなる。

[0353]

これによって、演算セル31_{i+1, j}のノードNN_{i+1, j}の電位が低下するため、トランジスタ34はオフ状態となり、同様に、参照セル21_{i+1}のノードNN_{ref_{i+1}}の電位が低下するため、トランジスタ24もオフ状態となる。そのため、時刻T59から時刻T60までの間において、I_{34_{i+1, j}}、I_{24_{i+1}}のそれぞれは0となる。

[0354]

<<時刻T60から時刻T61まで>>

時刻T60から時刻T61までの間において、配線SWL1に低レベル電位が印加されている。これにより、トランジスタF3₁乃至トランジスタF3_nのそれぞれのゲートに低レベル電位が印加されて、トランジスタF3₁乃至トランジスタF3_nのそれぞれがオフ状態となる。

[0355]

<<時刻T61から時刻T62まで>>

時刻T61から時刻T62までの間において、配線SWL2に高レベル電位が印加されている。これにより、トランジスタF4₁乃至トランジスタF4_nのそれぞれのゲートに高レベル電位が印加されて、トランジスタF4₁乃至トランジスタF4_nのそれぞれがオン状態となる。

[0356]

<<時刻T62から時刻T63まで>>

時刻T62から時刻T63までの間において、回路XCSから、配線XCL_iに第2データとして電流I_{ref0}のx_i倍であるx_iI_{ref0}の電流が流れる。具体的には、例えば、図17Cに記載の配線XCLが配線XCL_iである場合において、配線DX₁乃至配線DX_Kのそれぞれに、x_iの値に応じて、高レベル電位または低レベル電位が入力されて、回路XCSから配線XCL_iに電流としてx_iI_{ref0}=x_iI_{Xut}が流れる。なお、本動作例では、x_iは、

第2データの値に相当する。このとき、配線XCL_iの電位は、0から $V_{gm_i} + \Delta V_i$ に変化するものとする。

[0357]

配線XCL_iの電位が変化することによって、セルレイCAのi行目の演算セル31_i, 1乃至演算セル31_i, nのそれぞれに含まれている容量35による容量結合によって、ノードNN_i, 1乃至ノードNN_i, nの電位も変化する。そのため、演算セル31_i, jのノードNN_i, jの電位は、 $V_{g_i, j} + p \Delta V_i$ となる。

[0358]

同様に、配線XCL_iの電位が変化することによって、参照セル21_iに含まれている容量25による容量結合によって、ノードNNref_iの電位も変化する。そのため、参照セル21_iのノードNNref_iの電位は、 $V_{gm_i} + p \Delta V_i$ となる。

[0359]

そのため演算セル31_i, jに含まれているトランジスタ34の第1端子-第2端子間に流れる電流は、実施の形態1で説明したように、第1データ w_i, j と、第2データ x_i と、の積に比例する。

[0360]

また、時刻T62から時刻T63までの間において、回路XCSから、配線XCL_{i+1}に第2データとして電流 I_{ref0} の x_i+1 倍である $x_i+1 I_{ref0}$ の電流が流れる。具体的には、例えば、図17Cに記載の配線XCLが配線XCL_{i+1}である場合において、配線DX₁乃至配線DX_Kのそれぞれに、 x_i+1 の値に応じて、高レベル電位または低レベル電位が入力されて、回路XCSから配線XCL_{i+1}に電流として $x_i+1 I_{ref0} = x_i+1 I_{xut}$ が流れる。なお、本動作例では、 x_i+1 は、第2データの値に相当する。このとき、配線XCL_{i+1}の電位は、0から $V_{gm_i+1} + \Delta V_i+1$ に変化するものとする。

[0361]

配線XCL_{i+1}の電位が変化することによって、セルレイCAのi+1行目の演算セル31_{i+1}, 1乃至演算セル31_{i+1}, nのそれぞれに含まれている容量35による容量結合によって、ノードNN_{i+1}, 1乃至ノードNN_{i+1}, nの電位も変化する。そのため、演算セル31_{i+1}, jのノードNN_{i+1}, jの電位は、 $V_{g_i+1, j} + p \Delta V_i+1$ となる。

[0362]

同様に、配線XCL_{i+1}の電位が変化することによって、参照セル21_{i+1}に含まれている容量25による容量結合によって、ノードNNref_{i+1}の電位も変化する。そのため、参照セル21_{i+1}のノードNNref_{i+1}の電位は、 $V_{gm_i+1} + p \Delta V_i+1$ となる。

[0363]

そのため演算セル31_{i+1}, jに含まれているトランジスタ34の第1端子-第2端子間に流れる電流は、実施の形態1で説明したように、第1データである w_i+1, j と、第2データである x_i+1 と、の積に比例する。

[0364]

したがって、変換回路ITRZ_jから出力される電流は、第1データである重み係数 w_i ,

j および $w_{i+1, j}$ と、第2データであるニューロンの信号の値 x_i および x_{i+1} と、の積和に比例した電流となる。

[0365]

このため、3行以上且つ2列以上のセルアレイCAを有する演算装置MAC1の場合でも、上記の通り、積和演算を行うことができる。この場合の演算装置MAC1は、複数列のうち1列を、電流として I_{ref0} 、および $x I_{ref0}$ を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。そのため単位電力当たりの演算処理能力に優れた演算装置を提供することができる。

[0366]

また、本実施の形態では、演算装置MAC1に含まれているトランジスタをOSトランジスタ、またはSiトランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。演算装置MAC1に含まれているトランジスタは、例えば、Ge等がチャンネル形成領域に含まれるトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGe等の化合物半導体がチャンネル形成領域に含まれるトランジスタ、カーボンナノチューブがチャンネル形成領域に含まれるトランジスタ、有機半導体がチャンネル形成領域に含まれるトランジスタ等を用いることができる。

[0367]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0368]

(実施の形態3)

本実施の形態では、階層型の人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）について説明する。なお、階層型のニューラルネットワークの演算は、上記の実施の形態で説明した半導体装置および演算装置を用いることによって行うことができる。

[0369]

ニューラルネットワークにおいて、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼称する場合がある。

[0370]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」または「認知」と呼称する場合がある。前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）は、上記実施の形態で説明した重みデータに相当する。

[0371]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型等が挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0372]

<階層型のニューラルネットワーク>

階層型のニューラルネットワークは、一例としては、一の入力層と、一または複数の中間層（隠れ層）と、一の実出力層と、を有し、合計3以上の層によって構成されている。図2 1 Aに示す階層型のニューラルネットワーク1 0 0はその一例を示しており、ニューラルネットワーク1 0 0は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図2 1 Aには、中間層として第(k-1)層、第k層（ここでのkは3以上R-1以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0 3 7 3]

ニューラルネットワーク1 0 0の各層は、一または複数のニューロンを有する。図2 1 Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第(k-1)層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

[0 3 7 4]

なお、図2 1 Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第(k-1)層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0 3 7 5]

次に、前層のニューロンから次層のニューロンへの信号の伝達、およびそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目する。

[0 3 7 6]

図2 1 Bには、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

[0 3 7 7]

具体的には、第(k-1)層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第(k+1)層（図示しない。）の各ニューロンに向けて出力する。

[0 3 7 8]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク1 0 0では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。iを1以上m以下の整数として、第(k-1)層のニューロン $N_i^{(k-1)}$ と第k層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)}$ としたとき、第k層のニューロン $N_j^{(k)}$ に入力される信号は、式(17)で表すことができる。

[0379]

[数17]

$$w_i^{(k-1)} \quad j^{(k)} \cdot z_i^{(k-1)} \dots (17)$$

[0380]

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 $(w_1^{(k-1)} \quad j^{(k)})$ 乃至 $(w_m^{(k-1)} \quad j^{(k)})$ が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_1^{(k-1)} \quad j^{(k)} \cdot z_1^{(k-1)}$ 乃至 $w_m^{(k-1)} \quad j^{(k)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式(18)となる。

[0381]

[数18]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \quad j^{(k)} \cdot z_i^{(k-1)} \dots (18)$$

[0382]

また、重み係数 $w_1^{(k-1)} \quad j^{(k)}$ 乃至 $w_m^{(k-1)} \quad j^{(k)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式(18)は、次の式(19)に書き直すことができる。

[0383]

[数19]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \quad j^{(k)} \cdot z_i^{(k-1)} + b \dots (19)$$

[0384]

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式(20)で定義する。

[0385]

[数20]

$$z_j^{(k)} = f(u_j^{(k)}) \dots (20)$$

[0386]

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数等を用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、または異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0387]

ところで、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2値としてもよいし、3値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線形ランプ関数、シグモイド関数等を用いればよい。デジタル値の2値の場合、例えば、出力を -1 若しくは 1 、または、 0 若しくは 1 、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよく、この場合、活性化関数は3値、例えば出力は -1 、 0 、若しくは 1 とするステップ関数、または、 0 、 1 、若しくは 2 とするステップ関数等を用いればよい。また、例えば、5値を出力する活性化関数として、 -2 、 -1 、 0 、 1 、若しくは 2 とするステップ関数等を用いてもよい。各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、等が出来る。また、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることが出来る。

[0388]

ニューラルネットワーク100は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式(17)、式(18)（または式(19)）、式(20)を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク100によって計算された結果に相当する。

[0389]

実施の形態2で述べた演算装置MAC1を、上述した隠れ層として適用する場合、重み係数 $w_{s_{[k-1]}^{(k-1)} s_{[k]}^{(k)}}$ ($s_{[k-1]}$ は1以上 m 以下の整数とし、 $s_{[k]}$ は1以上 n 以下の整数とする) を第1データとして、第1データに応じた電流を同じ列の各セルに順次記憶させて、第 $(k-1)$ 層のニューロン $N_{s_{[k-1]}^{(k-1)}}$ からの出力信号 $z_{s_{[k-1]}^{(k-1)}}$ を第2データとして、第2データに応じた電流を回路XCSから各行の配線XCLに対して流すことで、変換回路ITRZに入力される電流 I_s から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 k 層のニューロン $N_{s_{[k]}^{(k)}}$ の出力信号 $z_{s_{[k]}^{(k)}}$ とすることができる。

[0390]

また、実施の形態2で述べた演算装置MAC1を、上述した出力層として適用する場合、重み係数 $w_{s_{[R-1]}^{(R-1)} s_{[R]}^{(R)}}$ ($s_{[R-1]}$ は1以上の整数とし、 $s_{[R]}$ は1以上 q 以下の整数とする) を第1データとして、第1データに応じた電流を同じ列の各セルに順次記憶させて、第 $(R-1)$ 層のニューロン $N_{s_{[R-1]}^{(R-1)}}$ からの出力信号 $z_{s_{[R-1]}^{(R-1)}}$ を第2データとして、第2データに応じた電流を回路XCSから各行の配線XCLに対して流すことで、変換回路ITR

Zに入力される電流 I_s から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第R層のニューロン $N_{s[R]}^{(R)}$ の出力信号 $z_{s[R]}^{(R)}$ とすることができる。

[0391]

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

[0392]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0393]

(実施の形態4)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、および上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

[0394]

<半導体装置の構成例1>

図22Aは、一例として、上記実施の形態で説明した半導体装置であって、当該半導体装置は、トランジスタ500と、容量600と、を有する。また、図22Bにはトランジスタ500のチャネル長方向の断面図を、図22Cにはトランジスタ500のチャネル幅方向の断面図をそれぞれ示している。

[0395]

トランジスタ500は、OSトランジスタとすることができる。トランジスタ500は、例えば上記実施の形態で説明した、トランジスタ22、またはトランジスタ32等に適用することができる。なお、トランジスタ500は、Siトランジスタとしてもよく、シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと称する場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコン等を用いることができる。

[0396]

トランジスタ500は、例えば基板（図示しない）上方に設けられる絶縁体512の上方に設けられる。容量600は、例えばトランジスタ500の上方に設けられる。容量600は、上記実施の形態で説明した容量25等に適用することができる。

[0397]

絶縁体512上には絶縁体514、および絶縁体516が、順に積層して設けられている。絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素、および水素に対してバリア性のある物質を用いることが好ましい。

[0398]

例えば、絶縁体514には、基板を設ける領域等から、トランジスタ500が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0399]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、絶縁体514として、水素の拡散を抑制する膜を用いることにより、トランジスタ500等の半導体素子の特性が低下すること

を抑制することができる。ここで、水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0400]

また、水素に対するバリア性を有する膜として、例えば絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

[0401]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分等の不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0402]

絶縁体512、および絶縁体516として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。

[0403]

本明細書等において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書等において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0404]

また、絶縁体512、絶縁体514、および絶縁体516には、トランジスタ500を構成する導電体（例えば、図22B、および図22Cに示す導電体503）等が埋め込まれている。

[0405]

絶縁体516の上方には、トランジスタ500が設けられている。

[0406]

図22B、および図22Cに示すように、トランジスタ500は、絶縁体514上の絶縁体516と、絶縁体514または絶縁体516に埋め込まれるように配置された導電体503（導電体503a、および導電体503b）と、絶縁体516上、および導電体503上の絶縁体522と、絶縁体522上の絶縁体524と、絶縁体524上の酸化物530aと、酸化物530a上の酸化物530bと、酸化物530b上の導電体542aと、導電体542a上の絶縁体571aと、酸化物530b上の導電体542bと、導電体542b上の絶縁体571bと、酸化物530b上の絶縁体552と、絶縁体552上の絶縁体550と、絶縁体550上の絶縁体554と、絶縁体554上に位置し、酸化物530bの一部と重なる導電体560（導電体560a、および導電体560b）と、絶縁体522、絶縁体524、酸化物530a、酸化物530b、導電体542a、導電体542b、絶縁体571a、および絶縁体571b上に配置される絶縁体544と、を有する。ここで、図22B、および図22Cに示すように、絶縁体552は、絶縁体522の上面、絶

縁体 5 2 4 の側面、酸化物 5 3 0 a の側面、酸化物 5 3 0 b の側面および上面、導電体 5 4 2 の側面、絶縁体 5 7 1 の側面、絶縁体 5 4 4 の側面、絶縁体 5 8 0 の側面、および絶縁体 5 5 0 の下面と接する。また、導電体 5 6 0 の上面は、絶縁体 5 5 4 の上部、絶縁体 5 5 0 の上部、絶縁体 5 5 2 の上部、および絶縁体 5 8 0 の上面と高さが概略一致するように配置される。また、絶縁体 5 7 4 は、導電体 5 6 0 の上面、絶縁体 5 5 2 の上部、絶縁体 5 5 0 の上部、絶縁体 5 5 4 の上部、および絶縁体 5 8 0 の上面の少なくともいずれかの一部と接する。なお、本明細書等において、導電体 5 4 2 a と導電体 5 4 2 b をまとめて導電体 5 4 2 といひ、絶縁体 5 7 1 a と絶縁体 5 7 1 b をまとめて絶縁体 5 7 1 という場合がある。他の要素も同様の表現をする場合がある。

[0407]

絶縁体 5 8 0、および絶縁体 5 4 4 には、酸化物 5 3 0 b に達する開口が設けられる。当該開口内に、絶縁体 5 5 2、絶縁体 5 5 0、絶縁体 5 5 4、および導電体 5 6 0 が配置されている。また、トランジスタ 5 0 0 のチャンネル長方向において、絶縁体 5 7 1 a、および導電体 5 4 2 a と、絶縁体 5 7 1 b、および導電体 5 4 2 b と、の間に導電体 5 6 0、絶縁体 5 5 2、絶縁体 5 5 0、および絶縁体 5 5 4 が設けられている。絶縁体 5 5 4 は、導電体 5 6 0 の側面と接する領域と、導電体 5 6 0 の底面と接する領域と、を有する。

[0408]

酸化物 5 3 0 は、絶縁体 5 2 4 の上に配置された酸化物 5 3 0 a と、酸化物 5 3 0 a の上に配置された酸化物 5 3 0 b と、を有することが好ましい。酸化物 5 3 0 b 下に酸化物 5 3 0 a を有することで、酸化物 5 3 0 a よりも下方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。

[0409]

なお、トランジスタ 5 0 0 では、酸化物 5 3 0 が、酸化物 5 3 0 a、および酸化物 5 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、トランジスタ 5 0 0 は、酸化物 5 3 0 b の単層、または 3 層以上の積層構造を有する構成とすることができる。または、酸化物 5 3 0 a、および酸化物 5 3 0 b のそれぞれが積層構造を有する構成とすることができる。

[0410]

導電体 5 6 0 は、ゲート電極として機能し、導電体 5 0 3 は、バックゲート電極として機能する。なお、導電体 5 0 3 をゲート電極として機能させ、導電体 5 6 0 をバックゲート電極として機能させてもよい。また、絶縁体 5 5 2、絶縁体 5 5 0、および絶縁体 5 5 4 は、導電体 5 6 0 に対するゲート絶縁体として機能し、絶縁体 5 2 2、および絶縁体 5 2 4 は、導電体 5 0 3 に対するゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体 5 4 2 a は、ソースまたはドレインの一方として機能し、導電体 5 4 2 b は、ソースまたはドレインの他方として機能する。また、酸化物 5 3 0 の導電体 5 6 0 と重畳する領域の少なくとも一部はチャンネル形成領域として機能する。

[0411]

ここで、図 2 2 B におけるチャンネル形成領域近傍の拡大図を図 2 3 A に示す。酸化物 5 3 0 b に酸素が供給されることで、導電体 5 4 2 a と導電体 5 4 2 b の間の領域にチャンネル形成領域が形成される。よって、図 2 3 A に示すように、酸化物 5 3 0 b は、トランジスタ 5 0 0 のチャンネル形成領域として機能する領域 5 3 0 b c と、領域 5 3 0 b c を挟むように設けられ、ソース領域または

ドレイン領域として機能する領域530baおよび領域530bbと、を有する。領域530bcは、少なくとも一部が導電体560と重畳している。言い換えると、領域530bcは、導電体542aと導電体542bの間の領域に設けられている。領域530baは、導電体542aに重畳して設けられており、領域530bbは、導電体542bに重畳して設けられている。

[0412]

チャンネル形成領域として機能する領域530bcは、領域530baおよび領域530bbよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損を V_o （oxygen vacancy）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域530bcは、i型（真性）または実質的にi型であるといえることができる。

[0413]

金属酸化物を用いたトランジスタは、金属酸化物中のチャンネルが形成される領域に不純物または酸素欠損（ V_o ）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（ V_o ）近傍の水素が、酸素欠損（ V_o ）に水素が入った欠陥（以下、 V_oH と呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、および V_oH はできる限り低減されていることが好ましい。

[0414]

また、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、酸素欠損（ V_o ）が多く、または水素、窒素、金属元素等の不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域530baおよび領域530bbは、領域530bcと比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[0415]

ここで、チャンネル形成領域として機能する領域530bcのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域として機能する領域530bcのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0416]

また、領域530bcと領域530baまたは領域530bbとの間に、キャリア濃度が、領域530baおよび領域530bbのキャリア濃度と同等、またはそれよりも低く、領域530bcのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域530bcと領域530baまたは領域530bbとの接合領域として機能する。当該接合領域は、水素濃度が、領域530baおよび領域530bbの水素濃度と同等、またはそれよりも低く、領域530bcの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域530baおよび領域530bbの酸素欠損と同等、またはそれよりも少なく、領域530bcの酸素欠損と同等、またはそれよりも多くなる場合がある。

[0417]

なお、図23Aでは、領域530ba、領域530bb、および領域530bcが酸化物530bに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物530bだけでなく、酸化物530aまで形成されてもよい。

[0418]

また、酸化物530において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素等の不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素等の不純物元素の濃度が減少していればよい。

[0419]

トランジスタ500は、チャンネル形成領域を含む酸化物530（酸化物530a、および酸化物530b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0420]

また、半導体として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0421]

酸化物530として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウム等から選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0422]

ここで、酸化物530bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0423]

このように、酸化物530bの下に酸化物530aを配置することで、酸化物530aよりも下方に形成された構造物からの、酸化物530bに対する、不純物および酸素の拡散を抑制することができる。

[0424]

また、酸化物530aおよび酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物530aと酸化物530bの界面における欠陥準位密度を低くすることができる。酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0425]

酸化物530bは、結晶性を有することが好ましい。特に、酸化物530bとして、CAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。

[0426]

CAAC-O-Sは、結晶性の高い、緻密な構造を有しており、不純物、および欠陥（例えば、酸素欠損（V_O等）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-O-Sをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-O-Sの密度をより高めることで、当該CAAC-O-S中の不純物または酸素の拡散をより低減することができる。

[0427]

一方、CAAC-O-Sは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-O-Sを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-O-Sを有する金属酸化物は熱に強く、信頼性が高い。

[0428]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャンネルが形成される領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0429]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、およびV_OHを低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ500のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内ではばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0430]

よって、酸化物半導体中において、チャンネル形成領域として機能する領域530bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域530bcの酸素欠損、およびV_OHを低減し、領域530baおよび領域530bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0431]

そこで、本実施の形態では、酸化物530b上に導電体542aおよび導電体542bを設けた状態で、酸素を含む雰囲気でもマイクロ波処理を行い、領域530bcの酸素欠損、およびV_OHの低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0432]

酸素を含む雰囲気中でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域530bcに照射することもできる。プラズマ、マイクロ波等の作用により、領域530bcの V_OH を分断し、水素Hを領域530bcから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域530bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域530bcの水素濃度を低減することができる。よって、領域530bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[0433]

また、酸素を含む雰囲気中でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマ等の作用は、導電体542aおよび導電体542bに遮蔽され、領域530baおよび領域530bbには及ばない。さらに、酸素プラズマの作用は、酸化物530b、および導電体542を覆って設けられている、絶縁体571、および絶縁体580によって、低減することができる。これにより、マイクロ波処理の際に、領域530baおよび領域530bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0434]

また、絶縁体552となる絶縁膜の成膜後、または絶縁体550となる絶縁膜の成膜後に、酸素を含む雰囲気中でマイクロ波処理を行うことが好ましい。このように絶縁体552、または絶縁体550を介して、酸素を含む雰囲気中でマイクロ波処理を行うことで、効率良く領域530bc中へ酸素を注入することができる。また、絶縁体552を導電体542の側面、および領域530bcの表面と接するように配置することで、領域530bcへ必要量以上の酸素の注入を抑制し、導電体542の側面の酸化を抑制することができる。また、絶縁体550となる絶縁膜の成膜時に導電体542の側面の酸化を抑制することができる。

[0435]

また、領域530bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Oラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）等様々な形態がある。なお、領域530bc中に注入される酸素は、上述の形態のいずれか一または複数であれば好ましく、特に酸素ラジカルであると好適である。また、絶縁体552、および絶縁体550の膜質を向上させることができるので、トランジスタ500の信頼性が向上する。

[0436]

このようにして、酸化物半導体の領域530bcで選択的に酸素欠損、および V_OH を除去して、領域530bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbに過剰な酸素が供給されるのを抑制し、n型の電気特性を維持することができる。これにより、トランジスタ500の電気特性の変動を抑制し、基板面内でトランジスタ500の電気特性のばらつきを少なくすることができる。

[0437]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0438]

また、図22Cに示すように、トランジスタ500のチャネル幅方向の断面視において、酸化物

530bの側面と酸化物530bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0439]

上記湾曲面での曲率半径は、0nmより大きく、導電体542と重なる領域の酸化物530bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体552、絶縁体550、絶縁体554、および導電体560の、酸化物530bへの被覆性を高めることができる。

[0440]

酸化物530は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0441]

また、酸化物530bは、CAAC-OS等の結晶性を有する酸化物であることが好ましい。CAAC-OS等の結晶性を有する酸化物は、不純物、および欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ500は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0442]

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端はなだらかに変化する。言い換えると、酸化物530aと酸化物530bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0443]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-M-Zn酸化物の場合、酸化物530aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物等を用いてもよい。

[0444]

具体的には、酸化物530aとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、In:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成

の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0445]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0446]

また、図22B等に示すように、酸化物530の上面および側面に接して、酸化アルミニウム等により形成される絶縁体552を設けることにより、酸化物530と絶縁体552の界面およびその近傍に、酸化物530に含まれるインジウムが偏在する場合がある。これにより、酸化物530の表面近傍が、インジウム酸化物に近い原子数比、またはIn-Zn酸化物に近い原子数比になる。このように酸化物530、特に酸化物530bの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ500の電界効果移動度を向上させることができる。

[0447]

酸化物530aおよび酸化物530bを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は大きいオン電流、および高い周波数特性を得ることができる。

[0448]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水、水素等の不純物が、基板側から、または、トランジスタ500の上方からトランジスタ500に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂等)、銅原子等の不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0449]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能(透過性が低いともいう)とする。または、対応する物質を、捕獲、および固着する(ゲッタリングともいう)機能とする。

[0450]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581としては、水、水素等の不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコン等を用いることができる。例えば、絶縁体512、絶縁体544、および絶縁体576として、より水素バリア性が高い、窒化シリコン等を用いることが好ましい。また、例えば、絶縁体514、絶縁体571、絶縁体574、および絶縁体581として、水素を捕獲および水素を固着する機能が高い、酸

化アルミニウムまたは酸化マグネシウム等を用いることが好ましい。これにより、水、水素等の不純物が絶縁体512、および絶縁体514を介して、基板側からトランジスタ500側に拡散することを抑制できる。または、水、水素等の不純物が絶縁体581よりも外側に配置されている層間絶縁膜等から、トランジスタ500側に拡散するのを抑制することができる。または、絶縁体524等に含まれる酸素が、絶縁体512、および絶縁体514を介して基板側に、拡散するのを抑制することができる。または、絶縁体580等に含まれる酸素が、絶縁体574等を介してトランジスタ500より上方に、拡散するのを抑制することができる。この様に、トランジスタ500を、水、水素等の不純物、および酸素の拡散を抑制する機能を有する絶縁体512、絶縁体514、絶縁体571、絶縁体544、絶縁体574、絶縁体576、および絶縁体581で取り囲む構造とすることが好ましい。

[0451]

ここで、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x (x は0より大きい任意数)、または MgO_y (y は0より大きい任意数)等の金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、トランジスタ500に含まれる水素、またはトランジスタ500の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ500のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0452]

また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[0453]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、ALD法等を適宜用いてもよい。

[0454]

また、絶縁体512、絶縁体544、および絶縁体576の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体512、絶縁体544、および絶縁体576の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体512、絶縁体544、および絶縁体576が、導電体503、導電体542、導電体560等のチャージアップを緩和することができる場合がある。絶縁体512、絶縁体544、および絶縁体576の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0455]

また、絶縁体516、絶縁体574、絶縁体580、および絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体516、絶縁体580、および絶縁体581として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン等を適宜用いればよい。

[0456]

また、絶縁体581は、一例として、層間膜、平坦化膜等として機能する絶縁体とすることが好ましい。

[0457]

導電体503は、酸化物530、および導電体560と、重なるように配置する。ここで、導電体503は、絶縁体516に形成された開口に埋め込まれて設けることが好ましい。また、導電体503の一部が絶縁体514に埋め込まれる場合がある。

[0458]

導電体503は、導電体503a、および導電体503bを有する。導電体503aは、当該開口の底面および側壁に接して設けられる。導電体503bは、導電体503aに形成された凹部に埋め込まれるように設けられる。ここで、導電体503bの上部の高さは、導電体503aの上部の高さおよび絶縁体516の上部の高さと概略一致する。

[0459]

ここで、導電体503aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0460]

導電体503aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体503bに含まれる水素等の不純物が、絶縁体524等を介して、酸化物530に拡散するのを防ぐことができる。また、導電体503aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体503bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウム等を用いることが好ましい。したがって、導電体503aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体503aは、窒化チタンを用いればよい。

[0461]

また、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を

用いることが好ましい。例えば、導電体503bは、タングステンをういれればよい。

[0462]

また、導電体503の電気抵抗率は、導電体503に印加する電位を考慮して設計され、導電体503の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体516の膜厚は、導電体503とほぼ同じになる。ここで、導電体503の設計が許す範囲で導電体503および絶縁体516の膜厚を薄くすることが好ましい。絶縁体516の膜厚を薄くすることで、絶縁体516中に含まれる水素等の不純物の絶対量を低減することができるので、当該不純物が酸化物530に拡散するのを低減することができる。

[0463]

なお、導電体503は、上面から見て、酸化物530の導電体542aおよび導電体542bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図22Cに示すように、導電体503は、酸化物530aおよび酸化物530bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物530のチャネル幅方向における側面の外側において、導電体503と、導電体560とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、ゲート電極として機能する導電体560の電界と、バックゲート電極として機能する導電体503の電界によって、酸化物530のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0464]

なお、本明細書等において、S-channel構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0465]

また、図22Cに示すように、導電体503は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体503の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体503は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体503を複数のトランジスタで共有する構成にしてもよい。

[0466]

なお、トランジスタ500では、導電体503は、導電体503a、および導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0467]

絶縁体522は、水素（例えば、水素原子、水素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体522は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体522は、絶縁体524よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0468]

絶縁体522は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530から基板側への酸素の放出と、トランジスタ500の周辺部から酸化物530への水素等の不純物の拡散と、を抑制する層として機能する。よって、絶縁体522を設けることで、水素等の不純物が、トランジスタ500の内側へ拡散することを抑制し、酸化物530中の酸素欠損の生成を抑制することができる。また、導電体503が、絶縁体524、または酸化物530が有する酸素と反応することを抑制することができる。

[0469]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体522は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0470]

また、絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム等の、いわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体522として、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、（Ba, Sr）TiO₃（BST）等の誘電率が高い物質を用いることができる場合もある。

[0471]

酸化物530と接する絶縁体524は、例えば、酸化シリコン、酸化窒化シリコン等を適宜用いればよい。

[0472]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上550℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0473]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O+O→null」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oと

して除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して $V_{\text{O}}H$ が形成されるのを抑制することができる。

[0474]

なお、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体524は、酸化物530aと重畳して島状に形成してもよい。この場合、絶縁体544が、絶縁体524の側面および絶縁体522の上面に接する構成になる。

[0475]

導電体542a、および導電体542bは酸化物530bの上面に接して設けられる。導電体542aおよび導電体542bは、それぞれトランジスタ500のソース電極またはドレイン電極として機能する。

[0476]

導電体542（導電体542a、および導電体542b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物等を用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0477]

なお、酸化物530b等に含まれる水素が、導電体542aまたは導電体542bに拡散する場合がある。特に、導電体542aおよび導電体542bに、タンタルを含む窒化物を用いることで、酸化物530b等に含まれる水素は、導電体542aまたは導電体542bに拡散しやすく、拡散した水素は、導電体542aまたは導電体542bが有する窒素と結合することがある。つまり、酸化物530b等に含まれる水素は、導電体542aまたは導電体542bに吸い取られる場合がある。

[0478]

また、導電体542の側面と導電体542の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体542とすることで、チャンネル幅方向の断面における、導電体542の断面積を大きくすることができる。これにより、導電体542の導電率を大きくし、トランジスタ500のオン電流を大きくすることができる。

[0479]

絶縁体571aは、導電体542aの上面に接して設けられており、絶縁体571bは、導電体542bの上面に接して設けられている。絶縁体571は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体571は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体571は、絶縁体580よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体571としては、例えば、窒化シリコン等のシリコンを含む窒化物を用いればよい。また、絶縁体571は、水素等の不純物を捕獲する機能を有することが好ましい。その場合、絶縁体571としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウム等の絶縁体を用いればよい。特に、絶縁体571として、アモルファ

ス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0480]

絶縁体544は、絶縁体524、酸化物530a、酸化物530b、導電体542、および絶縁体571を覆うように設けられる。絶縁体544として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体544としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウム等の絶縁体を含むことが好ましい。また、例えば、絶縁体544として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0481]

上記のような絶縁体571および絶縁体544を設けることで、酸素に対するバリア性を有する絶縁体で導電体542を包み込むことができる。つまり、絶縁体524、および絶縁体580に含まれる酸素が、導電体542に拡散するのを防ぐことができる。これにより、絶縁体524、および絶縁体580に含まれる酸素によって、導電体542が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0482]

絶縁体552は、ゲート絶縁体の一部として機能する。絶縁体552としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体552としては、上述の絶縁体574に用いることができる絶縁体を用いればよい。絶縁体552として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）等を用いることができる。本実施の形態では、絶縁体552として、酸化アルミニウムを用いる。この場合、絶縁体552は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

[0483]

図22Cに示すように、絶縁体552は、酸化物530bの上面および側面、酸化物530aの側面、絶縁体524の側面、および絶縁体522の上面に接して設けられる。つまり、酸化物530a、酸化物530b、および絶縁体524の導電体560と重なる領域は、チャネル幅方向の断面において、絶縁体552に覆われている。これにより、熱処理等を行った際に、酸化物530aおよび酸化物530bで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体552でブロックすることができる。よって、酸化物530aおよび酸化物530bに酸素欠損(Vo)が形成されるのを低減することができる。これにより、領域530bcに形成される、酸素欠損(Vo)、およびVoHを低減することができる。よって、トランジスタ500の電気特性を良好にし、信頼性を向上させることができる。

[0484]

また、逆に、絶縁体580および絶縁体550等に過剰な量の酸素が含まれていても、当該酸素が酸化物530aおよび酸化物530bに過剰に供給されるのを抑制することができる。よって、領域530bcを介して、領域530baおよび領域530bbが過剰に酸化され、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0485]

また、図22Bに示すように、絶縁体552は、導電体542、絶縁体544、絶縁体571、および絶縁体580、それぞれの側面に接して設けられる。よって、導電体542の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0486]

また、絶縁体552は、絶縁体554、絶縁体550、および導電体560と、ともに、絶縁体580等に形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体552の膜厚は薄いことが好ましい。絶縁体552の膜厚は、0.1nm以上、0.5nm以上、または1.0nm以上とすることが好ましく、かつ1.0nm以下、3.0nm以下、または5.0nm以下とすることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体552は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体552の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体552は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0487]

絶縁体552を上記のように膜厚を薄く成膜するには、ALD法を用いて成膜することが好ましい。ALD法は、プリカーサおよびリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD (Plasma Enhanced ALD) 法等がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0488]

ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、等の効果がある。よって、絶縁体552を絶縁体580等に形成された開口の側面等に被覆性良く、上記のような薄い膜厚で成膜することができる。

[0489]

なお、ALD法で用いるプリカーサには炭素等を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素等の不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0490]

絶縁体550は、ゲート絶縁体の一部として機能する。絶縁体550は、絶縁体552の上面に接して配置することが好ましい。絶縁体550は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン等を用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体550は、少なくとも酸素とシリコンと、を有する絶縁体となる。

[0491]

絶縁体550は、絶縁体524と同様に、絶縁体550中の水、水素等の不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上、または0.5nm以上とすることが好ましく、かつ15nm以下、または20nm以下とすることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0492]

図22B、および図22C等では、絶縁体550を単層とする構成について示したが、本発明はこれに限られず、2層以上の積層構造としてもよい。例えば図23Bに示すように、絶縁体550を、絶縁体550aと、絶縁体550a上の絶縁体550bの2層の積層構造にしてもよい。

[0493]

図23Bに示すように、絶縁体550を2層の積層構造とする場合、下層の絶縁体550aは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体550bは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体550aに含まれる酸素が、導電体560へ拡散するのを抑制することができる。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、絶縁体550aに含まれる酸素による導電体560の酸化を抑制することができる。例えば、絶縁体550aは、上述した絶縁体550に用いることができる材料を用いて設け、絶縁体550bは、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）等を用いることができる。本実施の形態では、絶縁体550bとして、酸化ハフニウムを用いる。この場合、絶縁体550bは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体550bの膜厚は、0.5nm以上、または1.0nm以上とすることが好ましく、かつ3.0nm以下、または5.0nm以下とすることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550bは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0494]

なお、絶縁体550aに酸化シリコン、酸化窒化シリコン等を用いる場合、絶縁体550bは、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体550aと絶縁体550bとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。よって、絶縁体550の絶縁耐圧を高くすることができる。

[0495]

絶縁体554は、ゲート絶縁体の一部として機能する。絶縁体554としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体560に含まれる水素等の不純物が、絶縁体550、および酸化物530bに拡散するのを防ぐことができる。絶縁体554としては、上述した絶縁体576に用いることができる絶縁体を用いればよい。例えば、絶縁体554としてP

EALD法で成膜した窒化シリコンを用いればよい。この場合、絶縁体554は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0496]

また、絶縁体554が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体550に含まれる酸素が、導電体560へ拡散するのを抑制することができる。

[0497]

また、絶縁体554は、絶縁体552、絶縁体550、および導電体560とともに、絶縁体580等に形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体554の膜厚は薄いことが好ましい。絶縁体554の膜厚は、0.1nm以上、0.5nm以上、または1.0nm以上とすることが好ましく、かつ3.0nm以下、または5.0nm以下とすることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体554は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体554の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体554は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0498]

導電体560は、トランジスタ500のゲート電極として機能する。導電体560は、導電体560aと、導電体560aの上に配置された導電体560bと、を有することが好ましい。例えば、導電体560aは、導電体560bの底面および側面を包むように配置されることが好ましい。また、図22Bおよび図22Cに示すように、導電体560の上部の高さの位置は、絶縁体550の上部の高さの位置と概略一致している。なお、図22Bおよび図22Cでは、導電体560は、導電体560aと導電体560bの2層構造として示しているが、導電体560は、当該2層構造以外としては、単層構造、または3層以上の積層構造とすることができる。

[0499]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0500]

また、導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウム等を用いることが好ましい。

[0501]

また、導電体560は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは、積層構造とすることができる。具体的には、例えば、導電体560bは、チタン、または窒化チタンと上記導電性材料との積層構造とすることができる。

[0502]

また、トランジスタ500では、導電体560は、絶縁体580等に形成されている開口を埋めるように自己整合的に形成される。導電体560をこのように形成することにより、導電体542aと導電体542bとの間の領域に、導電体560を位置合わせすることなく確実に配置することができる。

[0503]

また、図22Cに示すように、トランジスタ500のチャネル幅方向において、絶縁体522の底面を基準としたときの、導電体560の、導電体560と酸化物530bとが重ならない領域の底面の高さは、酸化物530bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体560が、絶縁体550等を介して、酸化物530bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体560の電界を酸化物530bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。絶縁体522の底面を基準としたときの、酸化物530aおよび酸化物530bと、導電体560とが、重ならない領域における導電体560の底面の高さ、酸化物530bの底面の高さ、の差は、0nm以上、3nm以上、または5nm以上とすることが好ましく、かつ20nm以下、50nm以下、または100nm以下とすることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。

[0504]

絶縁体580は、絶縁体544上に設けられ、絶縁体550、および導電体560が設けられる領域に開口が形成されている。また、絶縁体580の上面は、平坦化されていてもよい。

[0505]

層間膜として機能する絶縁体580は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体580は、例えば、絶縁体516と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0506]

絶縁体580は、絶縁体580中の水、水素等の不純物濃度は低減されていることが好ましい。例えば、絶縁体580は、酸化シリコン、酸化窒化シリコン等のシリコンを含む酸化物を適宜用いればよい。

[0507]

絶縁体574は、水、水素等の不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素等の不純物を捕獲する機能を有することが好ましい。また、絶縁体574は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体574としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウム等の絶縁体を用いればよい。この場合、絶縁体574は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体512と絶縁体581に挟まれた領域内で、絶縁体580に接して、水素等の不純物を捕獲する機能を有する、絶縁体574を設けることで、絶縁体580等に含まれる水素等の不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体574として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲

または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0508]

絶縁体576は、水、水素等の不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体576は、絶縁体574の上に配置される。絶縁体576としては、窒化シリコンまたは窒化酸化シリコン等の、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体576としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体576をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体576として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD法または、CVD法で成膜された窒化シリコンを積層してもよい。

[0509]

また、トランジスタ500の第1端子、または第2端子の一方は、プラグとして機能する導電体540aに電氣的に接続され、トランジスタ500の第1端子、または第2端子の他方は、導電体540bに電氣的に接続されている。なお、本明細書等では、導電体540a、および導電体540bをまとめて導電体540と呼ぶこととする。

[0510]

プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0511]

各プラグ、および配線の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料等の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0512]

導電体540aは、一例として、導電体542aと重畳する領域に設けられている。具体的には、導電体542aと重畳する領域において、図22Bに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、および絶縁体581、更に図22Aに示す絶縁体582、および絶縁体586には開口部が形成されており、導電体540aは、当該開口部の内側に設けられている。また、導電体540bは、一例として、導電体542bと重畳する領域に設けられている。具体的には、導電体542bと重畳する領域において、図22Bに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、および絶縁体581、更に図22Aに示す絶縁体582、および絶縁体586には開口部が形成されており、導電体540bは、当該開口部の内側に設けられている。なお、絶縁体582、および絶縁体586については後述する。

[0513]

さらに、図22Bに示すとおり、導電体542aと重畳する領域の開口部の側面と導電体540aとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541aを設けてもよい。同様に、導電体542bと重畳する領域の開口部の側面と導電体540bとの間には、不純物に対

してバリア性を有する絶縁体として、絶縁体541bを設けてもよい。なお、本明細書等では、絶縁体541a、および絶縁体541bをまとめて絶縁体541と呼ぶこととする。

[0514]

導電体540aおよび導電体540bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体540aおよび導電体540bは積層構造としてもよい。

[0515]

また、導電体540を積層構造とする場合、絶縁体574、絶縁体576、絶縁体581、絶縁体580、絶縁体544、および絶縁体571の近傍に配置される第1の導電体には、水、水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウム等を用いることが好ましい。また、水、水素等の不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体576より上層に含まれる水、水素等の不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入することを抑制することができる。

[0516]

絶縁体541aおよび絶縁体541bとしては、絶縁体544等に用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体541aおよび絶縁体541bとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコン等の絶縁体を用いればよい。絶縁体541aおよび絶縁体541bは、絶縁体574、絶縁体576、および絶縁体571に接して設けられるので、絶縁体580等に含まれる水、水素等の不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されるのを防ぐことができる。

[0517]

絶縁体541aおよび絶縁体541bを、図22Bに示すように積層構造にする場合、絶縁体580等の開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせる用いることが好ましい。

[0518]

例えば、第1の絶縁体として、ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体540の酸化を抑制し、さらに、導電体540に水素が混入するのを低減することができる。

[0519]

なお、トランジスタ500では、絶縁体541の第1の絶縁体および絶縁体541の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体541を単層、または3層以上の積層構造として設ける構成にしてもよい。また、トランジスタ500では、導電体540の第1の導電体および導電体540の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体540を単層、または3層以上の積層構造として設ける構成にしてもよい。

[0520]

また、図22Aに示すとおり、導電体540aの上部、および導電体540bの上部に接して配

線として機能する導電体610、導電体612等を配置してもよい。導電体610、導電体612は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもすることができる。具体的には、例えば、当該導電体は、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0521]

なお、本発明の一隊の半導体装置に含まれるトランジスタの構造は、図22A乃至図22Cに示したトランジスタ500に限定されない。本発明の一態様の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

[0522]

例えば、図22A乃至図22Cに示すトランジスタ500は、図24に示す構成としてもよい。図24のトランジスタは、酸化物543a、および酸化物543bを有する点で、図22A乃至図22Cに示すトランジスタ500と異なっている。なお、本明細書等では、酸化物543a、および酸化物543bをまとめて酸化物543と呼ぶこととする。また、図24のトランジスタのチャネル幅方向の断面の構成については、図22C示すトランジスタ500の断面と同様の構成とすることができる。

[0523]

酸化物543aは、酸化物530bと導電体542aの間に設けられ、酸化物543bは、酸化物530bと導電体542bの間に設けられる。ここで、酸化物543aは、酸化物530bの上面、および導電体542aの下面に接することが好ましい。また、酸化物543bは、酸化物530bの上面、および導電体542bの下面に接することが好ましい。

[0524]

酸化物543は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、またはドレイン電極として機能する導電体542と酸化物530bとの間に酸素の透過を抑制する機能を有する酸化物543を配置することで、導電体542と、酸化物530bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ500の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

[0525]

また、酸化物543として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物543は、酸化物530bよりも元素Mの濃度が高いことが好ましい。また、酸化物543として、酸化ガリウムを用いてもよい。また、酸化物543として、 $In-M-Zn$ 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、 In に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 In に対する元素Mの原子数比より大きいことが好ましい。また、酸化物543の膜厚は、0.5nm以上、または1nm以上であることが好ましく、かつ2nm以下、3nm以下、または5nm以下であることが好ましい。なお、上述した下限値、および上限値はそれぞれ組み合わせることができるものとする。また、酸化物543は、結晶性を有すると好ましい。酸化物543が結晶性を有する場合、酸化物530中の酸素の放出を好適に抑制することができる。例えば、酸化物543としては、六方晶等の結晶構造であれば、酸化物530中の酸素の放出を抑制できる場合がある。

[0526]

絶縁体581上には、絶縁体582が設けられ、絶縁体582上には絶縁体586が設けられている。

[0527]

絶縁体582は、酸素、および水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

[0528]

また、絶縁体586は、絶縁体512と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

[0529]

続いて、図22Aに示す半導体装置に含まれている。容量600、およびその周辺の配線、またはプラグについて説明する。なお、図22Aに示すトランジスタ500の上方には、容量600と、配線、および／またはプラグが設けられている。

[0530]

容量600は、一例として、導電体610と、導電体620、絶縁体630とを有する。

[0531]

導電体540aまたは導電体540bの一方、導電体546、および絶縁体586上には、導電体610が設けられている。導電体610は、容量600の一对の電極の一方としての機能を有する。

[0532]

また、導電体540a、または導電体540bの他方、および絶縁体586上には、導電体612が設けられる。導電体612は、トランジスタ500と、上方に配置される回路素子、配線等と、を電氣的に接続するプラグ、配線、端子等としての機能を有する。

[0533]

なお、導電体612、および導電体610は、同時に形成してもよい。

[0534]

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

[0535]

図22Aでは、導電体612、および導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成して

もよい。

[0536]

絶縁体586、導電体610上には、絶縁体630が設けられている。絶縁体630は、容量600の一对の電極に挟まれる誘電体として機能する。

[0537]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウム等を用いることができる。また、絶縁体630は、上述した材料を用いて、積層または単層として設けることができる。

[0538]

また、例えば、絶縁体630には、酸化窒化シリコン等の絶縁耐力が大きい材料と、高誘電率(h i g h - k)材料との積層構造を用いてもよい。当該構成により、容量600は、高誘電率(h i g h - k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量600の静電破壊を抑制することができる。

[0539]

なお、高誘電率(h i g h - k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物等がある。

[0540]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)または(Ba, Sr)TiO₃(BST)等のh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物等を用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、容量素子等のリーク電流等の問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0541]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体610は、容量600の一对の電極の一方としての機能を有する。

[0542]

なお、導電体620は、金属材料、合金材料、または金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構造と同時に形成する場合は、低抵抗金属材料であるCu(銅)、Al(アルミニウム)等を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

[0543]

導電体620、および絶縁体630上には、絶縁体640が設けられている。絶縁体640としては、例えば、トランジスタ500が設けられている領域に、水素、不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体514と同様の材料を用いることができる。

[0544]

絶縁体640上には、絶縁体650が設けられている。絶縁体650は、絶縁体512と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体650としては、例えば、絶縁体514に適用できる材料とすることができる。

[0545]

ところで、図22Aに示す容量600は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量600は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

[0546]

また、容量600の上方には、配線層を設けてもよい。例えば、図22Aにおいて、絶縁体411、絶縁体412、絶縁体413、および絶縁体414が、絶縁体650の上方に、順に設けられている。また、絶縁体411、絶縁体412、および絶縁体413には、プラグ、または配線として機能する導電体416が設けられている構成を示している。また、導電体416は、一例として、後述する導電体660に重畳する領域に設けることができる。

[0547]

また、絶縁体630、絶縁体640、および絶縁体650には、導電体612と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体660が設けられている。導電体660は、上述した配線層に含まれている導電体416に電氣的に接続するプラグ、配線として機能する。

[0548]

絶縁体411、および絶縁体414は、例えば、絶縁体514等と同様に、水、水素等の不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体411、および絶縁体414としては、例えば、絶縁体514等に適用できる材料を用いることができる。

[0549]

絶縁体412、および絶縁体413は、例えば、絶縁体512と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

[0550]

<トランジスタの構成例>

次に、金属酸化物がチャネル形成領域に含まれているトランジスタ500内に、またその周辺に強誘電性を有し得る誘電体が設けられている構成について説明する。

[0551]

図25Aは、図22A、図22B等のトランジスタ500の構成に強誘電性を有し得る誘電体が設けられた、トランジスタの構成の一例を示している。

[0552]

図25Aに示すトランジスタは、導電体503に対するゲート絶縁体として機能する絶縁体522を絶縁体520に置き換えた構成となっている。絶縁体520は、一例として、強誘電性を有し

得る誘電体を用いることができる。

[0553]

なお、強誘電性を有し得る材料としては、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ (Xは0よりも大きい実数とする)、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム(Zr)、シリコン(Si)、アルミニウム(Al)、ガドリニウム(Gd)、イットリウム(Y)、ランタン(La)、ストロンチウム(Sr)等。)を添加した材料、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム(Hf)、シリコン(Si)、アルミニウム(Al)、ガドリニウム(Gd)、イットリウム(Y)、ランタン(La)、ストロンチウム(Sr)等。)を添加した材料、等が挙げられる。また、強誘電性を有し得る材料として、 $PbTiO_x$ 、チタン酸バリウムストロンチウム(BST)、チタン酸ストロンチウム、チタン酸ジルコニウム酸鉛(PZT)、タンタル酸ビスマス酸ストロンチウム(SBT)、ビスマスフェライト(BFO)、チタン酸バリウム、等のペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有し得る材料としては、例えば、上記に列挙した材料から選ばれた混合物または化合物とすることができる。または、強誘電性を有し得る材料としては、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ 、および酸化ハフニウムに元素J1を添加した材料等は、成膜条件だけでなく、各種プロセス等によっても結晶構造(特性)が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶのではなく、強誘電性を有し得る材料と呼んでいる。

[0554]

中でも強誘電性を有し得る材料として、酸化ハフニウム、あるいは酸化ハフニウムおよび酸化ジルコニウムを有する材料は、数nmといった薄膜に加工しても強誘電性を有し得るため、好ましい。ここで、絶縁体520の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下にすることができる。膜化された強誘電体層を用いることによって、強誘電体キャパシタを、微細化されたトランジスタ500に組み合わせて半導体装置を形成することができる。

[0555]

また、図25Aにおいて、絶縁体520は1層として図示したが、絶縁体520は、強誘電性を有し得る誘電体を含む2層以上の絶縁膜としてもよい。その具体的な一例のトランジスタを図25Bに示す。図25Bにおいて、例えば、絶縁体520は、絶縁体520aと絶縁体520bとを有する。絶縁体520aは、絶縁体516と、導電体503と、のそれぞれの上面に設けられ、絶縁体520bは、絶縁体520aの上面に設けられている。

[0556]

絶縁体520aとしては、例えば、強誘電性を有し得る誘電体を用いることができる。また、絶縁体520bとしては、例えば、酸化シリコン等を用いることができる。また、例えば、逆に絶縁体520aに酸化シリコンを用いて、絶縁体520bに強誘電性を有し得る誘電体を用いてもよい。

[0557]

図25Bに示すとおり、絶縁体520を2層として、一方の層に強誘電性を有し得る誘電体を設けて、他方の層に酸化シリコンを設けることで、ゲート電極として機能する導電体503と酸化物530との間に流れる電流リークを抑えることができる。

[0558]

また、図25Cには、絶縁体520を3層とする、トランジスタの構成例を示している。図25Cにおいて、絶縁体520は、例えば、絶縁体520aと、絶縁体520bと、絶縁体520cと、を有する。絶縁体520cは、絶縁体516と、導電体503と、のそれぞれの上面に設けられ、絶縁体520aは、絶縁体520cの上面に設けられ、絶縁体520bは、絶縁体520aの上面に設けられている。

[0559]

絶縁体520aとしては、例えば、強誘電性を有し得る誘電体を用いることができる。また、絶縁体520b、および絶縁体520cとしては、例えば、酸化シリコン等を用いることができる。

[0560]

図25A乃至図25Cに示す、トランジスタの構成は、例えば、上記実施の形態で説明した、図1Bに示すトランジスタ22、およびトランジスタ32に適用することができる。

[0561]

酸化半導体を有するトランジスタを用いた半導体装置に、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。

[0562]

また、酸化半導体を有するトランジスタを用いた半導体装置において、積層構造、微細化、高集積化等を図ることで、半導体装置を構成する回路の面積を低減することができる。特に、半導体装置に含まれる容量素子として、強誘電キャパシタを用いることによって、当該容量素子の静電容量の値を大きくすることができるため、容量素子の微細化を図ることができる。このため、当該容量素子を含む回路の面積を低減することができる。また、本実施の形態で説明したとおり、トランジスタおよび容量素子を積層することにより、半導体装置の回路面積の増加を抑えつつ、回路規模を大きくすることができる。

[0563]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0564]

(実施の形態5)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物（以下、酸化半導体ともいう。）について説明する。

[0565]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、または複数種が含まれていてもよい。

[0566]

<結晶構造の分類>

まず、酸化半導体における、結晶構造の分類について、図26Aを用いて説明を行う。図26Aは、酸化半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0567]

図26Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、およびCAC（Cloud-Aligned Composite）が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、およびcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、およびpoly crystalが含まれる。

[0568]

なお、図26Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、および「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0569]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図26Bに示す。図26Bにおいて、横軸は 2θ [deg.] であり、縦軸はIntensity [a. u.] である。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図26Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す場合がある。なお、図26Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3 [原子数比] 近傍である。また、図26Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0570]

図26Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta=31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図26Bに示すように、 $2\theta=31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0571]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図26Cに示す。図26Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図26Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0572]

図26Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0573]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図26Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、およびnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、等が含まれる。

[0574]

ここで、上述のCAAC-OS、nc-OS、およびa-like OSの詳細について、説明を行う。

[0575]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0576]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0577]

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、ズ、チタン等から選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、および酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0578]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ または

その近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成等により変動する場合がある。

[0579]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0580]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、等によって、歪みを許容することができるためと考えられる。

[0581]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、およびIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0582]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、および欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物、欠陥（酸素欠損等）等の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0583]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OS、および非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。ま

た、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0584]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OSおよびCAAC-OSと比べて、膜中の水素濃度が高い。

[0585]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0586]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0587]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0588]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0589]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域

である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0590]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0591]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0592]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0593]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0594]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0595]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0596]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼称する場合がある。

[0597]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0598]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャンネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0599]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0600]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0601]

酸化物半導体において、第14族元素の一つであるシリコン、炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0602]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0603]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0604]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0605]

不純物が十分に低減された酸化半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0606]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0607]

(実施の形態6)

本実施の形態では、上記実施の形態で説明した半導体装置および演算装置MAC1が有する各構成を含む集積回路の構成について図27を参照しながら説明する。

[0608]

図27は、集積回路390を組み込んだ半導体チップ391の一例である。図27に示す半導体チップ391は、リード392および集積回路390を有する。集積回路390は、上記実施の形態で示した半導体装置および演算装置MAC1を含む各種の回路が1のダイに設けられている。集積回路390は積層構造をもち、Siトランジスタを有する層(Siトランジスタ層393)、配線層394、OSトランジスタを有する層(OSトランジスタ層395)に大別される。OSトランジスタ層395は、Siトランジスタ層393上に積層して設けることができるため、半導体チップ391の小型化が容易である。

[0609]

図27では、半導体チップ391のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。その他の構成例としては、挿入実装型であるDIP(Dual In-line Package)、PGA(Pin Grid Array)、表面実装型であるSOP(Small Outline Package)、SSOP(Shrink Small Outline Package)、TSOP(Thin-Small Outline Package)、LCC(Leaded Chip Carrier)、QFN(Quad Flat Non-leaded package)、BGA(Ball Grid Array)、FBGA(Fine pitch Ball Grid Array)、接触実装型であるDTP(Dual Tape carrier Package)、QTP(Quad Tape-carrier Package)等の構造を適宜用いることができる。

[0610]

Siトランジスタを有する半導体装置および演算装置MAC1は、全て、Siトランジスタ層393、配線層394およびOSトランジスタ層395に形成することができる。すなわち、上記半導体装置を構成する素子は、同一の製造プロセスで形成することが可能である。そのため、図27に示す半導体チップは、構成する素子が増えても製造プロセスを増やす必要がなく、上記半導体装置を低コストで組み込むことができる。

[0611]

以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。または、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。または、本発明の一態様により、発熱の抑制が可能な半導体装置および電子機器を提供することができる。

[0612]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0613]

(実施の形態7)

本実施の形態では、上記実施の形態で説明した集積回路390（あるいは上記集積回路390を組み込んだ半導体チップ391）を適用することが可能な電子機器、移動体、演算システムについて、図28乃至図31を参照しながら説明する。

[0614]

図28Aは、移動体の一例として自動車の外観図を図示している。図28Bは、自動車内でのデータのやり取りを簡略化した図である。自動車590は、複数のカメラ591等を有する。また、自動車590は、赤外線レーダー、ミリ波レーダー、レーザーレーダー等各種センサ（図示せず）等を備える。

[0615]

自動車590において、カメラ591等により上記集積回路390を用いることができる。自動車590は、カメラ591が複数の撮像方向592で得られた複数の画像を上記実施の形態で説明した集積回路390で処理し、バス593等を介してホストコントローラ594等により複数の画像をまとめて解析することで、ガードレールまたは歩行者の有無等、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測等を行うシステムに用いることができる。

[0616]

集積回路390では、得られた画像データに対してニューラルネットワーク等の演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的等）、物体認識（自動運転の目的等）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減等の処理を行うことができる。

[0617]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）等も挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

[0618]

図29Aは、携帯型電子機器の一例を示す外観図である。図29Bは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器595は、プリント配線基板596、スピーカー597、カメラ598、マイクロフォン599等を有する。

[0619]

携帯型電子機器595において、プリント配線基板596に上記集積回路390を設けることができる。携帯型電子機器595は、スピーカー597、カメラ598、マイクロフォン599等で得られる複数のデータを上記実施の形態で説明した集積回路390を用いて処理・解析することで、ユーザの利便性を向上させることができる。

[0620]

集積回路390では、得られた画像データをニューラルネットワーク等の演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的等）、物体認識（自動運転の目的等）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、

位置決め、文字認識、反射映り込み低減等の処理を行うことができる。

[0621]

図30Aに示す携帯型ゲーム機1100は、筐体1101、筐体1102、筐体1103、表示部1104、接続部1105、操作キー1107等を有する。筐体1101、筐体1102および筐体1103は、取り外すことが可能である。筐体1101に設けられている接続部1105を筐体1108に取り付けることで、表示部1104に出力される映像を、別の映像機器に出力することができる。他方、筐体1102および筐体1103を筐体1109に取り付けることで、筐体1102および筐体1103を一体化し、操作部として機能させる。筐体1102および筐体1103の基板に設けられているチップ等に先の実施の形態に示す集積回路390を組み込むことができる。

[0622]

図30BはUSB接続タイプのスティック型の電子機器1120である。電子機器1120は、筐体1121、キャップ1122、USBコネクタ1123および基板1124を有する。基板1124は、筐体1121に収納されている。例えば、基板1124には、メモリチップ1125、コントローラチップ1126が取り付けられている。基板1124のコントローラチップ1126等に先の実施の形態に示す集積回路390を組み込むことができる。

[0623]

図30Cは人型のロボット1130である。ロボット1130は、センサ2101乃至2106、および制御回路2110を有する。例えば、制御回路2110には、先の実施の形態に示す集積回路390を組み込むことができる。

[0624]

上記実施の形態で説明した集積回路390は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図31に、システム3000の構成例を示す。

[0625]

システム3000は、電子機器3001と、サーバー3002によって構成される。電子機器3001とサーバー3002間の通信は、インターネット回線3003を介して行うことができる。

[0626]

サーバー3002には、複数のラック3004を有する。複数のラックには、複数の基板3005が設けられ、当該基板3005上に上記実施の形態で説明した集積回路390を搭載することができる。これにより、サーバー3002にニューラルネットワークが構成される。そして、サーバー3002は、電子機器3001からインターネット回線3003を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー3002による演算の結果は必要に応じて、インターネット回線3003を介して電子機器3001に送信することができる。これにより、電子機器3001における演算の負担を低減することができる。

[0627]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0628]

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

[0629]

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0630]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換え等を行うことが出来る。

[0631]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0632]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

[0633]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0634]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値等に限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつき等を含むことが可能である。

[0635]

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

[0636]

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、ソースとドレインとの他方を「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、またはソース（ドレイン）電極

等、状況に応じて適切に言い換えることができる。

[0637]

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合等も含む。

[0638]

また本明細書等において、ノードは、回路構成またはデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0639]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0640]

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0641]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と言い換えることができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中等）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流で記載する。言い換えると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流で表現される。そのため、本明細書等において、電流の正負（または電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等と言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等と言い換えることができるものとする。

[0642]

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）

が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。言い換えれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

[0643]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0644]

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0645]

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0646]

なお本明細書等において、「膜」、「層」等の語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[符号の説明]

[0647]

10A1：半導体装置、10A2：半導体装置、10A3：半導体装置、10B1：半導体装置、10B2：半導体装置、10B3：半導体装置、10C1：半導体装置、10C2：半導体装置、10C3：半導体装置、10D1：半導体装置、10D2：半導体装置、10D3：半導体装置、20：参照セル部、21：参照セル、22：トランジスタ、23：トランジスタ、24：トランジスタ、25：容量、30：演算セル部、31：演算セル、32：トランジスタ、33：トランジスタ、34：トランジスタ、35：容量、100：ニューラルネットワーク、390：集積回路、391：半導体チップ、392：リード、393：Siトランジスタ層、394：配線層、395：OSトランジスタ層、411：絶縁体、412：絶縁体、413：絶縁体、414：絶縁体、416：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、512：絶縁体、514：絶縁体、516：絶縁体、520：絶縁体、520a：絶縁体、520b：絶縁体、520c：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530ba：領域、530bb：領域、530bc：領域、540：導電体、540a：導電体、540b：導電体、541：絶縁体、541a：絶縁体、541b：絶縁体、542：導電体、542a：導電体、542b：導電体、543：酸化物、543a：酸化物、543b：酸化物、544：絶縁体、546：導電体、550：絶縁体、550a：絶縁体、550b：絶縁体、552：絶縁体、554：絶縁体、560：導電体、560a：導電体、56

0 b : 導電体、571 : 絶縁体、571 a : 絶縁体、571 b : 絶縁体、574 : 絶縁体、576 : 絶縁体、580 : 絶縁体、581 : 絶縁体、582 : 絶縁体、586 : 絶縁体、590 : 自動車、591 : カメラ、592 : 撮像方向、593 : バス、594 : ホストコントローラ、595 : 携帯型電子機器、596 : プリント配線基板、597 : スピーカー、598 : カメラ、599 : マイクロフォン、600 : 容量、610 : 導電体、612 : 導電体、620 : 導電体、630 : 絶縁体、640 : 絶縁体、650 : 絶縁体、660 : 導電体、1100 : 携帯型ゲーム機、1101 : 筐体、1102 : 筐体、1103 : 筐体、1104 : 表示部、1105 : 接続部、1107 : 操作キー、1108 : 筐体、1109 : 筐体、1120 : 電子機器、1121 : 筐体、1122 : キャップ、1123 : USBコネクタ、1124 : 基板、1125 : メモリチップ、1126 : コントローラチップ、1130 : ロボット、2101 : センサ、2106 : センサ、2110 : 制御回路、3000 : システム、3001 : 電子機器、3002 : サーバー、3003 : インターネット回線、3004 : ラック、3005 : 基板

請求の範囲

[請求項1]

第1トランジスタと、第2トランジスタと、容量と、を有し、
前記第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、
前記第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、
前記第1バックゲートに対するゲート絶縁層は、強誘電性を有し、
前記第1トランジスタは、オフ状態のときに、前記第1トランジスタを介して前記第2バックゲートに与えられる第1データに応じた第1電位を保持する機能を有し、
前記容量は、前記容量の一方の電極に与えられる第2データに応じた電位の変化に応じて、前記第2バックゲートに保持された前記第1電位を第2電位に変化させる機能を有し、
前記第2トランジスタは、前記第2バックゲートの電位に応じた出力電流を、前記第2トランジスタのソースドレイン間に流す機能を有し、
前記出力電流は、前記第2トランジスタがサブスレッショルド領域で動作するときに流れる電流であり、
前記第2ゲートには、定電位が与えられる、半導体装置。

[請求項2]

第1トランジスタと、第2トランジスタと、容量と、を有し、
前記第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、
前記第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、
前記第1バックゲートに対するゲート絶縁層は、強誘電性を有し、
前記容量の一方の電極は、前記第2ゲートと電氣的に接続され、
前記容量の他方の電極には、定電位が与えられ、
前記第1トランジスタは、オフ状態のときに、前記第1トランジスタを介して前記第2ゲートに与えられる第1データに応じた第1電位を保持する機能を有し、
前記第2トランジスタは、前記第2ゲートの電位に応じた出力電流を、前記第2トランジスタのソースドレイン間に流す機能を有し、
前記出力電流は、前記第2トランジスタがサブスレッショルド領域で動作するときに流れる電流である半導体装置。

[請求項3]

第1トランジスタと、第2トランジスタと、容量と、を有し、
前記第1トランジスタは、第1ゲートと、第1バックゲートと、を有し、
前記第2トランジスタは、第2ゲートと、第2バックゲートと、を有し、
前記第1バックゲートに対するゲート絶縁層は、強誘電性を有し、
前記容量の一方の電極は、前記第2バックゲートと電氣的に接続され、
前記容量の他方の電極には、定電位が与えられ、
前記第1トランジスタは、オフ状態のときに、前記第1トランジスタを介して前記第2バックゲートに与えられる第1データに応じた第1電位を保持する機能を有し、
前記第2トランジスタは、前記第2バックゲートの電位に応じた出力電流を、前記第2トランジスタのソースドレイン間に流す機能を有し、
前記出力電流は、前記第2トランジスタがサブスレッショルド領域で動作するときに流れる電流

である半導体装置。

[請求項4]

請求項1乃至3のいずれか一において、
前記半導体装置は、回路を有し、
前記回路は、前記第1ゲートと電氣的に接続され、
前記回路は、前記第1トランジスタのオンまたはオフを制御する信号を生成する機能を有する、
半導体装置。

[請求項5]

請求項1乃至4のいずれか一において、
前記第1バックゲートに対するゲート絶縁層は、ハフニウム、およびジルコニウム的一方、または双方を含む酸化物を有する、半導体装置。

[請求項6]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、
前記第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、
前記第1トランジスタのソースまたはドレインの一方は、前記第2トランジスタのソースまたはドレインの一方、および前記第1容量の一方の電極と電氣的に接続され、
前記第1トランジスタのソースまたはドレインの他方は、前記第2トランジスタのバックゲート、および前記第1容量の他方の電極と電氣的に接続され、
前記第1トランジスタのバックゲートは、前記第3トランジスタのソースまたはドレインの一方、前記第3トランジスタのバックゲート、および前記第4トランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第3トランジスタのゲートは、前記強誘電キャパシタの一方の電極と電氣的に接続され、
前記第4トランジスタのソースまたはドレインの他方は、前記強誘電キャパシタの他方の電極、および前記第2容量の一方の電極と電氣的に接続される、半導体装置。

[請求項7]

請求項6において、
前記第2トランジスタのゲートには、定電位が与えられる、半導体装置。

[請求項8]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、
前記第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、
前記第1トランジスタのソースまたはドレインの一方は、前記第2トランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第1トランジスタのソースまたはドレインの他方は、前記第2トランジスタのゲート、および前記第1容量の一方の電極と電氣的に接続され、
前記第1トランジスタのバックゲートは、前記第3トランジスタのソースまたはドレインの一方、前記第3トランジスタのバックゲート、および前記第4トランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第3トランジスタのゲートは、前記強誘電キャパシタの一方の電極と電氣的に接続され、

前記第4トランジスタのソースまたはドレインの他方は、前記強誘電キャパシタの他方の電極、および前記第2容量の一方の電極と電気的に接続される、半導体装置。

[請求項9]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、強誘電キャパシタと、を有し、

前記第1乃至第3トランジスタは、それぞれゲートと、バックゲートと、を有し、

前記第1トランジスタのソースまたはドレインの一方は、前記第2トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1トランジスタのソースまたはドレインの他方は、前記第2トランジスタのバックゲート、および前記第1容量の一方の電極と電気的に接続され、

前記第1トランジスタのバックゲートは、前記第3トランジスタのソースまたはドレインの一方、前記第3トランジスタのバックゲート、および前記第4トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3トランジスタのゲートは、前記強誘電キャパシタの一方の電極と電気的に接続され、

前記第4トランジスタのソースまたはドレインの他方は、前記強誘電キャパシタの他方の電極、および前記第2容量の一方の電極と電気的に接続される、半導体装置。

[請求項10]

請求項8または9において、

前記第1容量の他方の電極には、定電位が与えられる、半導体装置。

[請求項11]

請求項6乃至10のいずれかにおいて、

前記半導体装置は、回路を有し、

前記回路は、前記第1トランジスタのゲートと電気的に接続され、

前記回路は、前記第1トランジスタのオンまたはオフを制御する信号を生成する機能を有する、半導体装置。

[請求項12]

請求項6乃至11のいずれかにおいて、

前記強誘電キャパシタは、誘電体層を有し、

前記誘電体層は、ハフニウム、およびジルコニウムの一方、または双方を含む酸化物を有する、半導体装置。

[請求項13]

請求項1乃至12のいずれかにおいて、

前記第1トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有する、半導体装置。

[請求項14]

請求項13において、

前記金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置。

[請求項15]

請求項1乃至14のいずれかにおいて、

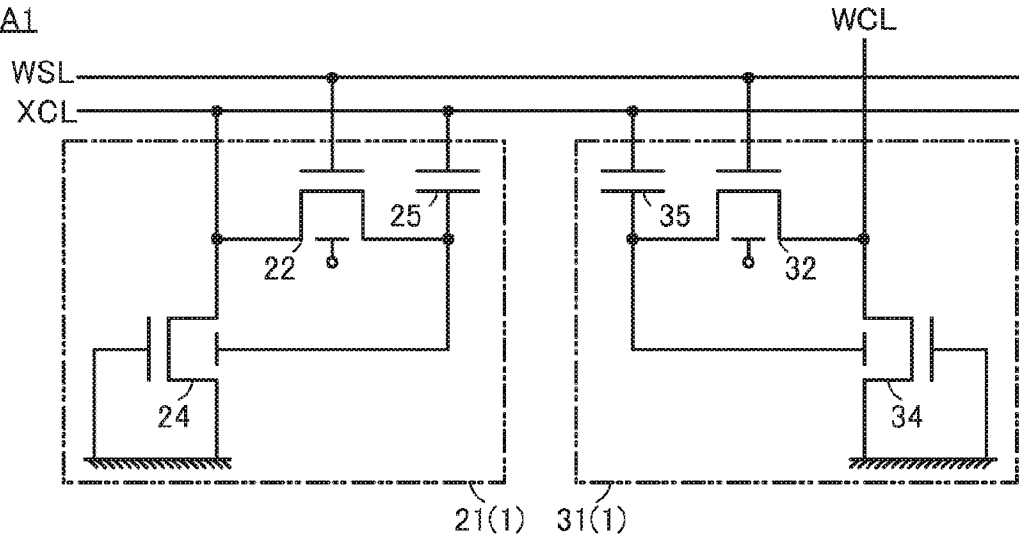
前記第2トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有する、半導体装置。

[請求項 1 6]

請求項 1 乃至 1 5 のいずれか一の半導体装置と、筐体と、を有し、前記半導体装置によって、ニューラルネットワークの演算を行う、電子機器。

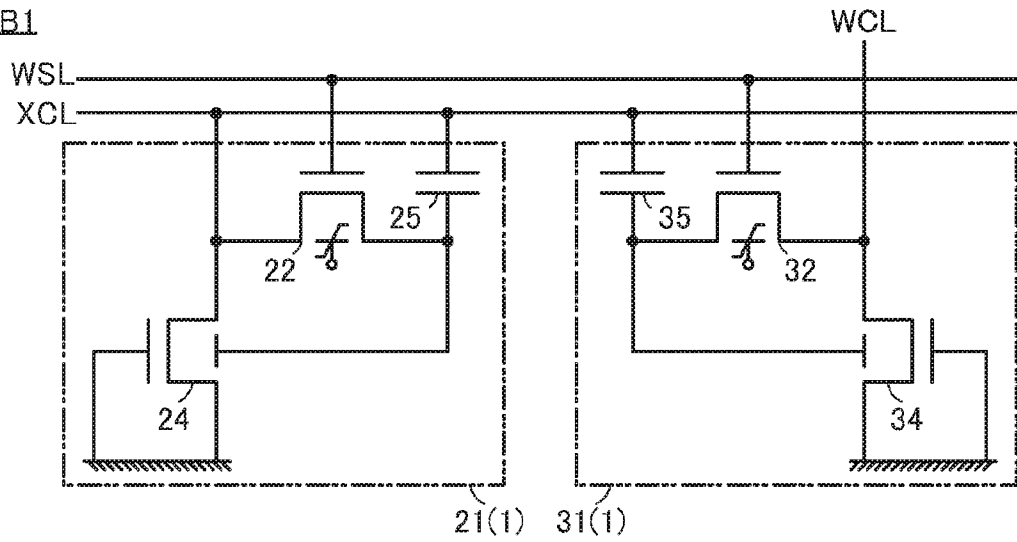
1A

10A1



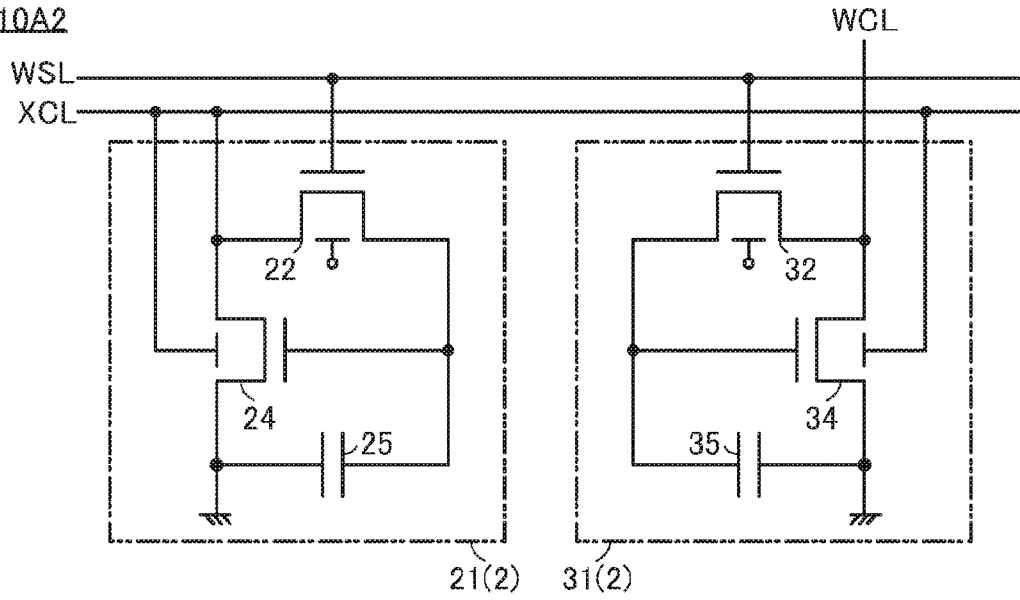
1B

10B1



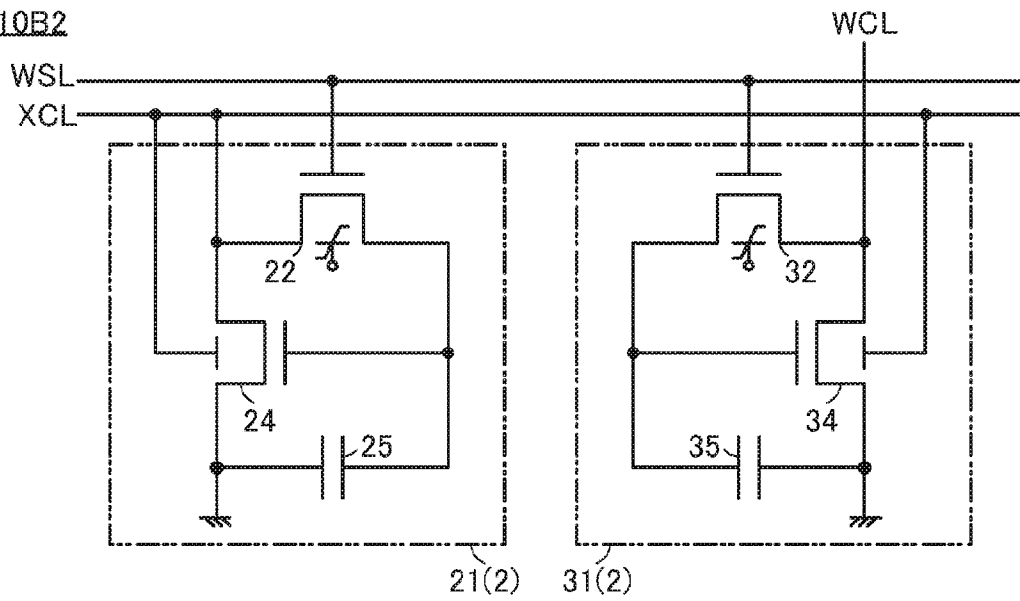
2A

10A2



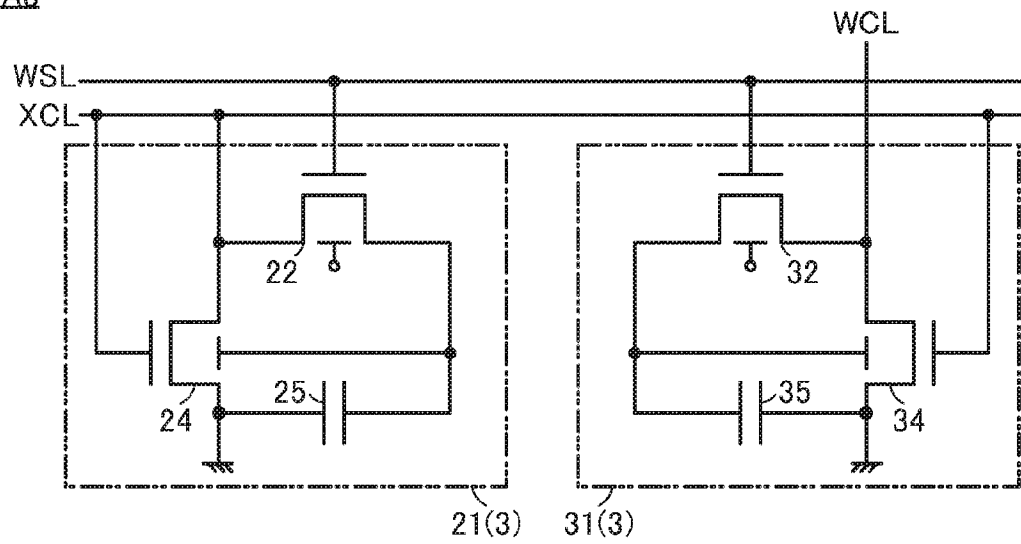
2B

10B2



3A

10A3



3B

10B3

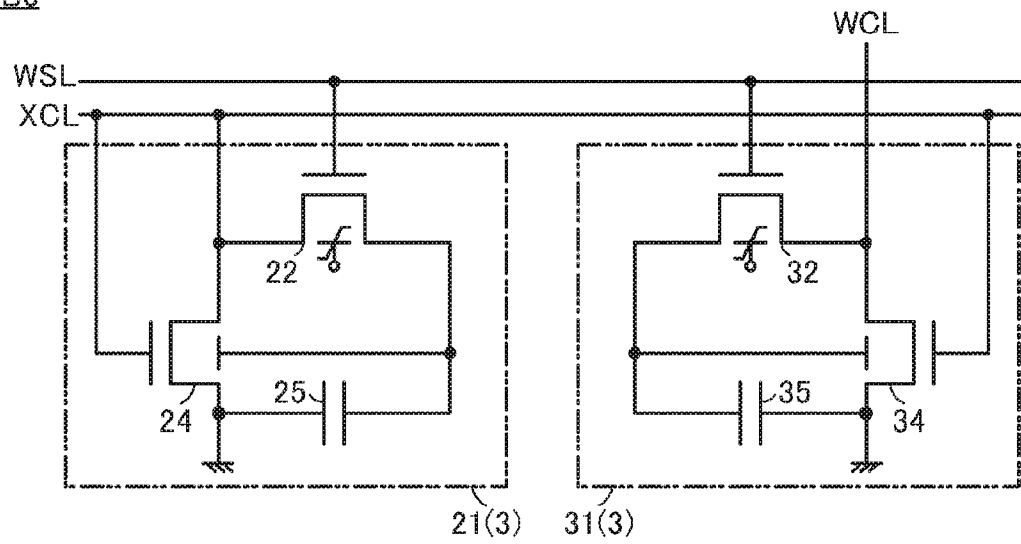


图 5A

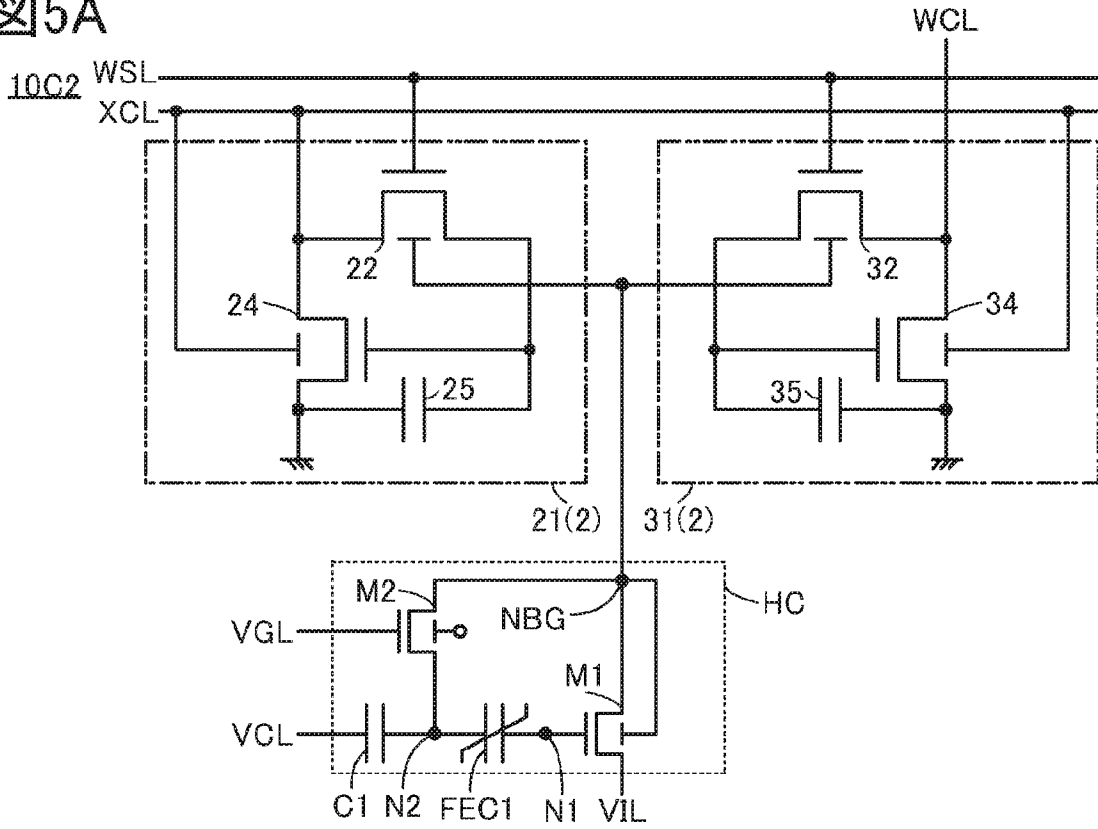


图 5B

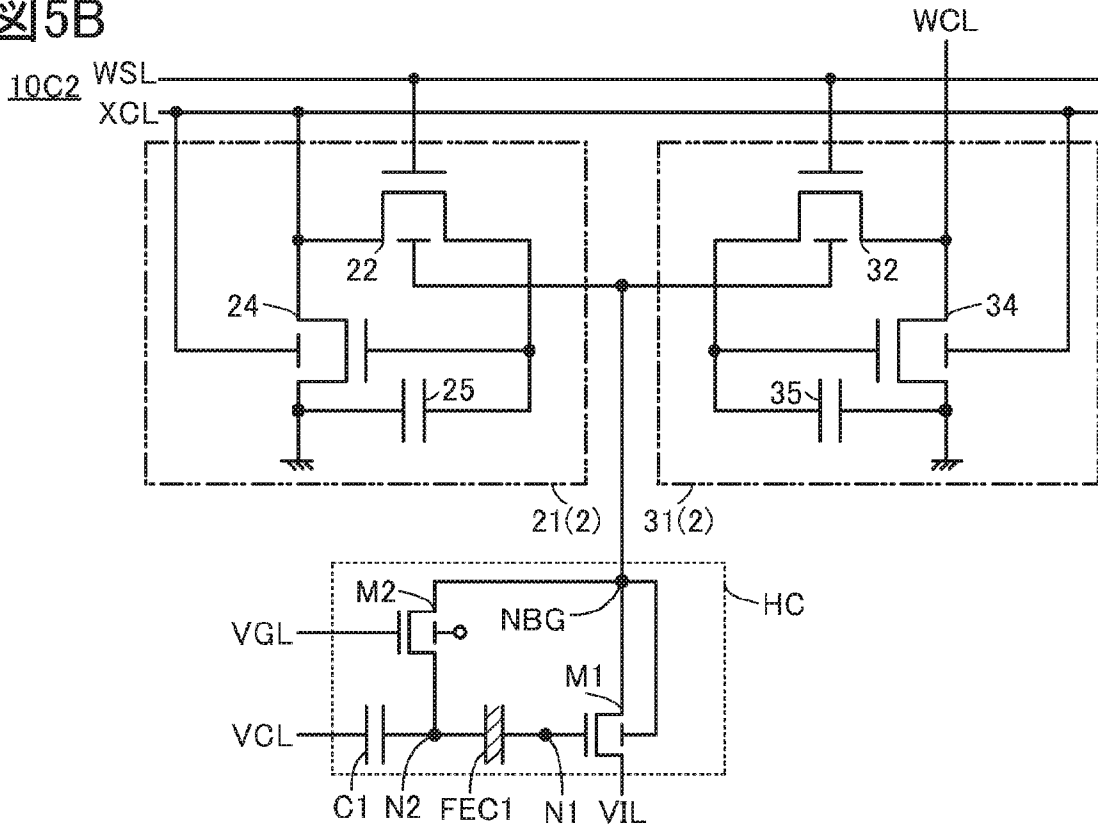


図6A

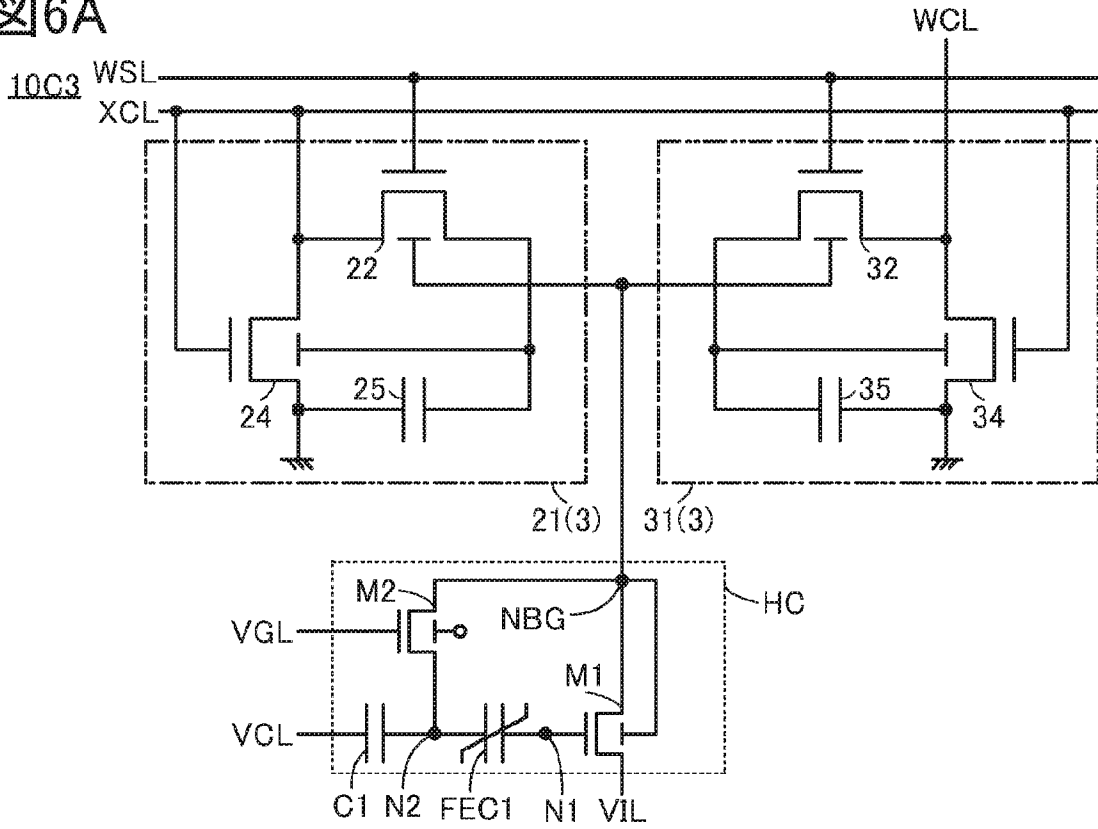
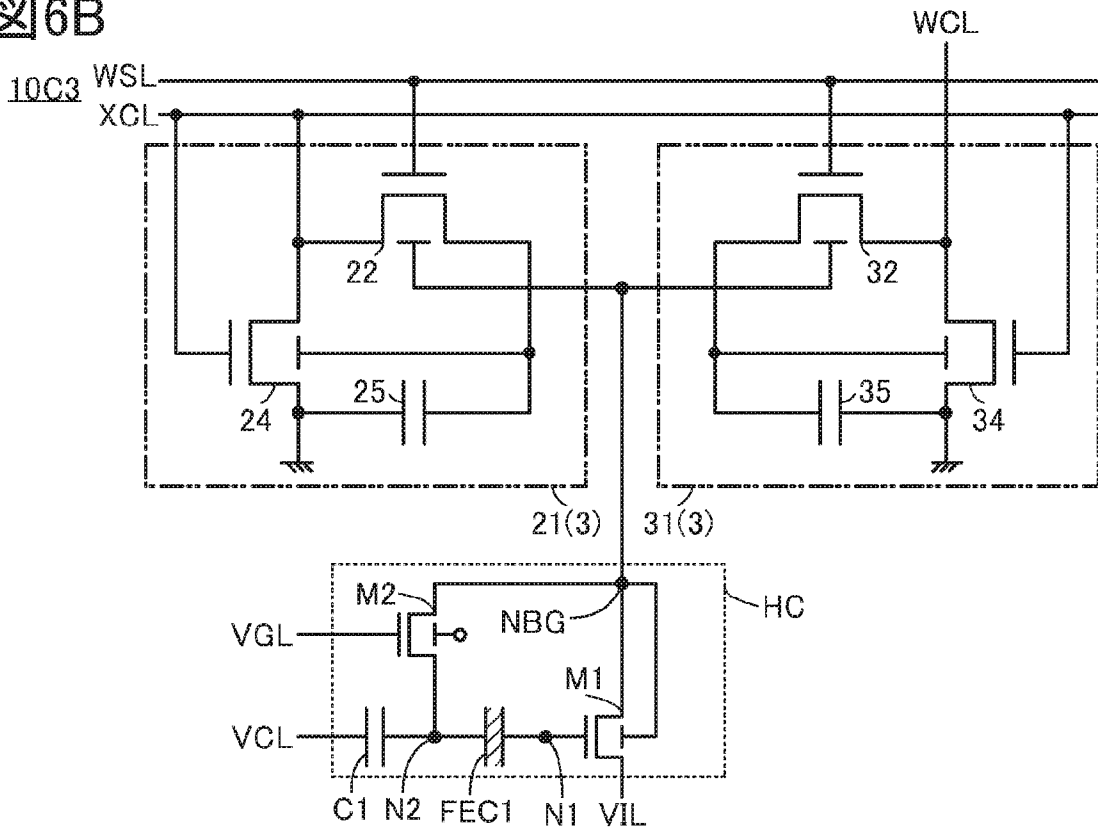
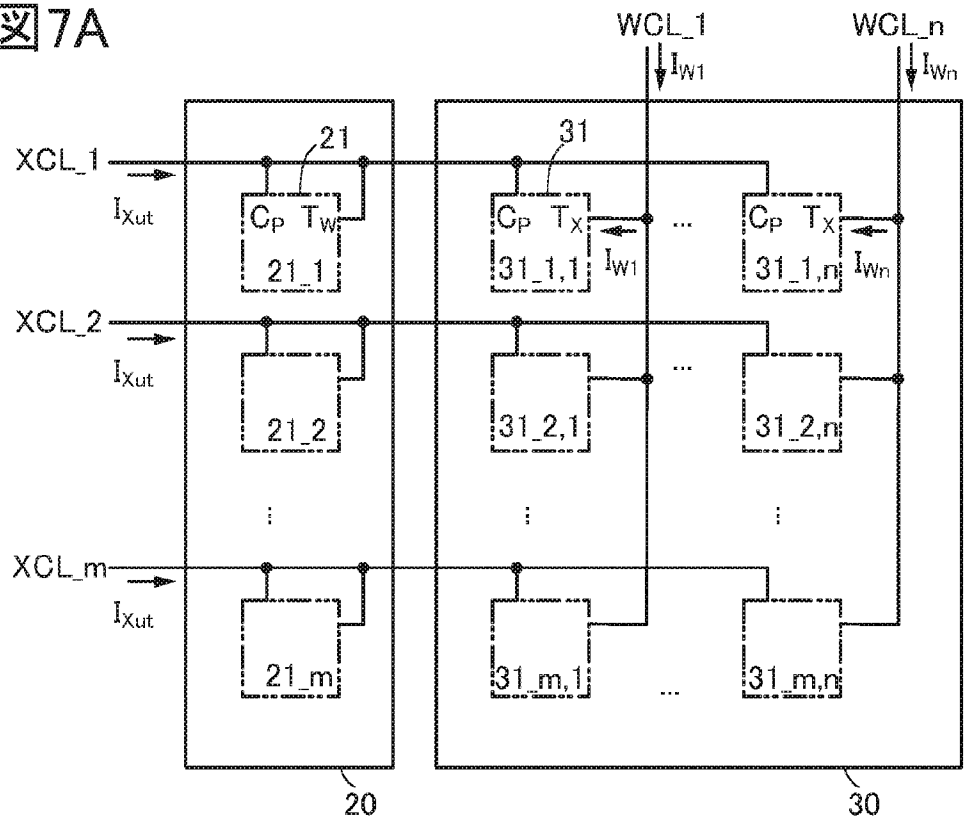


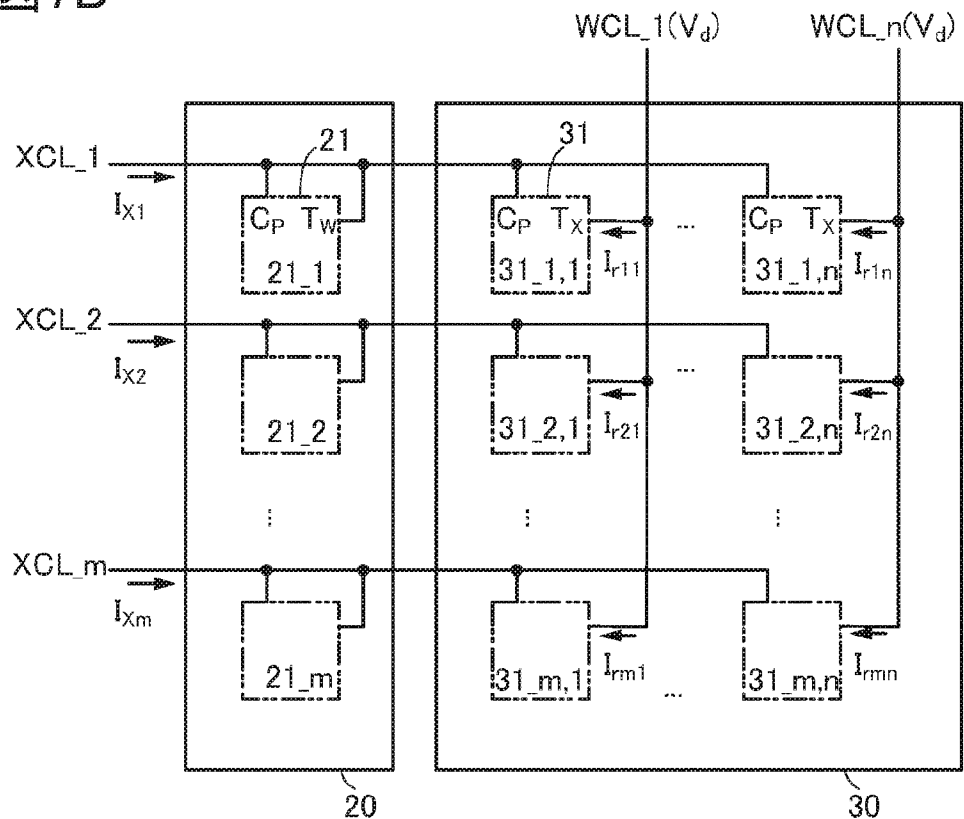
図6B



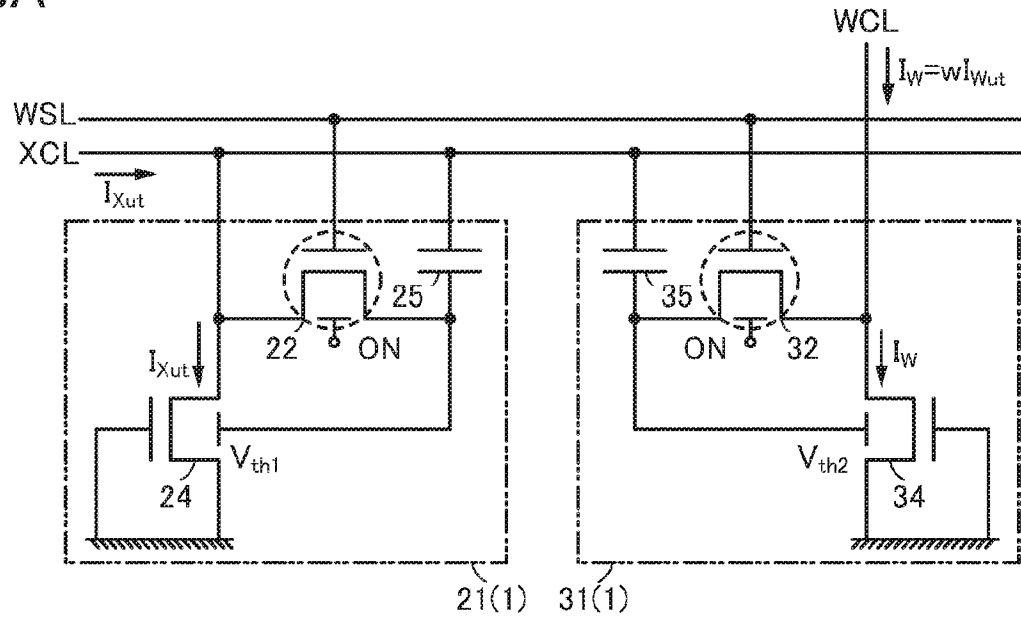
7A



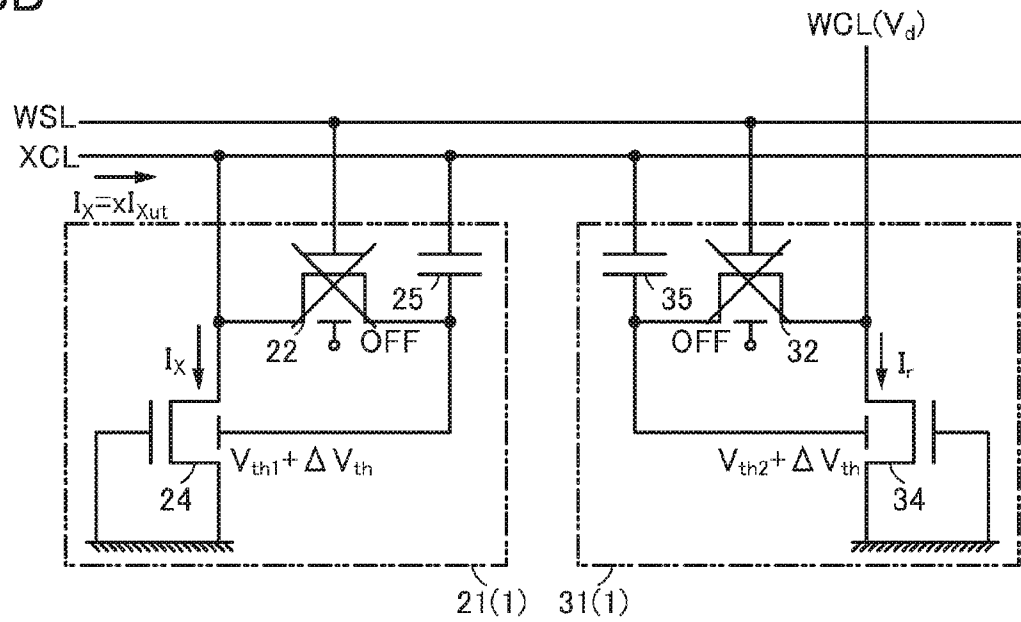
7B



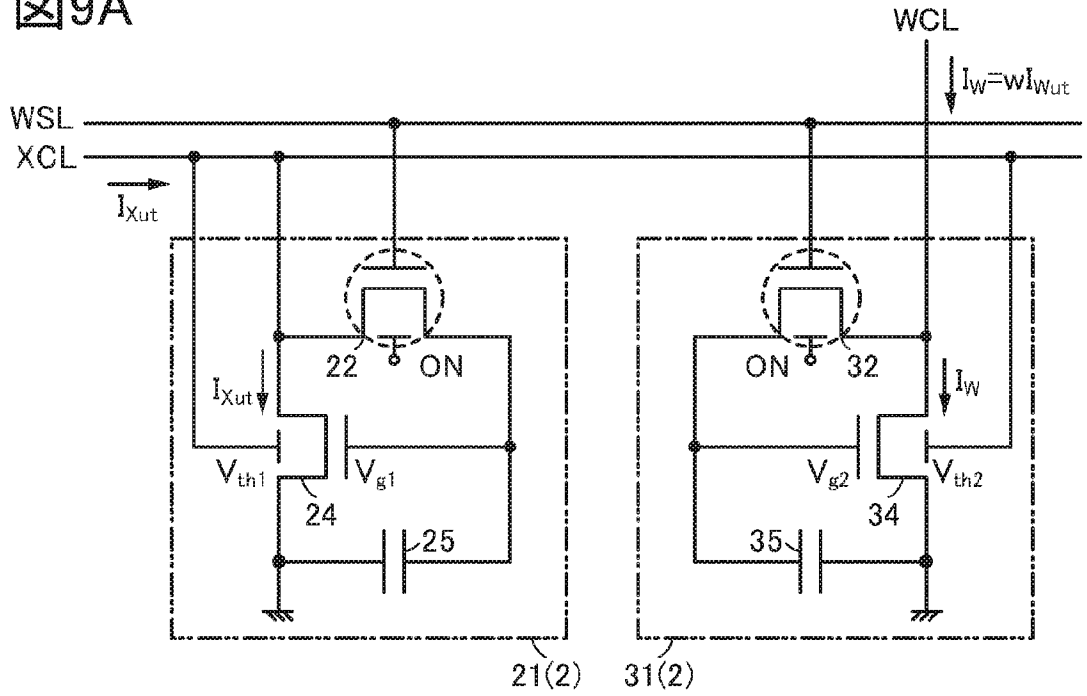
8A



8B



9A



9B

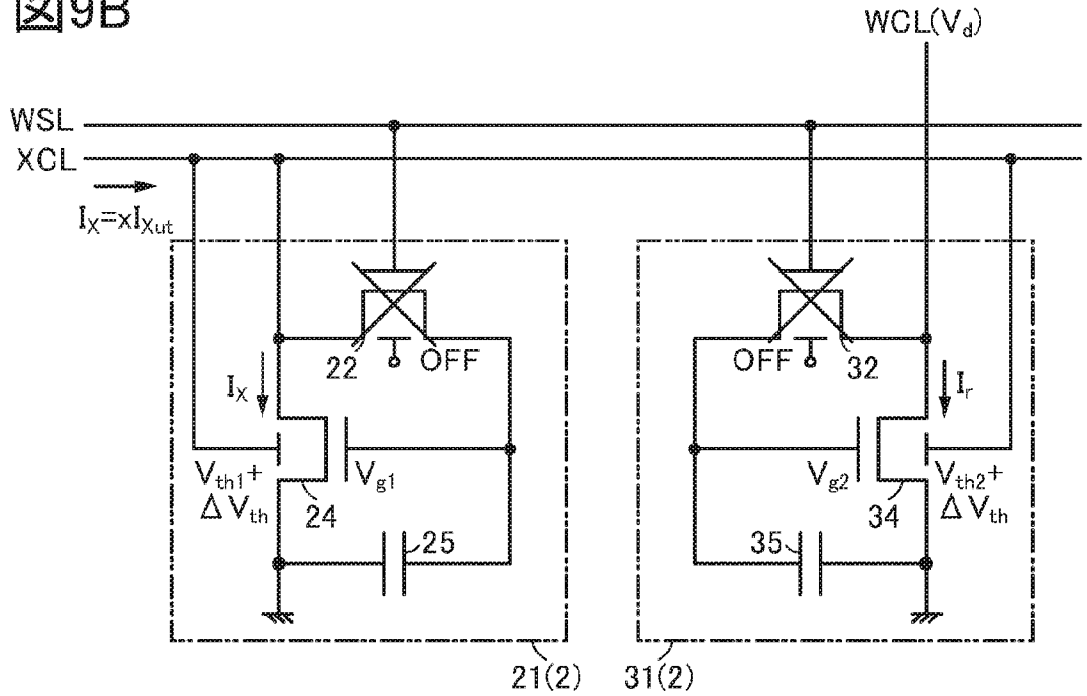


図10A

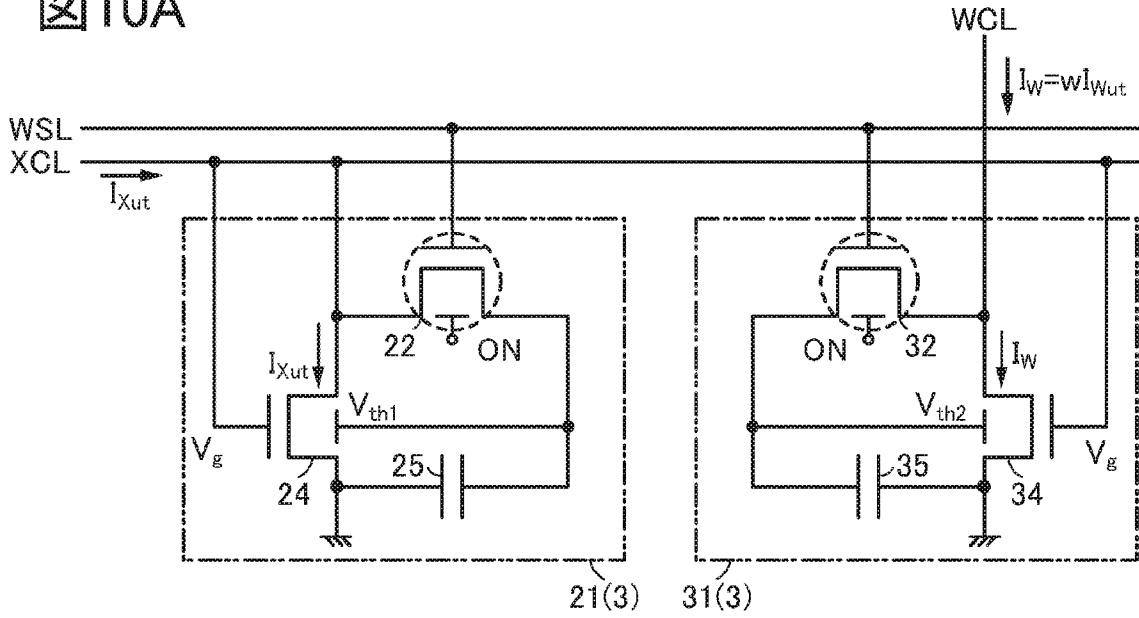
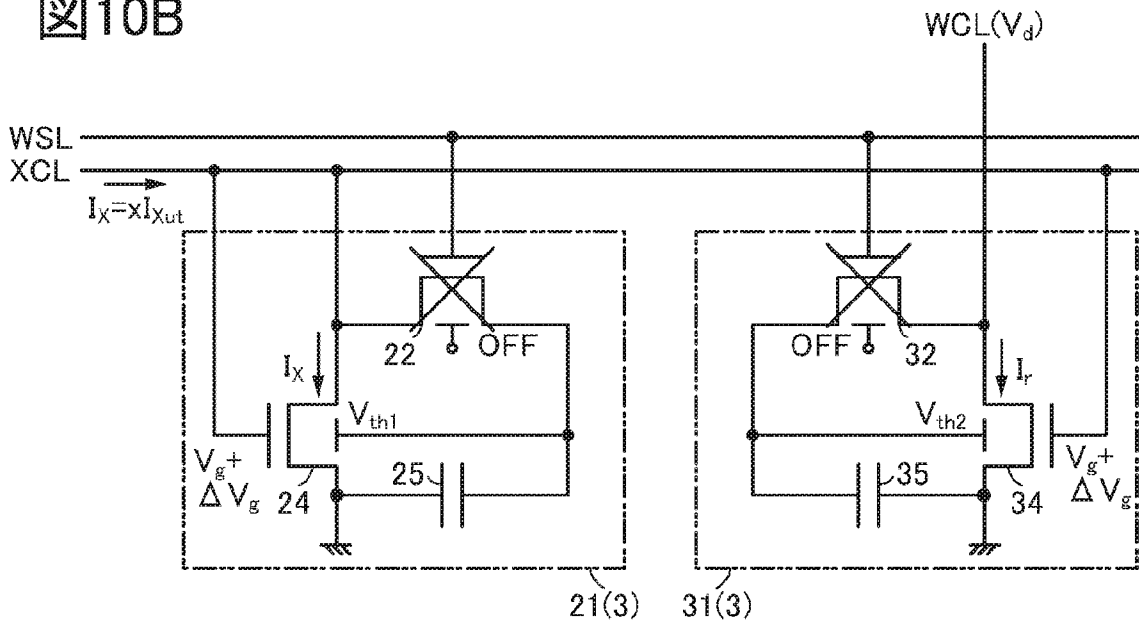
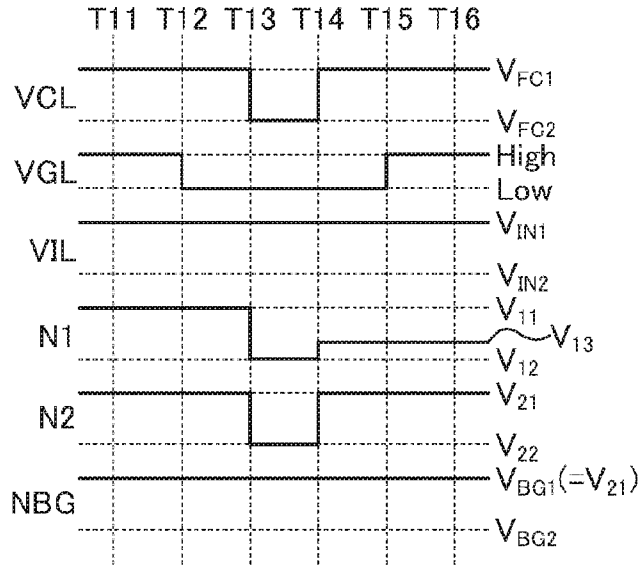


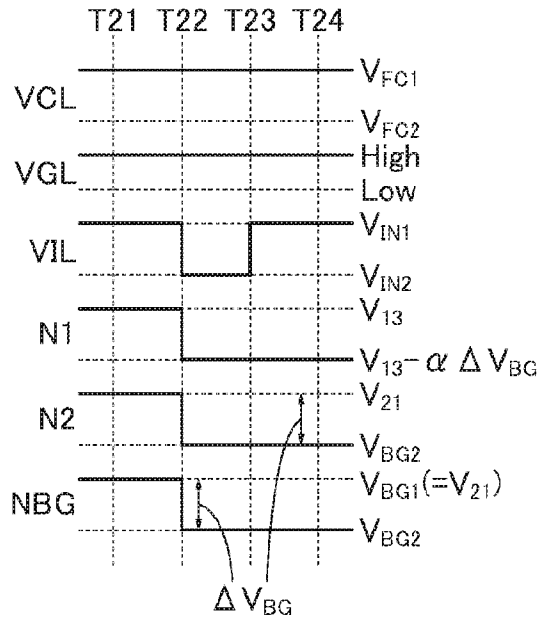
図10B



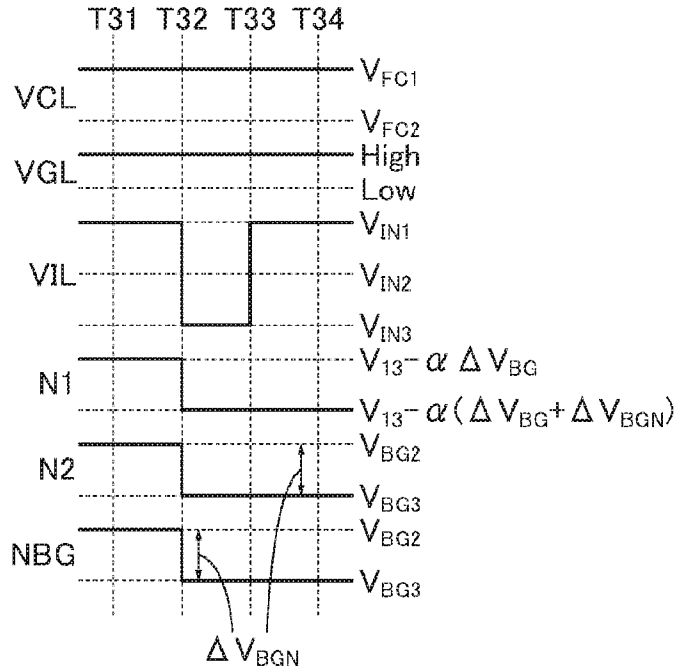
11A



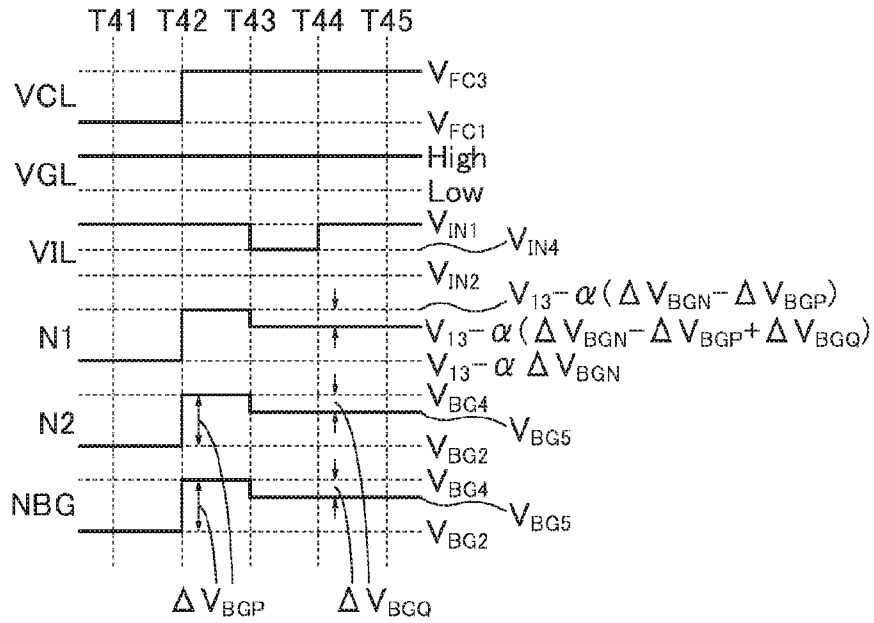
11B



12A

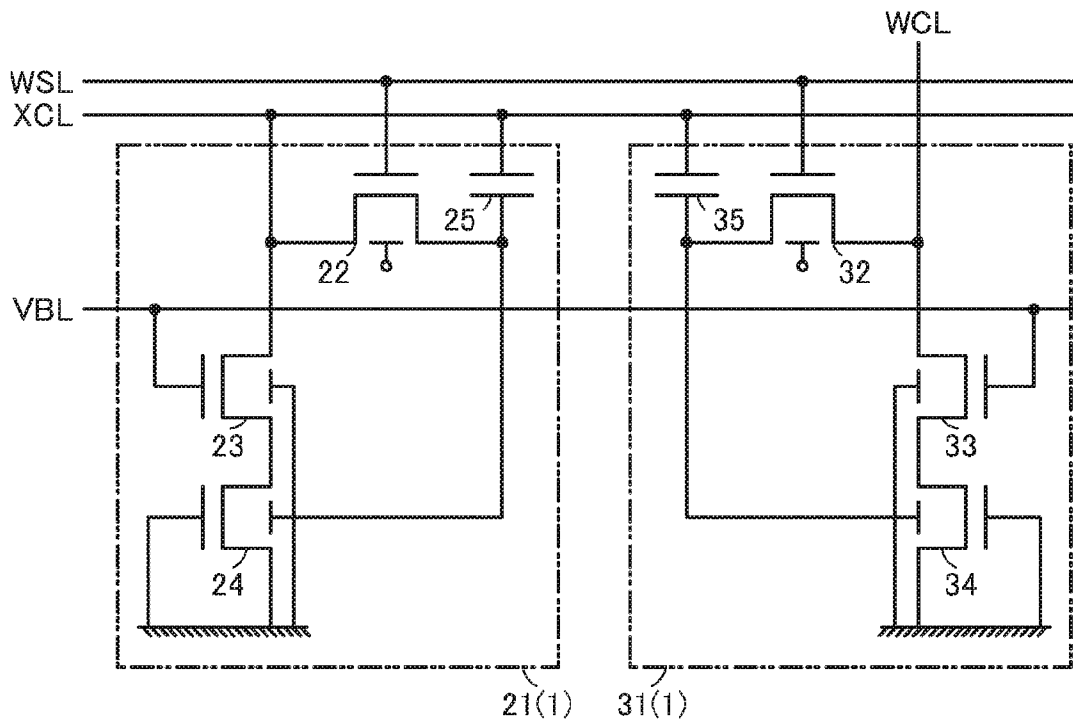


12B



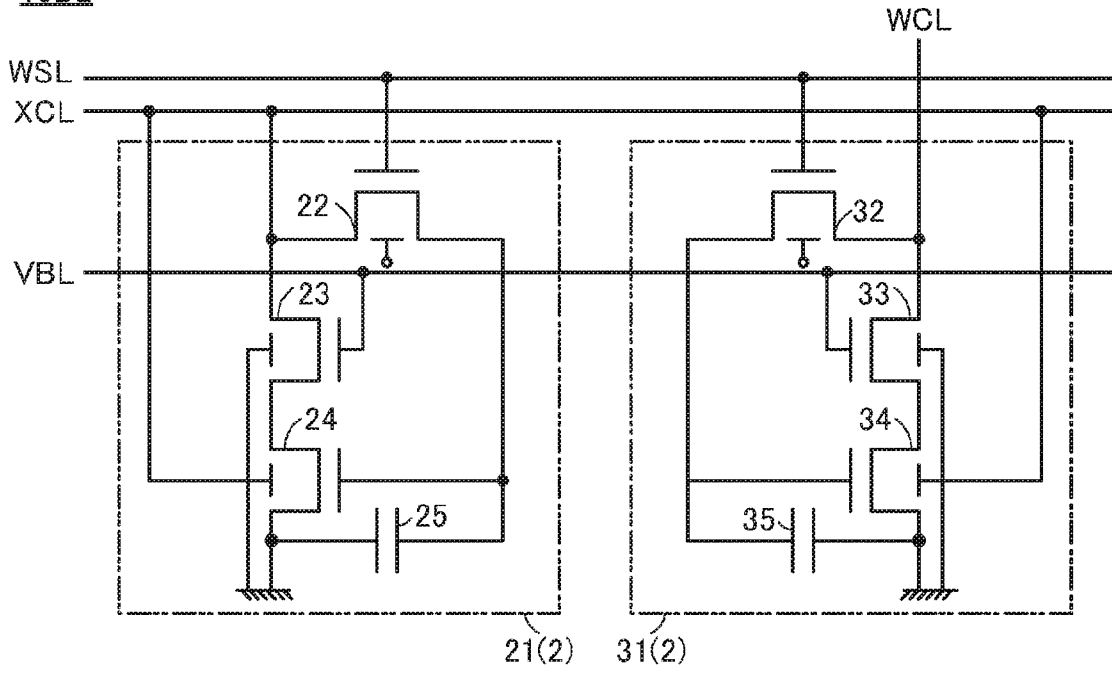
13

10D1



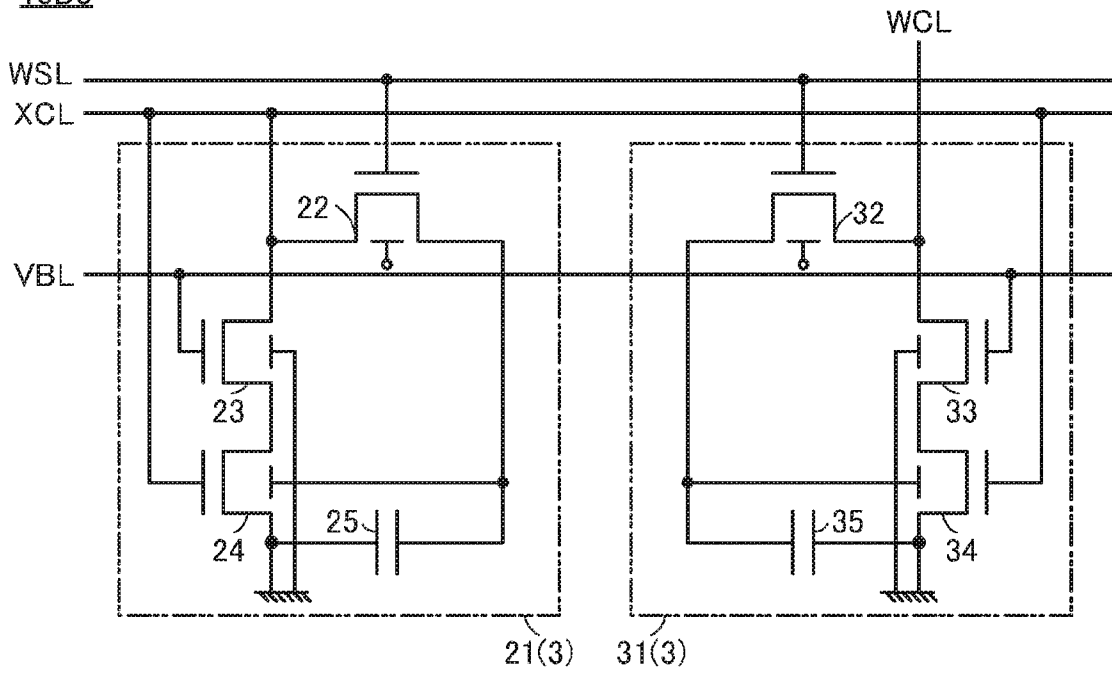
14

10D2

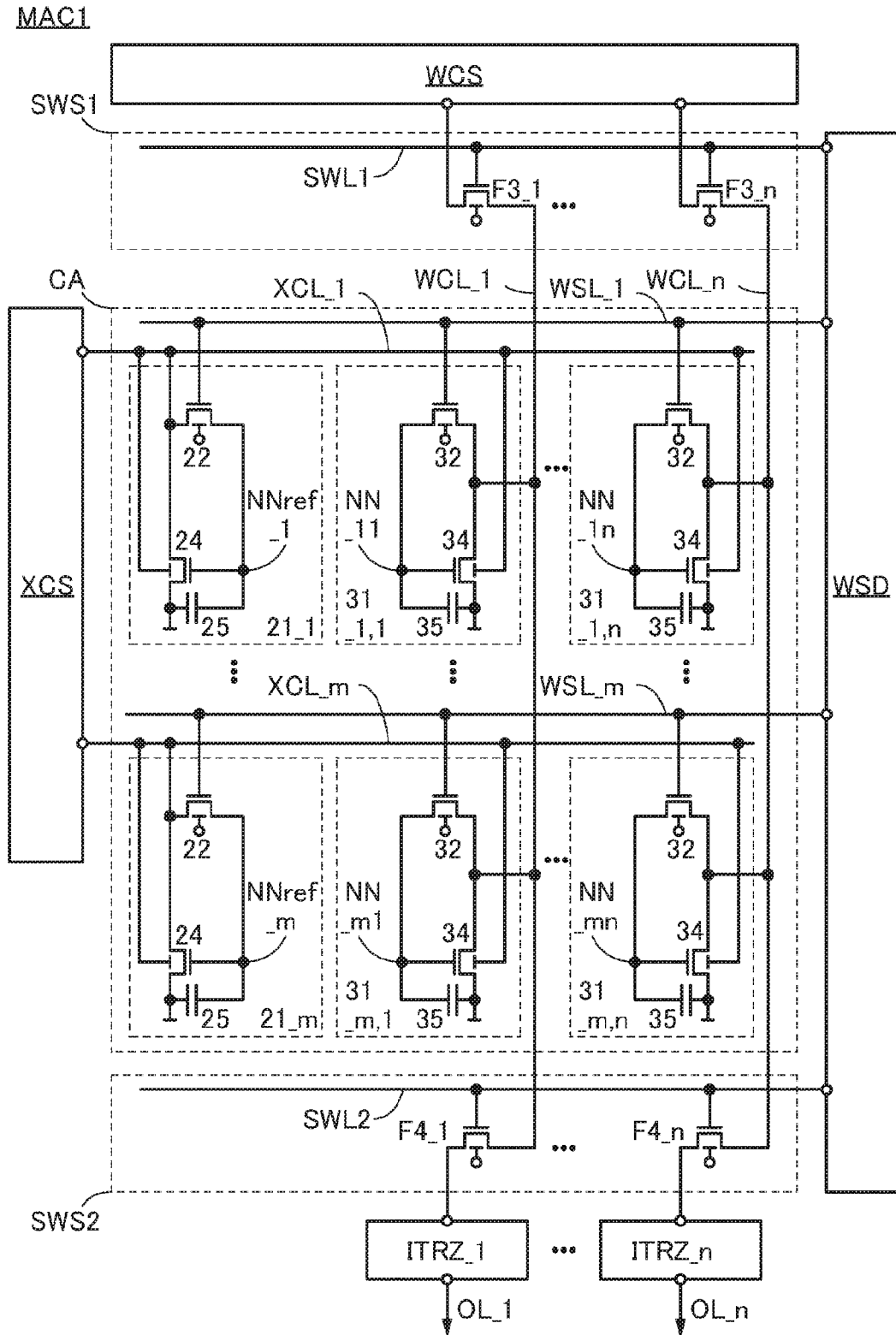


15

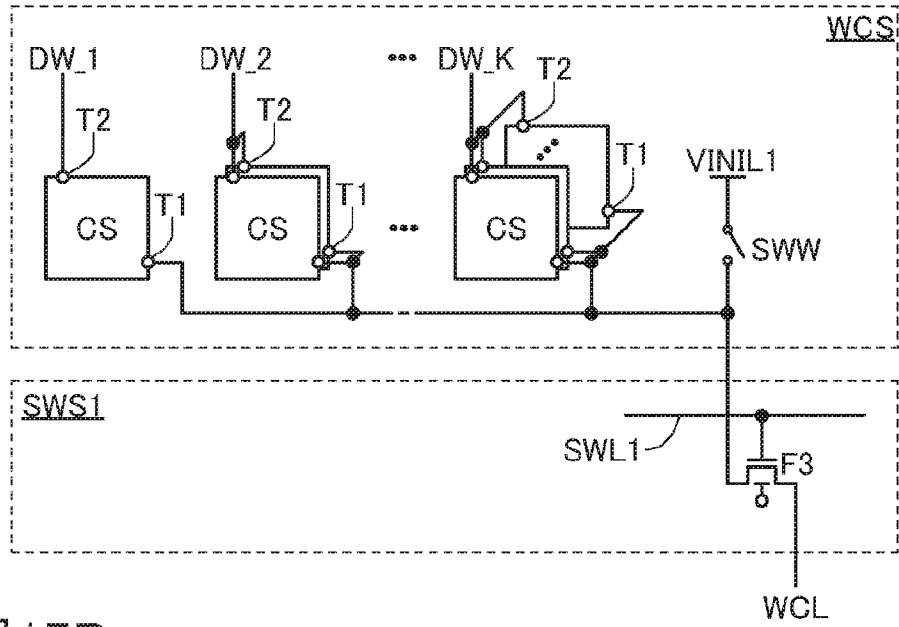
10D3



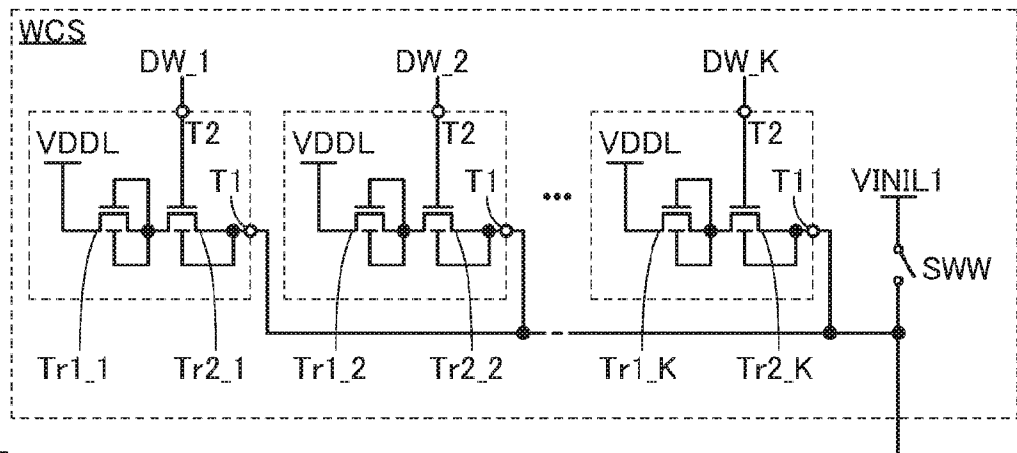
16



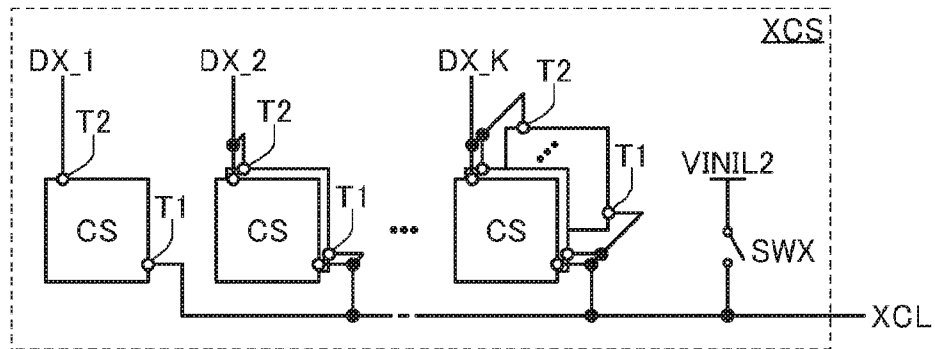
17A



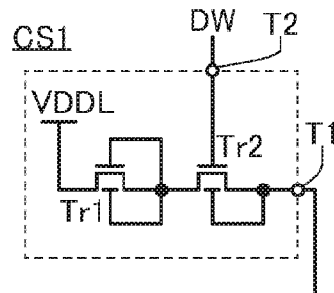
17B



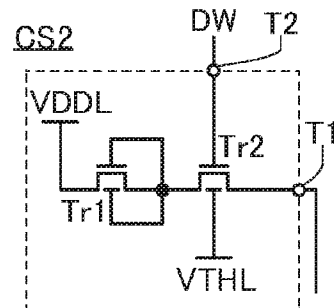
17C



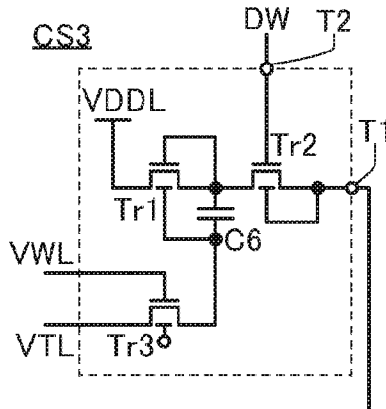
18A



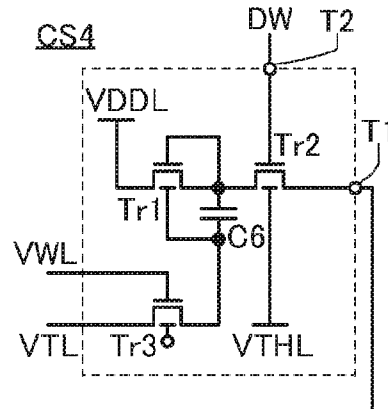
18B



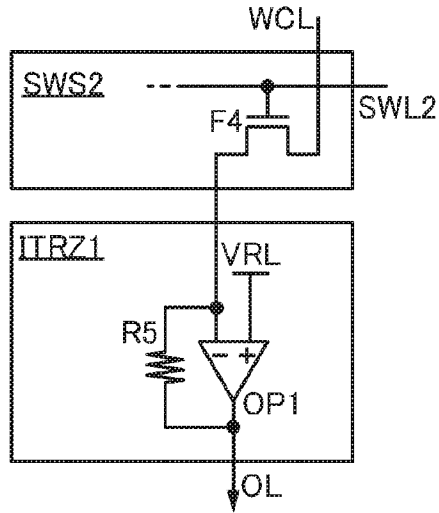
18C



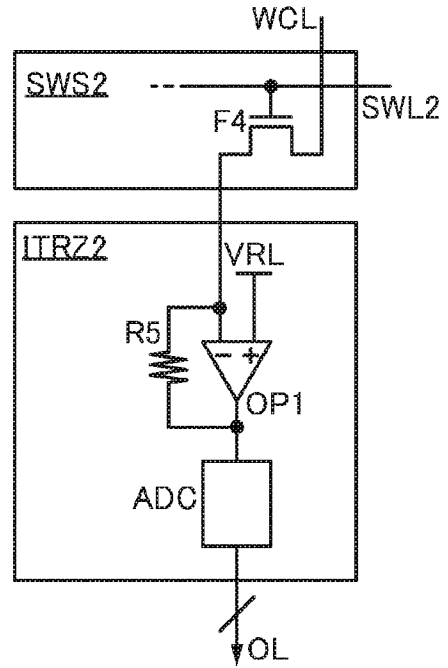
18D



19A



19B



19C

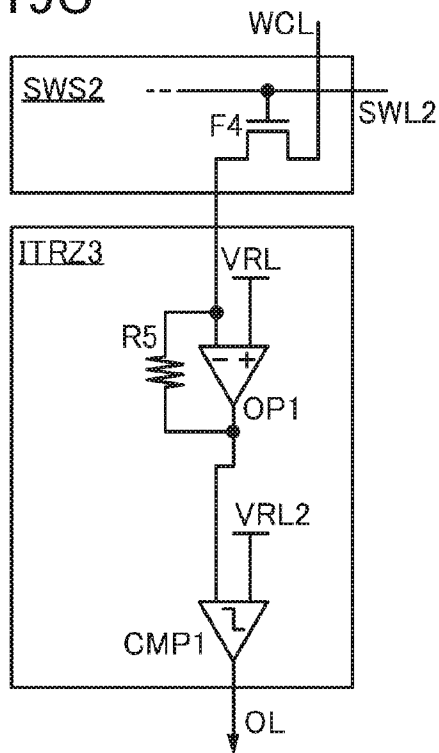


图 20

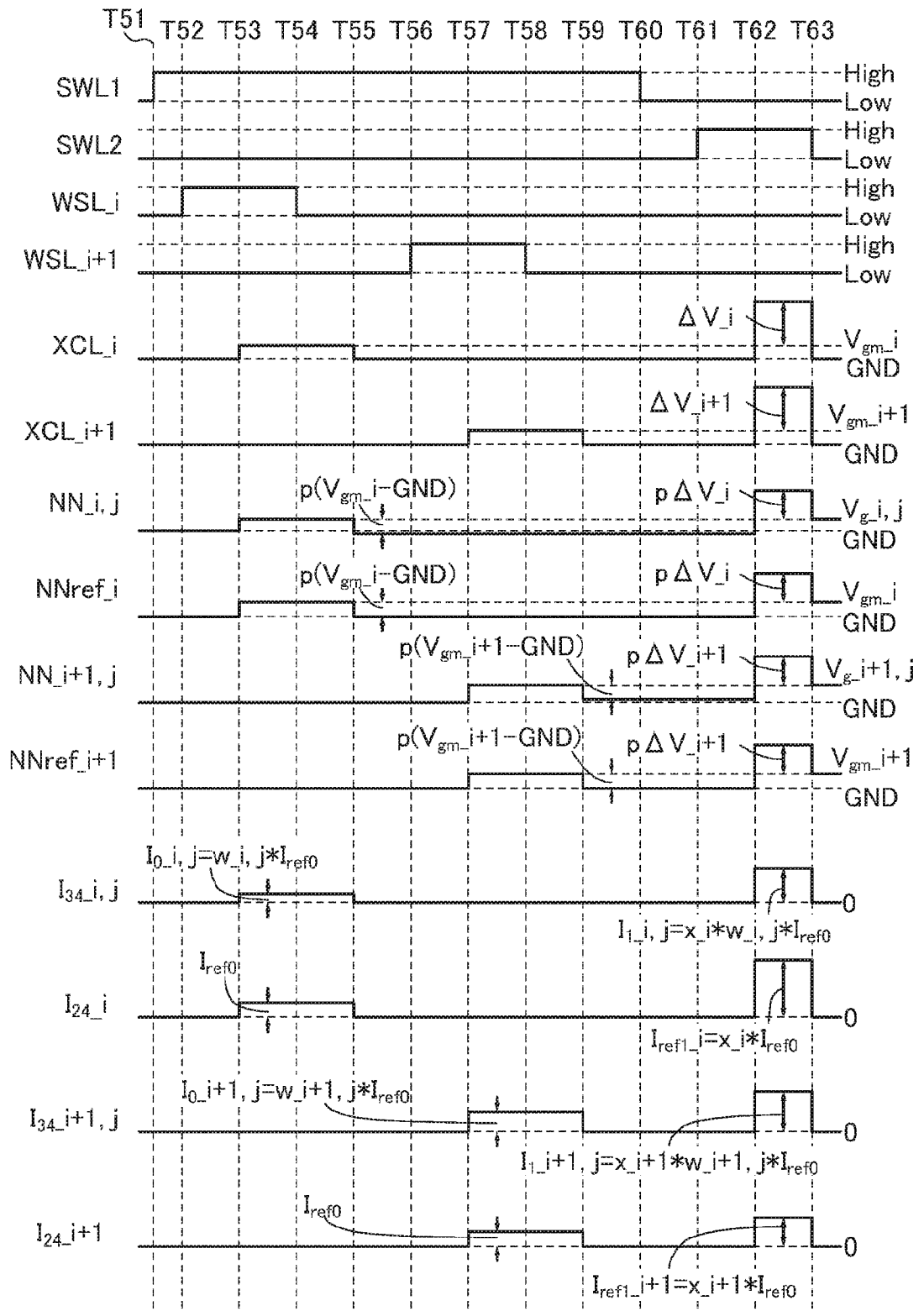


图21A

100

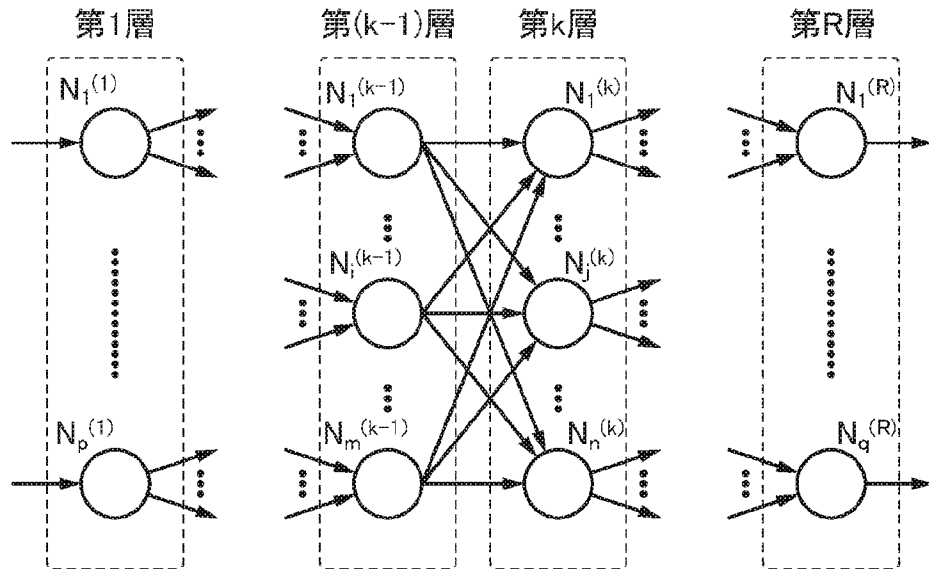
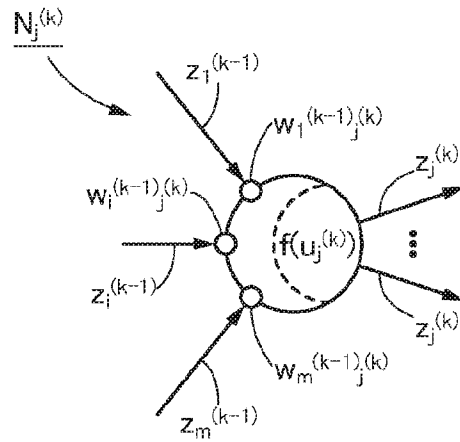
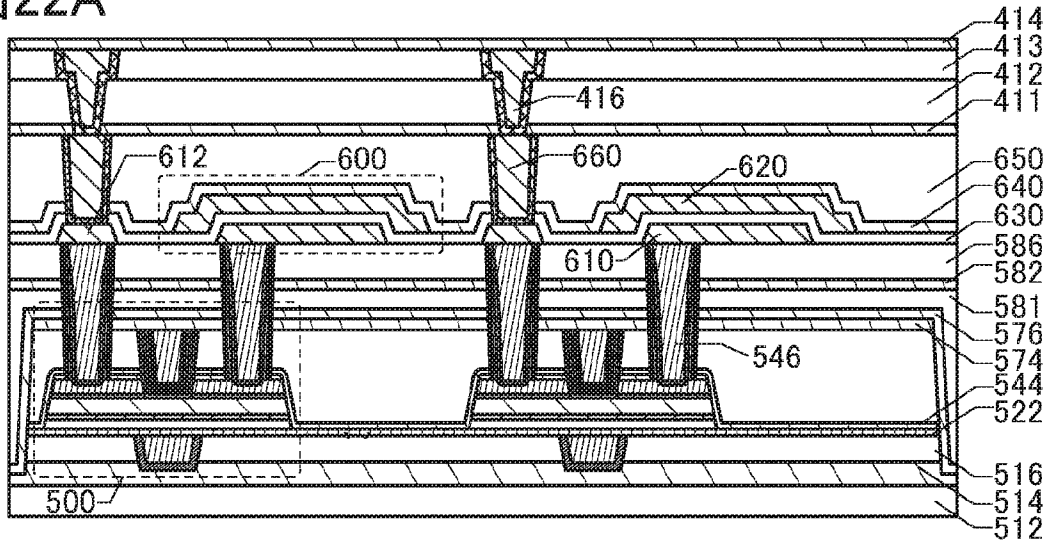


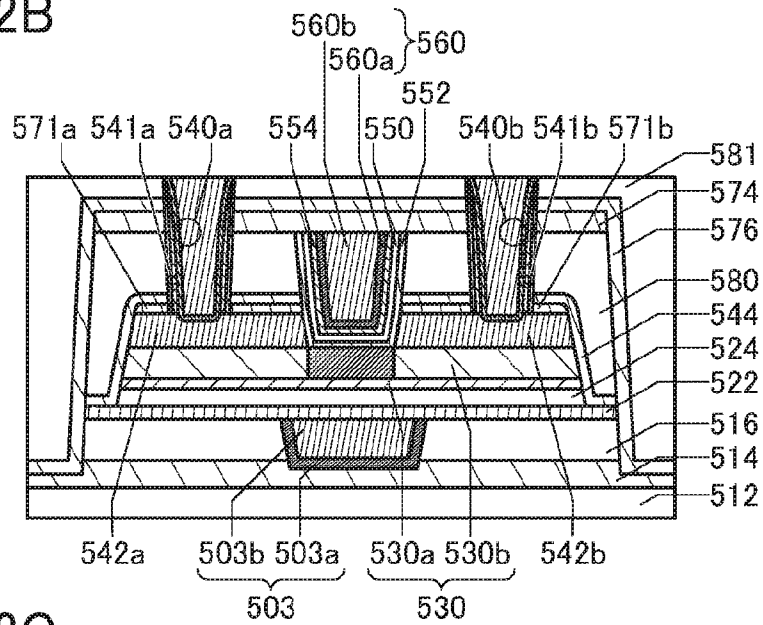
图21B



22A



22B



22C

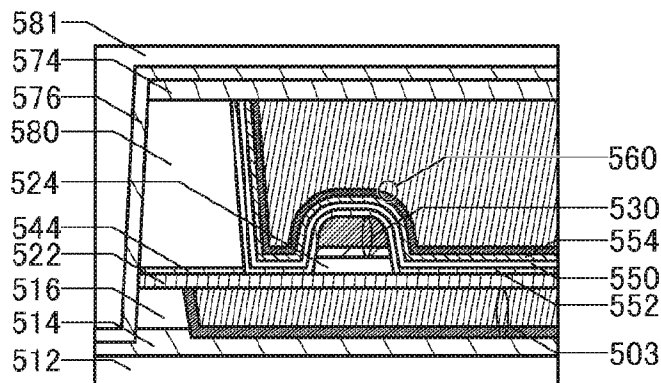


図23A

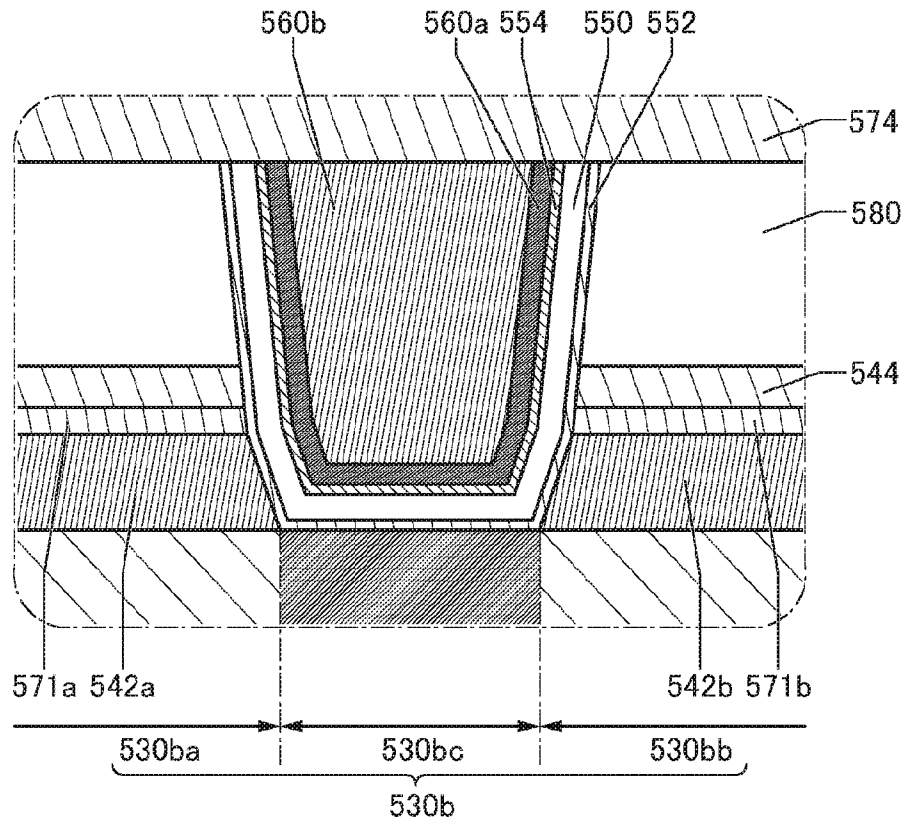


図23B

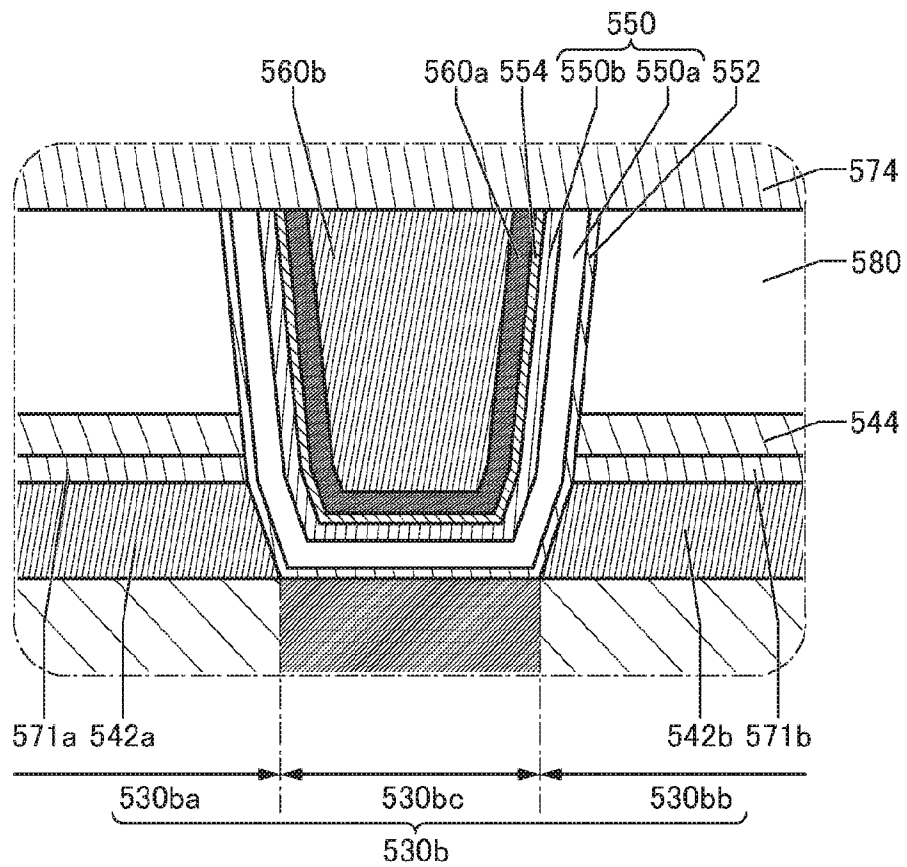


図24

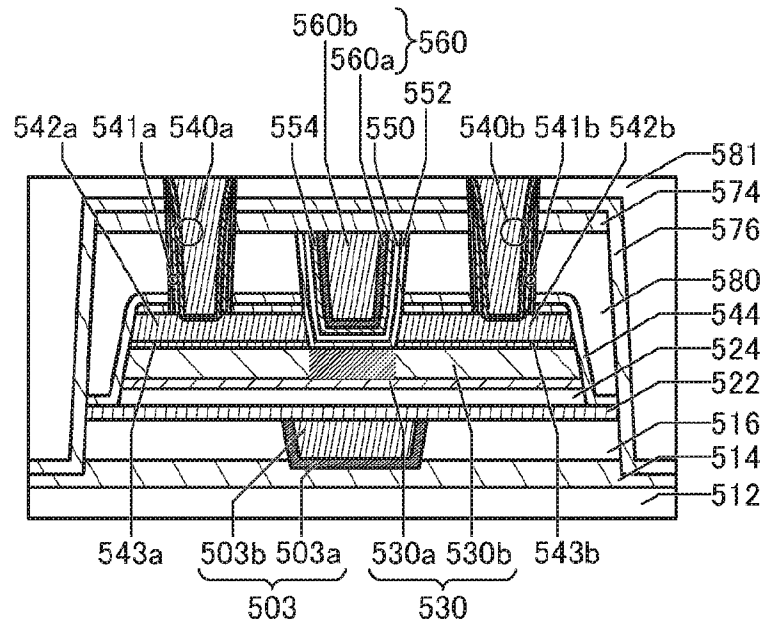


図25A

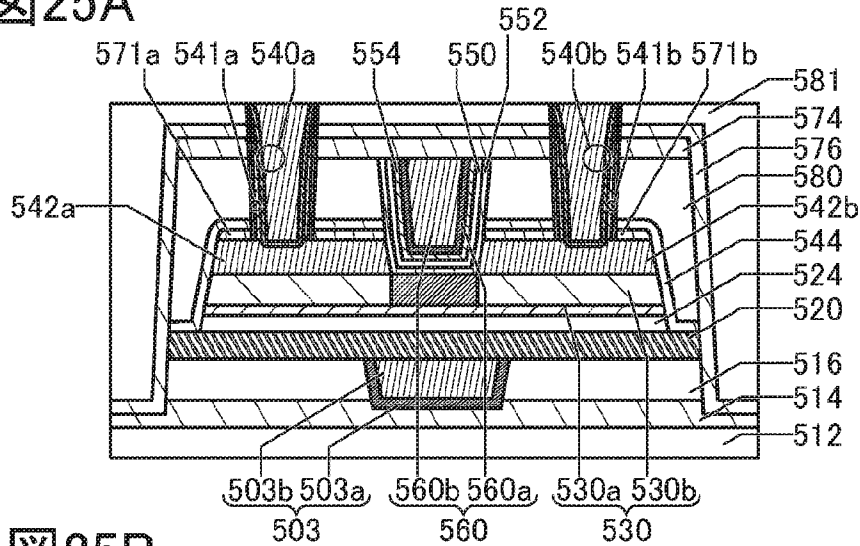


図25B

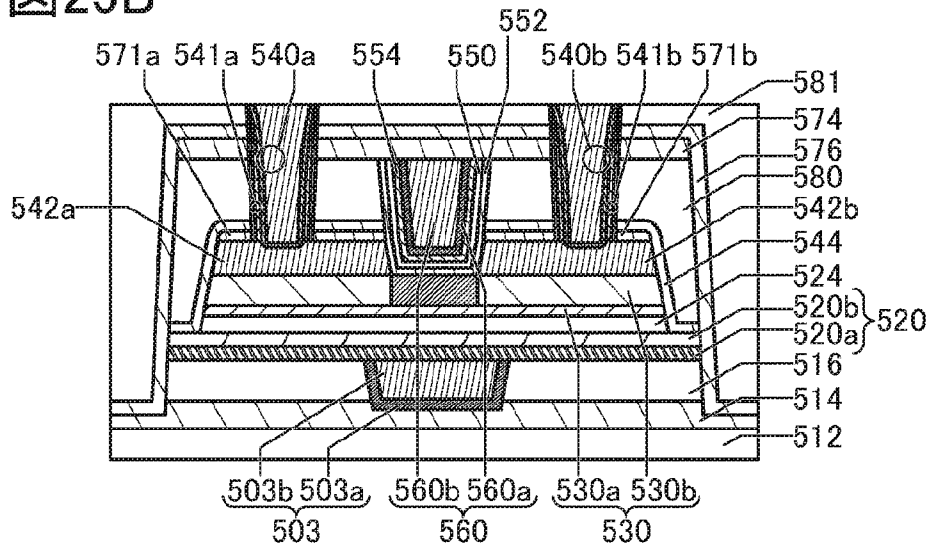


図25C

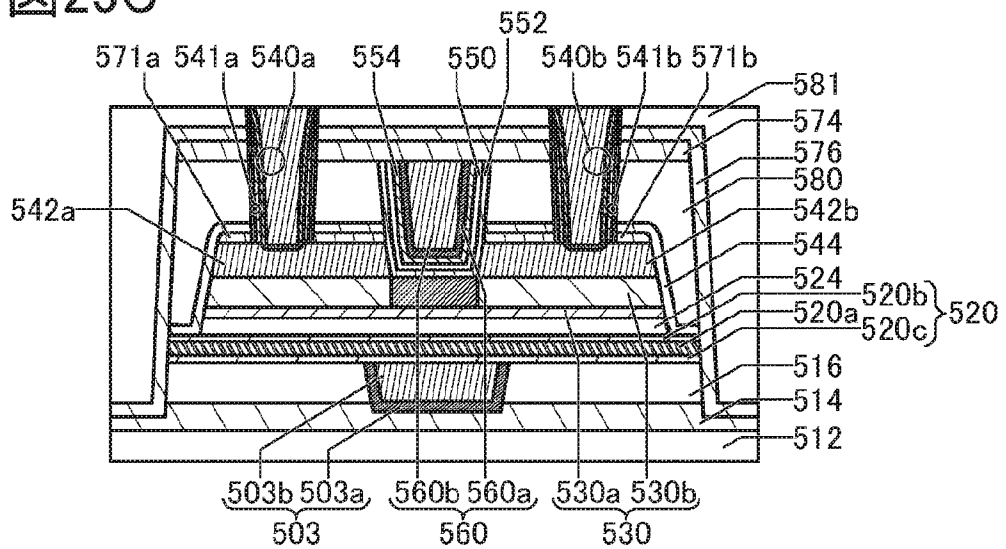


図26A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
<ul style="list-style-type: none"> • completely amorphous 	<ul style="list-style-type: none"> • CAAC • nc • CAC <p>excluding single crystal and poly crystal</p>	<ul style="list-style-type: none"> • single crystal • poly crystal

図26B

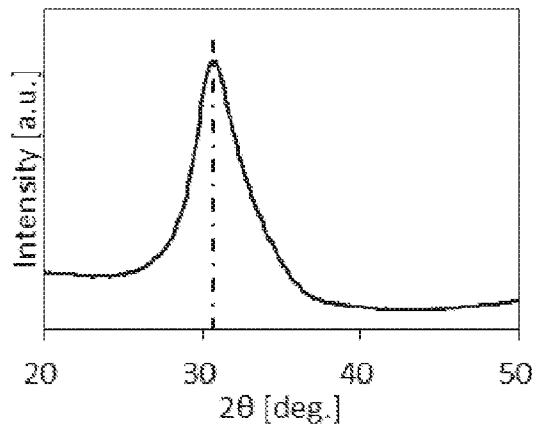


図26C

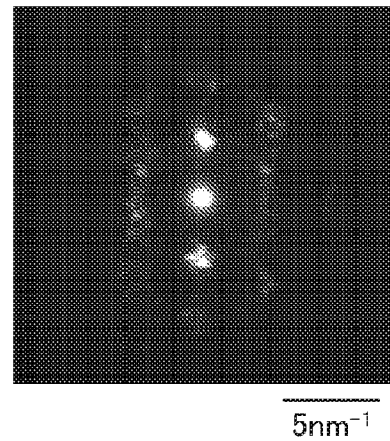
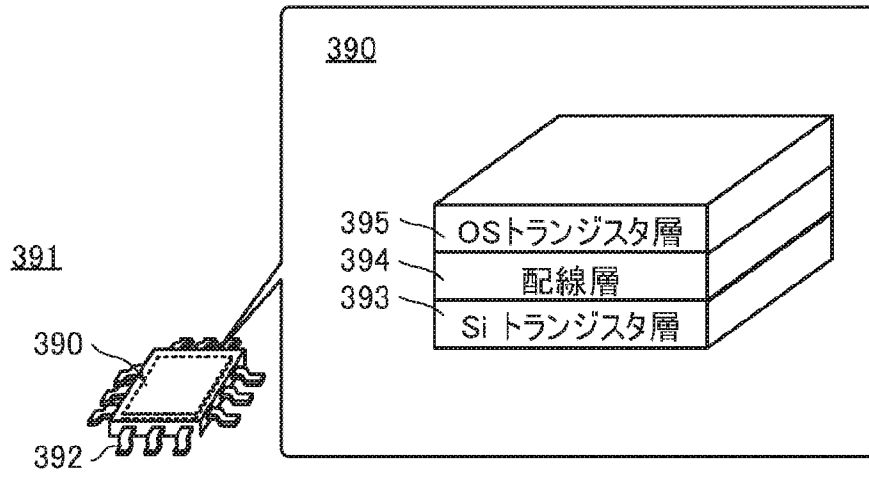
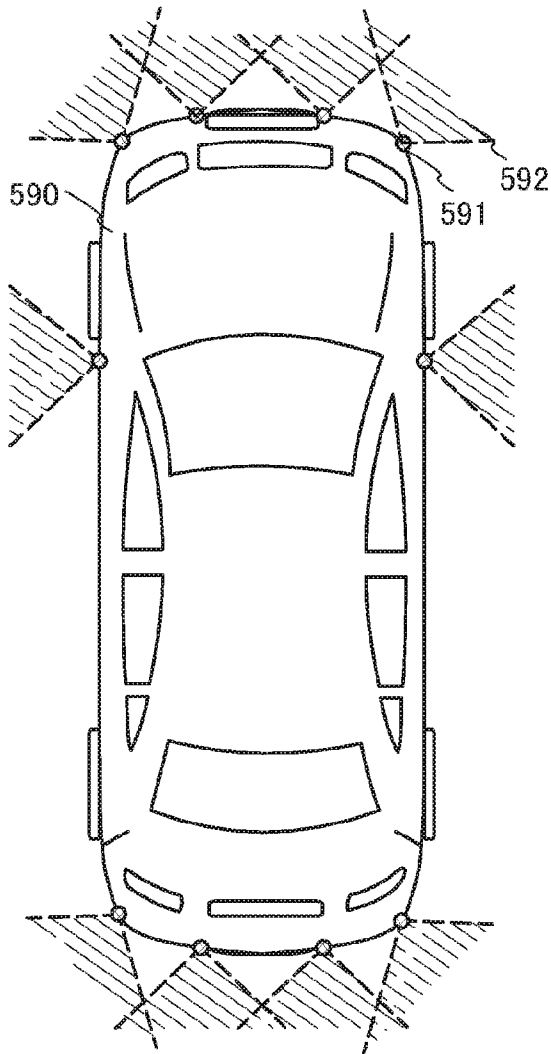


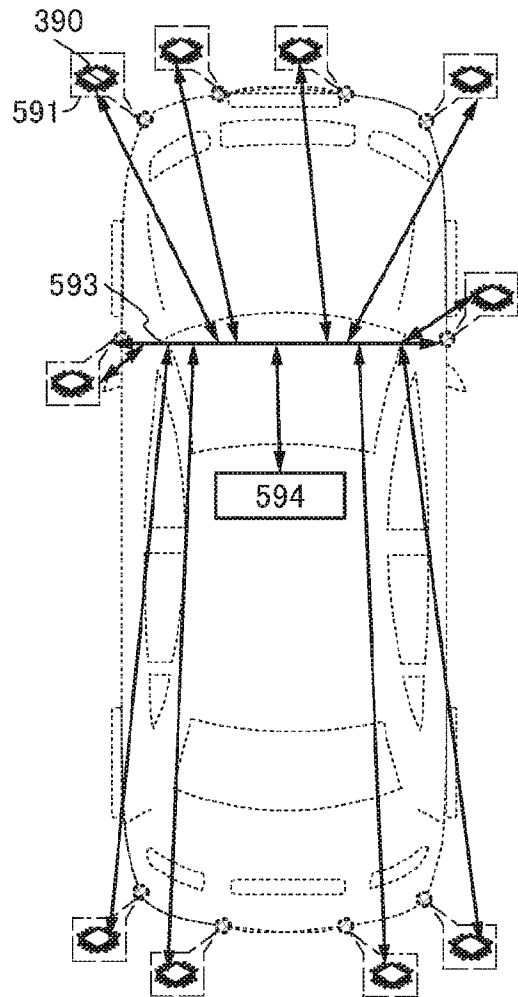
図27



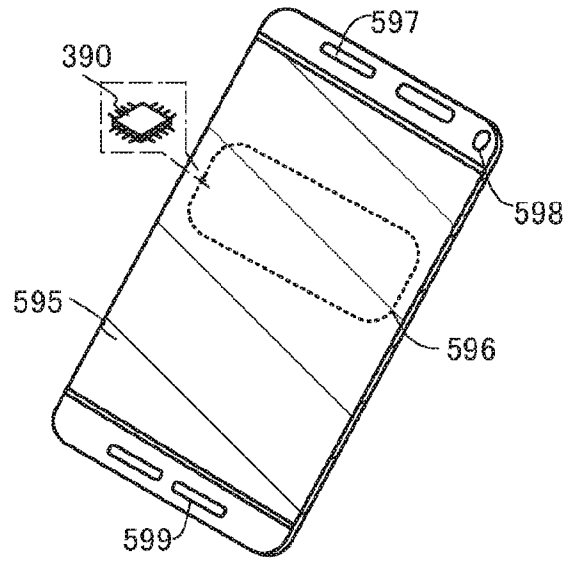
28A



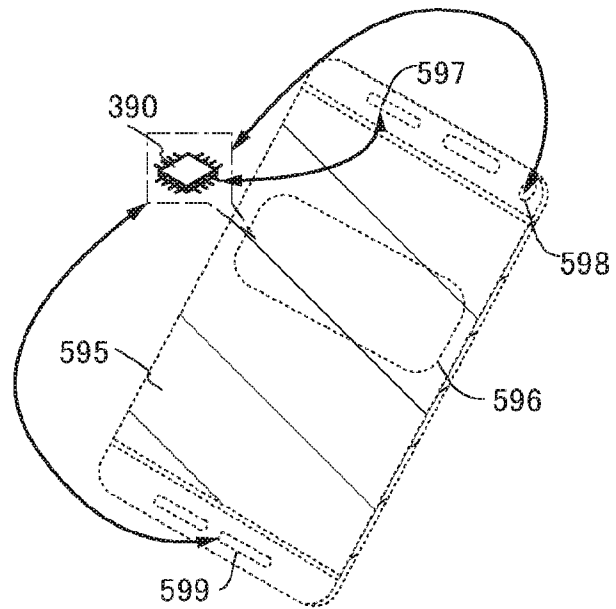
28B



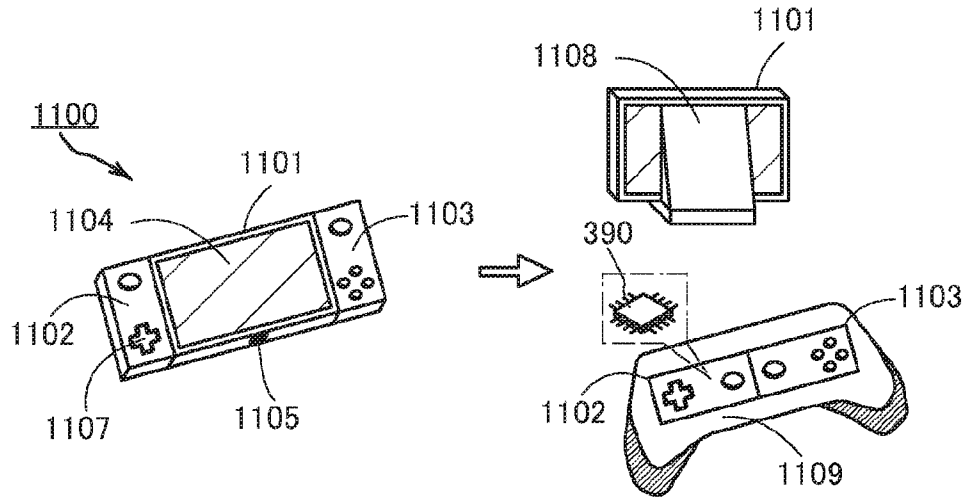
29A



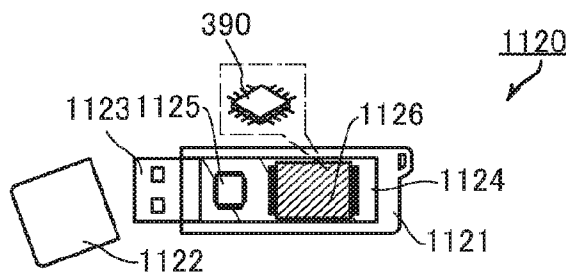
29B



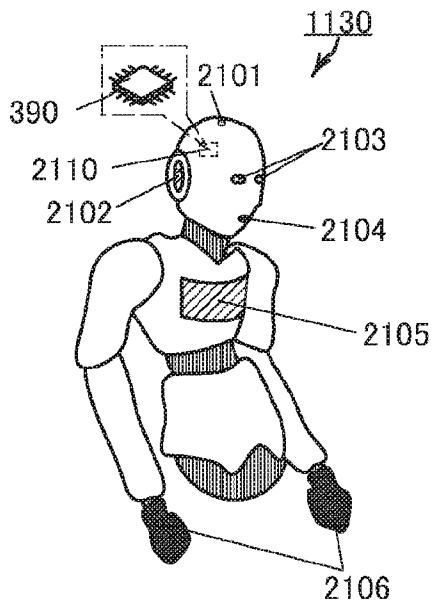
30A



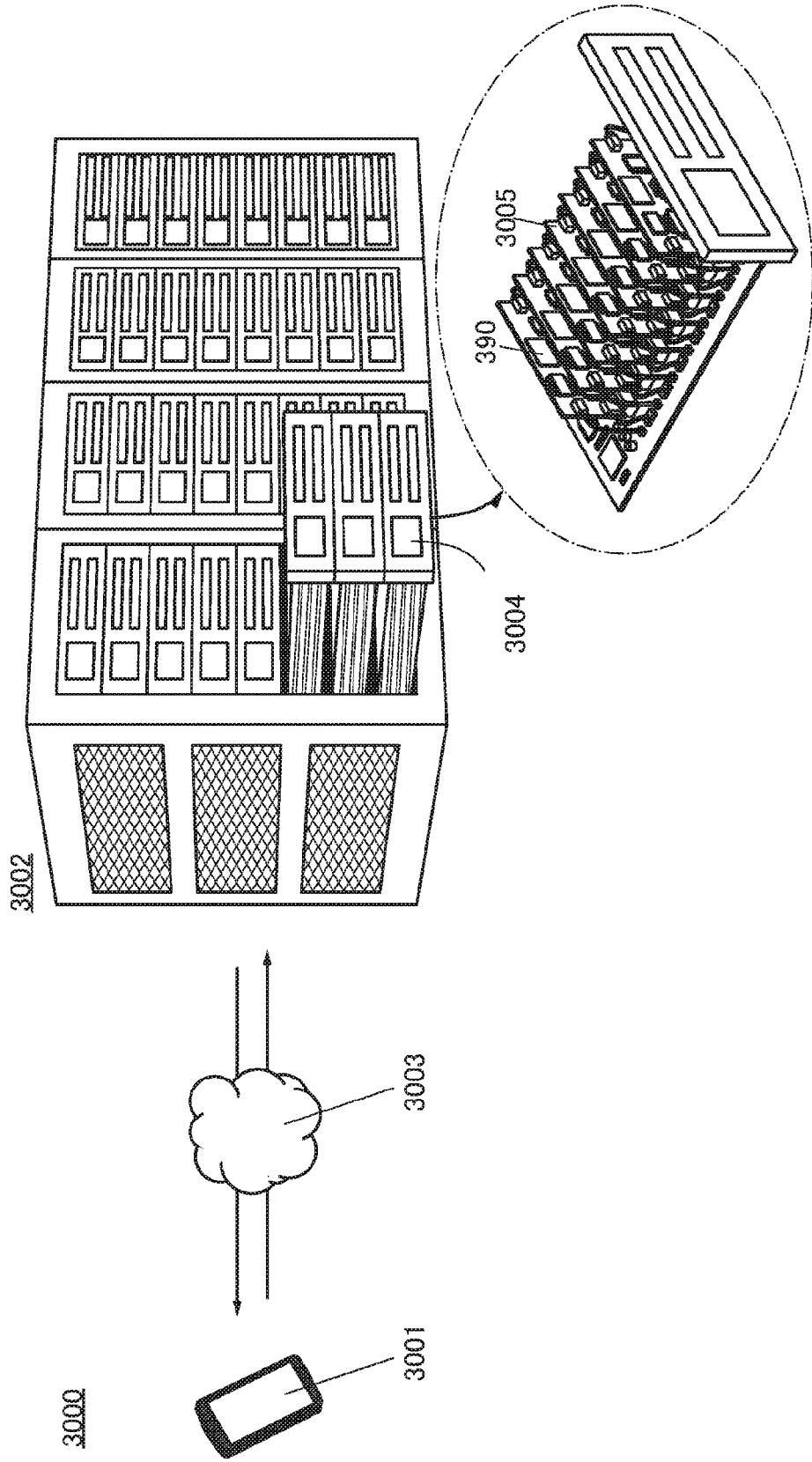
30B



30C



31



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/058112

A. CLASSIFICATION OF SUBJECT MATTER		
<p>G06G 7/60(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/11507(2017.01)i; H01L 27/1159(2017.01)i; H01L 29/786(2006.01)i; G06N 3/063(2006.01)i; G11C 11/22(2006.01)i; G11C 11/405(2006.01)i FI: G11C11/405; G11C11/22 110; G06N3/063; H01L27/108 671Z; H01L27/11507; H01L27/1159; H01L29/78 618B; H01L29/78 613B; G06G7/60</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06G7/60; H01L21/8242; H01L27/108; H01L27/11507; H01L27/1159; H01L29/786; G06N3/063; G11C11/22; G11C11/405		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-323670 A (IBM CORP.) 24 November 2000 (2000-11-24) paragraphs [0012]-[0022], fig. 1-23	1-16
A	JP 2011-142136 A (FUJITSU LTD.) 21 July 2011 (2011-07-21) paragraphs [0011]-[0046], fig. 1-9	1-16
A	JP 2018-195366 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 06 December 2018 (2018-12-06) paragraphs [0013]-[0085], fig. 1-15	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 06 December 2021		Date of mailing of the international search report 14 December 2021
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2021/058112

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2000-323670	A	24 November 2000	US 6101117 A column 2, line 54 to column 4, line 39, fig. 1-23 KR 10-2000-0076919 A	
JP	2011-142136	A	21 July 2011	(Family: none)	
JP	2018-195366	A	06 December 2018	US 2020/0098401 A1 paragraphs [0074]-[0146], fig. 1-15 WO 2018/212056 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G06G 7/60(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/11507(2017.01)i; H01L 27/1159(2017.01)i; H01L 29/786(2006.01)i; G06N 3/063(2006.01)i; G11C 11/22(2006.01)i; G11C 11/405(2006.01)i</p> <p>FI: G11C11/405; G11C11/22 110; G06N3/063; H01L27/108 671Z; H01L27/11507; H01L27/1159; H01L29/78 618B; H01L29/78 613B; G06G7/60</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>G06G7/60; H01L21/8242; H01L27/108; H01L27/11507; H01L27/1159; H01L29/786; G06N3/063; G11C11/22; G11C11/405</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2000-323670 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）24.11.2000（2000-11-24） 段落[0012]-[0022], 図1-23</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2011-142136 A（富士通株式会社）21.07.2011（2011-07-21） 段落[0011]-[0046], 図1-9</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2018-195366 A（ソニーセミコンダクタソリューションズ株式会社）06.12.2018（2018-12-06） 段落[0013]-[0085], 図1-15</td> <td>1-16</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2000-323670 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）24.11.2000（2000-11-24） 段落[0012]-[0022], 図1-23	1-16	A	JP 2011-142136 A（富士通株式会社）21.07.2011（2011-07-21） 段落[0011]-[0046], 図1-9	1-16	A	JP 2018-195366 A（ソニーセミコンダクタソリューションズ株式会社）06.12.2018（2018-12-06） 段落[0013]-[0085], 図1-15	1-16
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2000-323670 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）24.11.2000（2000-11-24） 段落[0012]-[0022], 図1-23	1-16												
A	JP 2011-142136 A（富士通株式会社）21.07.2011（2011-07-21） 段落[0011]-[0046], 図1-9	1-16												
A	JP 2018-195366 A（ソニーセミコンダクタソリューションズ株式会社）06.12.2018（2018-12-06） 段落[0013]-[0085], 図1-15	1-16												
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>														
<p>国際調査を完了した日</p> <p>06.12.2021</p>	<p>国際調査報告の発送日</p> <p>14.12.2021</p>													
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>佐賀野 秀一 5E 5878</p> <p>電話番号 03-3581-1101 内線 3521</p>													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/058112

引用文献	公表日	パテントファミリー文献	公表日
JP 2000-323670 A	24.11.2000	US 6101117 A 第2欄第54行-第4欄第39行, 図1-23 KR 10-2000-0076919 A	
JP 2011-142136 A	21.07.2011	(ファミリーなし)	
JP 2018-195366 A	06.12.2018	US 2020/0098401 A1 段落[0074]-[0146], 図1-15 WO 2018/212056 A1	