

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-518234

(P2012-518234A)

(43) 公表日 平成24年8月9日(2012. 8. 9)

(51) Int.Cl.		F I			テーマコード (参考)
G06F 11/28	(2006.01)	G06F 11/28	310B		5B018
G06F 12/16	(2006.01)	G06F 12/16	330D		5B042

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

(21) 出願番号	特願2011-551086 (P2011-551086)	(71) 出願人	504199127
(86) (22) 出願日	平成22年1月22日 (2010. 1. 22)		フリースケール セミコンダクター イン
(85) 翻訳文提出日	平成23年7月28日 (2011. 7. 28)		コーポレイテッド
(86) 国際出願番号	PCT/US2010/021780		アメリカ合衆国 テキサス州 78735
(87) 国際公開番号	W02010/096233		オースティン ウィリアム キャノン
(87) 国際公開日	平成22年8月26日 (2010. 8. 26)		ドライブ ウェスト 6501
(31) 優先権主張番号	12/389, 153	(74) 代理人	100142907
(32) 優先日	平成21年2月19日 (2009. 2. 19)		弁理士 本田 淳
(33) 優先権主張国	米国 (US)	(72) 発明者	モイヤー、ウィリアム シー、
			アメリカ合衆国 78620 テキサス州
			ドリッピング スプリングス メドー
			リッジ ドライブ 1111

最終頁に続く

(54) 【発明の名称】 デバッグ用のアドレス変換トレースメッセージ生成

(57) 【要約】

データ処理システム (1 0) 及び方法は、外部デバッグツールをリアルタイムトレース機能を有するように許可することによってデバッグメッセージを生成する。データプロセッサ (2 0 、 2 2 、 2 4) は複数のデータ命令を実行し、情報記憶のためにメモリ (3 0) を使用する。デバッグ回路 2 6 はアドレス変換トレースメッセージを含むデバッグメッセージを生成する。仮想形態及び物理形態との間にアドレスを変換するようにアドレス変換を実行するために、メモリ管理ユニット (1 6) はアドレス変換論理 (2 0 5) を有する。デバッグ回路 (2 6) は、1 つ以上のアドレス変換マッピングは変更される時に通信を受信するためにメモリ管理ユニット (1 6) に接続されるメッセージ生成回路 (6 4) を含む。メッセージ生成回路 (6 4) は、アドレスマッピングの変更を検出したことに応答してアドレス変換トレースメッセージを生成し、デバッグ回路 (2 6) の外部にアドレス変換トレースメッセージを与える。

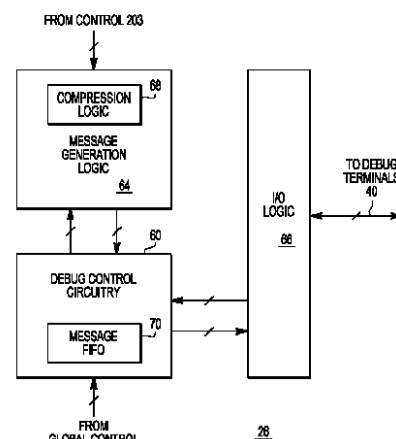


FIG. 3

【特許請求の範囲】**【請求項 1】**

デバッグメッセージを生成するデータ処理システムにおいて、
複数のデータ処理命令を実行するためのデータプロセッサと、
データプロセッサに接続されており、情報を格納し、データプロセッサに該情報を与えるためのメモリと、

データプロセッサに接続されており、アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ回路と、

デバッグ回路及びデータプロセッサに接続されているメモリ管理ユニットであって、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのアドレス変換論理を備えるメモリ管理ユニットと、を備え、

10

デバッグ回路は、メモリ管理ユニットに接続されており 1 つ以上のアドレス変換マッピングが変更されるときに通知を受信するためのメッセージ生成回路を備え、メッセージ生成回路は、アドレス変換マッピングの変換の検出に応答してアドレス変換トレースメッセージを生成するとともに、アドレス変換トレースメッセージをデバッグ回路の外部に提供する、データ処理システム。

【請求項 2】

アドレス変換マッピングが更新される毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、請求項 1 に記載のデータ処理システム。

【請求項 3】

20

メッセージ生成回路は、

アドレス変換トレースメッセージの 1 つ以上のフィールドを選択的に除去するための圧縮論理をさらに備える、請求項 2 に記載のデータ処理システム。

【請求項 4】

圧縮論理によって除去されるアドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々は、そのフィールドについての所定の優勢値を含む、請求項 3 に記載のデータ処理システム。

【請求項 5】

前記所定の優勢値はデータ処理システムのユーザによってアクセス可能な記憶域に格納されており、データ処理システムのユーザによって制御される、請求項 4 に記載のデータ処理システム。

30

【請求項 6】

除去される前記 1 つ以上のフィールドは、アドレス変換サイズフィールドであるか、プロセス識別子およびアドレス空間の一方を識別するためのアドレス変換識別フィールドである、請求項 3 に記載のデータ処理システム。

【請求項 7】

前記 1 つ以上のアドレス変換マッピングは、TLB (トランスレーション・ルックアサイド・バッファ) に格納される、請求項 1 に記載のデータ処理システム。

【請求項 8】

TLB が TLB エントリの書込を行うかエントリを無効とする毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、請求項 7 に記載のデータ処理システム。

40

【請求項 9】

デバッグ回路に接続されているデバッグ端子と、

デバッグ端子に接続されており、デバッグ回路からアドレス変換トレースメッセージを受信するためのデバッグと、をさらに備える、請求項 1 に記載のデータ処理システム。

【請求項 10】

デバッグメッセージを生成するための方法において、

データプロセッサを用いて複数のデータ処理命令を実行する工程と、

アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ

50

回路をデータプロセッサに接続する工程と、

デバッグ回路及びデータプロセッサにメモリ管理ユニットを接続する工程であって、メモリ管理ユニットは、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのTLB（トランслーション・ルックアサイド・バッファ）を備える前記工程と、

TLBエントリが変更されるときを検出する工程と、

TLBエントリの変更の検出に応答して、アドレス変換トレースメッセージを生成する工程と、

デバッグ端子にアドレス変換トレースメッセージを提供する工程と、を備える方法。

【請求項 1 1】

TLBがTLBエントリの書込みを行うかエントリを無効とする毎に、メモリ管理ユニットからメッセージ生成回路にインジケータ信号を送信する工程をさらに備える、請求項 1 0 に記載の方法。

【請求項 1 2】

アドレス変換トレースメッセージの 1 つ以上のフィールドを除去することによってアドレス変換トレースメッセージの長さを圧縮する工程をさらに含む、請求項 1 1 に記載の方法。

【請求項 1 3】

除去される前記 1 つ以上のフィールドをアドレス変換サイズフィールドか、プロセス識別子またはアドレス空間を識別するためのアドレス変換識別フィールドに関連付ける工程をさらに含む、請求項 1 2 に記載の方法。

【請求項 1 4】

アドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々に所定の優勢値を関連付ける工程と、

前記 1 つ以上のフィールドについて所定の優勢値が存在する場合にのみ、同 1 つ以上のフィールドを除去する工程と、をさらに含む、請求項 1 2 に記載の方法。

【請求項 1 5】

データ処理システムのユーザによって前記所定の優勢値を制御する工程と、

ユーザによるアクセスの可能な複数のレジスタのうちの 1 つ以上に前記所定の優勢値を格納するステップと、をさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】

データ処理システムにおいて、

データ処理システムを制御するためのグローバル制御回路と、

グローバル制御回路に接続されているデータプロセッサであって、命令デコーダに接続されている命令フェッチユニットを備え、命令デコーダは 1 つ以上の実行ユニットに接続されており複数のデータ処理命令を実行するための命令デコーダである、データプロセッサと、

グローバル制御回路及びデータプロセッサに接続されているメモリ管理ユニットであって、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのアドレス変換論理を備えるメモリ管理ユニットと、

メモリ管理ユニットをグローバル相互接続部とのインタフェースを行うためのバスインタフェースユニットと、

グローバル相互接続部に接続されており、情報を格納し、データプロセッサとの間で情報の提供を行うためのメモリと、

グローバル制御回路及びメモリ管理ユニットに接続されているデバッグ回路であって、アドレス変換トレースメッセージを含むデバッグメッセージを生成するデバッグ回路と、を備え、

デバッグ回路は、メモリ管理ユニットに接続されており 1 つ以上のアドレス変換マッピングが変更されるときに通知を受信するためのメッセージ生成回路を備え、メッセージ生成回路は、アドレス変換マッピングの変換の検出に応答してアドレス変換トレースメッセ

10

20

30

40

50

ージを生成するとともに、アドレス変換トレースメッセージをデバッグ回路の外部に提供する、データ処理システム。

【請求項 17】

メッセージ生成回路は、

アドレス変換トレースメッセージの 1 つ以上のフィールドを選択的に除去するための圧縮論理をさらに備える、請求項 16 に記載のデータ処理システム。

【請求項 18】

圧縮論理によって除去されるアドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々は、そのフィールドについての所定の優勢値を含む、請求項 17 に記載のデータ処理システム。

【請求項 19】

前記所定の優勢値はデータ処理システムのユーザによってアクセス可能な記憶域に格納されており、データ処理システムのユーザによって制御される、請求項 18 に記載のデータ処理システム。

【請求項 20】

1 つ以上のアドレス変換マッピングは T L B (トランスレーション・ルックアサド・バッファ) に格納され、 T L B が T L B エントリの書込を行うかエントリを無効とする毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、請求項 16 に記載のデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体に関し、より詳細には、アドレス変換を実行し、アドレス変換トレースメッセージを生成するデータ処理システムに関する。

【背景技術】

【0002】

I E E E I S T O 5 0 0 1 または N E X U S デバッグ標準として知られる I E E E 標準は、リアルタイムデバッグメッセージ生成をサポートする確立されたリアルタイムデバッグ標準である。N E X U S デバッグ標準によって、外部トレース再構築ツールに対するシステム内の所定動作条件を識別するための機構が指定される。デバッグ処理は、データ処理システム用のコード開発にも用いられる。デバッグ情報を実時間で提供することは、データ処理システムの正常な動作に介入しない場合、システムの透明性の動作を維持するには非常に望ましい。

【0003】

データ処理システムによって生成されるデバッグメッセージには、プログラムイベント (プログラムトレースメッセージ) またはデータイベント (データ読取メッセージ、データ書込メッセージ) 用のアドレス情報及びデータ情報や、他のデバッグ情報が含まれる。アドレス情報には、通常、物理アドレスとして知られる物理メモリ域 (ロケーション) を識別するために変換される必要があるフォーマットである、仮想アドレス情報が含まれる。実際のプログラムのフロー及びシステムデータ変数の動的な値を監視できるように、実行中のプログラムにアドレスを関連付けることは、デバッグ処理の重要部分である。仮想アドレスから物理アドレスへのマッピングまたは変換が実行される必要がある。しかしながら、外部デバッガは、通常、特に、要求ページングまたは他の再マッピング動作のためにマッピングが動的に変更される場合には、デバッグメッセージのアドレス部分を速やかに変換するために必要な仮想アドレスから物理アドレスへのマッピングの情報を有していない。仮想アドレスの使用によって、デバッグユーザが単純な方法によって、ソフトウェアアプリケーションのテキストおよびデータ部分に対して仮想アドレスを用いるコンパイル及びリンク機能によって取得されるプログラムリストを介してコンピュータプログラムをトレースすることが可能となる。ユーザは、通常、どのようにしてオペレーティングシステム (O S) によって仮想アドレスが物理アドレスに変換されるのかについての知識を

10

20

30

40

50

有していない。従って、仮想アドレスを指示するにはトレースが必要である。残念ながら、プリコンパイルされランタイムにおいて実行されるソフトウェアモジュールのプログラムリストなど、一定のプログラムリストは利用可能でない。このようなモジュールの例はOSコール及びライブラリ関数である。そうした一例では、プログラムリストは利用不可能である。従って、実行プログラムのそれらの部分を適切にトレース及び解釈するのは非常に困難である。仮想アドレスから物理アドレスへの正しい変換には、プログラムカウンタがどこにあるのかを把握することと、物理メモリを調べてアドレスがどこであるのかを決定することとが必要である。複数のプログラムを実行するシステムでは、メモリマッピングが動的に変化し、メモリページ間の遷移が容易に行われる。こうした状況では、デバッグメッセージの生成及び解釈がリアルタイムで実行されることがアドレス変換によって実質的に妨げられる。

10

【図面の簡単な説明】

【0004】

【図1】本発明の一実施形態によるデバッグメッセージ生成を含むデータ処理システムのブロック図。

【図2】図1のアドレス変換論理の一実施形態のブロック図。

【図3】図1のデバッグ回路の一実施形態のブロック図。

【図4】図2の例示的なMMU更新レジスタの図。

【図5】従来技術による例示的なトランスレーション・ルックアサイド・バッファ(TLB)書込エントリ命令の図。

20

【図6】従来技術による例示的なTLB無効化アドレス命令の図。

【図7】従来技術による従来モードにおける例示的なプログラムトレースメッセージの図。

【図8】従来技術による履歴モードにおける例示的なプログラムトレースメッセージの図。

【図9】従来技術による例示的なデータトレースメッセージの図。

【図10】本発明の一実施形態によるフィールド圧縮した例示的なアドレス変換トレースメッセージの図。

【図11】本発明の一実施形態による例示的なアドレス変換トレースメッセージの図。

【図12】従来技術によるメッセージ生成とともに使用可能なアドレス圧縮の一例を示す図。

30

【図13】本発明の一実施形態による例示的なアドレス変換トレースメッセージの図。

【図14】本発明の一実施形態による履歴区切を含む例示的なアドレス変換トレースメッセージの図。

【図15】本発明の一実施形態による履歴区切を含む例示的なプログラム関連付けトレースメッセージの図。

【発明を実施するための形態】

【0005】

多くのデータ処理システムでは、通常、仮想アドレスを物理アドレスにマッピングするアドレス変換論理(TLB(トランスレーション・ルックアサイド・バッファ)など)が用いられる。アドレス変換論理内のエントリ(TLBエントリなど)は、プロセッサ命令の使用によって、またはデータ処理システム内のハードウェアによって、変更または無効化されることができる。係るハードウェアは、ハードウェアによる「テーブルウォーキング」または同様なタイプのハードウェア検索を実行することによってなど、ソフトウェアの実行に必要とされるアドレス変換テーブル検索およびTLB更新を実行することによってアドレス変換を動的に維持する。本発明の一態様では、アドレス変換トレースメッセージなどのデバッグメッセージは、アドレス変換論理内におけるエントリの変更または無効化に応答して生成される。これらのアドレス変換トレースメッセージは、次いで、デバッグ性能の向上のために、外部の開発システムに対し提供される。さらにまた、仮想アドレスのマッピングが変化する場合、分岐履歴情報及びシーケンスカウント情報に関してさら

40

50

に正確な情報を提供するために、プログラム関連付けメッセージが適切なタイミングで生成されてもよい。また、本発明の別の態様では、可能なときに、デバッグメッセージの１つ以上のフィールドを圧縮することによって、デバッグメッセージをフィールド圧縮することによって、または複数のメッセージ（プログラム関連付けメッセージなど）をマージすることによって、効率がさらに向上する場合がある。

【０００６】

図１に示すのは、デバッグメッセージを生成するデータ処理システム１０である。データ処理システム１０内にはグローバル相互接続部１２が存在する。グローバル相互接続部１２の一実施形態はシステムバスである。他の形態の相互接続部も使用可能であり、例えば、クロスバー、ポイントツーポイント接続、ならびに光及び無線伝送技術が含まれる。バスインタフェースユニット（ＢＩＵ）１４は双方向カップリングを介してグローバル相互接続部１２に接続される。一実施形態において、この双方向カップリングは双方向の複数の導体バスであり、本明細書では、導体を横切るスラッシュで複数の導体バスを表す。ＢＩＵ１４は、メモリ管理ユニット（ＭＭＵ）１６に双方向接続される。ＭＭＵ１６は、双方向の複数の導体バスを介してグローバル制御回路１８の第１入力／出力端子に接続される。グローバル制御回路１８の第２入力／出力端子は、双方向の複数の導体バスを介して命令フェッチユニット２０の第１入力／出力端子に接続される。命令フェッチユニット２０は、複数の導体バスを介して命令デコーダ２２の入力に接続される出力を有する。命令デコーダ２２の出力は、実行ユニット２４の入力に接続される。一実施形態において、実行ユニット２４は、少なくとも１つの計算論理ユニット、少なくとも１つの浮動小数点ユニット、及び少なくとも１つの乗算器回路を備える。実行ユニット２４内にはレジスタファイル２５が存在する。命令デコーダ２２の入力／出力端子は、グローバル制御回路１８の第３入力／出力端子に接続される。実行ユニット２４の第１入力／出力端子は、グローバル制御回路１８の第４入力／出力端子に接続される。また、実行ユニット２４及び命令フェッチユニット２０は、ＭＭＵ１６にも双方向接続される。デバッグ回路２６は、グローバル制御回路１８の第５入力／出力端子に接続される入力／出力端子を有する。ロード／ストア・ユニット２８は、グローバル制御回路１８の第６入力／出力端子に双方向接続される第１入力／出力端子を有する。ロード／ストア・ユニット２８は、ＢＩＵ１４の第１入力／出力端子に接続される第２入力／出力端子を有する。ロード／ストア・ユニット２８は、実行ユニット２４の第２入力／出力端子に接続される第３入力／出力端子を有する。ＢＩＵ１４の第２入力／出力端子は、グローバル制御回路１８の第７入力／出力端子に接続される。ロード／ストア・ユニット２８の出力は、データの仮想アドレスを提供し、ＭＭＵ１６の第１入力及びデバッグ回路２６の第１入力に接続される。命令フェッチユニット２０の出力は、命令の仮想アドレスを提供し、ＭＭＵ１６の第２入力及びデバッグ回路２６の第２入力に接続される。ＭＭＵ１６の第１出力は、データの物理アドレスを与え、ＢＩＵ１４の第１入力及びデバッグ回路２６の第３入力に接続される。ＭＭＵ１６の第２出力は、命令の物理アドレスを与え、ＢＩＵ１４の第２入力及びデバッグ回路２６の第４入力に接続される。

【０００７】

メモリ３０は、双方向カップリングを介してグローバル相互接続部１２に接続される。デバッグ回路２６は、複数の双方向の複数の導体を介して複数のデバッグ端子４０に接続される第２入力／出力端子を有する。この複数のデバッグ端子４０は、デバッグまたは外部デバッグとして一般に参照される外部の開発システム３６に接続される。示した実施形態では、ＢＩＵ１４、ＭＭＵ１６、グローバル制御回路１８、命令フェッチユニット２０、命令デコーダ２２、レジスタファイル２５を備える実行ユニット２４、デバッグ回路２６、ならびにロード／ストア・ユニット２８は、図１の破線群によって示すように、集合的にデータプロセッサ４２を形成する。グローバル制御回路１８は図１では分離した位置に示しているが、グローバル制御回路１８の回路及び機能制御が分散して実装されてもよいこと、データ処理システム１０の様々な他のシステムブロック内に含まれてもよいことが理解される。また、示した実施形態では、グローバル制御回路１８は、現在実行中の処

10

20

30

40

50

理についてのプロセス識別子 (P I D) を格納するプロセス識別子 (P I D) レジスタ 19 を備える。また、グローバル制御 18 は M M U 16 に P I D を提供する。

【 0 0 0 8 】

動作中、データ処理システム 10 は、グローバル相互接続部 12 を介してデバイス (図示せず) と通信する。データプロセッサ 42 との間で通信される情報は、 B I U 14 を介して転送される。命令フェッチユニット 20 は、グローバル制御回路 18 の制御の下、 B I U 14 からデータプロセッサ命令 (すなわち、プロセッサ命令) を読み出す。読み出された命令は、グローバル制御回路 18 の制御の下でデコードを行うために、命令デコーダ 22 に対し連続的に通信される。実行ユニット 24 は命令を実行してデータを生成する。このデータは、キャッシュ (図示せず) に格納されるか、またはグローバル制御回路 18、 B I U 14、およびグローバル相互接続部 12 を通じるカップリングを介して、メモリ 30 に配置される。データプロセッサ 42 及びデータ処理システム 10 の動作のデバッグは、外部の開発システム 36 による解析用にデバッグメッセージを生成するデバッグ回路 26 を使用することによって実行される。外部の開発システム 36 からなどの起動にตอบสนองして、テストまたはデバッグモードの動作に入る。示した実施形態において、デバッグ回路 26 はデータアドレス及び命令アドレスを受信するように構成されており、それらのアドレスは仮想アドレスであっても物理アドレスであってもよい。データアドレスはデータが存在するアドレスであり、命令アドレスは命令が存在するアドレスである。命令仮想アドレスは、命令フェッチユニット 20 からデバッグ回路 26 及び M M U 16 へ提供される。仮想アドレスは変換されていないアドレスであり、情報が存在する物理記憶域の変換されたアドレスを取得するために、何らかのさらなる処理または変換が必要である。この変換されたアドレスは物理アドレスと呼ばれる。 M M U 16 は、 B I U 14 及びデバッグ回路 26 に命令物理アドレスを提供する。一実施形態では、仮想すなわち変換されていないアドレスは、論理アドレスである。別の実施形態では、変換されていないアドレスは有効アドレスである。有効アドレスは、物理アドレスへ変換される前に、まず仮想アドレスに変換される必要がある。ロード / ストア・ユニット 28 は、デバッグ回路 26 及び M M U 16 にデータ仮想アドレスを提供する。 M M U 16 は、 B I U 14 及びデバッグ回路 26 にデータ物理アドレスを提供する。

【 0 0 0 9 】

デバッグ回路 26 は、以下でより詳細に説明するように、次いで、受信したアドレスのうちの 1 つ以上の少なくとも一部を用いて、外部の開発システム用のデバッグメッセージを形成する。デバッグメッセージのフォーマットは異なる場合があり、例について図 7、8、9、10、11、13、14、および 15 に関連して以下に説明する。

【 0 0 1 0 】

図 2 に示すのは、図 1 の M M U 16 の一部の例示的な実施形態である。 M M U 16 は、制御回路 203、 M M U 更新レジスタ 204、およびアドレス変換論理 205 を備える。一実施形態において、アドレス変換論理 205 は、0 ~ N の番号を付けられた N + 1 個のエントリを有するトランスレーション・ルックアサイド・バッファ (T L B) として実装され、各エントリは、仮想アドレス 209、対応する物理アドレス 211、対応する変換サイズ (T S I Z) 210、対応する変換 I D (T I D) 212、対応する属性 213、対応する有効 (v a l i d) フィールド 215 を含む。代替の実施形態では、アドレス変換論理 205 は、異なるように実装されてよい。制御回路 203 は M M U 更新レジスタ 204 に双方向接続され、デバッグ回路 26 及びアドレス変換論理 205 へ変更インジケータ及びアドレス変換情報を提供する。また、制御回路 203 は、グローバル制御回路 18 にも双方向接続されており、グローバル制御回路 18 から P I D を受信する。 M M U 更新レジスタ 204 は 1 つ以上のレジスタを備えてもよく、実行ユニット 24 と双方向接続される。

【 0 0 1 1 】

動作中、エントリ 0 ~ N は、仮想アドレスを物理アドレスに変換するために用いられるアドレスマッピング情報を格納する。例えば、命令またはデータ仮想アドレスは M M U 1

10

20

30

40

50

6 に対し提供され（命令フェッチユニット 20 またはロード/ストア・ユニット 28 からなど）、アドレス変換論理 205 に格納されている仮想アドレス 209 と比較される。マッチするエントリ（マッチングエントリ）が見出される場合（有効フィールド 215 によって示されるように、マッチングエントリは有効エントリでもある）、対応する物理アドレス 211 はデバッグ回路 26 及び BIU 14 に対する命令またはデータ物理アドレスとして提供される。マッチングエントリの対応 TSI 210 は、変換されるアドレスに対応するページサイズを提供し、マッチングエントリの対応 TID 212 はアドレス空間識別子を提供する。TID フィールドがゼロのとき、マッチングエントリはグローバルであるため、全ての処理に対しそのエントリが適用される。しかしながら、TID 212 がゼロでない場合には、受信される仮想アドレス及び受信される PID の両方がアドレス変換論理 205 における有効エントリの仮想アドレス 209 及び TID 212 にそれぞれマッチするときのみ、マッチングエントリが決定される。また、MMU 更新レジスタ 204 の使用を通じて、制御回路 203 は、プロセッサ 42 によって実行されるプロセッサ命令に応答して、アドレス変換論理 205 内のエントリを更新または変更することが可能である。これについて図 4 に関連して以下により詳細に説明する。制御 203 がアドレス変換論理 205 内のエントリを変更または更新するとき、変更インジケータがアドレス変換論理 205 やデバッグ回路 26 に提供される。

10

【0012】

図 3 に示すのは、図 1 のデバッグ回路 26 の一部の例示的な一実施形態である。デバッグ回路 26 は、デバッグ制御回路 60、メッセージ生成論理 64、および入力/出力（I/O）論理 66 を備える。メッセージ生成論理 64 は圧縮論理 68 を備え、MMU 16 内の制御回路 203 から変更インジケータ及びアドレス変換情報を受信するように接続される。デバッグ制御回路 60 は、メッセージ先入れ先出し記憶回路（FIFO）70 を備え、メッセージ生成論理 64 及び I/O 論理 66 に双方向接続される。また、デバッグ制御回路 60 はグローバル制御回路 18 から情報を受信する。I/O 論理 66 は、デバッグ端子 40 に双方向接続される。

20

【0013】

動作中、メッセージ生成論理 64 は、複数の所定のフォーマットのうちの選択される 1 つのフォーマットに準拠してデバッグメッセージを形成する機能を実装する論理回路である。メッセージ生成論理 64 はデバッグメッセージを形成し、圧縮論理 68 は、そのメッセージの一部または全部にメッセージ圧縮を実行することができ、それらのデバッグメッセージは、次いで、デバッグ制御回路 60 に提供され、メッセージ FIFO 70 に格納される。メッセージ FIFO 70 から、デバッグメッセージは、I/O 論理 66 を介してデバッグ端子 40 に導かれる。一実施形態において、アドレス変換論理 205 においてエントリが変更または更新される毎に、メッセージ生成論理 64 はアドレス変換トレースメッセージを生成する。例えば、アドレス変換論理 205 におけるエントリが変更されていることをアドレス変換論理 205 及びメッセージ生成論理 64 の両方に示す変更インジケータを制御回路 203 がアサートする毎に、メッセージ生成論理 64 は、制御 203 から受信されるアドレス変換情報に基づいてアドレス変換トレースメッセージを生成する。なお、本明細書で使用される「エントリの変更」にはエントリの無効化も含まれる。これらのアドレス変換トレースメッセージのフォーマットについて、図 10、11、13、14 を参照して以下により詳しく説明する。

30

40

【0014】

図 4 には、MMU 更新レジスタ 204 の一例を示す。示した実施形態において、MMU 更新レジスタ 204 は、4 つのレジスタ MA0、MA1、MA2、MA3 を備える。これらのレジスタは、アドレス変換論理 205 におけるエントリを更新するために用いられる。示した実施形態において、各レジスタは複数のフィールドを含む 32 ビットレジスタである。MA1 は、2 ビットの TLBS E L フィールド及び 6 ビットの ESEL フィールドを含む。TLBS E L フィールドは、TLB が更新されることを示す値を格納する。示した実施形態では、1 つの TLB（アドレス変換論理 205）のみを図に示しているが、T

50

L B S E L フィールドが存在しなくてもよい。しかしながら、代替の実施形態では、任意の数の T L B が実装されてもよい。E S E L フィールドは、T L B のエントリ数（例えば、アドレス変換論理 2 0 5 における 0 ~ N のエントリのうちの 1 つ）を示す値を格納する。M A 1 は、8 ビットの T I D フィールド及び 5 ビットの T S I Z E フィールドを含む。T I D フィールドは、変換識別子フィールドを示す値を格納し、T S I Z E フィールドは、ページサイズを示す値を格納する。M A 2 は、仮想ページ番号を示す値を格納する 2 2 ビットのフィールド V P N フィールドを含む。また、M A 2 は、V L E（ページは命令用の可変長符号化を用いる）、W（ページはライトスルー）、I（ページはキャッシュ禁止）、M（ページは「メモリの一貫性を必要とする」）、G（ページは保護されている）、E（ページはエンディアン）などの属性を格納する様々なフィールドも含む。M A 3 は、物理ページ数
10
を示す値を格納するとともに複数の属性（例えば、U 0 - U 3（ユーザ定義属性）、U X、S X、U W、S W、U R、および S R（ユーザ及びスーパーバイザの、読取、書込、実行のパーミッション））を格納する 2 2 ビットのフィールド P P N フィールドを含む。なお、代替の実施形態では、M M U 更新レジスタ 2 0 4 は示したレジスタより多くのレジスタを含んでよく、それらのレジスタに格納される情報は、任意の数のレジスタを用いる様々な異なるフォーマットに編成されてよい。また、各フィールドは、必要に応じて適切な情報を格納するために、より多くのビットを有してもよく、より少ないビットを有してもよい。なお、T I D は、仮想アドレスが「V P N を T I D に連結したもの」として計算されるような、仮想アドレスに対する拡張であると考えられる。従って、これらのレジスタは、プロセッサ 4 2 による 1 つ以上のプロセッサ命令（専用のレジスタ命令に移動するなど）に応答して、グローバル制御回路 1 8 によって更新されてよい。これらの
20
レジスタに格納される情報は、次いで、プロセッサ 4 2 によって実行されるプロセッサ命令に応答してアドレス変換論理 2 0 5 におけるエントリを更新するために用いられる。本発明の代替の実施形態では、アドレス変換論理 2 0 5（例えば、T L B）に対する更新は、T L B ミスに応答する制御論理によって実行されてよい。この制御論理は、制御論理 2 0 3 の一部として実装されてもよく、M M U 1 6 内またはプロセッサ 4 2 内のいずれかの場所
30
に実装されてもよい。一実施形態において、T L B ミスに自動的に応答するこの制御論理は、メモリ 3 0 またはデータ処理システム 1 0 内のいずれかの場所に格納される 1 つ以上の変換テーブルを検索することによってアドレス変換エントリ情報を取得し、続いてプロセッサ 4 2 によって明示的に実行されるプロセッサ命令を使用することなく、アドレス変換テーブルから読み出される情報に基づいてアドレス変換論理 2 0 5 内でアドレス変換の変更を実行する。

【 0 0 1 5 】

例えば、図 5 には、T L B エントリ（すなわち、アドレス変換論理 2 0 5 内のエントリ）を更新するために使用できる現行のプロセッサ命令の一例である、T L B 書込エントリ（T L B W E ; T L B W r i t e E n t r y）命令を示す。T L B W E 命令によって、M M U 更新レジスタ 2 0 4 内の一定のフィールドの内容が、アドレス変換論理 2 0 5 の 1 つのエントリに書き込まれる。この書き込まれるエントリ（t l b _ e n t r y _ i d）は、例えば、M A 0 の T L B S E L フィールド及び E S E L フィールドによって指定される。T L B W E 命令の実行時、この識別されるエントリは、M A 1、M A 2、M A 3 における適切な情報を用いて更新される。すなわち、M A 1 の T I D フィールド及び T S I Z E フィールドにおける値は、アドレス変換論理 2 0 5 の識別されるエントリの T S I Z E フィールド 2 1 0 及び T I D フィールド 2 1 2 に格納される。同様に、M A 2 における V P N の値や、M A 3 の P P N の値および属性は、識別されるエントリの、対応するフィールドの仮想アドレス 2 0 9、物理アドレス 2 1 1、および属性 2 1 3 に格納される。また、識別されるエントリの有効ビット 2 1 5 は、有効エントリを示すようにセットされる。
40

【 0 0 1 6 】

図 6 には、アドレス変換論理 2 0 5 のエントリを無効化するために用いられる現行のプロセッサ命令の別の例である、T L B 無効化エントリ（T L B _ I N V ; T L B I n v
50

validate Entry)を示す。TLB__INV命令のフォーマットは、2つのソースレジスタRA, RBを指定し、これらのレジスタは、TLB__INV命令の実行時、RA+RBの有効アドレス(EA)を計算するために用いられる。すなわち、EAは、RAの中身とRBの中身との和に等しい。このEAアドレスは、次いで、アドレス変換論理205内においてマッチングエントリを見出すために用いられ、マッチングエントリが見出されると、そのマッチングエントリの有効ビット215が無効エントリを示すようにセットされる。ソースレジスタRA, RBは、2つの汎用レジスタ(例えば、プロセッサ42のレジスタファイル25内に配置される)であってよい。

【0017】

本発明の一実施形態では、アドレス変換論理205のエントリが更新されるとき(TLBWEまたはTLB__INV命令が実行されるときなど)、制御203は変更インジケータを介してデバッグ回路26に通知を行い、これに应答して、デバッグ回路26のメッセージ生成論理64がアドレス変換トレースメッセージを生成する。このアドレス変換トレースメッセージは、(FIFO70から、I/O論理66を介して)デバッグ端子40に提供され得る。このようにして、変更が発生するとアドレス変換情報が自動的に送信されるので、デバッグ26がアドレス変換論理205からアドレス変換情報を明示的に要求する必要はない。TLBWEベースのアドレス変換トレースメッセージ及びTLB__INVベースのアドレス変換トレースメッセージの一例について、図10、11、13を参照して記載する。また、TLBWEまたはTLB__INV命令が実行されるとき、制御回路203は、上述のようにMMU更新レジスタ204に格納される情報を用いることによって、識別されるエントリまたはマッチングエントリを適切に更新するための適切な制御及び情報をアドレス変換論理205に提供する。従って、変更インジケータに加えて、制御回路203が変更インジケータと共に必要に応じて他の情報をアドレス変換論理205及びデバッグ回路26に提供してよいことが留意される。代替の実施形態では、他の更新機構を用いてアドレス変換論理205内のエントリが変更されてもよく、これに应答して、制御回路203がデバッグ回路26に対し、この変更や、この変更に関連してデバッグ回路26がアドレス変換トレースメッセージを適切に生成することを可能とするために必要な情報を示すように、適切なシグナリングを行うことが可能である。

【0018】

図7、8、9に示すのは、現行のデバッグ論理によって生成されるトレースメッセージである。図7に示すのは、従来モードにおけるプログラムトレース間接分岐メッセージ80である。図8に示すのは、履歴モードにおけるプログラムトレース間接分岐メッセージ81である。プログラムトレース間接分岐メッセージは、プロセッサ42上で実行中の命令によって間接分岐が実行されるときに生成される。間接分岐は、その標的アドレスが分岐命令により直接提供されていない分岐であり、レジスタなど別のロケーションに格納されるか、そうでなければ動的に計算されるか決定される必要がある(サブルーチン呼出など)。直接分岐は、その標的アドレスが命令により直接提供されている分岐であり(特定のアドレス位置に対応するラベルによる、命令中のオフセット値によって提供されるなど)、したがって、通常、プログラム命令値の知識に基づきデバッグによって決定可能な静的な値である。図9に示すのは、データトレースメッセージ82である。

【0019】

図7を参照すると、トレースメッセージ80は、4つの示したフィールドを有する。仮想アドレスフィールドは、トレースメッセージ80の仮想アドレスを含む。シーケンスカウンタフィールドは、最後のプログラムトレースメッセージ以来の実行された命令の数を表す値を含む。ソースプロセッサフィールドは、トレースメッセージ80に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コードフィールドは、トレースメッセージを、特定の所定のフィールドフォーマットを有するプログラムトレース間接分岐メッセージとして識別する値を含む。図7の例では、示した形態のプログラムトレースメッセージを表す値は「000100」であり、これは、このプログラムトレース間接分岐メッセージが従来分岐トレ

ースモード動作を用いて生成されたことを示している。

【 0 0 2 0 】

図 8 を参照すると、トレースメッセージ 8 0 は 5 つの示したフィールドを有する。仮想アドレスフィールドは、トレースメッセージ 8 1 の仮想アドレスを含む。分岐履歴フィールドは、複数の 1 ビット値を含み、最後のプログラムトレースメッセージ以来の直接分岐毎に、直接分岐が行われたか否かを示すように、対応する 1 ビット値のセットまたはクリアが行われる。シーケンスカウンタフィールドは、最後のプログラムトレースメッセージ以来の実行された命令の数を表す値を含む。ソースプロセッサフィールドは、トレースメッセージ 8 0 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コードフィールドは、トレースメッセージを、特定の所定のフィールドフォーマットを有するプログラムトレース間接分岐メッセージとして識別する値を含む。図 8 の例では、示した形態のプログラムトレースメッセージを表す値は「 0 1 1 1 0 0 」であり、これは、このプログラムトレース間接分岐メッセージが履歴モード分岐トレース動作を用いて生成されたことを示している。

【 0 0 2 1 】

図 9 を参照すると、トレースメッセージ 8 2 は 5 つの示したフィールドを有する。データ値フィールドは、トレースメッセージ 8 2 に関連付けられている 1 つ以上のデータ値を含む。仮想アドレスフィールドは、トレースメッセージ 8 2 の仮想アドレスを含む。データサイズフィールドは、1 つのデータワードに含まれるデータの長さまたはビット数を表す値を含む。ソースプロセッサフィールドは、トレースメッセージ 8 2 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コードフィールドは、トレースメッセージを、特定の所定のフィールドフォーマットを有するデータトレース間接分岐メッセージとして識別する値を含む。図 9 の例では、示した形態のデータ書込トレースメッセージを表す値は「 0 0 0 1 0 1 」である。示した形態のデータ読取トレースメッセージを表す値は「 0 0 0 1 1 0 」である。

【 0 0 2 2 】

図 1 0、1 1 には、本発明の実施形態によるアドレス変換トレースメッセージ 8 4、8 6 をそれぞれ示す。TLBWE 命令の実行に応答して、上述のように、デバッグメッセージ（アドレス変換メッセージ 8 4 またはアドレス変換トレースメッセージ 8 6 など）は、デバッガ 2 6 によって生成されることができる。なお、従って、それらのアドレス変換メッセージは、TLBWE ベースのアドレス変換トレースメッセージと呼ばれる場合がある。なお、アドレス変換トレースメッセージ 8 4 は、TLBWE ベースのアドレス変換トレースメッセージのフィールド圧縮されているバージョンであり、アドレス変換トレースメッセージ 8 6 はフィールド圧縮されていないバージョンである。

【 0 0 2 3 】

まず図 1 1 を参照すると、トレースメッセージ 8 6 は 8 つの示したフィールドを有する。フィールドの配置は任意である。圧縮されている物理アドレスフィールドは、トレースメッセージ 8 6 の物理アドレスを圧縮形態で含む。すなわち、このフィールドは、トレースメッセージの生成をトリガした（アドレス変換論理 2 0 5 の）TLB の変更されているエントリの物理ページ番号アドレスの圧縮バージョンを表す。圧縮されている仮想アドレスフィールドは、トレースメッセージ 8 6 の仮想アドレスを圧縮形態で含む。すなわち、このフィールドは、変更されているエントリの仮想ページ番号アドレスの圧縮バージョンを表す。TID フィールドは、変更されているエントリの TID 値を表す値を含む。TSIZ フィールドは、変更されているエントリの TSIZ 値を表す値を含む。ソースプロセッサフィールドは、トレースメッセージ 8 6 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コード（TCODE）フィールドは、トレースメッセージ 8 4 を特定の所定のフィールドフォーマットを有するアドレス変換トレースメッセージとして識別する値を含む。図 1 0 の例では、アドレス変換トレースメッセージを表す値は「 1 0 0 0 0 1 」である。イベン

トコード (E C O D E) フィールドは、所定のフィールドフォーマットをさらに識別する値を含む。すなわち、該フィールドは、様々なタイプのアドレス変換トレースメッセージの間でさらに識別を行うために用いられる。図 1 1 の例では、示した形態の非フィールド圧縮 T L B W E ベースのアドレス変換トレースメッセージを表す値は、「 1 1 0 1 」である。なお、図 1 1 の例では、物理アドレスフィールド及び仮想アドレスフィールドの各々は圧縮されている値を含む。圧縮の 1 つの方法について、図 1 2 を参照して以下に説明する。しかしながら、代替の実施形態では、これらのフィールドのうちの 1 つのみが圧縮されてもよく、これらのフィールドがいずれも圧縮されなくてもよい。また、必要に応じて、各フィールドに任意の数のビットが用いられてよく、メッセージが示したより多い情報を含んでも、少ない情報を含んでもよい。

10

【 0 0 2 4 】

戻って図 1 0 を参照すると、図 1 0 は、図 1 1 のアドレス変換トレースメッセージ 8 6 のフィールド圧縮されているバージョンである (5 つの示したフィールドを有する)。すなわち、アドレス変換トレースメッセージ 8 4 については、T I D フィールドおよび T S I Z フィールドはデバッグメッセージの部分として含まれていないので、デバッグ端子 4 0 を介して送信されない。さらにまた、図 1 0 の例では、図 1 0 の「 1 1 0 0 」の値は示した形態のフィールド圧縮 T L B W E ベースのアドレス変換トレースメッセージを表している。E C O D E フィールドの値が図 1 1 の値とは異なる。なお、アドレス変換トレースメッセージ 8 4 の残りのフィールドについての説明は、アドレス変換トレースメッセージ 8 6 について上述において説明したのと同じである。したがって、フィールド圧縮モードでは、アドレス変換メッセージは、選択されるフィールドを含まないように圧縮される (一実施形態では、このフィールド圧縮は圧縮論理 6 8 によって実行される)。

20

【 0 0 2 5 】

一実施形態では、フィールド圧縮されているアドレス変換トレースメッセージにおいて、所定の優勢 (p r e v a l e n t) 値を含むフィールドがメッセージに含まれないフィールドである。例えば、一実施形態では、T I D 及び T S I Z E フィールドの両方が優勢値を有する傾向があるので、各アドレス変換トレースメッセージにより送信される必要はない。例えば、一実施形態では、0 0 0 0 0 0 0 0 の T I D 値は、1 つのプロセス I D (P I D) 値にマッチするように制限されるのではなく、全てのプロセス I D 値にアドレス変換エントリが利用可能であることを示す。この実施形態では、全てがゼロの T I D 値が優勢 T I D 値であると考えられる。代替の実施形態では、所定の非ゼロの優勢 T I D 値を有する優勢な処理を表す様々な T I D 値が、優勢値であるように規定されてよい。一実施形態では、仮想ページ及び物理ページについての特定のページサイズが優勢であってよい。例えば、多くのシステムでは、4 キロバイトのページサイズが優勢なページサイズの値であり、したがって、大半のアドレス変換エントリでは、格納される T L B エントリの T S I Z フィールドにエンコードされるような値を有するので、所定の優勢値として規定され得る。それらの一般的な場合では、フィールド圧縮によって、外部の開発システム 3 6 に送信される必要がある最大のメッセージ長さの低減が可能となる。こうした低減によってデバッグメッセージの帯域幅が改良される場合があり、デバッグ制御回路 6 0 のメッセージ F I F O 7 0 のサイズを最適化する際の利点となり得る。一実施形態では、メッセージから除去されるまたは外部の開発システム 3 6 に対し送信されないフィールドの所定の優勢値は、データ処理システム 1 0 のユーザによって制御される。すなわち、この値はユーザによるプログラムの可能な記憶域、例えば、M M U 更新レジスタ 2 0 4 内などに格納可能である。

30

40

【 0 0 2 6 】

図 1 2 には、メッセージの物理アドレスフィールド及び仮想アドレスフィールドなど、デバッグメッセージの特定のフィールドを圧縮して、例えば、図 1 0 、 1 1 の圧縮されている物理アドレス及び圧縮されている仮想アドレスを取得するための方法の一実施形態を示す (一実施形態では、この圧縮は圧縮論理 6 8 によって実行される)。A 1 及び A 2 のラベルで示した 2 つのアドレスが提供される。アドレス A 2 は、デバッグメッセージを生

50

成する際に用いられる現在のアドレス（アドレス変換トレースメッセージに含まれる物理アドレスまたは仮想アドレスなど）である。アドレス A 1 は、先のデバッグメッセージの生成に用いられた先のアドレス（それぞれ、先のアドレス変換トレースメッセージに含まれていた先の物理アドレスまたは仮想アドレスなど）である。アドレス A 1 及び A 2 の実際の値は単なる例であり、任意のアドレス値が用いられることが理解される。変更済みのアドレスは、アドレス A 1、A 2 に論理演算を実行することによって生成される。この論理演算は、一実施形態では、排他的 OR 動作であり、対応するアドレス A 1 及びアドレス A 2 のそれぞれのビット位置に対し排他的論理和が行われる。得られる変更されたアドレスを図 1 2 に示す。ここでは、20 個の先行するゼロが生成される。最下位のビットから最上位のバイナリ 1 ビットまでのアドレスの部分は、図 1 2 に示すようにグループ化され、このグループ化によって、デバッグメッセージにおいてアドレス（例えば、圧縮されている物理アドレスまたは圧縮されている仮想アドレス）として用いられる変更されたアドレス M 1 が形成され、多くのメッセージでは平均メッセージサイズはより小さくなる。先に送信されたメッセージから再生成可能な冗長な情報は除去される。一方、アドレス A 2 は、次に示すようにデバッガによってデバッグメッセージアドレスから再生成されてもよい。先のアドレス A 1 について、アドレスメッセージ M 1 との排他的論理和が行われる。アドレス M 1 は、アドレスメッセージの前に必要な先行部分のゼロを追加することによって、32 ビットのフォーマットに拡張して戻される。この排他的 OR 演算によってアドレス A 2 が生じる。すなわち、図 1 2 には、アドレスからデバッグメッセージアドレスへの変換と、その反対のデバッグメッセージアドレスからアドレスへの変換との実装について示す。なお、デバッグ動作が最初に有効化されるときに第 1 トレースメッセージにより送信される変更済みアドレス M 1 は、先行するゼロが除去されている完全なアドレスが含まれる。デバッガは、変更されたアドレス M 1 をメッセージの完全なアドレスに拡張する際の初期アドレスとして、全てのゼロからなる先のアドレス値を仮定することが可能である。

【0027】

図 1 3 には、本発明の一実施形態におけるアドレス変換トレースメッセージ 8 8 を示す。TLB__INV 命令の実行に回答して、上述のように、アドレス変換トレースメッセージ 8 8 などのデバッグメッセージがデバッガ 2 6 によって生成される。従って、アドレス変換トレースメッセージ 8 8 は、TLB__INV ベースのアドレス変換トレースメッセージとも呼ばれる。トレースメッセージ 8 8 は 4 つの示したフィールドを有する。フィールドの配置は任意である。TLB__INV 仮想アドレスフィールドは、トレースメッセージ 8 8 の圧縮されていない仮想アドレスを含む。すなわち、このフィールドは有効アドレスの計算された値（RA、RB の値を用いて計算される）を含み、上述の通り、この計算された値を用いて、マッチングエントリを無効化するためにアドレス変換論理 205 におけるマッチングエントリを見出した（これに代えて、TLB__INV 仮想アドレスも圧縮されてよい）。ソースプロセッサフィールドは、トレースメッセージ 8 8 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コード（TCODE）フィールドは、トレースメッセージ 8 8 を特定の所定のフィールドフォーマットを有するアドレストレースメッセージとして識別する値を含む。図 1 3 の例では、アドレス変換トレースメッセージを表す値は「100001」である。イベント（ECODE）フィールドは、所定のフィールドフォーマットをさらに識別する値を含む。すなわち、該フィールドは、様々なタイプのアドレス変換トレースメッセージの間でさらに識別を行うために用いられる。図 1 3 の例では、示した形態の TLB__INV ベースのアドレス変換トレースメッセージを表す値は、「1101」である。なお、必要に応じて、各フィールドに任意の数のビットが用いられてよく、メッセージが示したより多い情報を含んでも、少ない情報を含んでもよい。

【0028】

図 8 を参照して説明したように、分岐履歴は、プログラムトレースメッセージを生成しない特定の分岐（例えば、直接分岐）に用いられるアドレス変換のより優れたビューを提

10

20

30

40

50

供するには有用である。しかしながら、それらのプログラムトレースメッセージを生成する実行された分岐（例えば、間接分岐）の間において仮想メモリマッピングの変化が生じるとき、分岐履歴フィールドは、そのマッピングにおける変化が発生した時点より後、正確な情報を提供しない。従って、一実施形態では、仮想アドレスマッピングに変更が生じた時点までの分岐履歴情報を含むプログラム関連付けメッセージが生成される。すなわち、プログラム関連付けメッセージは、アドレス変換論理 205 におけるエントリの変更に応答してアドレス変換トレースメッセージが生成されるときに、生成されることが可能である。例えば、プログラム関連付けメッセージは、TLBWE ベースのアドレス変換メッセージが生成されるとき、生成されることが可能である。さらにまた、このプログラム関連付けメッセージは、分岐履歴が蓄積された時のマッピングの文脈によりデバッガ（外部の開発システム 36 など）がプログラムトレースの再構築を実行することを可能とするように、TLBWE ベースのアドレス変換メッセージに関して、このプログラム関連付けメッセージの順序を適切に決定することが可能である。このようにして、プログラム関連付けメッセージは、分岐履歴情報と、最後のプログラムトレースメッセージが生成されてから TLBWE 命令によってアドレス変換論理 205 のエントリが変更される時点までに実行された命令の命令カウント情報とを、適切に提供することが可能である。一実施形態において、アドレス変換トレースメッセージに対応するプログラム関連付けメッセージは、アドレス変換メッセージの前に提供される。

【0029】

図 15 には、アドレス変換論理 205 のエントリの変更に応答して生成されるアドレス変換トレースメッセージに関して生成され適切に順序を決定される分岐履歴区切を有するプログラム関連付けメッセージ 92 を示す。プログラム関連付けメッセージ 92 は、5 つの示したフィールドを有する。フィールドの配置は任意である。分岐履歴フィールドは、複数の 1 ビット値を含み、最後のプログラムトレースメッセージ以来の直接分岐毎に、直接分岐が行われたか否かを示すように、対応する 1 ビット値のセットまたはクリアが行われる。この分岐履歴フィールドは、アドレス変換論理 205 のエントリが変更され、アドレス変換トレースメッセージ（TLBWE ベースのアドレス変換トレースメッセージ 84 または 86 など）が生成される時点までに行われた各直接分岐について、この情報を含む。シーケンスカウントフィールド（命令カウントフィールドと呼ばれる）は、最後のプログラムトレースメッセージから、アドレス変換論理 205 のエントリが変更される時点までに実行される命令の数を表す値を含む。ソースプロセッサフィールドは、プログラム関連付けメッセージ 92 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コードフィールドは、プログラム関連付けメッセージ 92 を、所定のフィールドフォーマットの履歴区切を有するプログラム関連付けメッセージとして識別する値を含む。図 15 の例では、示した形態のプログラムトレースメッセージを表す値は「100001」である。イベントコード（ECODE）フィールドは、プログラム関連付けメッセージ 92 の所定のフィールドフォーマットをさらに識別する値を含む。すなわち、このフィールドは、様々なタイプのプログラム関連付けトレースメッセージの間でさらに識別を行うために用いられる。例えば、このフィールドは、プログラム関連付けメッセージがマージされたメッセージであるか否を表すために用いられる（マージされたメッセージについては以下により詳細に説明する）。図 15 の例では、ECODE フィールドの値は、プログラム関連付けメッセージがマージされていないことを表し、これは、そのプログラム関連付けメッセージが 1 つのトリガソース（例えば、アドレス変換論理 205 の 1 つのエントリの変更）のみによって生じたことを意味する。なお、必要に応じて、各フィールドに任意の数のビットが用いられよく、メッセージが示したより多い情報を含んでも、少ない情報を含んでもよい（代替の一実施形態では、分岐履歴フィールドまたは命令カウントフィールドのうちの 1 つのみがプログラム関連付けメッセージに含まれてもよい）。

【0030】

図 14 には、分岐履歴を有するアドレス変換トレースメッセージ 90 を示す。すなわち

、図 1 4 の例では、アドレス変換論理 2 0 5 のエントリが変更されることに応答して、アドレス変換トレースメッセージ（例えば、T L B W E ベースのアドレス変換トレースメッセージ）及びプログラム関連付けメッセージの両方を生成するのではなく、1 つのアドレス変換トレースメッセージが生成されてもよく、このメッセージが分岐履歴情報及び命令カウントをさらに含む。すなわち、T L B W E ベースのアドレス変換トレースメッセージ（トレースメッセージ 8 4 または 8 6 など）の情報は、アドレス変換論理 2 0 5 のエントリの変更の時点までの、分岐履歴情報、命令カウント情報、またはその両方をさらに含んでもよい。一実施形態において、アドレス変換トレースメッセージ 9 0 は、メッセージサイズを低減するために、変換メッセージ 8 4 など、フィールド圧縮された T L B W E ベースのアドレス変換トレースメッセージのフィールドを含む。例えば、サイズの低減は、例えば、生成メッセージがメッセージ F I F O 7 0 内に適切に入るように必要とされる場合がある。すなわち、T S I Z フィールド及び T I D フィールドは、このタイプの履歴区切を有するアドレス変換トレースメッセージを含まないことが可能である。

10

20

30

40

50

【 0 0 3 1 】

図 1 4 に示した実施形態では、トレースメッセージ 9 0 は 7 つの示したフィールドを有する。フィールドの配置は任意である。圧縮されている物理アドレスフィールドは、トレースメッセージ 9 0 の物理アドレスを圧縮形態で含む。すなわち、このフィールドは、トレースメッセージの生成をトリガした（アドレス変換論理 2 0 5 の）T L B の変更されているエントリの物理アドレスの圧縮バージョンを表す。圧縮されている仮想アドレスフィールドは、トレースメッセージ 9 0 の仮想アドレスを圧縮形態で含む。すなわち、このフィールドは、変更されているエントリの仮想アドレスの圧縮バージョンを表す。分岐履歴フィールドは複数の 1 ビット値を含み、最後のプログラムトレースメッセージ以来の直接分岐毎に、直接分岐が行われたか否かを示すように、対応する 1 ビット値のセットまたはクリアが行われる。この分岐履歴フィールドは、アドレス変換論理 2 0 5 のエントリが変更され、したがってトレースメッセージ 9 0 の生成のトリガが行われる時点までに行われた各直接分岐について、この情報を含む。シーケンスカウントフィールドは、最後のプログラムトレースメッセージから、アドレス変換論理 2 0 5 のエントリが変更される時点までに実行される命令の数を表す値を含む。ソースプロセッサフィールドは、トレースメッセージ 9 0 に関連付けられているプロセッサを識別する値を含む。このフィールド情報は、マルチプロセッサシステムにおいて有用である。転送コード（T C O D E）フィールドは、トレースメッセージ 9 0 を特定の所定のフィールドフォーマットを有するアドレス変換トレースメッセージとして識別する値を含む。図 1 4 の例では、アドレス変換トレースメッセージを表す値は「1 0 0 0 0 1」である。イベントコード（E C O D E）フィールドは、所定のフィールドフォーマットをさらに識別する値を含む。すなわち、該フィールドは、様々なタイプのアドレス変換トレースメッセージの間でさらに識別を行うために用いられる。図 1 4 の例では、E C O D E フィールドの値は、示した形態の履歴区切を有するアドレス変換トレースメッセージを表す。なお、必要に応じて、各フィールドに任意の数のビットが用いられてよく、メッセージが示したより多い情報を含んでも、少ない情報を含んでもよい。従って、トレースメッセージ 9 0 など履歴区切を有するトレースメッセージの生成により、別個のプログラム関連付けメッセージ（プログラム関連付けメッセージ 9 2 など）を生成する必要はない。

【 0 0 3 2 】

一実施形態では、アドレス変換論理 2 0 5 においてマッピングの変化が生じる時点において履歴区切付きのプログラム関連付けメッセージ 9 2 とアドレス変換トレースメッセージとを提供するか否か、または履歴区切付きの 1 つのアドレス変換トレースメッセージ 9 0 を提供するか否かに関する決定は、メッセージの最大サイズを限定するようにフィールド圧縮が発生可能であるか否かに基づく。優勢値がアドレス変換の変更において存在する場合、一実施形態では、履歴区切を有する 1 つのアドレス変換トレースメッセージ 9 0 が生成される。優勢値が存在しない場合、T S I Z 及び / または T I D 情報を外部の開発システム 3 6 に提供することが必要であり、この決定は、履歴区切を有するプログラム関連

付けメッセージ（メッセージ 92 など）及びアドレス変換トレースメッセージ（メッセージ 86 など）の両方を送るように行われる。一実施形態では、フィールド圧縮されておらず履歴区切を有する 1 つのアドレス変換トレースメッセージはメッセージ F I F O 70 のエントリのサイズを超えるので、最適 F I F O より大きな F I F O を必要とする。メッセージ圧縮が履歴区切を有する 1 つのアドレス変換トレースメッセージを所定のメッセージビット長さに入れるのに適切であるか否かに基づいて、履歴区切メッセージを有するプログラム関連付けメッセージ 92 を選択的に生成することによって、いくつかの実施形態では、大半のメッセージはアドレス変換トレースメッセージ 86 及び 90 より少ないビットしか必要とせず、また F I F O の記憶容量の相当な部分は所与のエントリ内において使用されていないので、メッセージ F I F O 70 におけるエントリの幅の最適化を実行することが可能である。F I F O 70 におけるエントリを増加させつつ、エントリの幅を狭くする、より優れた最適化が可能である。なお、幾つかの実施形態では、所定の優勢値を含むためアドレス変換トレースメッセージから 1 つ以上のフィールドが除去できるか否かの判定は、1 つの履歴区切付きアドレス変換トレースメッセージと、履歴区切付きプログラム関連付けメッセージおよび履歴区切なしアドレス変換トレースメッセージの両方との間で選択を行うために用いられる。他の実施形態では、追加の要因（圧縮されている仮想アドレス及び圧縮されている物理アドレスフィールドのうち的一方または両方の圧縮の程度など）が、最適なメッセージ決定戦略を判定するために用いられる。

10

【 0 0 3 3 】

一実施形態において、追加のトリガイイベント（アドレス変換論理 205 のエントリの変更によって生じる仮想メモリマッピングの変化に加えて）によって、プログラム関連付けメッセージ（PCM）の必要が生じ、この PCM によってトリガイイベントの時点までの分岐履歴及びシーケンスカウンタ（すなわち、命令カウンタ）が提供される。一実施形態において、プロセッサ 42 は、通常の固定長の命令セット及び代替の可変長エンコード（VLE）命令セットなど、ユニークなバイナリ符号化による複数の命令セットを透明性に行うことが可能である。一実施形態において、実行中の命令セットは、1 つの命令ページ内において一定であるが、メモリの異なるページにおいて異なることが可能であり、従って、外部デバッガによる物理メモリに格納されるバイナリ値の解釈は、所与のページに存在する命令セットについての正確な知識に依存する。例えば、プロセッサ 42 がページ境界を超えると、VLE 命令のシーケンス内外への実行モードの切替が生じ、実行命令カウンタと 2 つのモードの動作間の履歴情報とを有効に分ける PCM が生成されるので、実行モードの切替の発生時点までの分岐履歴及びシーケンスカウンタを提供するためにプログラム関連付けメッセージが必要となる。また、別の例において、履歴モードのプログラムトレースを用いるとき（例えば、トレースメッセージ 81 のようなトレースメッセージを生成するときなど）、直接分岐によって VLE 命令の内外の実行モード切替が生じるときには、PCM も生成される。これらの PCM タイプのトリガに加えて、所定の命令マスクの達成のためにプログラムトレースメッセージがマスクされるとき、または一定の所定のプロセッサ 42 の例外または他のシステムイベントがデータ処理システム 10 内で発生するとき、別の例が生じる。これらの場合、生じ得るそれらのイベントの各々のためにプログラム関連付けメッセージを生成する（仮想マッピングにおける変化が実行モードの切替を生じるページ境界を超えるのと同時に発生する場合など）のではなく、両方のトリガイイベントを表す 1 つのプログラム関連付けメッセージが生成されることが可能である。この例では、図 15 のプログラム関連付けメッセージ 92 のフォーマットなど、マージされたメッセージ（すなわち、複数のトリガイイベントによって生成されるメッセージ）を示すために ECODE フィールドの値が用いられるフォーマットが生成されることが可能である。この場合、異なる ECODE 値は、単にプログラム関連付けメッセージがマージされたプログラム関連付けメッセージであるか否かを示すことが可能であり、マージされている場合、さらにどのタイプのトリガによってプログラム関連付けメッセージが生成したかを示すことが可能である。

20

30

40

【 0 0 3 4 】

50

以上、効率的かつリアルタイムでのデバッグアドレス指定を有するデータ処理システムが提供されたことが理解される。アドレス変換論理 205 内のエントリの変更または無効化に応答してアドレス変換トレースメッセージを生成することによって、デバッグ回路 26 は、このタイプのアドレス変換情報を明示的に要求する必要はない。一実施形態では、アドレス変換トレースメッセージを生成させるには、エントリの 1 つ以上のフィールドのうちのいずれかの変更で十分である。このようにして、アドレス変換を使用するシステム（アドレスを変換するために 1 つ以上の T L B を使用するシステムなど）において、改良されたデバッグを実行することができる。さらにまた、仮想アドレスマッピングが変化する場合、分岐履歴情報及びシーケンスカウンタ情報に関してより正確な情報を提供するように、適切なタイミングでプログラム関連付けメッセージが生成される。また、可能な場合、デバッグメッセージの 1 つ以上のフィールドを圧縮すること、デバッグメッセージをフィールド圧縮すること、または複数のメッセージ（プログラム関連付けメッセージなど）をマージすることによって、効率がさらに改良される。アドレス変換マッピングに対する変化は、T L B の中身の変更用の制御命令のプロセッサ命令実行によって生じてもよく、代替の実施形態では、T L B ミスが発生するときにテーブルウォークを実行して新たな変換を取得することなどによって、変換テーブル検索を介して T L B を自動的に維持するメモリ管理ユニットハードウェアによって生じてもよい。

10

【0035】

以下は本発明の様々な実施形態である。

項目 1 は、デバッグメッセージを生成するデータ処理システムにおいて、複数のデータ処理命令を実行するためのデータプロセッサと、データプロセッサに接続されており、情報を格納し、データプロセッサに該情報を与えるためのメモリと、データプロセッサに接続されており、アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ回路と、デバッグ回路及びデータプロセッサに接続されているメモリ管理ユニットであって、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのアドレス変換を備えるメモリ管理ユニットと、を備える。デバッグ回路は、メモリ管理ユニットに接続されており 1 つ以上のアドレス変換マッピングが変更されるときに通知を受信するためのメッセージ生成回路を備える。メッセージ生成回路は、アドレス変換マッピングの変換の検出に응答してアドレス変換トレースメッセージを生成するとともに、アドレス変換トレースメッセージをデバッグ回路の外部に提供する。項目 2 は、アドレス変換マッピングが更新される毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、項目 1 に記載のデータ処理システムである。項目 3 は、メッセージ生成回路は、アドレス変換トレースメッセージの 1 つ以上のフィールドを選択的に除去するための圧縮論理をさらに備える、項目 2 に記載のデータ処理システムである。項目 4 は、圧縮論理によって除去されるアドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々は、そのフィールドについての所定の優勢値を含む、項目 3 に記載のデータ処理システムである。項目 5 は、前記所定の優勢値はデータ処理システムのユーザによってアクセス可能な記憶域に格納されており、データ処理システムのユーザによって制御される、項目 4 に記載のデータ処理システムである。項目 6 は、除去される前記 1 つ以上のフィールドは、アドレス変換サイズフィールドであるか、プロセス識別子およびアドレス空間の一方を識別するためのアドレス変換識別フィールドである、項目 3 に記載のデータ処理システムである。項目 7 は、前記 1 つ以上のアドレス変換マッピングは、T L B（トランスレーション・ルックアサイド・バッファ）に格納される、項目 1 に記載のデータ処理システムである。項目 8 は、T L B が T L B エントリの書込を行うかエントリを無効とする毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、項目 7 に記載のデータ処理システムである。項目 9 は、デバッグ回路に接続されているデバッグ端子と、デバッグ端子に接続されており、デバッグ回路からアドレス変換トレースメッセージを受信するためのデバッグと、をさらに備える、項目 1 に記載のデータ処理システムである。

20

30

40

【0036】

50

項目 10 は、デバッグメッセージを生成するための方法において、データプロセッサを用いて複数のデータ処理命令を実行する工程と、アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ回路をデータプロセッサに接続する工程と、デバッグ回路及びデータプロセッサにメモリ管理ユニットを接続する工程であって、メモリ管理ユニットは、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するための T L B (トランスレーション・ルックアサイド・バッファ) を備える前記工程と、T L B エントリが変更されるときを検出する工程と、T L B エントリの変更の検出に応答して、アドレス変換トレースメッセージを生成する工程と、デバッグ端子にアドレス変換トレースメッセージを提供する工程と、を備える方法である。項目 11 は、T L B が T L B エントリの書込みを行うかエントリを無効とする毎に、メモリ管理ユニットからメッセージ生成回路にインジケータ信号を送信する工程をさらに備える、項目 10 に記載の方法である。項目 12 は、アドレス変換トレースメッセージの 1 つ以上のフィールドを除去することによってアドレス変換トレースメッセージの長さを圧縮する工程をさらに含む、項目 11 に記載の方法である。項目 13 は、除去される前記 1 つ以上のフィールドをアドレス変換サイズフィールドか、プロセス識別子またはアドレス空間を識別するためのアドレス変換識別フィールドに関連付ける工程をさらに含む、項目 12 に記載の方法である。項目 14 は、アドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々に所定の優勢値を関連付ける工程と、前記 1 つ以上のフィールドについて所定の優勢値が存在する場合にのみ、同 1 つ以上のフィールドを除去する工程と、をさらに含む、項目 12 に記載の方法である。項目 15 は、データ処理システムのユーザによって前記所定の優勢値を制御する工程と、ユーザによるアクセスの可能な複数のレジスタのうちの 1 つ以上に前記所定の優勢値を格納するステップと、をさらに含む、項目 14 に記載の方法である。

10

20

30

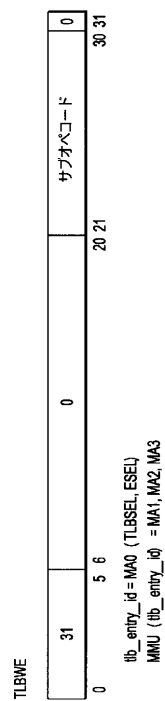
40

【0037】

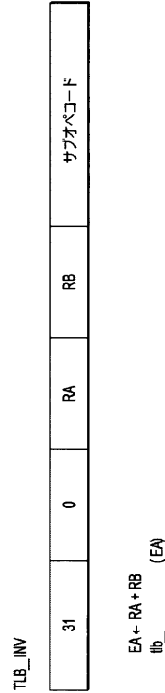
項目 16 は、データ処理システムにおいて、データ処理システムを制御するためのグローバル制御回路と、グローバル制御回路に接続されているデータプロセッサであって、命令デコーダに接続されている命令フェッチユニットを備え、命令デコーダは 1 つ以上の実行ユニットに接続されており複数のデータ処理命令を実行するための命令デコーダである、データプロセッサと、グローバル制御回路及びデータプロセッサに接続されているメモリ管理ユニットであって、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのアドレス変換論理を備えるメモリ管理ユニットと、メモリ管理ユニットをグローバル相互接続部とのインタフェースを行うためのバスインタフェースユニットと、グローバル相互接続部に接続されており、情報を格納し、データプロセッサとの間で情報の提供を行うためのメモリと、グローバル制御回路及びメモリ管理ユニットに接続されているデバッグ回路であって、アドレス変換トレースメッセージを含むデバッグメッセージを生成するデバッグ回路と、を備える。デバッグ回路は、メモリ管理ユニットに接続されており 1 つ以上のアドレス変換マッピングが変更されるときに通知を受信するためのメッセージ生成回路を備える。メッセージ生成回路は、アドレス変換マッピングの変換の検出に응答してアドレス変換トレースメッセージを生成するとともに、アドレス変換トレースメッセージをデバッグ回路の外部に提供する。項目 17 は、メッセージ生成回路は、アドレス変換トレースメッセージの 1 つ以上のフィールドを選択的に除去するための圧縮論理をさらに備える、項目 16 に記載のデータ処理システムである。項目 18 は、圧縮論理によって除去されるアドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々は、そのフィールドについての所定の優勢値を含む、項目 17 に記載のデータ処理システムである。項目 19 は、前記所定の優勢値はデータ処理システムのユーザによってアクセス可能な記憶域に格納されており、データ処理システムのユーザによって制御される、項目 18 に記載のデータ処理システムである。項目 20 は、1 つ以上のアドレス変換マッピングは T L B (トランスレーション・ルックアサイド・バッファ) に格納され、T L B が T L B エントリの書込みを行うかエントリを無効とする毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、項目 16 に記載のデータ処理システムである。

50

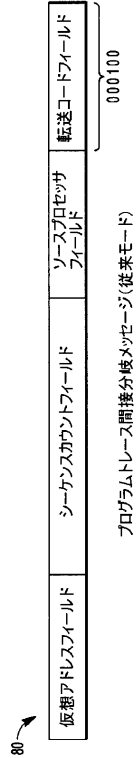
【 図 5 】



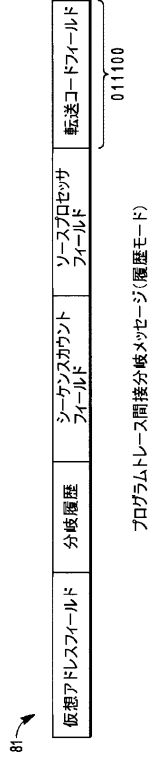
【 図 6 】



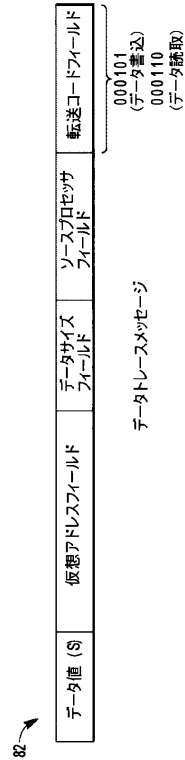
【 図 7 】



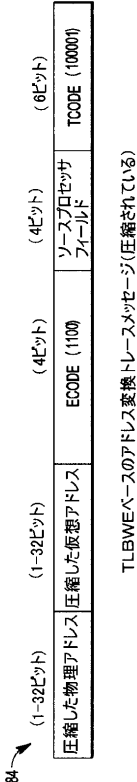
【 図 8 】



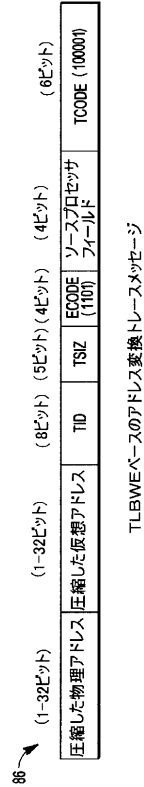
【 図 9 】



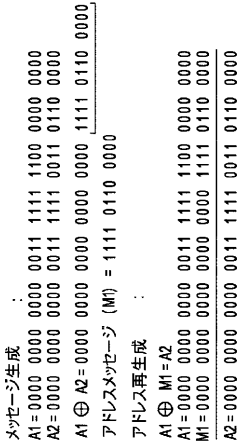
【 図 10 】



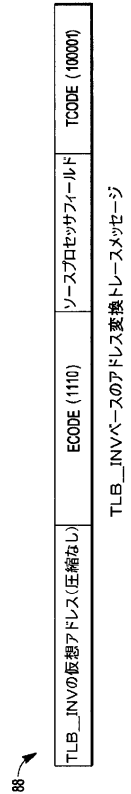
【 図 11 】



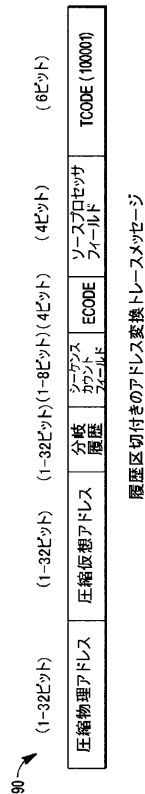
【 図 12 】



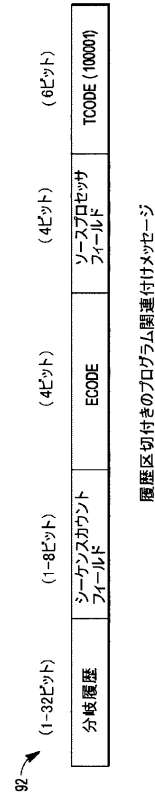
【 図 1 3 】





【 図 1 4 】



【 図 1 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2010/021780
A. CLASSIFICATION OF SUBJECT MATTER		
<i>G06F 12/06(2006.01)i, G06F 12/08(2006.01)i, G06F 9/06(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 12/06; G01R 31/28; G06F 12/00; G06F 9/45		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: memory, trace, message		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006-0271919 A1 (MOYER, W.) 30 November 2006 See abstract; paragraphs [0033-0088] and figures 1-10.	1-20
A	US 7296137 B2 (MOYER, W.) 13 November 2007 See abstract; column 7, line 54 - column 8, line 9 and figures 1-10.	1-20
A	US 6779145 B1 (EDWARDS, D. A. et al.) 17 August 2004 See abstract; figures 1-6, 9, 10, 14 and their descriptions.	1-20
A	RUIZ, J. et al. 'On-chip Debugging-based Fault Emulation for Robustness Evaluation of Embedded Software Components.' In: Proceedings of the 11th Pacific Rim International Symposium on Dependable Computing. IEEE, 2005, Pages 57-64. See abstract and sections 3, 4.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 AUGUST 2010 (12.08.2010)		Date of mailing of the international search report 13 AUGUST 2010 (13.08.2010)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer LEE, Sang Hun Telephone No. 82-42-481-5914 

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2010/021780

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006-0271919 A1	30.11.2006	CN 101495964 A	29.07.2009
		US 7299335 B2	20.11.2007
		WO 2006-130208 A2	07.12.2006
		WO 2006-130208 A3	16.04.2009
US 7296137 B2	13.11.2007	US 2006-0271759 A1	30.11.2006
		WO 2006-130207 A2	07.12.2006
		WO 2006-130207 A3	13.12.2007
US 6779145 B1	17.08.2004	DE 60028319 D1	06.07.2006
		EP 1089187 A2	04.04.2001
		EP 1089187 A3	29.09.2004
		EP 1089187 B1	31.05.2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 コリンズ、リチャード ジー .

アメリカ合衆国 7 8 7 3 2 テキサス州 オースティン カントリー レイク ドライブ 1 3
4 0 5

F ターム(参考) 5B018 GA03 HA22 HA24 MA33 QA01
5B042 GA25 GA33 HH30 MA19 MB04