

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3680763号
(P3680763)

(45) 発行日 平成17年8月10日(2005.8.10)

(24) 登録日 平成17年5月27日(2005.5.27)

(51) Int.Cl.⁷

H04L 13/08

G06F 13/38

F I

H04L 13/08

G06F 13/38 310H

G06F 13/38 350

請求項の数 11 (全 33 頁)

(21) 出願番号 特願2001-143430 (P2001-143430)
 (22) 出願日 平成13年5月14日(2001.5.14)
 (65) 公開番号 特開2002-344538 (P2002-344538A)
 (43) 公開日 平成14年11月29日(2002.11.29)
 審査請求日 平成14年10月3日(2002.10.3)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 石田 卓也
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 神原 義幸
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 データ転送制御装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介して第1の情報が転送される第1のフェーズでは、エンドポイントからホストに向けて転送される情報を、第1の情報用の前記第1の記憶領域から読み出し、バスを介して第2の情報が転送される第2のフェーズでは、エンドポイントからホストに向けて転送される情報を、第2の情報用の前記第2の記憶領域から読み出すバッファ管理回路とを
 10 含む、

第1の情報用に用意された前記第1の記憶領域が、先に入力された情報が先に出力される領域に設定され、

第2の情報用に用意された前記第2の記憶領域が、ランダムアクセス可能な領域に設定されることを特徴とするデータ転送制御装置。

【請求項2】

請求項1において、

前記第1の情報が、データの packets であり、

前記第2の情報が、ステータスブロックの packets であることを特徴とするデータ転送制御装置。

【請求項 3】

バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介して第1の情報が転送される第1のフェーズでは、エンドポイントからホストに向けて転送される情報を、第1の情報用の前記第1の記憶領域から読み出し、バスを介して第2の情報が転送される第2のフェーズでは、エンドポイントからホストに向けて転送される情報を、第2の情報用の前記第2の記憶領域から読み出すバッファ管理回路とを含み、

10

前記第1の情報が、データの packets であり、

前記第2の情報が、ステータスブロックの packets であり、

データの packets が前記第1の記憶領域から読み出されている間に、前記第2の記憶領域のステータスブロックの packets が用意されることを特徴とするデータ転送制御装置。

【請求項 4】

バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介して第1の情報が転送される第1のフェーズでは、エンドポイントからホストに向けて転送される情報を、第1の情報用の前記第1の記憶領域から読み出し、バスを介して第2の情報が転送される第2のフェーズでは、エンドポイントからホストに向けて転送される情報を、第2の情報用の前記第2の記憶領域から読み出すバッファ管理回路とを含み、

20

前記第1の情報が、データの packets であり、

前記第2の情報が、ステータスブロックの packets であり、

前記第2の記憶領域が、成功ステータス用の第1のステータスブロックの packets が書き込まれる第3の記憶領域と、不成功ステータス用の第2のステータスブロックの packets が書き込まれる第4の記憶領域を含み、

成功ステータスの場合には、成功ステータス用の前記第1のステータスブロックの packets が前記第3の記憶領域から読み出され、不成功ステータスの場合には、不成功ステータス用の前記第2のステータスブロックの packets が前記第4の記憶領域から読み出されることを特徴とするデータ転送制御装置。

30

【請求項 5】

請求項 4 において、

前記第3の記憶領域には、成功ステータス用のデフォルト情報が設定されたステータスブロックの packets が予め書き込まれることを特徴とするデータ転送制御装置。

【請求項 6】

請求項 5 において、

デフォルト情報が設定されたステータスブロックの packets の情報のうち、ステータスブロックの packets とコマンドブロックの packets とを関連づけるためのタグ情報が更新され、更新後のステータスブロックの packets が、前記第1のステータスブロックの packets として前記第3の記憶領域から読み出されることを特徴とするデータ転送制御装置。

40

【請求項 7】

バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介して第1の情報が転送される第1のフェーズでは、エンドポイントからホストに向けて転送される情報を、第1の情報用の前記第1の記憶領域から読み出し、バスを介

50

して第2の情報が転送される第2のフェーズでは、エンドポイントからホストに向けて転送される情報を、第2の情報用の前記第2の記憶領域から読み出すバッファ管理回路とを含み、

第2のバスを介して前記第1の情報を転送して前記第1の記憶領域に書き込む転送処理が終了し、且つ、前記第1の記憶領域が空になったことを条件に、前記第1のフェーズから前記第2のフェーズに切り替わったと判断され、

前記第1のフェーズから前記第2のフェーズに切り替わったと判断された場合に、エンドポイントからホストに向けて転送される情報の読み出し領域が、前記第1の記憶領域から前記第2の記憶領域に切り替えられることを特徴とするデータ転送制御装置。

【請求項8】

10

請求項7において、

前記第1の情報が、データの packets であり、

前記第2の情報が、ステータスブロックの packets であることを特徴とするデータ転送制御装置。

【請求項9】

請求項3乃至8のいずれかにおいて、

第1の情報用に用意された前記第1の記憶領域が、先に入力された情報が先に出力される領域に設定され、

第2の情報用に用意された前記第2の記憶領域が、ランダムアクセス可能な領域に設定されることを特徴とするデータ転送制御装置。

20

【請求項10】

請求項1乃至9のいずれかにおいて、

USB (Universal Serial Bus) の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項11】

請求項1乃至10のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、

を含むことを特徴とする電子機器。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、パーソナルコンピュータと周辺機器（広義には電子機器）とを接続するためのインターフェース規格として、USB (Universal Serial Bus) が注目を集めている。このUSBには、従来は別々の規格のコネクタで接続されていたマウスやキーボードやプリンタなどの周辺機器を、同じ規格のコネクタで接続できると共にいわゆるプラグ&プレイやホットプラグも実現できるという利点がある。

40

【0003】

一方、このUSBには、同じくシリアルバスインターフェース規格として脚光を浴びているIEEE 1394に比べて、転送速度が遅いという問題点がある。

【0004】

そこで、従来のUSB 1.1の規格に対する互換性を持ちながら、USB 1.1に比べて格段に高速な480Mbps (HSモード) のデータ転送速度を実現できるUSB 2.0規格が策定され、注目を浴びている。

【0005】

さて、このUSB 2.0では、HS (High Speed) モード時には480Mbpsでデータ転送が行われる。従って、高速な転送速度が要求されるハードディスクドライブや光ディ

50

スクドライブなどのストレージ機器のインターフェースとして用いることができるという利点がある。

【0006】

しかしながら、その一方で、USBバスに接続されるデータ転送制御装置は、480Mbpsという高速で転送されてくるデータを処理しなければならない。従って、データ転送制御装置の処理速度や、データ転送制御装置を制御するファームウェア（CPU）の処理速度が遅いと、実効的な転送速度を確保できず、バス帯域をロスしてしまうという課題がある。

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、実効的なバスの転送速度を向上できるデータ転送制御装置及び電子機器を提供することにある。

10

【0008】

【課題を解決するための手段】

上記課題を解決するために本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、バスを介して第1の情報が転送される第1のフェーズでは、エンドポイントからホストに向けて転送される情報を、第1の情報用の前記第1の記憶領域から読み出し、バスを介して第2の情報が転送される第2のフェーズでは、エンドポイントからホストに向けて転送される情報を、第2の情報用の前記第2の記憶領域から読み出すバッファ管理回路とを含むことを特徴とする。

20

【0009】

本発明によれば、所与のエンドポイントに割り当てられる第1の情報用の第1の記憶領域と、同じエンドポイントに割り当てられる第2の情報用の第2の記憶領域とが、バッファに用意される。そして、第1のフェーズ（第1のトランスポート）では、エンドポイントからホストに向けて転送される情報が第1の記憶領域から読み出され、第2のフェーズ（第2のトランスポート）では、エンドポイントからホストに向けて転送される情報が第2の記憶領域から読み出される。

30

【0010】

このようにすれば、1つのエンドポイントに複数種類の情報が割り当てられている場合にも、第1の記憶領域から第1の情報を読み出す処理を行っている間に、第2の記憶領域の第2の情報についての処理を行うことが可能になる。従って、第1のフェーズから第2のフェーズに移行した場合に、第2のフェーズでの第2の情報についての処理を早期に完了させることが可能になり、実効的なバスの転送速度を向上できる。

【0011】

また本発明は、第1の情報用に用意された前記第1の記憶領域が、先に入力された情報が先に出力される領域に設定され、第2の情報用に用意された前記第2の記憶領域が、ランダムアクセス可能な領域に設定されることを特徴とする。

40

【0012】

このようにすれば、第2の記憶領域に書き込まれた第2の情報についての処理を効率化でき、実効的なバスの転送速度を向上できる。

【0013】

また本発明は、前記第1の情報が、データの packets であり、前記第2の情報が、ステータス blocks の packets であることを特徴とする。

【0014】

但し、本発明においては、第1、第2の記憶領域に記憶される第1、第2の情報の種類は任意に設定できる。

【0015】

50

また本発明は、データの packets が前記第 1 の記憶領域から読み出されている間に、前記第 2 の記憶領域のステータスブロックの packets が用意されることを特徴とする。

【0016】

このようにすれば、第 1 のフェーズから第 2 のフェーズに移行した場合に、第 2 の記憶領域から第 2 の情報を読み出す処理等を早期に開始できるようになり、実効的なバスの転送速度を向上できる。

【0017】

また本発明は、前記第 2 の記憶領域が、成功ステータス用の第 1 のステータスブロックの packets が書き込まれる第 3 の記憶領域と、不成功ステータス用の第 2 のステータスブロックの packets が書き込まれる第 4 の記憶領域を含み、成功ステータスの場合には、成功ステータス用の前記第 1 のステータスブロックの packets が前記第 3 の記憶領域から読み出され、不成功ステータスの場合には、不成功ステータス用の前記第 2 のステータスブロックの packets が前記第 4 の記憶領域から読み出されることを特徴とする。

10

【0018】

このようにすれば、不成功ステータスが生じない限り、情報の読み出し領域を第 3 の記憶領域に固定できるようになるため、領域の切り替え処理などの負荷を軽減できる。

【0019】

また本発明は、前記第 3 の記憶領域には、成功ステータス用のデフォルト情報が設定されたステータスブロックの packets が予め書き込まれることを特徴とする。

【0020】

20

このようにすれば、デフォルト情報の部分についての情報の更新処理を省略できるようになるため、第 2 の情報についての処理の負荷を軽減できる。

【0021】

また本発明は、デフォルト情報が設定されたステータスブロックの packets の情報のうち、ステータスブロックの packets とコマンドブロックの packets とを関連づけるためのタグ情報が更新され、更新後のステータスブロックの packets が、前記第 1 のステータスブロックの packets として前記第 3 の記憶領域から読み出されることを特徴とする。

【0022】

このようにすれば、タグ情報等の更新（書き換え、上書き）だけを行えば済むようになるため、第 2 の情報についての処理の負荷を更に軽減できる。

30

【0023】

また本発明は、前記第 1 のフェーズから前記第 2 のフェーズに切り替わったと判断された場合に、エンドポイントからホストに向けて転送される情報の読み出し領域が、前記第 1 の記憶領域から前記第 2 の記憶領域に切り替えられることを特徴とする。

【0024】

このようにすれば、フェーズ切り替えを判断するだけで、情報の読み出し領域を切り替えることが可能になり、データ転送制御装置の処理負荷を軽減できる。

【0025】

また本発明は、第 2 のバスを介して前記第 1 の情報を転送して前記第 1 の記憶領域に書き込む転送処理が終了し、且つ、前記第 1 の記憶領域が空になったことを条件に、前記第 1 のフェーズから前記第 2 のフェーズに切り替わったと判断されることを特徴とする。

40

【0026】

このようにすれば、簡素な回路制御と回路構成で、フェーズ切り替えを判断できるようになり、データ転送制御装置のコンパクト化、低コスト化を図れる。

【0027】

また本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、1つのエンドポイントを介して転送される情報としてデータの packets とステータスブロックの packets とが割り当てられている場合に、データ用のデータ記憶領域とステータスブロック用のステータス記憶領域とが 1つのエンドポイントに対応して用意されるバッファと、バスを介してデータの packets が転送されるデータフェーズから、バスを介してステータス

50

ブロックのパケットが転送されるステータスフェーズに切り替わった場合に、情報の読み出し領域をデータ用の前記データ記憶領域からステータスブロック用のステータス記憶領域に切り替え、エンドポイントからホストに向けて転送されるステータスブロックのパケットを前記ステータス記憶領域から読み出すバッファ管理回路とを含むことを特徴とする。

【0028】

本発明によれば、所与のエンドポイントに割り当てられるデータパケット用のデータ記憶領域と、同じエンドポイントに割り当てられるステータスブロックパケット用のステータス記憶領域とが、バッファに用意される。そして、データフェーズ（データトランスポート）からステータスフェーズ（ステータストランスポート）に切り替わった場合に、ホストに向けて転送される情報の読み出し領域が、データ記憶領域からステータス記憶領域に切り替わる。

10

【0029】

このようにすることで、1つのエンドポイントにデータパケットとステータスブロックパケットとが割り当てられている場合にも、データ記憶領域からデータパケットを読み出す処理を行いながら、ステータスブロックパケットについての処理を行うことが可能になる。従って、データ転送制御装置の処理速度の向上や、ステータスブロックパケットを処理する手段の負荷を軽減することが可能になり、実効的なバスの転送速度を向上できる。

【0030】

また本発明は、U S B（Universal Serial Bus）の規格に準拠したデータ転送を行うことを特徴とする。

20

【0031】

但し、本発明はU S B以外の規格（U S Bの思想を受け継ぐ規格）に準拠したデータ転送に適用することも可能である。

【0032】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置とを含むことを特徴とする。

【0033】

本発明によれば、データ転送制御装置のデータ転送を制御する処理手段（ファームウェア等）の処理負荷を軽減できるため、電子機器の低コスト化、小規模化などを図れる。また、本発明によれば、高速な転送モードでデータ転送を行うことも可能になるため、電子機器の処理の高速化を図れる。

30

【0034】

【発明の実施の形態】

以下、本実施形態について図面を用いて詳細に説明する。

【0035】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を何ら限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

40

【0036】

1. U S B

1. 1 データ転送手法

まず、U S B（U S B 2. 0）のデータ転送手法について簡単に説明する。

【0037】

U S Bでは、I E E E 1 3 9 4等とは異なり、データ転送の主導権をホストが有している。即ち、データ転送のトランザクションを起動するのはホスト側であり、データ転送に関する大部分の制御はホストが行う。このため、ホストの処理負荷は重くなるが、ホストとなるP C（パーソナルコンピュータ）等は高速で高性能なC P U（プロセッサ）を有しているため、このように負荷の重い処理もそれほど問題にはならない。

50

【0038】

一方、USBにおいては、デバイス（ターゲット）はホストからの要求に対して単に応えるだけでよい。そのため、デバイス側の処理、構成については簡素化できる。従って、デバイス側ではホストのような高性能で高速なCPUを使用する必要が無く、低価格なCPU（マイコン）を使用できるようになり、低コスト化を図れる。

【0039】

さて、USBではこのようなホスト主導のデータ転送を実現するために、図1（A）に示すようなエンドポイント（EP0～15）がデバイス側に用意される。ここで、エンドポイントは、ホストとデバイスとの間でデータ転送を行うためのバッファ（FIFO）の入り口に相当するものであり、USBでのデータ転送は、全て、このエンドポイントを経由して行われる。

10

【0040】

そして、このエンドポイントは、デバイスアドレスとエンドポイント番号により一義的にアドレス指定できるようになっている。即ちホストは、デバイスアドレスとエンドポイント番号を指定することで、所望のエンドポイントへのデータ送信や、所望のエンドポイントからのデータ受信を自由に行うことができる。

【0041】

また、エンドポイントの設定はデバイス側の任意であり、エンドポイント番号の割り当てや、各エンドポイントに割り当てられる記憶領域のデータサイズ等は、エニミュレーション（enumeration）処理時にホストは知ることができる。

20

【0042】

なお、USBにおいては、データ転送のタイプとして、コントロール転送、アイソクロナス転送、インタラプト転送、バルク転送が用意されている。

【0043】

ここで、コントロール転送は、ホストとデバイス（ターゲット）との間でコントロールエンドポイントを介して行われる制御用の転送モードである。このコントロール転送により、デバイスの初期化のためのコンフィグレーション情報等が転送される。

【0044】

アイソクロナス転送は、画像データや音声データのように、データの正当性よりもバンド幅の確保が優先されるデータの転送のために用意された転送モードである。このアイソクロナス転送では、一定周期に一定量のデータを転送できることが保証されるため、データのリアルタイム性が重要なアプリケーションに有効な転送モードとなる。

30

【0045】

インタラプト転送は、比較的低い転送速度で少量のデータを転送するために用意された転送モードである。

【0046】

バルク転送は、不定期に発生する大量のデータを転送するために用意された転送モードである。このバルク転送では、アイソクロナス転送やインタラプト転送により使用された時間以外の空いた時間においてデータ転送が行われると共に、データの正当性がチェックされる。従って、リアルタイム性はあまり重要ではないが、データの信頼性は確保したいデータの転送に有効な転送モードである。

40

【0047】

1. 2 トランザクション構成

さて、図1（B）に示すように、USBのバルク転送におけるトランザクションは基本的に、トークンパケット、データパケット、ハンドシェイクパケットという3つのパケットにより構成される。なお、アイソクロナス転送の場合は、ハンドシェイクパケットは不要になる。

【0048】

ここでトークンパケットは、ホストがデバイス（ターゲット）のエンドポイントのリードやライトを要求する場合等に使用されるパケットである。このトークンパケットは、例え

50

ば、P I D (O U T、I N、S O F、S E T U Pなどのパケット I D)、A D D R (デバイスアドレス)、E N D P (エンドポイント番号)、C R C (Cyclic Redundancy Check) のフィールドを有する。

【0049】

また、データパケットは、データの実体を送るためのパケットであり、P I D (D A T A 0、D A T A 1)、D A T A (データの実体)、C R C のフィールドを有する。

【0050】

また、ハンドシェークパケットは、データ受信に成功したか否かを受信側が送信側に伝えるためのパケットであり、P I D (A C K、N A K、S T A L L) のフィールドを有する。

10

【0051】

O U T トランザクション (ホストがデバイスに情報を出力するトランザクション) では、図 1 (C) に示すように、まず、ホストがデバイスに対して O U T トークンパケットを転送する。次に、ホストはデバイスに対して O U T のデータパケットを転送する。そして、デバイスは、O U T のデータパケットの受信に成功すると、ホストに対して A C K のハンドシェークパケットを転送する。

【0052】

一方、I N トランザクション (ホストがデバイスから情報を入力するトランザクション) では、図 1 (D) に示すように、まず、ホストがデバイスに対して I N トークンパケットを転送する。そして、I N トークンパケットを受信したデバイスは、ホストに対して I N のデータパケットを転送する。そして、ホストは、I N のデータパケットの受信に成功すると、デバイスに対して A C K のハンドシェークパケットを転送する。

20

【0053】

なお、図 1 (C)、(D) において、“D←H” は、ホストからデバイスに対して情報が転送されることを意味し、“D→H” は、デバイスからホストに対して情報が転送されることを意味する (以下の説明及び図でも同様)。

【0054】

1. 3 Bulk-Only

さて、U S B のデバイスは種々のクラスに分類される。そして、ハードディスクドライブや光ディスクドライブなどのデバイスは、マスストレージと呼ばれるクラスに属し、このマスストレージクラスには、電子機器のベンダ等により作成された C B I (Control/Bulk/Interrupt) や B u l k - O n l y などの仕様がある。

30

【0055】

そして、C B I 仕様では図 2 (A) に示すように、デバイスは、コントロール、バルクアウト、バルクイン、インタラプトのエンドポイント E P 0、1、2、3 を用意する。ここで、エンドポイント E P 0 では、U S B 層のコントロールのパケットや、コマンドのパケットが転送される。また、E P 1 では O U T データ (ホストからデバイスに転送されるデータ)、E P 2 では I N データ (デバイスからホストに転送されるデータ)、E P 3 ではインタラプト I N のパケットが転送される。なお、E P 1 ~ 1 5 のいずれを、バルクアウト、バルクイン、インタラプト I N のエンドポイントに割り当てるかは、デバイス側の任意である。

40

【0056】

一方、B u l k - O n l y 仕様では図 2 (B) に示すように、デバイスは、コントロール、バルクアウト、バルクインのエンドポイント E P 0、1、2 を用意する。ここで、エンドポイント E P 0 では、U S B 層のコントロールのパケットが転送される。また、E P 1 ではコマンド (C B W) 及び O U T データ、E P 2 ではステータス (C S W) 及び I N データのパケットが転送される。なお、E P 1 ~ 1 5 のいずれを、バルクアウト、バルクインのエンドポイントに設定するかは、デバイス側の任意である。

【0057】

ここで、C B W (Command Block Wrapper) は、コマンドブロック及びこれに関連する情

50

報を含むパケットであり、図 3 にそのフォーマットが示される。また、C S W (Command Status Wrapper) は、コマンドブロックのステータスを含むパケットであり、図 4 にそのフォーマットが示される。

【0058】

図 3 において、dCBWSignatureは、当該パケットをC B Wとして識別するための情報であり、dCBWTagは、コマンドブロックのタグであり、dCBWDataTransferLengthはデータフェーズにおいて転送されるデータの長さを指定する。また、bmCBWFlagsは転送方向等を指定するためのフラグであり、dCBWLUNはロジカルユニット番号であり、bCBWCBLengthはコマンド長であり、CBWCBは、A T A / A T A P I や S C S I などのコマンドがカプセル化されて記述されるコマンドブロックである。

10

【0059】

また図 4 において、dCSWSignatureは、当該パケットをC S Wとして識別するための情報である。また、dCSWTagは、ステータスブロックのタグであり、当該C S Wに対応するC B WのdCBWTagの値が書き込まれる。また、CSWDataResidueは、C B WのdCBWDataTransferLengthにより指定されたデータの長さとしてデバイスが実際に処理したデータの長さの差であり、bCSWStatusはステータスブロックである。

【0060】

次に、図 2 (B) のB u l k - O n l y仕様におけるデータの書き込み処理、読み出し処理について、図 5 (A)、(B)を用いて説明する。

【0061】

ホストがデバイスにデータを書き込む場合には、図 5 (A) に示すように、まず、ホストがC B Wをデバイスに転送するコマンドフェーズ(コマンドトランスポート)が行われる。具体的には、ホストが、エンドポイントE P 1を指定するトークンパケットをデバイスに転送し、次に、C B W(図 2 (B) のA 1、図 3 参照)をデバイスのエンドポイントE P 1に転送する。このC B Wにはライトコマンドが含まれる。そして、デバイスからホストにA C Kのハンドシェーク(H.S)が返却されると、コマンドフェーズが終了する。

20

【0062】

コマンドフェーズ(コマンドトランスポート)が終了するとデータフェーズ(データトランスポート)に移行する。このデータフェーズでは、まず、ホストが、エンドポイントE P 1を指定するトークンパケットをデバイスに転送し、次に、O U Tデータ(図 2 (B) のA 2 参照)をデバイスのエンドポイントE P 1に転送する。そして、デバイスからホストにA C Kのハンドシェークが返却されると、1つのランザクションが終了する。そして、このようなランザクションが繰り返され、C B WのdCBWDataTransferLength(図 3 参照)で指定されるデータ長の分だけデータが転送されると、データフェーズが終了する。

30

【0063】

データフェーズ(データトランスポート)が終了するとステータスフェーズ(ステータストランスポート)に移行する。このステータスフェーズでは、まず、ホストが、エンドポイントE P 2を指定するトークンパケットをデバイスに転送する。すると、デバイスが、エンドポイントE P 2にあるC S W(図 2 (B) のA 3、図 4 参照)をホストに転送する。そして、ホストからデバイスにA C Kのハンドシェークが返却されると、ステータスフェーズが終了する。

40

【0064】

ホストがデータを読み出す場合は、図 5 (B) に示すように、まず、ホストが、エンドポイントE P 1を指定するトークンパケットをデバイスに転送し、次に、C B WをデバイスのエンドポイントE P 1に転送する。このC B Wはリードコマンドを含む。そして、デバイスからホストにA C Kのハンドシェークが返却されると、コマンドフェーズが終了する。

【0065】

コマンドフェーズが終了するとデータフェーズに移行する。このデータフェーズでは、ま

50

ず、ホストが、エンドポイントE P 2を指定するトークン packets をデバイスに転送する。すると、デバイスが、エンドポイントE P 2にあるI Nデータ（図2（B）のA 4参照）をホストに転送し、ホストからデバイスにA C Kのハンドシェイクが返却されると、1つのトランザクションが終了する。そして、このようなトランザクションが繰り返され、C B WのdCBWDataTransferLengthで指定されるデータ長の分だけデータが転送されると、データフェーズが終了する。

【0066】

データフェーズが終了するとステータスフェーズに移行する。このステータスフェーズの処理は図5（A）のデータの書き込み処理の場合と同様である。

【0067】

10

2. 本実施形態の特徴

2. 1 領域切り替え

さて、図2（A）に示すC B I仕様では、ホストが一定期間毎にトークンをデバイスに転送する仕様になっている。このため、ホストの処理負荷や、このトークンを受けるデバイスの処理負荷が重くなってしまうという欠点がある。

【0068】

このため、現在では、図2（B）のB u l k－O n l y仕様が主流になってきている。

【0069】

ところが、このB u l k－O n l y仕様では、1つのエンドポイントを介して転送される情報として、複数種類の情報が割り当てられている。具体的には、図2（B）では、バルクアウトエンドポイントE P 1を介して転送される情報として、コマンド（C B W）及びO U Tデータが割り当てられ、バルクインエンドポイントE P 2を介して転送される情報として、ステータス（C S W）及びI Nデータが割り当てられている。従って、ホスト及びデバイスは、各エンドポイントを介して転送される情報がどの情報なのかを判別する必要があり、B u l k－O n l y仕様では、現在のフェーズがどのフェーズなのかをホスト及びデバイスが判断して、この情報の判別を行っている。

20

【0070】

例えば、図5（A）、（B）のB 1、B 2では、現在のフェーズがコマンドフェーズであるため、エンドポイントE P 1を介して転送される情報はC B W（コマンド）であると判断される。また、B 3、B 4では、現在のフェーズがデータフェーズであるため、エンドポイントE P 1を介して転送される情報はO U Tデータであると判断され、エンドポイントE P 2を介して転送される情報はI Nデータであると判断される。また、B 5、B 6では、現在のフェーズがステータスフェーズであるため、エンドポイントE P 2を介して転送される情報はC S W（ステータス）であると判断される。

30

【0071】

そして、B u l k－O n l y仕様ではホストとデバイスとの間で常にフェーズが一致するようにデータ転送が行われるため、1つのエンドポイントに対して複数の情報（C B WとO U Tデータ、C S WとI Nデータ）が割り当てられている場合にも、適正なデータ転送が可能になる。

【0072】

40

ところが、B u l k－O n l y仕様には、次のような問題があることが判明した。

【0073】

例えば図6（A）～（D）に本実施形態の比較例の手法を示す。この比較例では、図6（A）に示すように、データフェーズにおいて、エンドポイントE P 2を入り口とするF I F O（E P 2）6 0 2に対して、ハードディスクドライブH D D等のデバイスからのデータが書き込まれる。具体的には、H D Dからの読み出しデータがE B U S（第2のバス。後述する図1 2参照）を介してF I F O 6 0 2にD M A転送される。

【0074】

そして、E B U Sを介したD M A転送が終了すると、図6（B）に示すように、F I F O 6 0 2が空になるのを待つ（エンプティ信号がアクティブになるのを待つ）。

50

【0075】

次に、FIFO602が空になり、データフェーズからステータスフェーズに移行すると、図6(C)に示すように、CPU(ファームウェア、処理手段)等が、EUSBを介したデータ転送(IDEのデータ転送)のステータスをハードディスクドライブHDD(EUSB)側から取得する。そして、取得したステータスに基づき作成したCSW(図4参照)をFIFO602に書き込む。この場合、この比較例では、CPUによるCSWの書き込み処理が終了するまでは、ホストからのINTトークンに対してINのデータパケットを返すことができず、NAKを返すことになる。

【0076】

次に、図6(D)に示すように、この書き込まれたCSWが、先入れ先出し方式でFIFO602から読み出され、USBを介してホストに転送される。 10

【0077】

このように、この比較例では、データ(INデータ)とCSWを共通のFIFO602を用いて転送しているため、CSWの書き込み処理の終了が遅れてしまい、その分だけ実効的なデータ転送速度が低下してしまうという問題がある。

【0078】

具体的には、まず第1に、この比較例では図6(B)に示すように、FIFO602が空になるまでFIFO602へのCSWの書き込み処理を開始できない。例えば、FIFO602に499バイトのデータが残っている状態で、13バイトのCSW(図4参照)がFIFO602に書き込まれたとする。すると、FIFO602に存在するデータの量が 20
 $499 + 13 = 512$ バイト=最大パケットサイズになってしまい、ステータスであるCSWが、データとしてホストに転送されてしまう事態が生じてしまう。

【0079】

このため、この比較例では、FIFO602が空になるのを待ち、データフェーズからステータスフェーズに移行した後に、FIFO602にCSWを書き込む必要がある。従って、その待ち時間の分だけ、CSWの書き込み処理の終了が遅れてしまい、実効的なデータ転送速度が低下してしまう。

【0080】

また、この比較例では図6(C)に示すように、データフェーズの間ではCSWをFIFO602に書き込むことができず、ステータスフェーズに移行した後にCSWを書き込むことになる。そして、このCSWの書き込みが終了するまでは、ホストからのINTトークンに対してNAKを返すことになり、その期間の分だけ実効的なデータ転送速度が低下してしまう。 30

【0081】

この場合に、USB1.1ではバスの転送速度が低かったため、図6(B)、(C)に示すようなデバイス側の処理の遅れは、ほとんど問題にならなかった。

【0082】

ところが、USB2.0のHSモードでは高速な480Mbpsでデータ転送が行われる。従って、デバイス側の処理が遅れてしまうと、USB2.0の高速転送が阻害されてしまい、システム全体の実効的なデータ転送速度が大幅に低下してしまう。 40

【0083】

特に、デバイス側では、低コスト化の要請から、例えば20~50MHz程度のクロック周波数で動作する安価なCPUが使用される場合が多い。従って、図6(B)、(C)の処理に非常に時間を費やしてしまい、実効的なデータ転送速度の遅れは更に深刻なものになる。

【0084】

そこで本実施形態では、このような問題を解決するために、フェーズ(トランスポート)の切り替えに応じてバッファの記憶領域を切り替える手法を採用している。

【0085】

より具体的には図7(A)に示すように本実施形態では、INデータ(第1の情報)を読 50

み出すためのE P 2 領域 1 4（第 1 の記憶領域。データ記憶領域）の他に、C S W（第 2 の情報。ステータスブロック）を読み出すためのC S W 領域 1 6（第 2 の記憶領域。ステータス記憶領域）を、パケット格納手段であるバッファ上に用意する。

【0086】

ここで、E P 2 領域 1 4 及びC S W 領域 1 6 は共にバルクインのエンドポイントE P 2 を入り口とする記憶領域である。また、E P 2 領域 1 4 は、先に入力された情報が先に出力されるように設定（F I F O 設定）されており、C S W 領域 1 6 は、情報のランダムアクセスが可能になるように設定（ランダムアクセス設定）されている。

【0087】

そして本実施形態では図 7（A）に示すように、データフェーズ（第 1 のフェーズ）においてはスイッチS W（切り替え手段）がE P 2 領域 1 4 側に切り替えられており、ホストに向けて転送されるデータ（ハードディスクH D Dからのデータ）は、E P 2 領域 1 4 から読み出される。

10

【0088】

そして、E B U S（第 2 のバス）でのデータ転送が終了すると、図 7（B）に示すように、C P U（ファームウェア、処理手段）等が、E B U S を介したデータ転送のステータスをハードディスクドライブH D D 側から取得し、取得したステータスに基づきC S W を作成し、作成したC S W（図 4 参照）をC S W 領域 1 6 に書き込む。即ち、本実施形態では、I N データのパケットがE P 2 領域 1 4（第 1 の記憶領域）から読み出されるデータフェーズ（第 1 のフェーズ）の期間において、C S W を作成（準備）したり、C S W の書き込みを開始できる。また、C S W 領域 1 6 はランダムアクセス可能に設定されているため、C P U は、C S W 領域 1 6 の任意のアドレスに情報を高速に書き込むことができる。

20

【0089】

そして、E P 2 領域 1 4 が空になり（エンプティ信号がアクティブになり）、データフェーズ（第 1 のフェーズ）からステータスフェーズ（第 2 のフェーズ）に切り替わると、図 7（C）に示すように、スイッチS W（切り替え手段）がE P 2 領域 1 4 側からC S W 領域 1 6 側に切り替わる。これにより、C S W 領域 1 6 に書き込まれたC S W（ステータスブロックのパケット）が、U S B（第 1 のバス）を介してホストに転送されることになる。

【0090】

例えば図 6（C）、（D）の比較例では、F I F O 6 0 2 が空になり、データフェーズからステータスフェーズに移行した後でないと、F I F O 6 0 2 にC S W を書き込むことができなかった。そして、このC S W の書き込みが終了するまでは、ホストのI N トークンに対してN A K を返さざるを得なかった。

30

【0091】

これに対して本実施形態では図 7（B）に示すように、データフェーズの期間に、C S W を用意し、C S W 領域 1 6 に書き込むことができる。従って、図 7（C）に示すように、データフェーズからステータスフェーズに移行した後、早い段階で、ホストからのI N トークンに対してデータパケット（C S W）を返すことが可能になり、処理の高速化を図れる。

40

【0092】

特にU S B 2 . 0 では、ホストに対してデータを高速に転送できる。従って、図 6（C）の比較例のようにホストからのI N トークンに対してN A K を返し続けると、バス帯域がロスしてしまい、U S B 2 . 0 の高速データ転送を活用できない。

【0093】

これに対して本実施形態では、図 7（C）に示すようにホストからのI N トークンに対して早い段階でデータパケット（C S W）を返すことが可能になる。従って、バス帯域のロスをも最小限に抑えることができ、U S B 2 . 0 の高速データ転送を生かすことができるため、実効的なデータ転送速度を向上できる。

【0094】

50

なお、本実施形態では図7(A)～(C)に示すように、CSW領域16はランダムアクセス可能な領域に設定されているため、CSWの書き込み処理を早期に終了できる。従って、早い段階で、ホストからのINトークンに対してデータパケット(CSW)を返すことが可能になり、処理の高速化を図れる。

【0095】

一方、ハードディスクドライブHDD等からのデータを効率良くDMA転送するためには、EP2領域14については、情報が先入れ先出しされる領域に設定(FIFO設定)することが望ましい。この場合、EP2領域14を、直列接続のレジスタ、メモリ等で構成することで、先入れ先出しの領域に設定してもよいし、後述するようにRAMのアドレス制御を工夫することで、先入れ先出しの領域に設定してもよい。

10

【0096】

2. 2 成功ステータス用の記憶領域

本実施形態では、図8(A)に示すように、CSW領域(第2の記憶領域)として、成功ステータス用のCSW0(第1のステータスブロックパケット)が書き込まれるCSW0領域18(第3の記憶領域)と、不成功ステータス用のCSW1(第2のステータスブロックパケット)が書き込まれるCSW1領域19(第4の記憶領域)とを、バッファに用意している。

【0097】

即ち、EBUS(第2のバス。図12参照)を介したデータ転送のステータスが成功ステータスの場合には、図8(A)に示すようにSW2(切り替え手段)をCSW0領域18側に接続し、成功ステータス用のCSW0をCSW0領域18から読み出して、ホストに転送する。

20

【0098】

一方、EBUSを介したデータ転送のステータスが不成功ステータスの場合には、図8(B)に示すようにSW2(切り替え手段)をCSW1領域19側に接続し、不成功ステータス用のCSW1をCSW1領域19から読み出して、ホストに転送する。

【0099】

一般的に、データ転送にエラーが生じる確率は非常に低い。従って、通常は、SW2をCSW0領域18側に接続しておき、成功ステータス用のCSW0をホストに転送するようにする。

30

【0100】

そして、データ転送にエラーが生じた場合にだけ、SW2をCSW1領域19側に接続し、エラーに応じた不成功ステータス用のCSW1をホストに転送するようにする。

【0101】

このようにすれば、EBUSでのデータ転送にエラーが生じない限り、SW2を切り替える必要がなくなる。そして、データ転送にエラーが生じる確率は極めて低いため、SW2を切り替える頻度も極めて低くなる。従って、SW2を切り替える処理等を行うCPU(ファームウェア)の処理負荷を軽減できるようになる。

【0102】

また本実施形態では、図9(A)に示すように、成功ステータス用のデフォルト情報が設定されたステータスブロックのパケットDEFCSW0を、CSW0領域18に予め書き込んでおく。そして、データ転送のステータスが成功の場合には、このDEFCSW0を用いて得られるCSW0をCSW0領域18から読み出し、ホストに転送する。

40

【0103】

具体的には、この成功ステータス用のDEFCSW0では、dCSWSignatureやdCSWDataResidueやbCSWStatusが、デフォルト値(例えば53425355h、00000000h、00h=goodstatus)に設定されている。そして、dCSWTag(ステータスブロックのパケットとコマンドブロックのパケットとを関連づけるためのタグ情報)は、例えばCBWの受け付け時にCBWのdCBWTagを用いて更新(上書き、書き換え)される。即ち、CBWのdCBWTagの値がdCSWTagにそのまま書き込まれる。

50

【0104】

このように、成功ステータス用のデフォルト情報が設定されたDEFCSW0を、CSW0領域18に予め書き込んでおけば、CPU（ファームウェア）は例えばdCSWTagを更新する作業だけを行えばよくなる。従って、CPUの処理負担を大幅に軽減でき、実効的な転送速度を向上できる。

【0105】

なお、不成功ステータス用のCSW1領域19には、図9（B）に示すようなDEFCSW1を書き込んでおく。そして、データ転送のステータスが不成功の場合には、このDEFCSW1を用いて得られるCSW1をCSW1領域19から読み出し、ホストに転送する。

10

【0106】

具体的には、この不成功ステータス用のDEFCSW1では、dCSWSignature等がデフォルト値に設定されている。そして、dCSWTagは、例えばCBWの受け付け時にCBWのdCBWTagを用いて更新される。また、bCSWStatusは、EBUSを介して取得したステータスを用いて更新される。このようにすることで、エラーの発生時におけるCPUの処理負担を軽減できる。

【0107】

2. 3 フェーズ切り替え

さて、本実施形態では、フェーズが切り替わったことを条件に、情報の読み出し領域の切り替えを行っている。

20

【0108】

具体的には図7（B）、（C）に示すように、データフェーズ（第1のフェーズ）からステータスフェーズ（第2のフェーズ）に切り替わった場合に、エンドポイントEP2からホストに向けて転送される情報（INデータ、ステータス）の読み出し領域を、EP2領域14（第1の記憶領域）からCSW領域16（第2の記憶領域。CSW0領域、CSW1領域）に切り替えている。

【0109】

このようにフェーズ切り替えを判断して情報の読み出し領域を切り替えるようにすれば、適切な領域切り替え処理を少ない処理負担で実現できるようになる。

【0110】

この場合のフェーズ切り替えの判断は、具体的には以下のように行う。

30

【0111】

例えばホストからデバイスにOUTデータが転送される場合（第1の方向のデータ転送の場合）には、図10のようにしてフェーズ切り替えを判断できる。即ち、図10のG1に示すように、ハードディスクドライブHDD等に接続されるEBUS（第2のバス。図12参照）を介したデータ転送（DMA転送）が終了したタイミングで、データフェーズからステータスフェーズに切り替わったと判断する。このG1のタイミングは、USBでのデータ転送（データフェーズ）が終了するG2のタイミングよりも遅いタイミングとなる。また、このG1のタイミングは、EP1領域（OUTデータの記憶領域）が空になり、Empty信号がアクティブになるG3のタイミングと一致する。そして、このG1のタイミングは、EBUS側に設けられたカウンタ（図12のDMAカウンタ82）を用いて、EBUSで転送されるデータサイズ（転送数。データ長）をカウントすることで判断できる。

40

【0112】

一方、デバイスからホストにINデータが転送される場合（第2の方向のデータ転送の場合）には、図11のようにしてフェーズ切り替えを判断できる。即ち、図11のG4に示すように、EBUSを介したデータ転送（第2のバスを介して第1の記憶領域に第1の情報が書き込まれる転送処理）が終了したと判断された後、G5に示すように、EP2領域（INデータの記憶領域。第1の記憶領域）が空になり、Empty信号がアクティブになったタイミングで、データフェーズからステータスフェーズに切り替わったと判断する

50

。この場合、G 4 のタイミングは、E B U S 側に設けられたカウンタ（D M A カウンタ 8 2）を用いて、E B U S で転送されるデータサイズをカウントすることで判断できる。また、G 5 のタイミングは、U S B でのデータ転送が終了する G 6 のタイミングと一致する。

【0113】

図 1 0、図 1 1 の手法によりフェーズ切り替えを判断すれば、E B U S（第 2 のバス）側にだけカウンタ（D M A カウンタ 8 2）を設ければよく、U S B（第 1 のバス）側にカウンタを設ける必要がなくなる。従って、回路制御を容易化できると共に回路構成を簡素化でき、データ転送制御装置のコンパクト化、低コスト化を図れる。

【0114】

そして本実施形態では、図 1 1 の G 5 のタイミングでデータフェーズからステータスフェーズに切り替わったと判断し、このタイミングで、図 7（B）、（C）に示すように E P 2 領域 1 4 から C S W 領域 1 6 への切り替え処理を行っている。このようにすれば、E B U S 側のカウンタ（D M A カウンタ 8 2）のカウント値と E m p t y 信号をモニタするだけで、情報の読み出し領域を切り替えることが可能になるため、少ない処理負荷で領域の切り替え処理を実現できるようになる。

【0115】

2. 4 構成例

図 1 2 に本実施形態のデータ転送制御装置の構成例を示す。

【0116】

本実施形態のデータ転送制御装置は、トランシーバマクロ 2 0、S I E 3 0、エンドポイント管理回路 4 0、バッファ管理回路 5 0、バッファ 6 0、バルク転送管理回路 7 0、D M A C 8 0 を含む。なお、本発明のデータ転送制御装置は、図 1 2 に示す回路ブロックの全てを含む必要はなく、それらの一部を省略する構成としてもよい。

【0117】

ここで、トランシーバマクロ 2 0 は、U S B（第 1 のバス）の F S モードや H S モードでのデータ転送を実現するための回路である。このトランシーバマクロ 2 0 としては、例えば U S B 2. 0 の物理層回路や、論理層回路の一部についてのインターフェースを定義した U T M I（USB2.0 Transceiver Macrocell Interface）に準拠したマクロセルを用いることができる。このトランシーバマクロ 2 0 は、トランシーバ回路 2 2、クロック生成回路 2 4 を含む。

【0118】

トランシーバ回路 2 2 は、差動信号 D P、D M を用いて U S B（第 1 のバス）上のデータを送受信するアナログフロントエンド回路（受信回路、送信回路）を含む。また、ビットスタッフィング、ビットアンスタック、シリアル・パラレル変換、パラレル・シリアル変換、N R Z I デコード、N R Z I エンコード、サンプリングクロック生成などの処理を行う回路を含む。

【0119】

またクロック生成回路 2 4 は、データ転送制御装置が使用する動作クロックや、サンプリングクロックの生成に使用されるクロックなどを生成する回路であり、4 8 0 M H z や 6 0 M H z のクロックを生成する P L L や発振回路などを含む。

【0120】

S I E（Serial Interface Engine）は、U S B のパケット転送処理などの種々の処理を行う回路であり、パケットハンドラ回路 3 2、サスペンド&レジューム制御回路 3 4、トランザクション管理回路 3 6 を含む。

【0121】

パケットハンドラ回路 3 2 は、ヘッダ及びデータからなるパケットの組み立て（生成）や分解などを行う回路であり、C R C の生成や読解を行う C R C 処理回路 3 3 を含む。

【0122】

サスペンド&レジューム制御回路 3 4 は、サスペンドやレジューム時のシーケンス制御を

10

20

30

40

50

行う回路である。

【0123】

トランザクション管理回路36は、トークン、データ、ハンドシェークなどのパケットにより構成されるトランザクションを管理する回路である。具体的には、トークンパケットを受信した場合には、自分宛か否かを確認し、自分宛の場合には、ホストとの間でデータパケットの転送処理を行い、その後に、ハンドシェークパケットの転送処理を行う。

【0124】

エンドポイント管理回路40は、バッファ60の各記憶領域の入り口となるエンドポイントを管理する回路であり、エンドポイントの属性情報を記憶するレジスタ（レジスタセット）などを含む。

10

【0125】

バッファ管理回路50は、例えばRAMなどで構成されるバッファ60を管理する回路である。より具体的には、書き込みアドレスや読み出しアドレスを生成し、バッファ60へのデータの書き込み処理やバッファ60からのデータの読み出し処理を行う。

【0126】

バッファ60（パケット記憶手段）は、USBを介して転送されるデータ（パケット）を一時的に記憶するものであり、USB（第1のバス）でのデータ転送速度と、EBUS（第2のバス）でのデータ転送速度との速度差を補償する機能などを有する。なお、EBUSは、ハードディスクドライブやCDドライブなどのデバイス（マスストレージデバイス）に接続される外部バスである。

20

【0127】

そして本実施形態では、1つのエンドポイントを介して転送される情報として複数種類の情報が割り当てられている場合に、第1の情報（例えばデータ）用の第1の記憶領域（例えばデータ記憶領域）と第2の情報（例えばステータスブロック）用の第2の記憶領域（例えばステータス記憶領域）とが、このバッファ60上に用意（確保）される。

【0128】

バルク転送管理回路70は、USBにおけるバルク転送を管理するための回路である。

【0129】

DMA C80は、EBUSを介してDMA転送を行うためのDMAコントローラであり、DMAカウンタ82を含む。そしてDMAカウンタ82は、EBUSを介して転送されるデータのサイズ（転送数）をカウントする回路である。

30

【0130】

2. 5 詳細な構成例

図13に、トランザクション管理回路36（SIE）、エンドポイント管理回路40、バッファ管理回路50、バッファ60の詳細な構成例を示す。

【0131】

バッファ60（RAM）は、エンドポイントEP2に割り当てられた情報であるCSW（ステータスブロック）を記憶するCSW0領域61（成功ステータス用）、CSW1領域62（不成功ステータス用）、EP0に割り当てられた情報であるコントロールを記憶するEP0領域63、EP1に割り当てられた情報であるOUTデータを記憶するEP1領域64、EP2に割り当てられた情報であるINデータを記憶するEP2領域65を含む。

40

【0132】

そして図13では、CSW0領域61、CSW1領域62については、CPU（ファームウェア、処理手段）によるランダムアクセスが可能になるように設定されている。一方、EP0、EP1、EP2領域63、64、65は、先に入力された情報が先に出力されるように設定（FIFO設定）されている。

【0133】

トランザクション管理回路36は、USBを介して転送される書き込みデータSIEWrData（書き込みパケット）をバッファ60に出力し、読み出しデータSIE RdDa

50

t a（読み出しパケット）をバッファ60から入力する。

【0134】

またトランザクション管理回路36は、バッファ管理回路50に対して書き込み要求信号SIEWrReq、読み出し要求信号SIErdReqを出力し、バッファ管理回路50から書き込みアクノリッジ信号SIEWrAck、読み出しアクノリッジ信号SIErdAckを受ける。

【0135】

またトランザクション管理回路36は、エンドポイント管理回路40に対して、トランザクション終了信号TranEndPulse、トランザクションステータス信号TranStatus、エンドポイント番号指定信号EPnum、転送方向指定信号Directionを出力し、エンドポイント管理回路40から、エンドポイント存在信号EPexistを受ける。

10

【0136】

エンドポイント管理回路40は、エンドポイントの属性情報（エンドポイント番号、最大パケットサイズ等）を記述するためのレジスタ（レジスタセット）42、43、44を含む。そして、トランザクション管理回路36からの各種信号と、レジスタの属性情報とに基づいて、エンドポイント選択信号EPselを生成して、バッファ管理回路50に出力する。

【0137】

またエンドポイント管理回路40は、バッファ管理回路50に対して、CPUからの書き込み要求信号CPUWrReq、読み出し要求信号CUPrdReqを出力し、バッファ管理回路50から、CPUへの書き込みアクノリッジ信号CPUWrAck、読み出しアクノリッジ信号CUPrdAckを受ける。

20

【0138】

エンドポイント管理回路40が含むEP0レジスタ42は、USB仕様によりデフォルトで定義されるコントロールエンドポイントの属性情報を記述するためのレジスタである。

【0139】

またEP1、EP2レジスタ43、44は、BULK-Only仕様により定義されるバルクアウトやバルクインのエンドポイントの属性情報を記述するためのレジスタである。なお、エンドポイントEP1～15のいずれを、バルクアウト又はバルクインのエンドポイントに設定するかはデバイス側の任意である。

30

【0140】

EP1レジスタ43では、データの転送方向を表すフラグDIRがOUTに設定されており、EP1はバルクアウトのエンドポイントに設定されている。

【0141】

また、EP1レジスタ43では、フラグEnCSWが0に設定されている。このEnCSWは、エンドポイントをバッファ60のCSW0領域61又はCSW1領域62に接続するためのフラグであり、EnCSWが1に設定されるバルクインのエンドポイントはCSW0領域61又はCSW1領域62に接続されることになる。

【0142】

40

また、EP1レジスタ43では、フラグSelCSWが0に設定されている。このSelCSWは、CSW0領域61とCSW1領域62のいずれにバルクインのエンドポイントを接続するかを選択するためのフラグである。例えば、EnCSWが1に設定され、SelCSWが0に設定されるバルクインのエンドポイントは、CSW0領域61に接続されることになる。一方、EnCSWが1に設定され、SelCSWが1に設定されるバルクインのエンドポイントは、CSW1領域62に接続されることになる。

EP2レジスタ44では、データの転送方向を表すフラグDIRがINに設定されており、EP2はバルクインのエンドポイントに設定されている。

【0143】

また、EP2レジスタ44では、EnCSWが1に設定され、SelCSWが0に設定さ

50

れている。従って、この設定状態においては、エンドポイントEP2は、CSW0領域61に接続されることになる。この場合に例えば、SelCSWを1に設定すれば、エンドポイントEP2はCSW1領域62に接続され、EnCSWを0に設定すれば、EP2はEP2領域65に接続されることになる。

【0144】

バッファ管理回路50は、トランザクション管理回路36やエンドポイント管理回路40からの書き込み・読み出し要求信号や、エンドポイント管理回路40からのエンドポイント選択信号Epselを受け、アドレスAddressや書き込みパルスxWR（xは負論理を意味する）をバッファ60に出力する。このバッファ管理回路50は、CSW0、CSW1、EP0、EP1、EP2のアドレス生成回路51、52、53、54、55とセクタ56を含む。

10

【0145】

ここでCSW0アドレス生成回路51は、CSW0領域61（先頭アドレスa0）についての、SIEWrData、SIErdDataの書き込み又は読み出しアドレスAD0を生成する。

【0146】

また、CSW1アドレス生成回路52は、CSW1領域62（先頭アドレスa1）についての、SIEWrData、SIErdDataの書き込み又は読み出しアドレスAD1を生成する。

【0147】

また、EP0、EP1、EP2のアドレス生成回路53、54、55は、各々、EP0、EP1、EP2の領域63、64、65（先頭アドレスa2、a3、a4）についての、SIEWrData、SIErdDataの書き込み又は読み出しアドレスAD2、AD3、AD4を生成する。具体的には、a2、a3、a4を先頭アドレスとして順次インクリメント（又はデクリメント）するアドレスAD2、AD3、AD4を生成する。

20

【0148】

セクタ56は、信号Epselに基づいてアドレスAD0～4のいずれかを選択し、Addressとしてバッファ60に出力すると共に、書き込みパルスxWRをバッファ60に出力する。具体的には、EpselによりCSW0が選択指示された場合にはAD0を選択し、CSW1が選択指示された場合にはAD1を選択し、EP0が選択指示された場合にはAD2を選択し、EP1が選択指示された場合にはAD3を選択し、EP2が選択指示された場合にはAD4を選択して、Addressとしてバッファ60に出力する。

30

【0149】

なお、CSW0領域61、CSW1領域62は、CPUによるCPUWrDataの書き込みが可能になっている。この場合には、バッファ管理回路50は、エンドポイント管理回路40からのEpselやCPUWrReqに基づいて、CPUWrDataの書き込みのためのAddressやxWrをバッファ60に出力することになる。

【0150】

図14に、トランザクション管理回路36、エンドポイント管理回路40、バッファ管理回路50、バッファ60の他の構成例を示す。

40

【0151】

図13と異なり図14では、バッファ60が、CSW（CSW0、CSW1）、EP0、EP1、EP2用のFIFO66、67、68、69（例えば直列接続されたレジスタ、メモリ）を含む。

【0152】

そしてバッファ管理回路50が含むセクタ57は、エンドポイント管理回路40からのEpselに基づいて、トランザクション管理回路36からのSIEWrDataを、WrDataCSW、WrDataEP0、WrDataEP1、WrDataEP2のいずれかとしてバッファ60に出力する。

50

【0153】

或いは、セクタ57は、EPselに基づいて、バッファ60からのRdDataCSW、RdDataEP0、RdDataEP1、RdDataEP2のいずれかを選択して、SIERdDataとしてトランザクション管理回路36に出力する。

【0154】

より具体的には、EPselによりCSWが選択指示された場合には、WrDataCSW、RdDataCSWが選択され、EP0が選択指示された場合には、WrDataEP0、RdDataEP0が選択され、EP1が選択指示された場合には、WrDataEP1、RdDataEP1が選択され、EP2が選択指示された場合には、WrDataEP2、RdDataEP2が選択されることになる。

10

【0155】

そして、バッファ60へのデータの書き込みは、トランザクション管理回路36からの書き込みパルスSIEWRにより行われ、バッファ60からのデータの読み出しは、トランザクション管理回路36からの読み出しパルスSIERDにより行われる。

【0156】

なお図14において、FIFO66(CSW)をランダムアクセス可能な記憶領域に設定するようにしてもよい。

【0157】

2.6 動作

図15～図20に、本実施形態のデータ転送制御装置の詳細な動作を説明するためのタイミング波形図の例を示す。

20

【0158】

2.6.1 成功ステータス

図15、図16、図17は、EBUS(第2のバス)でのデータ転送のステータスが成功ステータスであった場合のタイミング波形図である。そして、図15はステータスフェーズ(成功ステータスを伝えるフェーズ)の開始時でのタイミング波形図であり、図16、図17はステータスフェーズの終了時でのタイミング波形図である。

【0159】

図15のH1、H2に示すようにトランザクション管理回路36がEPnumを2(エンドポイント番号=2)に設定し、DirectionをINに設定すると、バルクインエンドポイントEP2のレジスタ44(図13参照)が存在するため、エンドポイント管理回路40は、H3に示すようにPExistをアクティブ(Hレベル)にする。

30

【0160】

この時、H4に示すようにエンドポイントEP2のEnCSWがHレベル(1)に設定されているため、エンドポイント管理回路40は、H5に示すようにCSW0領域61のアドレスAD0を選択指示するEPselを、バッファ管理回路50に対して出力する。これにより、バッファ管理回路50のセクタ56は、CSW0アドレス生成回路51により生成されるアドレスAD0を選択するようになる。

【0161】

そして、H6に示すように、トランザクション管理回路36がSIERdReqをアクティブにすると、H7に示すように、バッファ管理回路50は、CSW0アドレス生成回路51からのAD0=a0をAddressとしてバッファ60に出力する。これにより、バッファ60のCSW0領域61のa0を先頭アドレスとして、H9に示すようにCSW0(SIERdData)の0～3バイトが読み出される。その後、H10に示すようにSIERdAckがアクティブにされ、トランザクション管理回路36にアクノリッジを返される。

40

【0162】

次に、H11に示すようにトランザクション管理回路36がSIERdReqをアクティブにすると、H12に示すように、バッファ管理回路50は、AD0=a0+4をAddressとしてバッファ60に出力する。これにより、CSW0領域61のa0+4を先

50

頭アドレスとして、H14に示すようにCSW0 (SIERdData) の4～7バイトが読み出される。その後、H15に示すようにSIERdAckがアクティブにされ、トランザクション管理回路36にアクノリッジを返される。

【0163】

以上のような読み出し処理を繰り返すことで、図16のH16に示すように、CSW0の全ての0～12バイト（合計で13バイト）がCSW0領域61から読み出され、ホストに転送される。

【0164】

そして、H17に示すようにホストから適正なACKが返されると、H18に示すようにトランザクション管理回路36がTranEndPulseをアクティブにすると共に、H19に示すようにTranStatusをSuccessに設定して、トランザクションが成功したことをエンドポイント管理回路40に伝える。

10

【0165】

すると、H20に示すようにエンドポイントEP2（図13のレジスタ44）のEnCSWがLレベル（0）に設定される。これにより、H21に示すように領域切り替えが行われ、その後のデータフェーズにおいてエンドポイントEP2が選択された場合には、バッファ管理回路50のセクタ56は、EP2領域65のアドレスAD4を、Addressとして選択するようになる。

【0166】

図17は、ステータスフェーズのトランザクションでACKフェイルが生じた場合のタイミング波形図である。

20

【0167】

ホストに対して転送した成功ステータスに対して、図17のI1に示すようにホストからACKが返って来なかった場合には、トランザクション管理回路36はエンドポイント管理回路40に対して、I2に示すようにACKフェイルがあったことを示すTranStatusを出力する。すると、この場合には、図16のH20の場合とは異なり、図17のI3に示すようにエンドポイントEP2のEnCSWはLレベルにならない。このため、I4に示すようにEPselも変化せず、CSW0領域61からEP2領域65への領域切り替えは行われない。

【0168】

30

2. 6. 2 不成功ステータス

図18、図19、図20は、EBUS（第2のバス）でのデータ転送のステータスが不成功ステータスであった場合のタイミング波形図である。そして、図18はステータスフェーズ（不成功ステータスを伝えるフェーズ）の開始時でのタイミング波形図であり、図19、図20はステータスフェーズの終了時でのタイミング波形図である。

【0169】

図18のJ0では図15のH0とは異なり、領域の選択信号であるSelCSW (EP2) がHレベル（1）になっており、CSW1領域62が選択されている。従って、図18のJ5では図15のH5とは異なり、エンドポイント管理回路40が、CSW1領域62のアドレスAD1を選択指示するEPselを出力する。これにより、J7に示すように、バッファ管理回路50は、CSW1アドレス生成回路52からのAD1=a1をAddressとしてバッファ60に出力することになる。

40

【0170】

そして、図19のJ16に示すようにCSW1の全ての0～12バイト（合計で13バイト）がCSW1領域62から読み出され、J17に示すようにホストから適正なACKが返却されると、J18に示すようにTranEndPulseをアクティブになり、J19に示すようにSuccessのTranStatusが出力される。これにより、不成功ステータスをホストに伝えるトランザクションが成功したことがエンドポイント管理回路40に伝えられる。また、J20に示すようにEnCSW (EP2) がLレベルになり、J21に示すように領域切り替えが行われる。

50

【0171】

図20は、ステータスフェーズ（不成功ステータスを伝えるフェーズ）のトランザクションでACKフェイルが生じた場合のタイミング波形図である。

【0172】

ホストに対して転送した不成功ステータスに対して、図20のK1に示すようにホストからACKが返って来なかった場合には、K2に示すようにACKフェイルがあったことを示すTransStatusが出力される。すると、この場合には、図19のJ20の場合とは異なり、図20のK3に示すようにEnCSWはLレベルにならない。このため、K4に示すようにEPse1も変化せず、CSW1領域62からEP2領域65への領域切り替えは行われない。

10

【0173】

2. 7 比較例と本実施例との比較

図21(A)に比較例(図6(A)～(D))のタイミング波形図の例を示し、図21(B)に本実施形態のタイミング波形図の例を示す。

【0174】

例えば図21(A)の比較例では、データフェーズにおいては、エンドポイントEP2のFIFOにはINデータが存在するため、CSWをFIFO(EP2)に書き込むことができない。従って、図21(A)のL1に示すように、ステータスフェーズに移行した後に、CSWの書き込み処理が開始することになる。従って、この書き込み処理が終了するまでは、L2、L3に示すようにホストからのINTトークンに対してNAKを返さなければならなくなる。このため、L4に示すようにホストへのCSWの転送も遅れてしまい、L5に示すように次のコマンドフェーズへの移行も遅れてしまう。この結果、バス帯域がロスしてしまい、実効的な転送速度が低下してしまう。

20

【0175】

一方、図21(B)の本実施形態では、EP2領域とは別にCSW領域(CSW0領域、CSW1領域)が設けられているため、CSWを用意する処理やCSWをCSW領域に書き込む処理を、データフェーズの間に開始できる。従って、L6に示すように、ホストからのINTトークンに対して初めの数回はNAKを返す可能性はあるが、L7に示すようにEnCSWがHレベルになり、EP2領域からCSW領域への切り替えが行われると、L8に示すようにCSW領域のCSWをホストに対して直ぐに転送できる。従って、図21(A)の比較例に比べて、L9に示すようにコマンドフェーズへの移行も早くなる。この結果、バス帯域のロスも最小限に抑えることができ、比較例に比べて実効的な転送速度を向上できる。

30

【0176】

図22(A)に比較例の場合のファームウェア(CPU)の処理のフローチャートを示し、図22(B)に本実施形態の場合のファームウェアの処理のフローチャートを示す。

【0177】

図22(A)の比較例では、ファームウェアは、まず、データフェーズが終了したか否かを判断する(ステップS21)。

【0178】

そして、データフェーズが終了したと判断した場合には、ファームウェアは、CSWをEP2用のFIFOに書き込む(ステップS22。図21(A)のL1参照)。そして、CSWは13バイトであり、最大パケットサイズよりも小さいショートパケットであるため、ショートパケットの転送をイネーブルにする(ステップS23)。

40

【0179】

次に、CSWをホストに転送するINTトランザクションが完了したかを否かを判断し(ステップS24)、完了したと判断された場合には処理を終了する(ステップS25)。一方、完了していない場合には、INTトランザクション以外のトランザクション(OUTトランザクション)が行われたか否かを判断する(ステップS26)。そして、INTトランザクション以外と判断された場合には、現在のフェーズがホストとデバイスとで整合して

50

いないと考えられるため、エラー処理に移行する（ステップS27）。一方、トランザクションが行われなかったと判断された場合には、ステップS24に戻る。

【0180】

図22（B）の本実施形態では、ファームウェアは、まず、データフェーズが終了したか否かを判断する（ステップS31）。

【0181】

この場合、図11で説明したように、EBUSでのデータ転送が完了し、且つ、EP2領域が空（Emptyがアクティブ）になった場合に、データフェーズが完了し、ステータスフェーズに切り替わったと判断する。

【0182】

また、本実施形態では、EP2領域とは別のCSW領域が設けられているため、比較例とは異なり、データフェーズの間にCSWを用意することが可能になり、CSWの書き込み処理を早期に終了できる。

【0183】

データフェーズが終了したと判断した場合には、ファームウェアは、SelCSWを用いてCSW領域の選択（CSW0又はCSW1領域のいずれかの選択）を行うと共に、EnCSWを1に設定する（ステップS32。図21のL7参照）。

【0184】

次に、CSWをホストに転送するトランザクションが完了したかを否かを判断し（ステップS33）、完了したと判断された場合には処理を終了する（ステップS34）。一方、完了していない場合には、CSW（IN）以外のトランザクションが行われたか否かを判断する（ステップS35）。そして、トランザクションが行われなかったと判断された場合には、エラー処理に移行する（ステップS36）。一方、CSWのトランザクションと判断された場合には、ステップS33に戻る。

【0185】

3. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0186】

例えば図23（A）に電子機器の1つであるプリンタの内部ブロック図を示し、図24（A）にその外観図を示す。CPU（マイクロコンピュータ）510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM517はCPU510のワーク領域として機能する。DMAC518は、CPU510を介さずにデータ転送を行うためのDMAコントローラである。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0187】

USBを介してパーソナルコンピュータなどの他のデバイスから送られてきたシリアル印字データは、データ転送制御装置500によりパラレル印字データに変換される。そして、変換後のパラレル印字データは、CPU510又はDMAC518により、印字処理部（プリンタエンジン）512に送られる。そして、印字処理部512においてパラレル印字データに対して所与の処理が施され、プリントヘッダなどからなる印字部（データの出力処理を行う装置）514により紙に印字されて出力される。

【0188】

図23（B）に電子機器の1つであるスキャナの内部ブロック図を示し、図24（B）にその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM527はCPU520のワーク領域として機能する。DMAC528はDMAコントローラである。

【0189】

光源、光電変換器などからなる画像読み取り部（データの取り込み処理を行う装置）52

10

20

30

40

50

2により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部（スキャナエンジン）524により処理される。そして、処理後の画像データは、CPU520又はDMAC528によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルの画像データをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0190】

図23（C）に電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図24（C）にその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM537はCPU530のワーク領域として機能する。DMAC538はDMAコントローラである。

10

【0191】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データの取り込み処理を行う装置又はデータの記憶処理を行うための装置）533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、CPU530又はDMAC538によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルのデータをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0192】

20

一方、USBを介して他のデバイスから送られてきたシリアルデータは、データ転送制御装置500によりパラレルのデータに変換される。そして、このパラレルデータは、CPU530又はDMAC538により信号処理部534に送られる。そして、信号処理部534においてこのパラレルデータに対して所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

【0193】

なお、図23（A）、（B）、（C）において、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0194】

30

本実施形態のデータ転送制御装置を電子機器に用いれば、USB2.0におけるHSモードでのデータ転送を適正に行うことが可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。

【0195】

また、本実施形態のデータ転送制御装置を電子機器に用いれば、製造コストが安い通常の半導体プロセスでも、HSモードでのデータ転送が可能なデータ転送制御装置を製造できるようになる。従って、データ転送制御装置の低コスト化を図れ、電子機器の低コスト化も図れるようになる。また、データ転送の信頼性を向上でき、電子機器の信頼性も向上できるようになる。

40

【0196】

また本実施形態のデータ転送制御装置を電子機器に用いれば、CPU上で動作するファームウェアの処理負荷が軽減され、安価なCPUを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

【0197】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（M

50

Ｏ）、ハードディスクドライブ、ＴＶ、ＶＴＲ、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【０１９８】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【０１９９】

例えば、本発明のデータ転送制御装置の構成は、図１２、図１３、図１４に示す構成に限定されるものではなく、種々の変形実施が可能である。

【０２００】

また、本実施形態では、第１の記憶領域がＥＰ２領域（データ記憶領域）であり、第２の記憶領域がＣＳＷ領域（ステータス記憶領域）である場合について説明したが、本発明はこれに限定されない。即ち、第１、第２の記憶領域に記憶される情報の種類は任意である。また、エンドポイントに設定される情報の数は３以上であってもよいし、情報の種類も任意である。

【０２０１】

また本実施形態では、ＵＳＢのＢｕｌｋ－Ｏｎｌｙ仕様への適用例を説明したが、本発明が適用されるのは、ＵＳＢのＢｕｌｋ－Ｏｎｌｙ仕様に限定されるものではない。

【０２０２】

また、第１、第２の記憶領域の切り替え手法も、図７（Ａ）～図２２（Ｂ）で詳細に説明した手法に限定されず、種々の変形実施が可能である。

【０２０３】

また、本発明は、ＵＳＢ２．０でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばＵＳＢ２．０と同様の思想に基づく規格やＵＳＢ２．０を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図１】図１（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）は、ＵＳＢのエンドポイントやトランザクション構成について説明するための図である。

【図２】図２（Ａ）、（Ｂ）は、ＣＢＩ仕様とＢｕｌｋ－Ｏｎｌｙ仕様について説明するための図である。

【図３】ＣＢＷのフォーマットについて示す図である。

【図４】ＣＳＷのフォーマットについて示す図である。

【図５】図５（Ａ）、（Ｂ）は、Ｂｕｌｋ－Ｏｎｌｙにおけるデータの書き込み処理、読み出し処理について説明するための図である。

【図６】図６（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）は、比較例の手法について説明するための図である。

【図７】図７（Ａ）、（Ｂ）、（Ｃ）は、本実施形態の手法について説明するための図である。

【図８】図８（Ａ）、（Ｂ）は、成功ステータス用のＣＳＷ０領域と不成功ステータス用のＣＳＷ１領域を設ける手法について説明するための図である。

【図９】図９（Ａ）、（Ｂ）は、ＣＳＷ０領域、ＣＳＷ１領域に予め書き込んでおくステータスブロックのパケットについて説明するための図である。

【図１０】データフェーズからステータスフェーズへの切り替えを判断する手法について説明するための図である。

【図１１】データフェーズからステータスフェーズへの切り替えを判断する手法について説明するための図である。

【図１２】本実施形態のデータ転送制御装置の構成例を示す図である。

【図１３】トランザクション管理回路、エンドポイント管理回路、バッファ管理回路、バッファの詳細な構成の一例を示す図である。

【図１４】トランザクション管理回路、エンドポイント管理回路、バッファ管理回路、バ

10

20

30

40

50

ッファの詳細な構成の他の例を示す図である。

【図 1 5】ステータスフェーズ開始時での本実施形態の動作について説明するためのタイミング波形図である。

【図 1 6】データ転送成功の場合の本実施形態の動作について説明するためのタイミング波形図である。

【図 1 7】ACKフェイルの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図 1 8】E B U Sでのデータ転送が不成功ステータスの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図 1 9】E B U Sでのデータ転送が不成功ステータスの場合の本実施形態の動作について説明するためのタイミング波形図である。 10

【図 2 0】E B U Sでのデータ転送が不成功ステータスの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図 2 1】図 2 1 (A)、(B)は、比較例と本実施形態のタイミング波形図である。

【図 2 2】図 2 2 (A)、(B)は、比較例と本実施形態でのファームウェアの処理を示すフローチャートである。

【図 2 3】図 2 3 (A)、(B)、(C)は、種々の電子機器の内部ブロック図の例である。

【図 2 4】図 2 4 (A)、(B)、(C)は、種々の電子機器の外観図の例である。

【符号の説明】 20

1 4 E P 2 領域 (第 1 の記憶領域)

1 6 C S W 領域 (第 2 の記憶領域)

1 8 C S W 0 領域 (第 3 の記憶領域)

1 9 C S W 1 領域 (第 4 の記憶領域)

S W、S W 1、S W 2 スイッチ (切り替え手段)

2 0 トランシーバマクロ

2 2 トランシーバ回路

2 4 クロック生成回路

3 0 S I E

3 2 パケットハンドラ回路

3 3 C R C 処理回路

3 4 サスペンド&レジューム回路

3 6 トランザクション管理回路

4 0 エンドポイント管理回路

4 2 E P 0 レジスタ

4 3 E P 1 レジスタ

4 4 E P 2 レジスタ

5 0 バッファ管理回路

5 1 C S W 0 アドレス生成回路

5 2 C S W 1 アドレス生成回路

5 3 E P 0 アドレス生成回路

5 4 E P 1 アドレス生成回路

5 5 E P 2 アドレス生成回路

5 6 セレクタ

5 7 セレクタ

6 0 バッファ

6 1 C S W 0 領域 (第 3 の記憶領域)

6 2 C S W 1 領域 (第 4 の記憶領域)

6 3 E P 0 領域

6 4 E P 1 領域

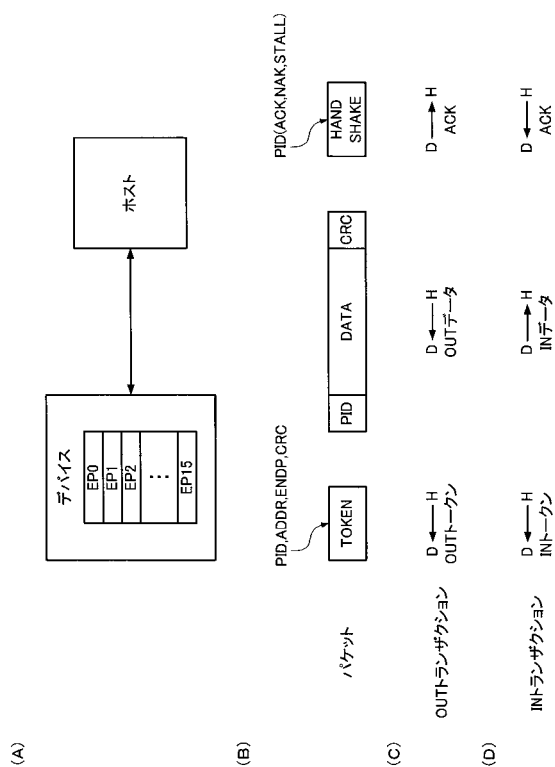
30

40

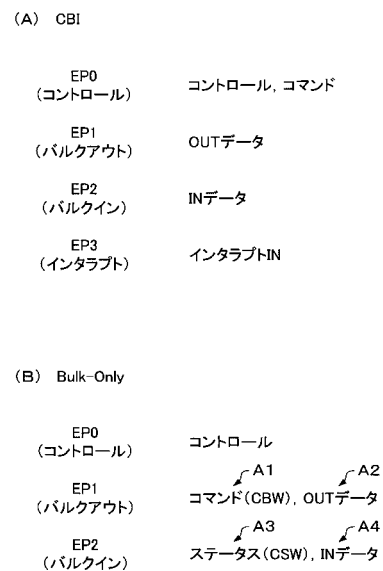
50

65	EP2領域(第1の記憶領域)
66	FIFO(CBW)
67	FIFO(EP0)
68	FIFO(EP1)
69	FIFO(EP2)
70	バルク転送管理回路
80	DMA C
82	DMAカウンタ

【図1】



【図2】



【図 3】

ビット バイト	7	6	5	4	3	2	1	0
0～3	dCBWSignature							
4～7	dCBWTag							
8～11	dCBWDataTransferLength							
12	bmCBWFlags							
13	予約済み(0)				bCBWLUN			
14	予約済み(0)			bCBWCBLength				
15～30	CBWCB							

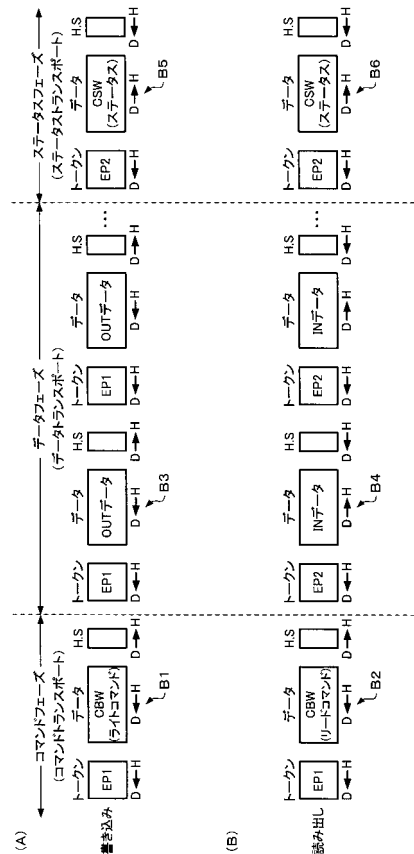
CBW

【図 4】

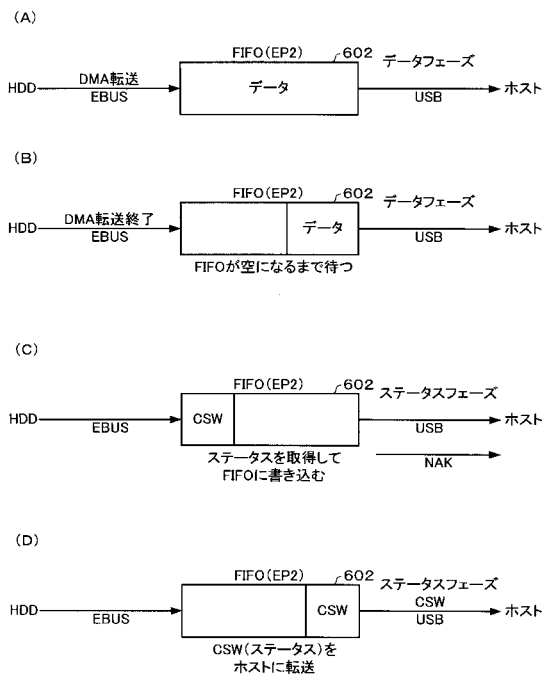
ビット バイト	7	6	5	4	3	2	1	0
0~3	dCSWSignature							
4~7	dCSWTag							
8~11	dCSWDataResidue							
12	bCSWStatus							

CSW

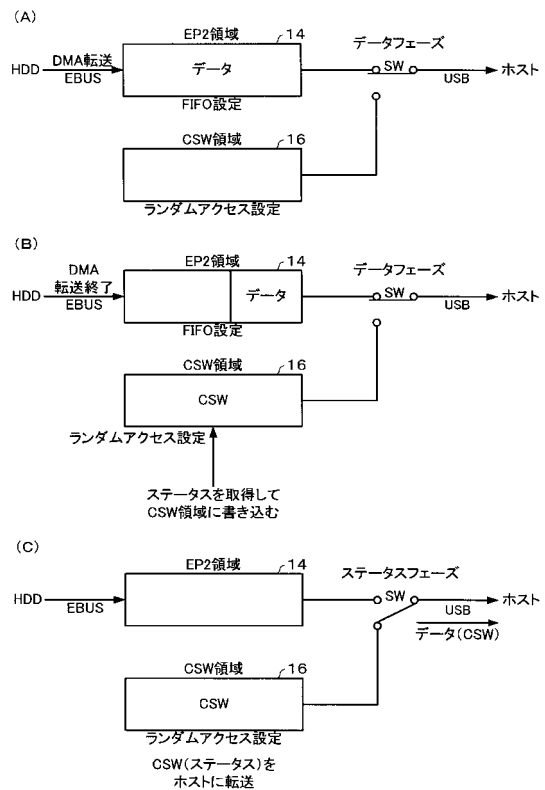
【図 5】



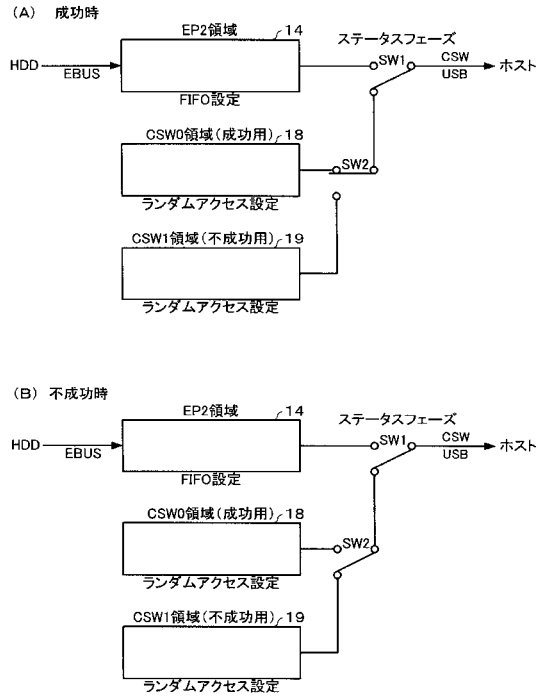
【図 6】



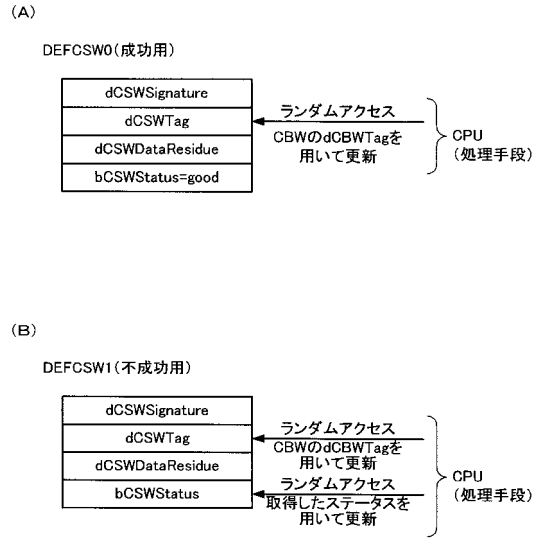
【図 7】



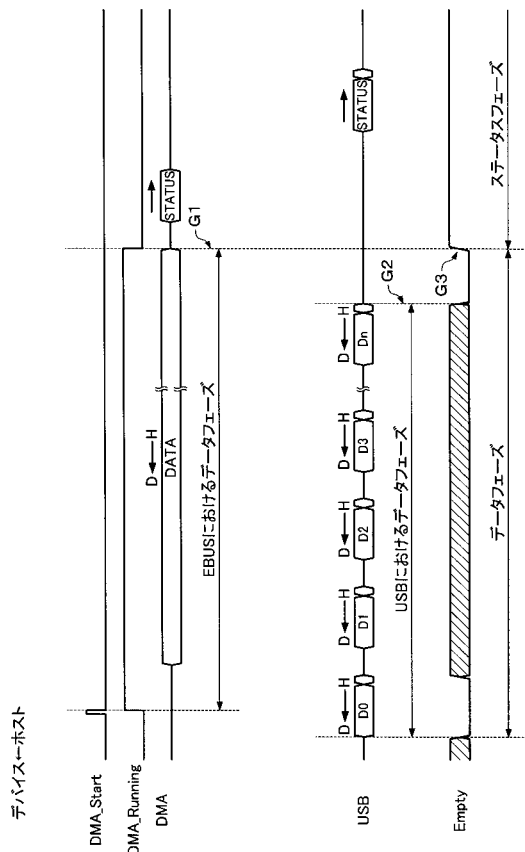
【図 8】



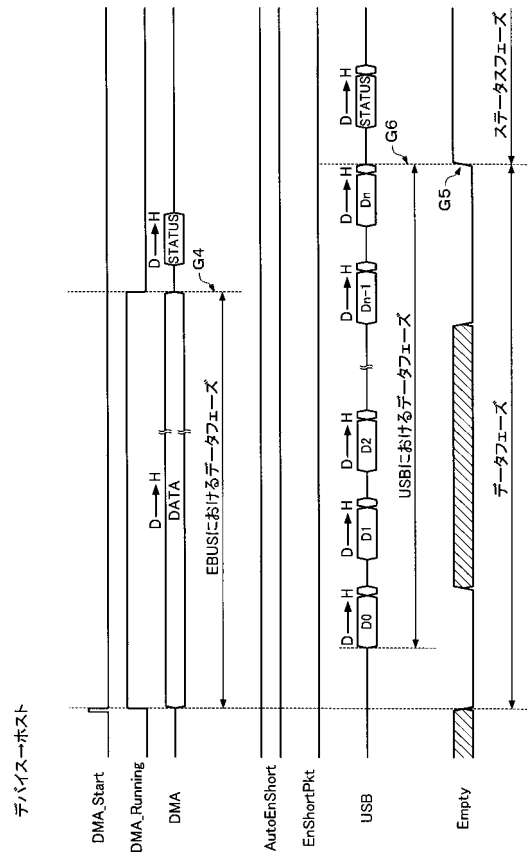
【図 9】



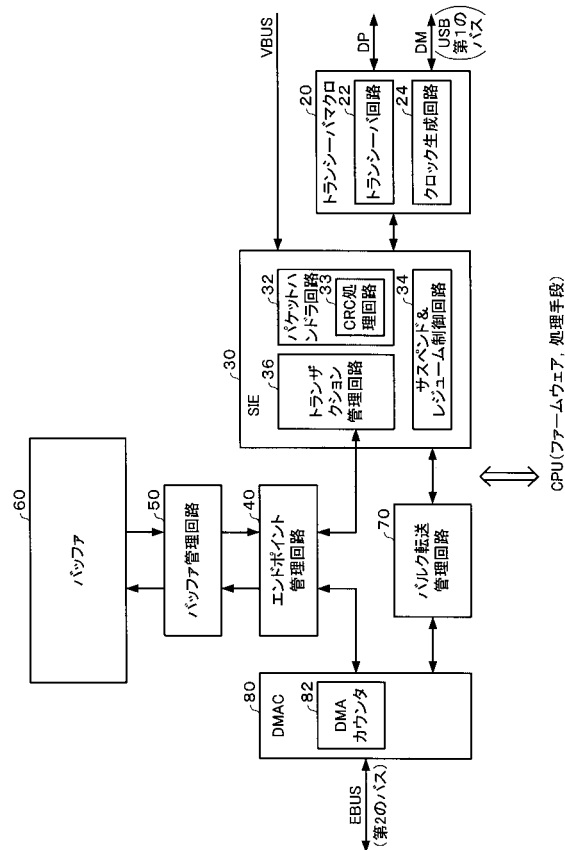
【図 10】



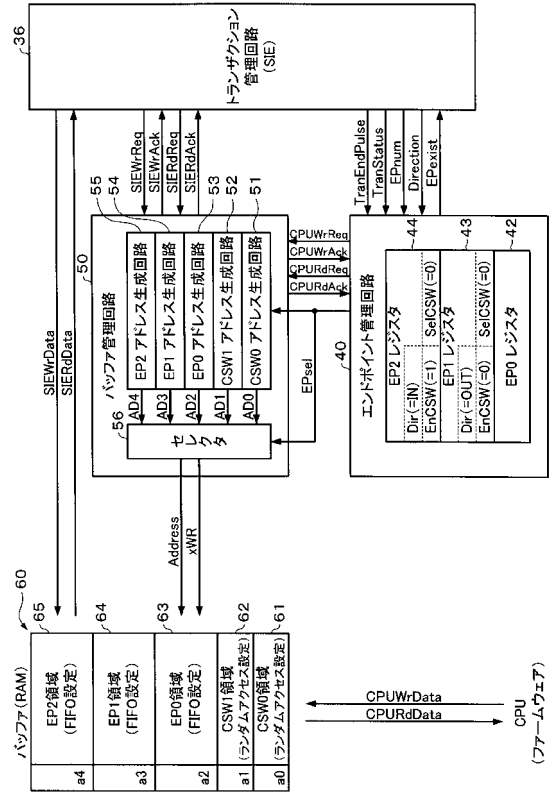
【図 11】



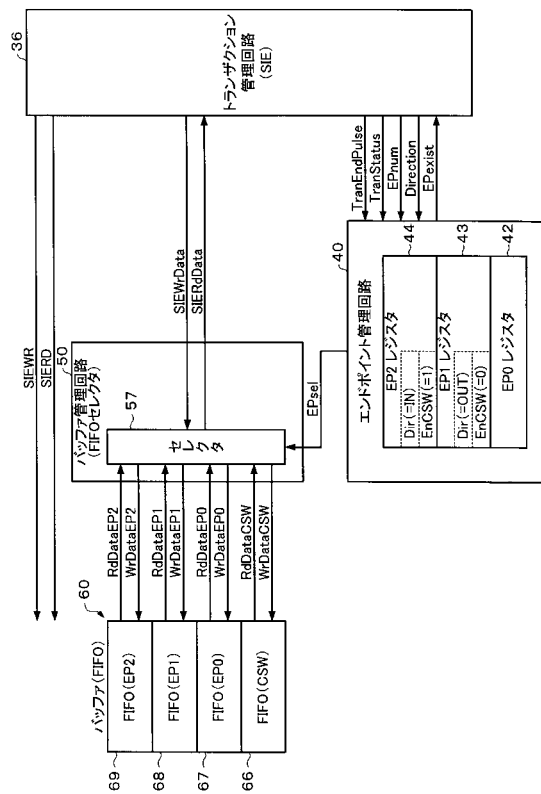
【図 1 2】



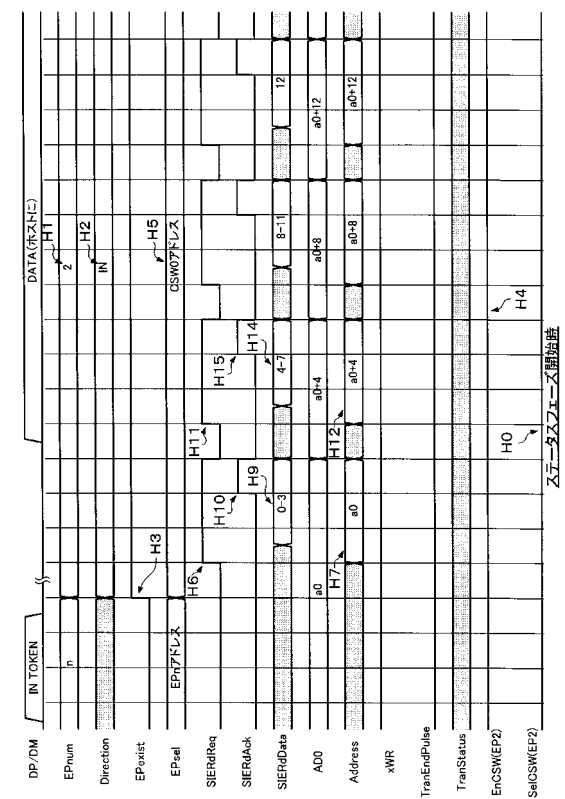
【図 13】



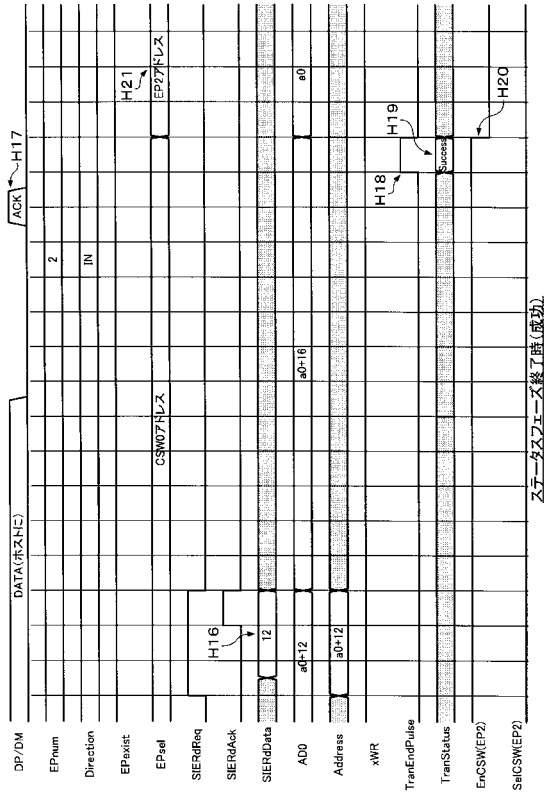
【図 14】



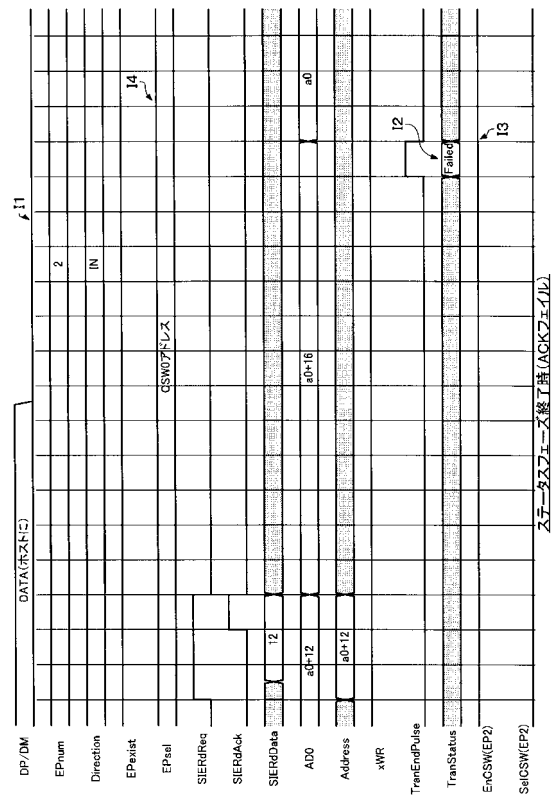
【図 15】



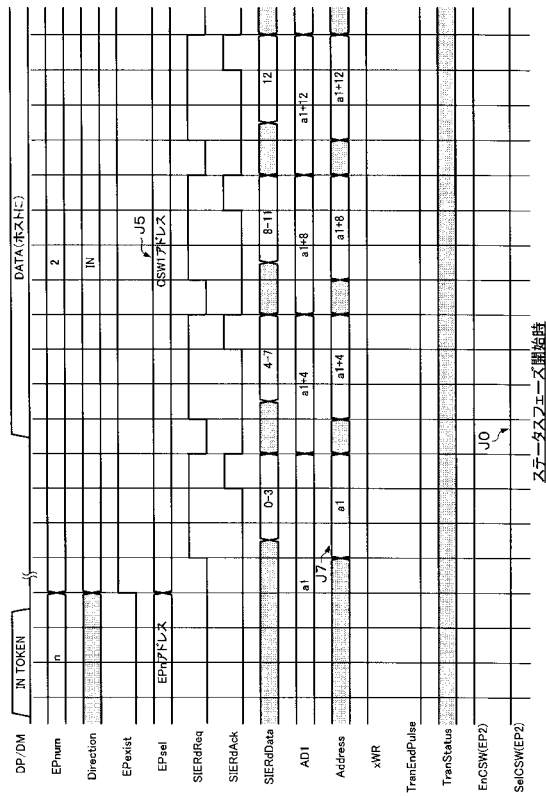
【图 16】



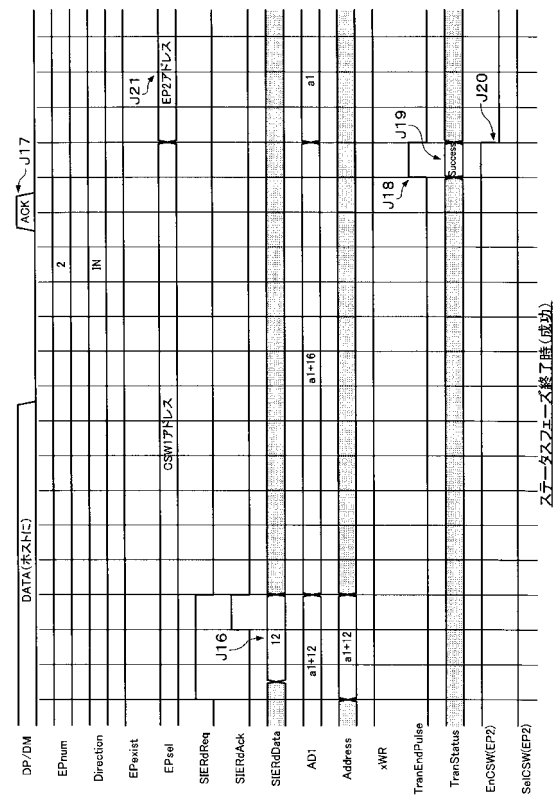
【 図 1 7 】



【 図 1 8 】

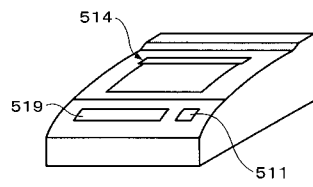


【 図 1 9 】

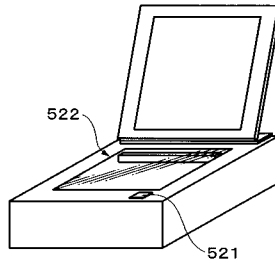


【図 24】

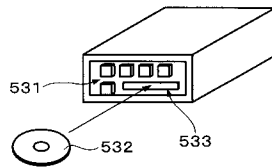
(A)



(B)



(C)



フロントページの続き

審査官 矢頭 尚之

(56)参考文献 特開平11-004279 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H04L 13/08