

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6242553号
(P6242553)

(45) 発行日 平成29年12月6日(2017.12.6)

(24) 登録日 平成29年11月17日(2017.11.17)

(51) Int.Cl. F I
H03H 7/18 (2006.01) H03H 7/18

請求項の数 3 (全 11 頁)

<p>(21) 出願番号 特願2017-545976 (P2017-545976)</p> <p>(86) (22) 出願日 平成28年2月17日 (2016.2.17)</p> <p>(86) 国際出願番号 PCT/JP2016/054514</p> <p>審査請求日 平成29年8月31日 (2017.8.31)</p> <p>(出願人による申告) 平成27年度、総務省「第5世代移動通信システム実現に向けた研究開発 高周波数帯・広帯域超多素子アンテナによる高速・低消費電力無線アクセス技術の研究開発」委託契約、産業技術力強化法第19条の適用を受ける特許出願</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100110423 弁理士 曾我 道治</p> <p>(74) 代理人 100111648 弁理士 梶並 順</p> <p>(74) 代理人 100122437 弁理士 大宅 一宏</p> <p>(74) 代理人 100147566 弁理士 上田 俊一</p> <p>(74) 代理人 100161171 弁理士 吉田 潤一郎</p>
---	---

最終頁に続く

(54) 【発明の名称】 ポリフェーズフィルタおよびフィルタ回路

(57) 【特許請求の範囲】

【請求項1】

一端が第1入力端子に、他端が第1出力端子にそれぞれ接続された第1固定抵抗と、
 一端が第1入力端子に、他端が第2出力端子にそれぞれ接続された第1可変抵抗と、
 一端が第2入力端子に、他端が第3出力端子にそれぞれ接続された第2固定抵抗と、
 一端が第2入力端子に、他端が第4出力端子にそれぞれ接続された第2可変抵抗と、
 一端が第2入力端子に、他端が第1出力端子にそれぞれ接続された第1可変容量と、
 一端が第1入力端子に、他端が第2出力端子にそれぞれ接続された第2可変容量と、
 一端が第1入力端子に、他端が第3出力端子にそれぞれ接続された第3可変容量と、
 一端が第2入力端子に、他端が第4出力端子にそれぞれ接続された第4可変容量と、を
 備え、

10

前記第1可変抵抗および前記第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、前記第1出力端子から前記第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、

前記第1可変容量、前記第2可変容量、前記第3可変容量および前記第4可変容量は、互いに等しい容量値を有し、この容量値は、前記第1出力端子から前記第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されている

ポリフェーズフィルタ。

【請求項2】

請求項1に記載されたポリフェーズフィルタを用いたフィルタ回路であって、

20

前記第 1 出力端子から前記第 4 出力端子までの出力のうち、直交する信号間の振幅を比較して、振幅誤差を検出する振幅比較回路と、

前記振幅誤差を補正するように、前記第 1 可変抵抗および前記第 2 可変抵抗の抵抗値を演算する第 1 演算回路と、

前記第 1 出力端子から前記第 4 出力端子までの出力のうち、直交する信号間の位相を比較して、位相誤差を検出する振幅比較回路と、

前記第 1 可変抵抗および前記第 2 可変抵抗の抵抗値が設定された後に、前記位相誤差を補正するように、前記第 1 可変容量、前記第 2 可変容量、前記第 3 可変容量および前記第 4 可変容量の容量値を演算する第 2 演算回路と、

を備えたフィルタ回路。

10

【請求項 3】

請求項 1 に記載されたポリフェーズフィルタを用いたフィルタ回路であって、

前記第 1 出力端子から前記第 4 出力端子までの出力が入力され、直交する信号を合成して出力するベクトル合成形移相器と、

前記ベクトル合成形移相器で合成された信号の位相を検出する位相検出回路と、

入力された位相設定値に基づいて、前記ベクトル合成形移相器に制御信号を出力する位相制御用回路と、

前記位相検出回路からの出力値と、前記ベクトル合成形移相器に設定された位相設定値とを比較する位相比較回路と、

前記位相比較回路の比較結果に基づいて、前記ポリフェーズフィルタの振幅誤差および位相誤差を算出し、算出された振幅誤差および位相誤差を用いて、前記第 1 可変抵抗および前記第 2 可変抵抗の抵抗値、並びに前記第 1 可変容量、前記第 2 可変容量、前記第 3 可変容量および前記第 4 可変容量の容量値を演算する演算回路と、

20

を備えたフィルタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、I/Q 直交信号を生成するポリフェーズフィルタ、およびポリフェーズフィルタを用いたフィルタ回路に関する。

【背景技術】

30

【0002】

従来から、IRM (Image Rejection Mixer) やベクトル合成形移相器に用いられる I/Q 直交信号生成器として、ポリフェーズフィルタが知られている。ポリフェーズフィルタは、抵抗および容量により構成され、ベクトル合成形移相器の内部で I/Q 直交信号を生成する機能を有しており、低い挿入損失、高い振幅精度および位相精度が求められる。なお、一般的に、位相精度を向上させるために、ポリフェーズフィルタを多段にする手法がとられるが、挿入損失が劣化するという問題がある。

【0003】

ここで、このようなポリフェーズフィルタとして、出力される振幅誤差を補正するように、抵抗値および容量値を設定する振幅整合型ポリフェーズフィルタが提案されている。さらに、振幅整合型ポリフェーズフィルタと多段ポリフェーズフィルタとを組み合わせることで、振幅整合および位相整合を実現したポリフェーズフィルタが提案されている（例えば、特許文献 1 参照）。

40

【0004】

また、ポリフェーズフィルタを多段にすることなく位相精度を向上させるために、容量として可変容量であるバラクタを用いることで、高い位相精度を実現したポリフェーズフィルタが提案されている（例えば、非特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0005】

50

【特許文献1】特開2001-45080号公報

【非特許文献】

【0006】

【非特許文献1】H. Kodama et al. "A 1.3-degree I/Q Phase Error, 7.1-8.7-GHz LO Generator with Single-Stage Digital Tuning Polyphase Filter" 2010 Symposium on VLSI Circuits / Technical Digest of Technical Papers p. 145-146

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来技術には、以下のような課題がある。

すなわち、特許文献1では、可変抵抗と固定容量とを組み合わせることで振幅整合型ポリフェーズフィルタを構成しているため、可変抵抗の抵抗値を調整することにより振幅誤差は補正できるものの、位相誤差を補正することができないという課題がある。また、位相誤差を補正するために、振幅整合型ポリフェーズフィルタを多段ポリフェーズフィルタと組み合わせる場合には、上述したように挿入損失が劣化するという課題がある。

【0008】

また、非特許文献1では、固定抵抗とバラクタとを組み合わせることでポリフェーズフィルタを構成しているため、バラクタの容量値を調整することにより位相誤差は補正できるものの、バラクタは特に高周波領域においてQ値が低下する特性を有している。そのため、高周波領域ではバラクタに等価的に直列抵抗が接続されるようになるため、出力される直交信号間に振幅誤差が生じる恐れがあるという課題がある。

【0009】

また、特許文献1のポリフェーズフィルタと非特許文献1のポリフェーズフィルタとを組み合わせることにより、振幅誤差および位相誤差を補正することが考えられるが、ポリフェーズフィルタが2段構成となってしまうため、上述したように挿入損失が劣化するという課題がある。

【0010】

この発明は、上記のような課題を解決するためになされたものであり、1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができるポリフェーズフィルタを得ることを目的とする。

【課題を解決するための手段】

【0011】

この発明に係るポリフェーズフィルタは、一端が第1入力端子に、他端が第1出力端子にそれぞれ接続された第1固定抵抗と、一端が第1入力端子に、他端が第2出力端子にそれぞれ接続された第1可変抵抗と、一端が第2入力端子に、他端が第3出力端子にそれぞれ接続された第2固定抵抗と、一端が第2入力端子に、他端が第4出力端子にそれぞれ接続された第2可変抵抗と、一端が第1入力端子に、他端が第1出力端子にそれぞれ接続された第1可変容量と、一端が第1入力端子に、他端が第2出力端子にそれぞれ接続された第2可変容量と、一端が第1入力端子に、他端が第3出力端子にそれぞれ接続された第3可変容量と、一端が第2入力端子に、他端が第4出力端子にそれぞれ接続された第4可変容量と、を備え、第1可変抵抗および第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量、第2可変容量、第3可変容量および第4可変容量は、互いに等しい容量値を有し、この容量値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されているものである。

【発明の効果】

【0012】

10

20

30

40

50

この発明に係るポリフェーズフィルタによれば、第1可変抵抗および第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量、第2可変容量、第3可変容量および第4可変容量は、互いに等しい容量値を有し、この容量値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されている。

そのため、1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができる。

【図面の簡単な説明】

【0013】

【図1】従来のポリフェーズフィルタの問題を説明するための回路図である。

【図2】従来のポリフェーズフィルタの問題を説明するための部分回路図である。

【図3】従来のポリフェーズフィルタの問題を説明するためのグラフである。

【図4】従来のポリフェーズフィルタの問題を説明するための回路図である。

【図5】この発明の実施の形態1に係るポリフェーズフィルタを用いたフィルタ回路を示す回路図である。

【図6】この発明の実施の形態1に係るポリフェーズフィルタを用いたフィルタ回路の効果を説明するためのグラフである。

【図7】この発明の実施の形態1に係るポリフェーズフィルタを用いたフィルタ回路の効果を説明するためのグラフである。

【図8】この発明の実施の形態2に係るポリフェーズフィルタを用いたフィルタ回路を示す回路図である。

【発明を実施するための形態】

【0014】

以下、この発明に係るポリフェーズフィルタおよびフィルタ回路の好適な実施の形態につき図面を用いて説明するが、各図において同一、または相当する部分については、同一符号を付して説明する。

【0015】

まず、実施の形態の説明に先立って、図1～4を参照しながら、上述した従来のポリフェーズフィルタにおける問題について詳細に説明する。なお、図1～3は、非特許文献1のポリフェーズフィルタに関連し、図4は、特許文献1のポリフェーズフィルタに関連している。

【0016】

図1は、従来のポリフェーズフィルタの問題を説明するための回路図である。図1において、このポリフェーズフィルタは、4個の固定抵抗 R_0 と4個のバラクタ C_0 とから構成されている。

【0017】

また、差動信号が第1入力端子および第2入力端子に入力され、出力される直交信号のうち、I差動信号が第1出力端子および第3出力端子から出力され、Q差動信号が第2出力端子および第4出力端子から出力される。ここで、プロセスや温度等のばらつきにより、出力される直交信号に位相誤差が生じることがある。

【0018】

このとき、バラクタ C_0 の容量値を調整することにより、位相誤差を補正することができる。しかしながら、バラクタ C_0 は特に高周波領域においてQ値が低下する特性を有しているので、高周波領域では、図2に示されるように、バラクタ C_0 に等価的に直列抵抗 r が接続されたように見える。そのため、出力される直交信号間に振幅誤差が生じる恐れがあるという問題がある。

【0019】

例えば、10GHzにおいてバラクタ C_0 のQ値が10と低い値を示す場合に、バラクタ C_0 には、等価的に抵抗 $r = 5$ が直列に接続されたものと考えられる。ここで、図3

10

20

30

40

50

に示されるように、10GHzにおいて位相誤差を0degに設定した場合に、 $r = 0$ のときはI/Q直交信号の振幅誤差が0dBであるのに対して、 $r = 5$ としたときは、I/Q直交信号の振幅誤差が0.9dBとなってしまう。

【0020】

このように、図1に示した従来の1段構成のポリフェーズフィルタでは、抵抗値を固定にして、バラクタ C_0 の容量値を調整することで位相誤差を補正しているものの、振幅誤差は補正することができないという問題がある。

【0021】

図4は、従来のポリフェーズフィルタの問題を説明するための回路図である。図4において、このポリフェーズフィルタは、2個の可変抵抗 R_0 および2個の可変抵抗 R'_0 と4個の固定容量 C_0 とから構成されている。

10

【0022】

ここで、第2入力端子および第4入力端子への差動入力信号の振幅が、振幅誤差をとして第1入力端子および第3入力端子への差動入力信号の振幅の $(1 +)$ 倍大きく位相誤差が90度である場合について考える。

【0023】

このとき、固定容量 C_0 は変化させずに、可変抵抗 R_0 の抵抗値を振幅誤差がない場合の抵抗値の $(1 +)$ 分の1倍に、可変抵抗 R'_0 の抵抗値を振幅誤差がない場合の抵抗値の $(1 +)$ 倍にすることにより、振幅誤差を補正することができる。

【0024】

20

なお、これらの制御は、IF信号の角周波数を ω_0 とした場合に、 $\omega_0 C_0 R_0 = 1 / (1 +)$ および $\omega_0 C_0 R'_0 = 1 +$ を満たすことで成り立つことから、容量 C_0 または抵抗 R_0 のどちらかを固定にしないと制御することができない。

【0025】

このように、図4に示した従来の1段構成のポリフェーズフィルタでは、容量値を固定にして、可変抵抗の抵抗値を調整することで振幅誤差のみを補正しているので、位相誤差は補正することができないという問題がある。

【0026】

また、図1に示した従来のポリフェーズフィルタと図4に示した従来のポリフェーズフィルタとを組み合わせることにより、振幅誤差および位相誤差を0にして、振幅整合および位相整合を実現することが考えられるが、ポリフェーズフィルタが2段構成となってしまうので、低い挿入損失を実現することができないという問題がある。

30

【0027】

そこで、以下の実施の形態では、1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができるポリフェーズフィルタ、およびポリフェーズフィルタを用いたフィルタ回路について説明する。

【0028】

実施の形態1.

図5は、この発明の実施の形態1に係るポリフェーズフィルタを用いたフィルタ回路を示す回路図である。図5において、このフィルタ回路100は、ポリフェーズフィルタ11、振幅比較回路12、第1演算回路13、位相比較回路14および第2演算回路15を備えている。

40

【0029】

ポリフェーズフィルタ11は、第1固定抵抗および第2固定抵抗からなる2個の固定抵抗 R_1 並びに第1可変抵抗および第2可変抵抗からなる2個の可変抵抗 R_2 と、第1可変容量、第2可変容量、第3可変容量および第4可変容量からなる4個の可変容量 C_1 とから構成されている。

【0030】

また、第1固定抵抗 R_1 の一端が第1入力端子に、他端が第1出力端子にそれぞれ接続され、第1可変抵抗 R_2 の一端が第1入力端子に、他端が第2出力端子にそれぞれ接続さ

50

れ、第2固定抵抗 R_1 の一端が第2入力端子に、他端が第3出力端子にそれぞれ接続され、第2可変抵抗 R_2 の一端が第2入力端子に、他端が第4出力端子にそれぞれ接続されている。

【0031】

また、第1可変容量 C_1 の一端が第2入力端子に、他端が第1出力端子にそれぞれ接続され、第2可変容量 C_1 の一端が第1入力端子に、他端が第2出力端子にそれぞれ接続され、第3可変容量 C_1 の一端が第1入力端子に、他端が第3出力端子にそれぞれ接続され、第4可変容量 C_1 の一端が第2入力端子に、他端が第4出力端子にそれぞれ接続されている。

【0032】

ここで、ポリフェーズフィルタ11は、第1可変抵抗 R_2 および第2可変抵抗 R_2 が、互いに等しい抵抗値を有し、この抵抗値が、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量 C_1 、第2可変容量 C_1 、第3可変容量 C_1 および第4可変容量 C_1 が、互いに等しい容量値を有し、この容量値が、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されて、振幅位相整合型ポリフェーズフィルタを構成している。

【0033】

振幅比較回路12は、第3出力端子および第4出力端子から出力される直交信号が入力され、比較結果を示す信号が第1演算回路13に出力される。第1演算回路13は、振幅比較回路12からの信号が入力され、第1可変抵抗 R_2 および第2可変抵抗 R_2 に制御信号

【0034】

位相比較回路14は、第1出力端子および第2出力端子から出力される直交信号が入力され、比較結果を示す信号が第2演算回路15に出力される。第2演算回路15は、位相比較回路14からの信号が入力され、第1可変容量 C_1 、第2可変容量 C_1 、第3可変容量 C_1 および第4可変容量 C_1 に制御信号を出力する。

【0035】

以下、上記構成のフィルタ回路100の動作について説明する。

振幅比較回路12は、第3出力端子および第4出力端子から出力される直交信号に基づいて、振幅誤差を検出する。ここで、振幅誤差は、入力信号のばらつきや温度ばらつき、プロセスばらつき等の要因で動的に変動する値であり、入力端子に理想差動信号が入力された場合は、 $= 0$ となる。

【0036】

第1演算回路13は、振幅比較回路12で検出された振幅誤差を用いて、第1可変抵抗 R_2 および第2可変抵抗 R_2 を最適化する。このとき、可変容量 C_1 のQ値が低く、等価的に直列抵抗 r が接続されていると仮定すると、振幅誤差と可変抵抗 R_2 の間には、次式(1)の関係が成立する。

【0037】

$$= [\{ (r / R_1) ^ 2 + (R_2 / r) ^ 2 \} / 2] - 1 \cdot \cdot \cdot (1)$$

【0038】

式(1)において、振幅誤差が0に近い領域では、振幅誤差は、可変抵抗 R_2 に対して単調増加特性を示している。すなわち、第1演算回路13は、振幅誤差が0になるように可変抵抗 R_2 の値を繰り返し制御することで、値を収束させることができる。

【0039】

位相比較回路14は、第1出力端子および第2出力端子から出力される直交信号に基づいて、位相誤差を検出する。ここで、入力信号のばらつきや温度ばらつき、プロセスばらつき等の要因で振幅誤差は動的に変動する値であり、入力端子に理想差動信号が入力された場合は $= 0$ となる。

【0040】

第2演算回路15は、位相比較回路14で検出された位相誤差を用いて、第1可変容

量 C_1 、第2可変容量 C_1 、第3可変容量 C_1 および第4可変容量 C_1 を最適化する。このとき、位相誤差 と可変容量 C_1 との間には、次式(2)の関係が成立する。

【0041】

$$\tan = \{ (C_1)^2 \times R_1 R_2 + 1 \} / \{ (C_1)^2 \times R_1 R_2 - 1 \} \cdots (2)$$

【0042】

すなわち、第2演算回路15は、振幅誤差 が0になるように可変容量 C_1 の値を繰り返し制御することで、値を収束させることができる。ここで、式(1)に示されるように、振幅誤差 は可変容量 C_1 に依存しないため、 $=0$ となるように可変容量 C_1 を制御しても、振幅誤差 には影響しない。

【0043】

なお、動的に変動する振幅誤差 に応じて、これらの可変抵抗 R_2 および可変容量 C_1 を最適化する手順が行われるので、可変抵抗 R_2 および可変容量 C_1 も動的に変動することになる。

【0044】

図6および図7は、この発明の実施の形態1に係るポリフェーズフィルタを用いたフィルタ回路の効果を説明するためのグラフである。なお、図6は振幅誤差特性を示し、図7は位相誤差特性を示している。

【0045】

図6、7において、例えばある素子定数の場合(調整前)に、10GHzにおいて振幅誤差 1.9dB、位相誤差 5.6deg の特性が得られているとする。ここで、上述した方法により可変抵抗 R_2 および可変容量 C_1 を制御すると、図に示すように、振幅誤差を0dB、位相誤差 0deg (位相誤差 90deg) に補正することができた。

【0046】

このように、ポリフェーズフィルタ11は、出力端での直交信号間の振幅誤差を振幅比較回路12で比較し、振幅誤差を補正するように可変抵抗 R_2 を調整することによって、I/Q直交信号の振幅整合を実現するとともに、出力端での直交信号間の位相誤差を位相比較回路14で比較し、位相誤差を補正するように可変容量 C_1 を調整することによって、I/Q直交信号の位相整合を実現している。また、この手順で制御を行うことにより、振幅整合および位相整合を同時に実現することができる。

【0047】

以上のように、実施の形態1によれば、ポリフェーズフィルタにおいて、第1可変抵抗および第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量、第2可変容量、第3可変容量および第4可変容量は、互いに等しい容量値を有し、この容量値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されている。

そのため、1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができる。

【0048】

実施の形態2 .

図8は、この発明の実施の形態2に係るポリフェーズフィルタを用いたフィルタ回路を示す回路図である。図8において、このフィルタ回路100Aは、ポリフェーズフィルタ11、ベクトル合成形移相器21、位相検出回路22、位相比較回路23、演算回路24および位相制御用回路25を備えている。

【0049】

ポリフェーズフィルタ11は、上記実施の形態1で示したものと同一の構成を有する振幅位相整合型ポリフェーズフィルタであり、入力側に入力端子111、112が接続され、出力側に出力端子113~116が接続されている。出力端子113~116からは、4本の直交差動信号が出力され、分岐してベクトル合成形移相器21に入力される。

【0050】

10

20

30

40

50

ベクトル合成形移相器 2 1 は、VGA__I 2 1 1 およびVGA__Q 2 1 2 から構成されている。ここで、VGAは、Variable Gain Amplifierの略である。VGA__I 2 1 1 およびVGA__Q 2 1 2 は、ポリフェーズフィルタ 1 1 からのI/Q直交差動信号および位相制御用回路 2 5 からの制御信号がそれぞれ入力され、直交信号を合成して位相検出回路 2 2 に出力する。

【0051】

位相検出回路 2 2 の入力側は、ベクトル合成形移相器 2 1 の出力側に接続され、位相検出回路 2 2 の出力側は、位相比較回路 2 3 の入力側に接続されている。また、位相比較回路 2 3 の入力側は、位相検出回路 2 2 の出力側に接続され、位相比較回路 2 3 の出力側は、演算回路 2 4 の入力側に接続されている。

10

【0052】

演算回路 2 4 の入力側は、位相比較回路 2 3 の出力側に接続され、演算回路 2 4 の出力側は、ポリフェーズフィルタ 1 1 に接続されている。また、位相制御用回路 2 5 の入力側は、演算回路 2 4 の出力側に接続され、位相制御用回路 2 5 の出力側は、位相比較回路 2 3、VGA__I 2 1 1 およびVGA__Q 2 1 2 に接続されている。

【0053】

ここで、演算回路 2 4 は、位相比較回路 2 3 からの信号が入力され、ポリフェーズフィルタ 1 1 に制御信号を出力するとともに、位相制御用回路 2 5 にも制御信号を出力する。また、位相制御用回路 2 5 は、VGA__I 2 1 1 およびVGA__Q 2 1 2 のみならず、位相比較回路 2 3 にも制御信号を出力する。

20

【0054】

以下、上記構成のフィルタ回路 1 0 0 A の動作について説明する。

ポリフェーズフィルタ 1 1 は、入力端子 1 1 1、1 1 2 から入力された差動信号をI/Q直交差動信号に変換する。ここで、ポリフェーズフィルタ 1 1 の素子ばらつきにより、振幅誤差 および位相誤差 が生じているとする。

【0055】

なお、振幅誤差 および位相誤差 は、入力信号のばらつきや温度ばらつき、プロセスばらつき等の要因で動的に変動する値であり、入力端子に理想差動信号が入力された場合は、 $\epsilon = 0$ および $\theta = 0$ となる。また、振幅誤差 および位相誤差 は、後述するベクトル合成形移相器 2 1 および演算回路 2 4 等で構成されるループにより補正される。具体的な補正手順は、以下の通りである。

30

【0056】

まず、演算回路 2 4 は、ベクトル合成形移相器 2 1 の移相量を、0 ~ 360 度まで複数のポイントでスイープする。また、ベクトル合成形移相器 2 1 は、位相制御用回路 2 5 を通して与えられたVGAの位相設定値に従って動作し、出力の位相を決定する。ただし、ポリフェーズフィルタ 1 1 には、上述したように振幅誤差 および位相誤差 が生じているため、出力信号の位相は、位相設定値からの誤差を含んでいる。

【0057】

続いて、この振幅誤差 および位相誤差 を、位相検出回路 2 2 および位相比較回路 2 3 により検出する。ここで、位相比較回路 2 3 の比較結果を演算回路 2 4 に入力することで、ベクトル合成形移相器 2 1 の誤差特性を求めることができ、その誤差特性から逆算することで、ポリフェーズフィルタ 1 1 の振幅誤差 および位相誤差 を算出することができる。

40

【0058】

次に、算出された振幅誤差 および位相誤差 を用いて、上記実施の形態 1 で示した方法により、ポリフェーズフィルタ 1 1 の可変抵抗 R_2 および可変容量 C_1 の値を最適化する。これにより、ポリフェーズフィルタ 1 1 の振幅誤差 および位相誤差 を補正することができる。

【0059】

なお、動的に変動する振幅誤差 に応じて、これらの可変抵抗 R_2 および可変容量 C_1 を

50

最適化する手順が行われるので、可変抵抗 R_2 および可変容量 C_1 も動的に変動することになる。

【0060】

以上のように、実施の形態2によれば、ポリフェーズフィルタにおいて、第1可変抵抗および第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量、第2可変容量、第3可変容量および第4可変容量は、互いに等しい容量値を有し、この容量値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されている。

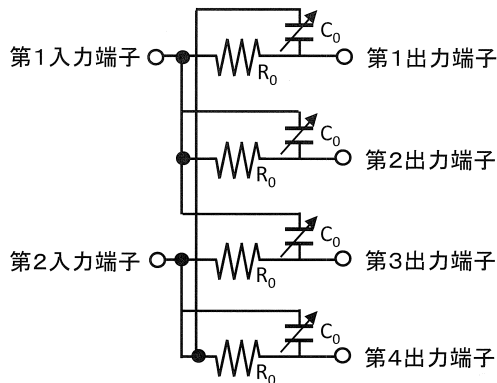
そのため、1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができる。

10

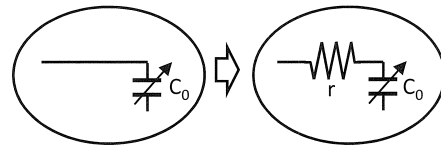
【要約】

1段構成で低い挿入損失を実現しつつ、振幅整合および位相整合を実現することができるポリフェーズフィルタを得る。第1可変抵抗および第2可変抵抗は、互いに等しい抵抗値を有し、この抵抗値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の振幅誤差を補正するように設定され、第1可変容量、第2可変容量、第3可変容量および第4可変容量は、互いに等しい容量値を有し、この容量値は、第1出力端子から第4出力端子までの出力のうち、直交する信号間の位相誤差を補正するように設定されている。

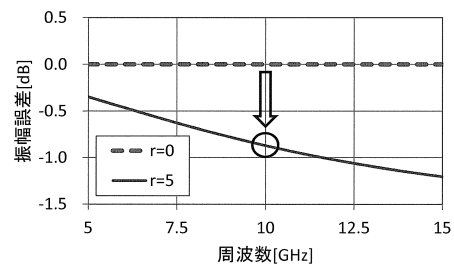
【図1】



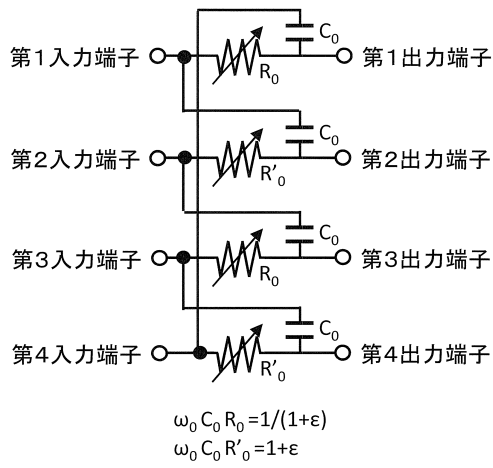
【図2】



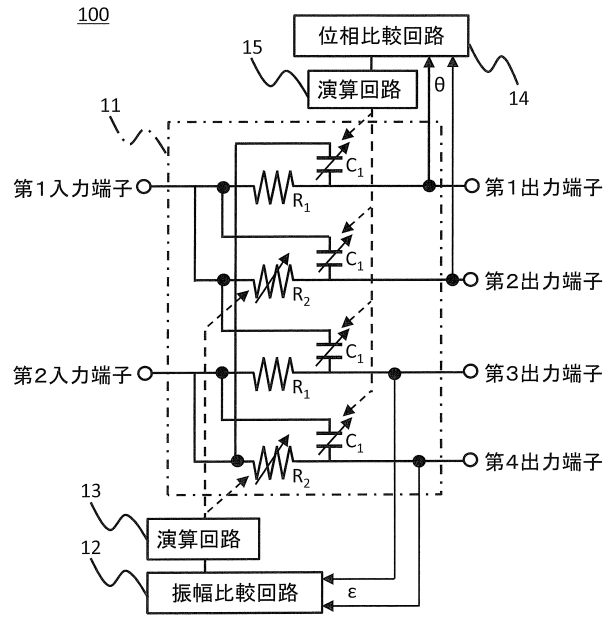
【図3】



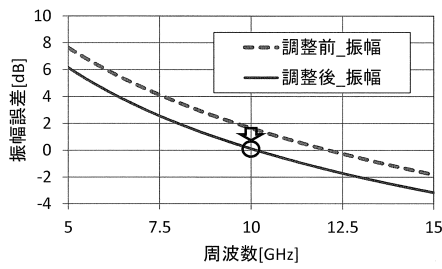
【 図 4 】



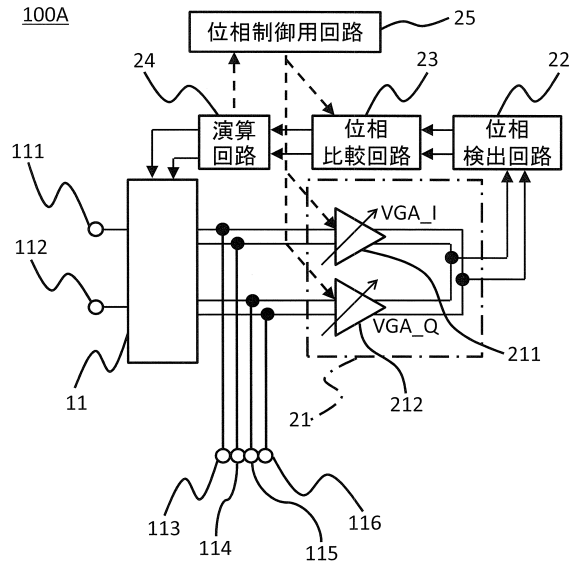
【 図 5 】



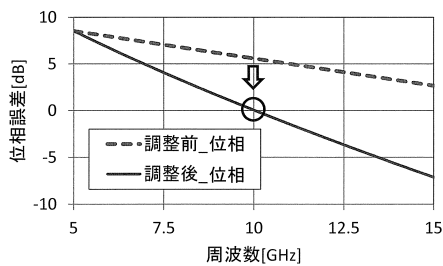
【 図 6 】



【 図 8 】



【 図 7 】



フロントページの続き

- (72)発明者 加藤 淳
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 谷口 英司
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 丸山 隆也
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 藤原 孝信
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 堤 恒次
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 高 橋 義昭

- (56)参考文献 特開2010-21826(JP,A)
特開2011-160214(JP,A)
特開2001-119269(JP,A)
国際公開第2009/142201(WO,A1)
米国特許出願公開第2004/0116096(US,A1)
米国特許出願公開第2008/0094133(US,A1)
特開2000-13168(JP,A)
特開平2-29024(JP,A)
特開平10-75157(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03H 7/18 7/20 7/21