



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0033882
(43) 공개일자 2020년03월30일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) G09G 3/32 (2016.01)
H01L 23/485 (2006.01) H01L 23/50 (2006.01)
H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
G09G 3/32 (2013.01)
(21) 출원번호 10-2020-7004028
(22) 출원일자(국제) 2018년07월19일
심사청구일자 없음
(85) 번역문제출일자 2020년02월11일
(86) 국제출원번호 PCT/FR2018/051849
(87) 국제공개번호 WO 2019/016481
국제공개일자 2019년01월24일
(30) 우선권주장
1756984 2017년07월21일 프랑스(FR)

(71) 출원인
알레디아
프랑스 38040 그르노블 7 파르비스 루이 네엘 비
피 50 바띠마 오 페끄놀로지 엔° 52 세 미나페끄
(72) 발명자
휴곤 자비에
프랑스 38470 테세 라 샤테이니에르 슈만 드 발리
에 800
질렛 필리프
프랑스 38470 테세 슈만 르 브르통 115
(뒷면에 계속)
(74) 대리인
이준성

전체 청구항 수 : 총 16 항

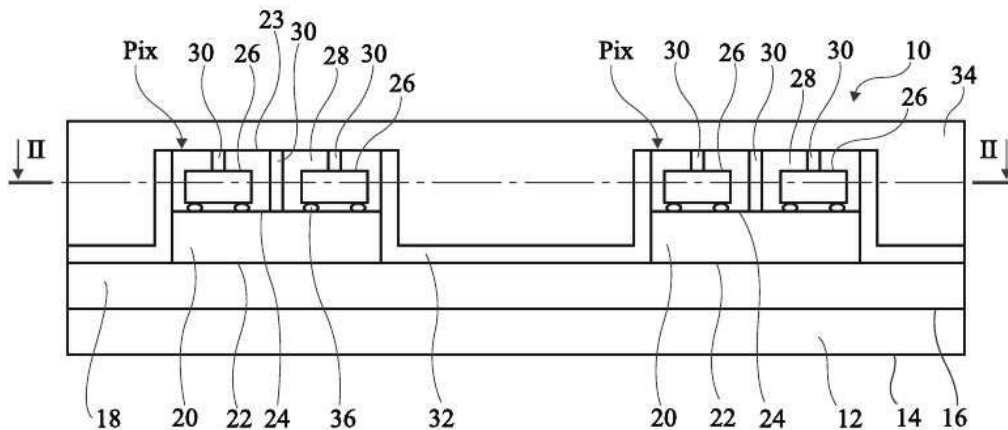
(54) 발명의 명칭 광전자 장치

(57) 요약

본 발명은 광전자 장치(10)에 관한 것으로,
지지대(12)와,
지지대를 덮고 있는 하나 이상의 제1 전기적-도전층(18)과,

(뒷면에 계속)

대표도 - 도1



제1 전기적-도전층에 접착되어 있는, 제1 및 제2 대향 표면(22, 23)을 갖는 표시 픽셀 회로(Pix)로서, 각 표시 픽셀 회로는, 제1 표면과 제1 표면에 대향하는 제3 표면(24)을 가지며, 제1 표면이 제1 전기적-도전층에 접착되어 있는 전자 회로(20)와, 제3 표면에 접착되어 있으며, 하나 이상의 발광 다이오드(LED)를 갖는 하나 이상의 광 전자 회로(26)를 포함하며, 발광 다이오드의 전극들 중 하나 이상이 제3 표면에 의해서 전자 회로에 접속되어 있는 표시 픽셀 회로와,

상기 표시 픽셀 회로를 덮고 있고 제2 표면측에서 표시 픽셀 회로의 전자 회로에 전기적으로 연결되어 있는 하나 이상의 제2 전기적-도전층(34)

을 포함한다.

(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 23/50 (2013.01)

H01L 33/62 (2013.01)

(72) 발명자

로빈 이반-크리스토프

프랑스 38000 그르노블 애비뉴 드 비질 15

부합리 진

프랑스 38000 그르노블 뤼 아브 그레고아르 비스

41

메르시에 프레드릭

프랑스 38500 세인트 니콜라스 드 마세린 루트 데
콤브 50

샤르보니에 마티유

프랑스 38600 퐁텐느 뤼 드 라 시페 12

명세서

청구범위

청구항 1

광전자 장치(10; 40; 50; 60; 70)로서,

지지대(12)와,

상기 지지대를 덮고 있는 하나 이상의 제1 전기적-도전층(18)과,

상기 제1 전기적-도전층에 접촉되어 있는 제1 및 제2 대향 표면(22, 23)을 구비하는 표시 픽셀 회로(Pix)로서, 각 표시 픽셀 회로는, 상기 제1 표면과 상기 제1 표면에 대향하는 제3 표면(24)을 구비하며 상기 제1 표면이 상기 제1 전기적-도전층에 접촉되어 있는 전자 회로(20)와, 상기 제3 표면에 접촉되어 있으며 하나 이상의 발광 다이오드(LED)를 구비하는 하나 이상의 광전자 회로(26; 42)를 구비하며, 상기 발광 다이오드의 전극들 중 하나 이상이 상기 제3 표면에 의해서 상기 전자 회로에 접속되어 있는, 표시 픽셀 회로(Pix)와,

상기 하나 이상의 표시 픽셀 회로를 덮고 있고 상기 제2 표면측에서 상기 하나 이상의 표시 픽셀 회로의 전자 회로에 전기적으로 연결되어 있는 하나 이상의 제2 전기적-도전층(34)

을 구비하는 광전자 장치.

청구항 2

제1항에 있어서,

상기 표시 픽셀 회로(Pix) 사이에서 상기 제1 전기적-도전층(18)을 덮고 있는 전기적-절연층(32)을 더 구비하는 광전자 장치.

청구항 3

제2항에 있어서,

상기 전기적-절연층(32)은 상기 표시 픽셀 회로(Pix)의 측면을 덮고 있는 광전자 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 하나 이상의 표시 픽셀 회로(Pix)는 전자 회로(20)와 광전자 회로(26; 42)를 덮고 있는 전기적-절연부(28)를 더 구비하며, 하나 이상의 전기적-도전성 소자(30)가 상기 전기적-절연부를 가로질러 상기 제2 전기적-도전층(34) 및 상기 광전자 회로(26; 42) 또는 상기 전자 회로(20)에 연결되어 있는 광전자 장치.

청구항 5

제4항에 있어서,

상기 하나 이상의 표시 픽셀 회로(Pix)에 대하여, 상기 광전자 회로(42)는 상기 광전자 회로의 나머지로부터 전기적으로 절연되어 있고 상기 전자 회로(20)와 상기 도전성 소자(30)에 전기적으로 연결되어 있는 관통 접속(48)을 구비하는 광전자 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 지지대(12)를 덮고 있는 2 이상의 분리된 제1 전기적-도전층(52)으로서, 상기 표시 픽셀 회로 중 제1 표시 픽셀 회로(Pix)가 각 제1 전기적-도전층에 부착되어 있는, 2 이상의 분리된 제1 전기적-도전층(52)과, 각각이, 상기 표시 픽셀 회로 중 제2 표시 픽셀 회로를 덮고 있으며 상기 제2 표시 픽셀 회로의 전자 회로(20)에 전기적으로 연결되어 있는 2 이상의 제2 전기적-도전층(34)을 구비하는 광전자 장치.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 제1 전기적-도전층(18)과 상기 제2 전기적-도전층(34) 사이에, 제어 신호(COM)에 의하여 변조된 전압(V_E)을 제공하는 유닛(unit)을 구비하고, 각 표시 픽셀 회로(Pix)의 전자 회로(20)는 상기 제어 신호를 추출하기 위하여 상기 전압을 복조할 수 있는 광전자 장치.

청구항 8

제7항에 있어서,

각 전자 회로(20)는 그 안에 저장된 식별자를 갖는 메모리를 구비하며, 상기 전자 회로에 저장된 상기 식별자들은 상이하며, 각 전자 회로(20)는 변조된 전압(V_E)으로부터 상기 식별자 중 하나를 대표하는 정보를 추출할 수 있는 회로를 구비하는 광전자 장치.

청구항 9

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제2 전기적-도전층(34)에 통합 가능하며, 상기 표시 픽셀 회로(Pix)의 광전자 회로(26; 42)에 연결되어 있고, 전자기 방사선을 안내할 수 있는 하나 이상의 도파관(64)을 구비하는 광전자 장치.

청구항 10

제9항에 있어서,

상기 장치는 상기 도파관과 연결된 상기 전자기 방사선의 소스(68)를 더 구비하며, 각 표시 픽셀 회로(Pix)에 대하여, 상기 광전자 회로(26; 42)는, 측정 신호를 상기 전자 회로(20)로 공급할 수 있는 상기 전자기 방사선의 센서를 구비하는 광전자 장치.

청구항 11

제10항에 있어서,

상기 소스(68)는, 상기 전자기 방사선을 제어 신호(COM)로 변조할 수 있으며, 각 표시 픽셀 회로(Pix)에 대하여, 상기 전자 회로(20)는, 상기 제어 신호를 추출하기 위하여 상기 측정 신호를 복조할 수 있는 광전자 장치.

청구항 12

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 표시 픽셀 회로(Pix)의 다른 조합체들의 광전자 회로(26; 42)에 연결된, 제2 전기적-도전층(34)에 통합 가능한 2 이상의 도파관을 구비하는 광전자 장치.

청구항 13

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 도파관(64)과 상기 표시 픽셀 회로(Pix)의 적어도 일부 사이에 광학적 결합 수단(70)을 더 구비하는 광전자 장치.

청구항 14

광전자 장치(10; 40; 50; 60; 70)를 제조하는 방법으로서,

a) 제1 및 제2 대향 표면(22, 23)을 구비하는 표시 픽셀 회로(Pix)를 제조하는 스텝으로서, 각각은, 상기 제1 표면과 상기 제1 표면에 대향하는 제3 표면(24)을 구비하는 전자 회로(20)와, 상기 제3 표면에 접촉되어 있으며 하나 이상의 발광 다이오드(LED)를 구비하는 하나 이상의 광전자 회로(26; 42)를 구비하며, 상기 발광 다이오드의 전극들 중 하나 이상이 상기 제3 표면에 의하여 상기 전자 회로에 접속되어 있는, 스텝과,

- b) 하나 이상의 제1 전기적-도전층(18)으로 덮여 있는 지지대(12)를 제조하는 스텝과,
 - c) 상기 제1 전기적-도전층에 각 표시 픽셀 회로의 전자 회로(20)의 상기 제1 표면을 접착하는 스텝과,
 - d) 상기 하나 이상의 표시 픽셀 회로를 덮고 있으며, 상기 제2 표면측에서 상기 하나 이상의 표시 픽셀 회로의 상기 광전자 회로에 전기적으로 연결되어 있는 하나 이상의 제2 전기적-도전층(34)을 형성하는 스텝
- 을 구비하는 광전자 장치 제조 방법.

청구항 15

제14항에 있어서,

스텝 c)와 d) 사이에, 상기 표시 픽셀 회로(Pix) 사이에서 상기 제1 전기적-도전층(18)을 덮는 전기적-절연층(32)을 형성하는 스텝을 구비하는 광전자 장치 제조 방법.

청구항 16

제14항 또는 제15항에 있어서,

스텝 a)는, 상기 하나 이상의 표시 픽셀 회로(Pix)에 대하여, 상기 전자 회로(20)와 상기 광전자 회로(26; 42)를 덮는 전기적-절연부(18)와, 상기 전기적-절연부를 가로지르고 있으며 상기 제2 전기적-도전층(34)에 그리고 상기 광전자 회로(26; 42) 또는 상기 전자 회로(20)에 전기적으로 연결되어 있는 하나 이상의 전기적-도전성 소자(30)를 형성하는 것을 구비하는 광전자 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 특허 출원은 본원에 참조로 포함된 프랑스 특허 출원 제FR17/56984호를 우선권으로 주장한다.

배경 기술

[0002] 본 명세서에는, 반도체 재료에 기초하는, 이후 LED라고 불리는 발광 다이오드를 구비하는 광전자 장치, 특히 표시 화면 또는 화상 투사 장치, 및 그의 제조 방법에 관한 것이다.

발명의 내용

해결하려는 과제

[0003] 화상의 픽셀(pixel)은 광전자 장치에 의하여 표시된 화상의 단위 요소에 대응한다. 광전자 장치가 컬러 화상 표시 화면인 경우, 이것은, 일반적으로, 화상의 각 픽셀의 표시에 대하여, 실질적으로 단색(예를 들어, 적색, 녹색 및 청색)의 광 방사선을 각각 방출하는, 표시 서브-픽셀이라고도 불리는, 적어도 3개의 구성요소를 구비한다. 3개의 표시 서브-픽셀에 의하여 방출되는 방사선의 중첩은 표시된 화상의 픽셀에 대응하는 색감을 관찰자에게 제공한다. 이 경우, 화상의 픽셀을 표시하기 위하여 사용된 3개의 표시 서브-픽셀로 형성된 조립체를 광전자 장치의 표시 픽셀이라고 한다.

[0004] 각 표시 서브-픽셀은, 광 소스, 특히, 예를 들어 반도체 재료로 구성된 발광 다이오드를 구비할 수 있다. 발광 다이오드를 구비하는 광전자 장치, 특히 표시 화면 또는 화상 투사 장치를 제조하는 공지된 방법은, "픽 앤 플레이스(pick and place)" 방법이라고도 불리는 방법으로, 분리된 구성품의 형태로 발광 다이오드를 제조하고, 발광 다이오드들의 전기 접속용 도전 트랙을 구비할 수도 있는 지지대 상의 소정 위치에 각 발광 다이오드를 배치하는 것을 구비한다.

[0005] 그런 방법의 단점은 지지대 상에 발광 다이오드를 정확하게 배치하는 것을 일반적으로 요구한다는 것이다. 이것은 발광 다이오드의 크기가 감소할수록 더욱더 복잡한 정렬 방법의 실행을 요구한다.

[0006] 그런 방법의 또다른 단점은, 광전자 장치의 해상도의 증가는, 발광 다이오드를 지지대로 이송하는 수의 증가를 초래하고, 따라서 광전자 장치의 제조 시간의 증가를 초래하여, 산업 규모에서의 제조와 양립하지 못할 수 있다는 점이다.

- [0007] 조립된 단위 LED 구성품으로 만들어진 LED 표시를 크게 형성하기 위하여, 그 LED는, 많은 수의 LED를 제어하는 제어 회로와 조립되어야 한다. 다른 유닛들이 와이어에 의하여 함께 연결된다. 그런 조립체는 전송될 수 있는 데이터의 양을 감소시키고 이것은 영상 스트림의 표시를 어렵게 한다.
- [0008] 여러 제작자에 의하여 개발되고 있는 TV, 태블릿, 스마트폰 형태의 포맷을 위한, 마이크로미터-대역 LED 표시, 이후 μ LED 라고 불리는 표시에 대하여, 높은 해상도로 영상 스트림을 표시하기 위하여는 활성 어레이(active array)가 필요하다. 현재, 표시를 위한 활성 어레이는 박막 트랜지스터, 또는 TFT 내에 형성된다. TFT는 넓은 유리 표면 영역에 비정질 실리콘 또는 폴리실리콘의 증착을 사용하며, 넓은 표면 영역 상에서 복잡한 마이크로อิเล็กทรอนิกส์ 방법의 사용을 요구한다.
- [0009] LED 또는 μ LED를 제어 전자 장치와 통합하고 있는 소위 스마트 픽셀의 사용은 무-TFT(TFT-free) 활성 어레이를 형성할 수 있게 한다. 그런 활성 어레이는 픽셀 하에 놓인 전자 장치를 기반으로 하기 때문에 매우 넓은 표면 영역에 형성될 수 있다. 다른 한편으로는, 그런 전자 장치는 실리콘-기반 기술의 성능으로부터 이익을 얻을 수 있다. 이 기술을 지니고 있는 넓은 실외 또는 실내 화면은 활성 매트릭스에 의하여 제어될 수 있으며, 따라서 그들의 밝기를 증가시키고 또한 더 큰 데이터 스트림을 표시할 수 있다.
- [0010] 이 방법의 또다른 장점은 매우 많은 수의 픽셀로 넓은 화면을 형성하는 것이다. 미리 정해진 TFT 활성 매트릭스에 의해 또는 조립될 전자 장치에 의해 제약이 가해지지 않는다.
- 과제의 해결 수단**
- [0011] 따라서, 일 실시형태의 목적은 발광 다이오드를 구비하는 전송된 광전자 장치의 단점을 적어도 부분적으로 극복하는 것이다.
- [0012] 일 실시형태의 다른 목적은 광전자 장치의 제조 중에 광전자 장치의 지지대 상으로 구성품을 이송하는 수를 감소시키는 것이다.
- [0013] 일 실시형태의 또 다른 목적은 광전자 장치의 지지대 상의 구성품 배치에 대한 정확도 제약을 감소시키는 것이다.
- [0014] 일 실시형태의 또 다른 목적은 광전자 장치가 산업 규모로 저가로 제조될 수 있게 하는 것이다.
- [0015] 또 다른 목적은 광전자 장치가 활성 어레이를 구비하는 것이다.
- [0016] 또 다른 목적은 광전자 장치가 영상 스트림을 표시할 수 있게 하는 것이다.
- [0017] 따라서, 일 실시형태는
- [0018] 지지대와,
- [0019] 지지대를 덮고 있는 하나 이상의 제1 전기적-도전층과,
- [0020] 제1 전기적-도전층에 접촉되어 있는, 제1 및 제2 대향 표면을 구비하는 표시 픽셀 회로로서, 각 표시 픽셀 회로는, 제1 표면과 제1 표면에 대향하는 제3 표면을 구비하며, 제1 표면이 제1 전기적-도전층에 접촉되어 있는 전자 회로와, 제3 표면에 접촉되어 있으며, 하나 이상의 발광 다이오드를 구비하는 하나 이상의 광전자 회로를 구비하며, 발광 다이오드의 전극 중 하나 이상이 제3 표면에 의해서 전자 회로에 접속되어 있는 표시 픽셀 회로와,
- [0021] 표시 픽셀 회로를 덮고 있고 제2 표면측에서 표시 픽셀 회로의 전자 회로에 전기적으로 연결되어 있는 하나 이상의 제2 전기적-도전층
- [0022] 을 구비하는 광전자 장치를 제공한다.
- [0023] 일 실시형태에 따르면, 장치는 표시 픽셀 회로 사이에서 제1 전기적-도전층을 덮고 있는 전기적-절연층을 더 구비한다.
- [0024] 일 실시형태에 따르면, 전기적-절연층은 표시 픽셀 회로의 측면을 덮고 있다.
- [0025] 일 실시형태에 따르면, 각 표시 픽셀 회로는 전자 회로와 광전자 회로를 덮고 있는 전기적-절연부를 더 구비하며, 하나 이상의 전기적-도전성 소자는 전기적-절연부를 가로질러 제2 전기적 도전층 및 광전자 회로 또는 전자 회로에 전기적으로 연결되어 있다.

- [0026] 일 실시형태에 따르면, 각 표시 픽셀 회로에 대하여, 광전자 회로는 광전자 회로의 나머지로부터 전기적으로 절연되어 있고 전자 회로와 도전성 소자에 전기적으로 연결되어 있는 관통 접속을 구비하고 있다.
- [0027] 일 실시형태에 따르면, 장치는, 지지대를 덮고 있으며 각각에 상기 표시 픽셀 회로의 조립체가 접촉되어 있는 2 이상의 제1 분리된 전기적-도전층과, 상기 표시 픽셀 회로의 조립체들 중 하나를 각각이 덮고 있으며 상기 표시 픽셀 회로의 조립체 중 하나의 전자 회로에 각각이 전기적으로 연결되어 있는 2 이상의 제2 전기적-도전층을 구비한다.
- [0028] 일 실시형태에 따르면, 장치는, 제1 전기적-도전층과 제2 전기적-도전층 사이에 제어 신호에 의하여 변조된 전압을 제공하는 유닛(unit)을 구비하고, 각 표시 픽셀 회로의 전자 회로는 제어 신호를 추출하기 위하여 상기 전압을 복조할 수 있다.
- [0029] 일 실시형태에 따르면, 각 전자 회로는 그 안에 저장된 식별자를 갖는 메모리를 구비하며, 전자 회로에 저장된 식별자들은 상이하며, 각 전자 회로는 변조된 전압으로부터 식별자 중 하나를 대표하는 정보를 추출할 수 있는 회로를 구비한다.
- [0030] 일 실시형태에 따르면, 장치는 제2 전기적-도전층에 가능한 한 통합되며, 표시 픽셀 회로의 광전자 회로에 연결되어 있고 전자기 방사선을 안내할 수 있는 하나 이상의 도파관을 구비한다.
- [0031] 일 실시형태에 따르면, 장치는, 도파관과 연결된 상기 전자기 방사선의 소스를 더 구비하며, 각 표시 픽셀 회로에 대하여, 광전자 회로는, 측정 신호를 전자 회로로 공급할 수 있는 상기 전자기 방사선의 센서를 구비한다.
- [0032] 일 실시형태에 따르면, 소스는, 전자기 방사선을 제어 신호로 변조할 수 있으며, 각 표시 픽셀 회로에 대하여, 전자 회로는, 제어 신호를 추출하기 위하여 측정 신호를 복조할 수 있다.
- [0033] 일 실시형태에 따르면, 장치는, 상기 표시 픽셀 회로의 다른 조립체들의 광전자 회로에 연결된 제2 전기적-도전층에 가능한 한 통합되어 있는 2 이상의 도파관을 구비한다.
- [0034] 일 실시형태에 따르면, 장치는 도파관과 표시 픽셀 회로의 적어도 일부 사이에 광학적 결합 수단을 더 구비한다.
- [0035] 일 실시형태는, 광전자 장치를 제조하는 방법을 제공하며, 그 방법은,
- [0036] a) 제1 및 제2 대향 표면을 구비하는 표시 픽셀 회로를 제조하는 스텝으로서, 각각은, 제1 표면과 제1 표면에 대향하는 제3 표면을 구비하는 전자 회로와, 제3 표면에 접촉되어 있으며 하나 이상의 발광 다이오드를 구비하는 하나 이상의 광전자 회로를 구비하며, 발광 다이오드의 전극들 중 하나 이상이 제3 표면에 의하여 전자 회로에 접속되어 있는 표시 픽셀 회로를 제조하는 스텝과,
- [0037] b) 하나 이상의 제1 전기적-도전층으로 덮여 있는 지지대를 제조하는 스텝과,
- [0038] c) 제1 전기적-도전층에 각 표시 픽셀 회로의 전자 회로의 제1 표면을 접촉하는 스텝과,
- [0039] d) 표시 픽셀 회로를 덮고 있으며, 제2 표면측에서 표시 픽셀 회로의 광전자 회로에 전기적으로 연결되어 있는 하나 이상의 제2 전기적-도전층을 형성하는 스텝을 구비한다.
- [0040] 일 실시형태에 따르면, 그 방법은, 스텝 c)와 d) 사이에, 표시 픽셀 회로 사이에서 제1 전기적-도전층을 덮는 전기적절연층을 형성하는 스텝을 구비한다.
- [0041] 일 실시형태에 따르면, 스텝 a)는, 각 표시 픽셀 회로에 대하여, 전자 회로와 광전자 회로를 덮는 전기적-절연부와, 전기적-절연부를 가로지르고 있으며 제2 전기적-도전층에 그리고 광전자 회로 또는 전자 회로에 전기적으로 연결되어 있는 하나 이상의 전기적-도전성 소자를 형성하는 것을 구비한다.

도면의 간단한 설명

- [0042] 진술된 특징 및 다른 특징 그리고 장점은 첨부된 도면과 관련하여 그것으로 제한되지 않는 이하의 특정 실시형태의 기재에서 상세하게 설명될 것이다.

도 1 및 도 2는 각각 광전자 장치의 일 실시형태의, 부분적으로 간략화된 측면면도 및 상면도이다.

도 3은 도 1 및 도 2에 도시된 광전자 장치의 표시 픽셀의 등가 전기 다이어그램이다.

도 4a 및 도 4b는 광전자 장치의 다른 실시형태의 부분 개략 측면도이다.

도 5는 도 4b에 도시된 광전자 장치의 표시 픽셀의 등가 전기 다이어그램이다.

도 6은 광전자 장치 제조 방법의 장점을 나타내는 도 1 및 도 2에 도시된 광전자 장치의 부분 개략 상면도이다.

도 7은 도 1 또는 도 4에 도시된 광전자 장치의 제어를 나타내는 다이어그램이다.

도 8a 및 도 8b는 광전자 장치의 다른 실시형태의 부분 개략 상면도이다.

도 9는 광전자 장치의 다른 실시형태의 부분 개략 측단면도이다.

도 10 내지 도 12는 광전자 장치의 다른 실시형태의 부분 개략 상면도이다.

도 13 및 도 14는 각각 제어될 표시 픽셀에 연결된 도전성 스트립(strip)에 인가되는 전위와 제어될 표시 픽셀의 전원 공급 단자들 사이에서 보여지는 전압의 타이밍 다이어그램이다.

도 15는 표시 픽셀의 일 실시형태의 등가 전기 다이어그램을 보여준다.

도 16은 도 15의 표시 픽셀의 일부분의 등가 전기 다이어그램을 보여준다.

도 17은 도 15의 표시 픽셀의 동작 중의 신호의 타이밍 다이어그램을 보여준다.

도 18 내지 도 21은 도 15의 표시 픽셀의 부분의 등가 전기 다이어그램을 보여준다.

도 22는 도 18에 도시된 실시형태와 관련된 제어 유닛을 갖는 표시 픽셀의 동작 중의 신호의 타이밍 다이어그램을 보여준다.

도 23은 표시 픽셀의 다른 실시형태의 등가 전기 다이어그램을 보여준다.

도 24 및 도 25는 도 23의 표시 픽셀의 부분의 등가 전기 다이어그램을 보여준다.

도 26은 도 23의 표시 픽셀의 동작 중의 신호의 타이밍 다이어그램을 보여준다.

도 27a 내지 도 27i는 도 1 및 도 2에 도시된 광전자 장치를 제조하는 방법의 또 다른 실시형태의 연속적인 스텝으로 얻은 구조의 부분 개략 측단면도이다.

도 28a 내지 도 28d는 도 4b에 도시된 광전자 장치를 제조하는 방법의 또 다른 실시 형태의 연속적인 스텝으로 얻은 구조의 부분 개략 측단면도이다.

발명을 실시하기 위한 구체적인 내용

[0043] 명확성을 위하여, 동일한 구성요소는 각각의 도면에서 동일한 참조번호로 지정되며, 또한 일반적으로, 전자 회로의 표시에 있어서, 각 도면은 일정한 비율로 되어 있지 않다. 또한, 본 명세서의 이해에 유용한 소자들만을 도시하고 설명할 것이다. 특히, 발광 다이오드의 구조는 당업자에게 잘 공지되어 있으므로 상세하게 설명하지 않는다.

[0044] 이하의 설명에 있어서, 용어 "상부", "하부", "높은", "낮은" 등과 같은 상대적 위치를 한정하는 용어가 언급될 때에는, 도면의 방향이 언급되거나 또는 사용의 일반적인 위치에서의 광전자 장치가 언급된다. 별도의 설명이 없다면, 용어 "거의", "약" 및 "의 정도"의 표현은, 10% 내, 바람직하게는 5% 내를 의미한다. 또한, 발광 다이오드의 "활성 영역"은 발광 다이오드에 의하여 공급되는 전자기 방사선의 대부분이 방출되는 발광 다이오드의 영역을 나타낸다. 또한, 제1 상수 상태, 예를 들어, "0"이라고 된 낮은 상태와 제2 상수 상태, 예를 들어 "1"이라고 된 높은 상태 사이에서 교차하는 신호를 "이진수 신호" 라고 한다. 동일한 전자 회로의 상이한 이진수 신호의 높고 낮은 상태는 상이할 수 있다. 특히 이진수 신호는, 높은 또는 낮은 상태에서 완전하게 일정하지 않을 수 있는 전압이나 또는 전류에 대응한다.

[0045] 도 1 및 도 2는, 예를 들어 표시 화면 또는 화상 투사 장치에 대응하며, 표시 픽셀을 구비하는 광전자 장치(10)의 일 실시형태를 보여주며, 도 1에서는 2개의 표시 픽셀이 도시되어 있고, 도 2에서는 3개의 표시 픽셀이 도시되어 있다. 도 1은 II-II 선을 따르는 도 2의 단면도이며 도 2는 I-I 선을 따르는 도 1의 단면도이다.

[0046] 장치(10)는, 도 1의 하부에서 상부로,

[0047] 바람직하게는 평행한, 대향하는 상부 표면 및 하부 표면(14, 16)을 구비하는 지지대(12)와,

[0048] 상부 표면(16)을 덮고 있는 전기적 도전층(18)을 구비하는 제1 전극층(18)과,

- [0049] 전극층(18)에 놓여 전극층(18)과 접촉하고 있으며, 하부 표면(22)과 하부 표면에 대향하는 상부 표면(23)을 구비하는, 이후 표시 픽셀 회로라고도 불리는, 표시 픽셀(Pix)
- [0050] 을 구비하며, 각 표시 픽셀(Pix)은
- [0051] 전자 회로(20)로서, 이후 제어 회로라고 불리며, 하부 표면(22)과 하부 표면에 대향하는 상부 표면(24)을 구비하며, 그 표면들(22, 24)은 바람직하게는 평행하며, 하부 표면(22)은 전극층(18)에, 예를 들어 접착 재료를 통하여 접착되어 있는 전자회로(20)와,
- [0052] 전자 회로(20)의 상부 표면(24)에 접착된 광전자 회로(26)로서, 도 2에서는 표시 픽셀(Pix)당 3개의 광전자 회로(26)가 도시되어 있으며, 각 광전자 회로(26)는 하나 이상의 발광 다이오드(도시되지 않음)를 구비하고 있는 광전자 회로(26)와,
- [0053] 광전자 회로(26)를 덮고 있으며, 광전자 회로(26) 사이의 제어 회로(20)의 상부 표면(24)을 덮고 있는 전기적-절연부(28)와,
- [0054] 절연부(28)를 가로지르고 있으며, 광전자 회로(26) 및 제어 회로(20)의 상부 표면(24)과 접촉하고 있는 전기적-도전성 소자(30)와,
- [0055] 표시 픽셀(Pix) 사이의 전극층(18)을 덮고 있으며, 전자 회로(20)의 측면 및 가능한 한 절연부(28)의 측면을 커버하는 전기적-절연층(32)과,
- [0056] 발광 다이오드에 의하여 방출된 방사선을 적어도 부분적으로 투과시키는 전기적 도전층을 구비하는 제2 전극층(34)으로서, 도전층(34)은 절연층(32)과 절연부(28)을 덮고 있으며 각 표시 픽셀(Pix)의 도전성 소자(30)와 접촉하고 있는 제2 전극층(34)을 구비하고 있다.
- [0057] 도시되지 않은, 캡슐화층이 도전층(34)을 덮을 수 있다.
- [0058] 전자 회로(20)의 하부 표면(22)이 접착 재료에 의하여 전극층(18)에 접촉될 때, 접착 재료는 바람직하게는 전기적 도전성이다. 변형으로서, 예를 들어, 전자 회로(20)의 하부 표면(22)의 주변에 배열된, 전기적 도전성이 아닌 접착 재료가 사용될 수 있다.
- [0059] 일 실시형태에 따르면, 각 광전자 회로(26)는 하나 이상의 발광 다이오드를 구비한다. 광전자 회로(26)가 2 이상의 발광 다이오드를 구비하는 경우에는, 광전자 회로(26)의 모든 발광 다이오드는 바람직하게는 실질적으로 동일한 파장의 광 방사선을 방출한다.
- [0060] 각 발광 다이오드는 활성 영역을 포함하는 실질적으로 평면인 반도체층의 적층을 구비하는 소위 2차원 발광 다이오드에 대응할 수 있다. 각 발광 다이오드는, 3차원 반도체 소자, 특히 마이크로와이어, 나노와이어, 원뿔, 절두체, 각뿔, 또는 각뿔대를 덮고 있는 반도체 셀을 구비하는 방사 구조를 갖는 하나 이상의 3차원 발광 다이오드를 구비할 수 있으며, 그 셀은 활성 영역을 포함하는 비-평면 반도체층의 적층으로 형성된다. 그런 발광 다이오드의 예는 특허 출원 US2014/0077151호 및 US2016/0218240호에 개시되어 있다. 각 발광 다이오드는, 셀이 반도체 소자의 축 방향 연장으로 배치된 축방향 구조를 갖는 하나 이상의 3차원 발광 다이오드를 구비할 수 있다.
- [0061] 각 표시 픽셀(Pix)에 대하여, 광전자 회로(26)는 "플립-칩"형 접속에 의하여 제어 회로(20)에 접촉될 수 있다. 광전자 회로(26)를 제어 회로(20)에 결합시키는 가용성의 도전성 소자(36), 예를 들어, 솔더볼 또는 인듐볼은 광전자 회로(26)와 제어 회로(20) 사이의 기계적 결합을 강화하고, 또한, 발광 다이오드 또는 광전자 회로(26)의 발광 다이오드를 전자 회로(20)에 전기 접속하는 것을 강화한다. 또 다른 실시형태에 따르면, 각 광전자 회로(26)는 직접 접착에 의하여 제어 회로(20)에 접촉될 수 있다.
- [0062] 일 실시형태에 따르면, 각 표시 픽셀(Pix)은 적어도 2 형태의 광전자 회로(26)를 구비한다. 제1 형태의 광전자 회로(26)는 제1 파장의 제1 방사선을 방출할 수 있으며, 제2 형태의 광전자 회로(26)는 제2 파장의 제2 방사선을 방출할 수 있다. 일 실시형태에 따르면, 각 표시 픽셀(Pix)은 적어도 3 형태의 광전자 회로(26)를 구비하며, 제3 형태의 광전자 회로는 제3 파장의 제3 방사선을 방출할 수 있다. 제1, 제2 및 제3 파장은 상이할 수 있다.
- [0063] 일 실시형태에 따르면, 제1 파장은 청색광에 대응하며 430nm 내지 490nm의 범위 내에 있다. 일 실시형태에 따르면, 제2 파장은 녹색광에 대응하며 510nm 내지 570nm의 범위 내에 있다. 일 실시형태에 따르면, 제3 파장은

적색광에 대응하며 600nm 내지 720nm의 범위 내에 있다.

- [0064] 일 실시형태에 따르면, 각 표시 픽셀(Pix)은 제4 형태의 광전자 회로(26)를 구비하며, 제4 형태의 광전자 회로(26)는 제4 파장의 제4 방사선을 방출할 수 있다. 제1, 제2, 제3 및 제4 파장은 상이할 수 있다. 일 실시형태에 따르면, 제4 파장은 노랑색광에 대응하며 570nm 내지 600nm의 범위에 있다. 또 다른 실시형태에 따르면, 제4 방사선은 적외선에 근접한 방사선, 특히 700nm와 980nm 사이의 방사선, 자외선 방사선, 또는 백색광에 대응한다.
- [0065] 각 광전자 회로(26)는 그 위에 놓여 있는 발광 다이오드 또는 발광 다이오드를 갖는 반도체 기판을 구비할 수 있다. 예를 들어, 반도체 기판은 실리콘, 게르마늄, 실리콘 카바이드, GaN 또는 GaAs 등의 III-V 화합물 등으로 이루어진 기판, ZnO 기판, 또는 사파이어 기판이다. 또 다른 실시형태에 따르면, 각 광전자 회로(26)는 기판을 구비하지 않는 것도 가능하다. 이때 발광 다이오드 또는 발광 다이오드들과 접촉하고 있는 광전자 회로(26)의 하부 표면에 미러(mirror)층이 배치될 수 있다. 일 실시형태에 따르면, 미러층은 발광 다이오드에 의하여 방출된 방사선을 적어도 부분적으로 반사할 수 있다.
- [0066] 각 제어 회로(20)는 발광 다이오드를 제어하기 위하여 사용되는, 도시되지 않은 전자 구성요소, 특히 트랜지스터를 구비할 수 있다. 각 제어 회로(26)는 그의 내부 및/또는 상부에 형성된 전자 구성품을 갖는 반도체 기판을 구비할 수 있다. 이 때, 제어 회로(20)의 하부 표면(22)은 전자 구성품이 형성된 측인 기판의 앞 표면에 대향하는 기판의 뒷 표면에 대응할 수 있다. 반도체 기판은, 예를 들어, 실리콘, 특히 단결정 실리콘으로 만들어진 기판이다.
- [0067] 바람직하게는 광전자 회로(26)는 발광 다이오드와 발광 다이오드의 접속 소자만을 구비하며, 제어 회로(20)는 광전자 회로(26)의 발광 다이오드를 제어하기에 필요한 모든 전자 구성품을 구비한다. 변형으로서, 광전자 회로(26)는 발광 다이오드에 부가하여 다른 전자 구성품도 구비할 수 있다.
- [0068] 광전자 장치(10)는 10 내지 10^9 개의 표시 픽셀(Pix)을 구비할 수 있다. 각 표시 픽셀(Pix)은 상면도에서 $1\mu\text{m}^2$ 내지 100mm^2 범위의 표면 영역을 차지할 수 있다. 각 표시 픽셀(Pix)의 두께는 $100\mu\text{m}$ 내지 10mm 범위에 있을 수 있다. 각 전자 회로(20)의 두께는 $1\mu\text{m}$ 내지 $2,000\mu\text{m}$ 범위에 있을 수 있다. 각 광전자 회로(26)의 두께는 $0.2\mu\text{m}$ 내지 $1,000\mu\text{m}$ 범위에 있을 수 있다.
- [0069] 지지대(12)는, 예를 들어, 폴리머, 특히 에폭시 수지, 특히 인쇄 회로 제조를 위해 사용되는 FR4 재료와, 또는, 금속 재료, 예를 들어 알루미늄을 구비하는 전기적-절연 재료로 이루어진다. 지지대(12)의 두께는 $100\mu\text{m}$ 내지 10mm 범위에 있다.
- [0070] 도전층(18)은 바람직하게는 금속층, 예를 들어, 알루미늄, 은, 구리 또는 아연에 대응한다. 도전층(18)의 두께는 $0.5\mu\text{m}$ 내지 $1,000\mu\text{m}$ 범위에 있을 수 있다.
- [0071] 각 절연부(28)는 유전체 재료, 예를 들어, 실리콘산화물(SiO_2), 실리콘질화물(Si_xN_y , 여기서 x는 약 3과 같으며 y는 약 4와 같고, 예를 들면, Si_3N_4), 실리콘산질화물(SiO_xN_y , 여기서 x는 약 1/2과 같고, y는 약 1과 같으며, 예를 들면 Si_2ON_2), 알루미늄산화물(Al_2O_3) 또는 하프늄산화물(HfO_2)로 이루어질 수 있다. 각 절연부(28)의 최대 두께는 $0.5\mu\text{m}$ 내지 $1,000\mu\text{m}$ 범위에 있을 수 있다.
- [0072] 각 도전성 소자(30)는 구리, 티타늄, 니켈, 금, 주석, 알루미늄 및 2 이상의 이들 화합물의 합금을 구비하는 그룹으로부터 선택된 재료로 만들어질 수 있다.
- [0073] 절연층(32)은, 유전체 재료, 예를 들어, 실리콘산화물(SiO_2), 실리콘질화물(Si_xN_y , 여기서 x는 약 3과 같으며 y는 약 4와 같고, 예를 들면, Si_3N_4), 실리콘산질화물(SiO_xN_y , 여기서 x는 약 1/2과 같고, y는 약 1과 같으며, 예를 들면 Si_2ON_2), 알루미늄산화물(Al_2O_3) 또는 하프늄산화물(HfO_2)로 이루어질 수 있다. 절연층(32)의 두께는 $0.02\mu\text{m}$ 내지 $1,000\mu\text{m}$ 범위에 있을 수 있다. 바람직하게는, 절연층(32)은 불투명하다. 절연층(32)은 백색 수지, 흑색 수지, 또는, 특히 티타늄산화물 입자로 채워진 투명 수지에 대응할 수 있다.
- [0074] 도전층(34)은 발광 다이오드에 의하여 방출된 전자기 방사선을 통과시킬 수 있다. 도전층(34)을 형성하는 재료는, 인듐주석산화물(ITO), 알루미늄 또는 갈륨 아연 산화물, 또는 그래핀 등의 투명 도전성 재료일 수 있다. 표시 픽셀(Pix) 상의 전기적-도전층(34)의 최소 두께는 $0.1\mu\text{m}$ 내지 $1,000\mu\text{m}$ 범위에 있을 수 있다.

- [0075] 캡슐화층은 적어도 부분적으로 투명 절연 재료로 만들어질 수 있다. 캡슐화층은 적어도 부분적으로 투명 무기 재료로 만들어질 수 있다. 예로서, 무기 재료는, SiO_x 형태(여기서 x 는 1 및 2 사이의 실수), 또는 SiO_yN_z 형태(여기서 y 및 z 는 0과 1 사이의 실수)의 실리콘 산화물, 알루미늄 산화물, 예를 들어 Al_2O_3 를 구비하는 그룹으로부터 선택된다. 캡슐화층은 적어도 부분적으로 투명 유기 재료로 이루어진다. 예로서, 캡슐화층은 실리콘폴리머, 에폭시폴리머 및 아크릴릭폴리머 또는 폴리카보네이트이다.
- [0076] 일 실시형태에 따르면, 작동에 있어서, 전압(V_E)이 표시 픽셀(Pix)의 공급을 위하여, 특히 표시 픽셀(Pix)의 광 전자 회로(26)의 발광 다이오드의 공급을 위하여 전극층(34 및 18) 사이에 인가된다.
- [0077] 도 3은 도 1 및 도 2에 도시된 표시 픽셀(Pix)의 등가 전기 다이어그램을 보여준다. 각 발광 다이오드(LED)의 제1 전극, 예를 들어 캐소드가 표시 픽셀(Pix)의 제어 회로(20)에 접속되어 있고, 동시에, 각 발광 다이오드(LED)의 제2 전극, 예를 들어 애노드가 전극층(34)에 접속되어 있다. 제어 회로(20)는 전극층(18 및 34) 사이에 접속되어 있으며, 전압(V_E)을 수신한다. 회로(20)는 광전자 회로(26)의 발광 다이오드를 제어한다.
- [0078] 도 4a 는, 광전자 장치(10)의 모든 소자를 구비하는, 도 1과 유사한 다른 실시형태의 광전자 장치(37)의 도면으로서, 절연층(32)이 존재하지 않고 전극층(34)이 기판(38)에 놓여 있다는 차이점을 갖는다. 광전자 장치(37)를 제조하는 방법은, 지지대(12)에 전극층(18)을 형성하고, 전극층(18)에 표시 픽셀(Pix)을 조립하고, 기판(38)에 전극층(34)을 형성하고, 전극층(34)에 표시 픽셀(Pix)을 붙인다. 지지대(12)와 기판(38)은 플렉시블하며, 이것은 플렉시블한 광전자 장치(37)를 제조할 수 있게 한다.
- [0079] 도 4b는, 광전자 장치(10)의 모든 소자를 구비하는, 도 1과 유사한 다른 실시형태의 광전자 장치(40)의 도면으로서, 각 표시 픽셀(Pix)에 대하여, 광전자 회로들(26)은 표시 픽셀(Pix)의 제어 회로(20)의 상부 표면(24)을 커버하는 단일 광전자 회로(42)에 통합되어 있으며 제어 회로(20)의 상부 표면(24)에, 예를 들어 가용성 도전성 소자(36)에 의하여 접촉된다. 각 광전자 회로(42)는 바람직하게는 평행한, 대향하는 하부 표면 및 상부 표면(44, 46)을 구비하며, 광전자 회로(42)의 하부 표면(44)은 제어 회로(20)의 상부 표면(24)에 접촉된다. 광전자 회로(42)는, 예를 들어, 광전자 회로(42)의 부분(47) 내에 형성된 하나 이상의 관통 수직 접속(48) 또는 TSV(관통 실리콘 비아)를 구비하며, 이것은 상부 표면(46)과 하부 표면(44)을 연결하며 광전자 회로(42)의 나머지와는 전기적으로 절연되어 있다. 부분(47)은 전기적-절연 재료 또는 반도체 재료로 만들어질 수 있다. 후자의 경우에, TSV(48)는 전기적-절연층으로 둘러싸여진다. 각 광전자 회로(42)의 상부 표면(46)은 절연부(28)로 덮여 있다. 절연부(28)는 TSV(48)와 접촉하는 전기적-도전 소재(30)에 의하여 가로질러져 있다. 또 다른 실시형태에 따르면, 제어 회로(20)의 전원 공급은 TSV(48) 이외의 다른 수단으로 얻어진다.
- [0080] 일 실시형태에 따르면, 각 TSV(48)는 전기적-절연층으로 둘러싸인, 전기적-도전 재료, 예를 들어, 폴리실리콘, 텅스텐, 구리, 알루미늄 또는 내화 금속 재료로 이루어진 코어를 구비할 수 있다.
- [0081] 각 광전자 회로(42)는 제1 파장의 제1 방사선을 방출할 수 있는 하나 이상의 제1 발광 다이오드와 제2 파장의 제2 방사선을 방출할 수 있는 제2 발광 다이오드를 구비한다. 각 광전자 회로(42)는 제3 파장의 제3 방사선을 방출할 수 있는 하나 이상의 제3 발광 다이오드를 더 구비할 수 있다.
- [0082] 도 5는, 각 광전자 회로(42)가 3개의 발광 다이오드를 구비하는 경우에 도 3에 도시된 표시 픽셀(Pix)의 등가 전기 다이어그램을 보여준다. 이 실시형태에 있어서, 광전자 회로(42)의 각 발광 다이오드의 두 전극은 표시 픽셀(Pix)의 제어 회로(20)에 접속되어 있다. 제어 회로(20)는 전극층(18 및 34) 사이에 접속되어 있으며 전압(V_E)을 수신한다. 회로(20)는 광전자 회로(26)의 발광 다이오드(LED)를 제어한다.
- [0083] 본 실시형태에 있어서, 도전층(18)은 광전자 회로(10, 40)의 모든 표시 픽셀(Pix)과 접촉하고 있으며 도전층(34)은 광전자 장치(10, 40)의 모든 표시 픽셀(Pix)과 접촉하고 있다.
- [0084] 광전자 장치(10 또는 40)를 제조하는 방법의 일 실시형태는 표시 픽셀(Pix)을 제조하고 전극층(18)에 각 표시 픽셀(Pix)을 분리되게 설치하는 것을 구비한다. 일 실시형태에 따르면, 전극층(18 및 34)은 모든 표시 픽셀(Pix)에 공통이며, 표시 픽셀(Pix)의 접속은 간단하게 되어 있고, 전극층(18) 상에 각 표시 픽셀(Pix)의 배치가 높은 정확도를 가지고 실행될 필요가 없다. 이것은 전극층(18) 상에 표시 픽셀(Pix)을 배열하기 위한 비용을 감소시키면서 더 빠른 기술을 실행할 수 있게 한다. 또한, 발광 다이오드는 표시 픽셀(Pix)의 전자 회로(20) 상에 이미 조립되어 있기 때문에, 광전자 장치(10 또는 40)의 조립 중에 실행될 이송의 수를 감소시킨다. 본 실시형태에 있어서, 각 표시 픽셀(Pix)은 거기에 저장된 픽셀의 식별자를 갖는 메모리를 구비할 수 있다. 제조 방법은, 그 식별자에 따라서 각 표시 픽셀(Pix)의 위치를 되찾는 보정 단계를 구비할 수 있다. 그리고, 동작에

있어서는, 데이터가 그들 식별자에 따라서 픽셀로 전송될 수 있다.

- [0085] 도 6은, 표시 픽셀(Pix)이 아주 정확하게 배열되지 않을 수 있고, 예를 들어, 열(row)과 행(column)에서 완벽하게 정렬되어 있을 수 있고 어떤 표시 픽셀(Pix)은 열 및 행의 방향에 대하여 경사질 수 있는 사실을 나타내는 광전자 장치(10 또는 40)의 개략 상면도를 보여준다.
- [0086] 전술된 실시형태에 있어서, 전극층(18)은 모든 표시 픽셀(Pix)에 접속되어 있으며 지지대(12)의 대부분 또는 심지어 전체 상에서 연장하는 연속된 층의 형태로 나타나 있다.
- [0087] 각 표시 픽셀(Pix)에 대하여, 제어 회로(20)는 제어 신호를 수신할 수 있으며, 수신된 제어 신호로부터 표시 픽셀의 발광 다이오드를 제어할 수 있으며, 특히 표시 픽셀에 의하여 방출된 광의 음영, 채도 및 밝기를 제어할 수 있다.
- [0088] 일 실시형태에 따르면, 제어 신호는 전압(V_E)의 변조에 의하여 표시 픽셀(Pix)의 제어 회로(20)로 전송된다.
- [0089] 도 7은 제어 신호(COM)를 수신하고, 제어 신호(COM)로 변조되어 있는, 표시 픽셀(Pix)로의 전원공급을 위한 전압(V_E)을 광전자 장치(10 및 40)로 공급할 수 있는 처리 유닛(49)을 매우 개략적으로 보여준다. 처리 유닛(49)은 전용 회로에 대응될 수 있거나, 또는 메모리 내에 기억된 컴퓨터 프로그램의 지시를 실행할 수 있는 프로세서, 예를 들어, 마이크로프로세서 또는 마이크로제어기를 구비할 수 있다.
- [0090] 각 표시 픽셀(Pix)의 제어 회로(20)는 전압(V_E)의 복조에 의하여 제어 신호(COM)를 추출할 수 있다. 이때, 제어 회로(20)는, 제어 신호(COM)가 거기로 어드레스 되었는지 여부를 판단할 수 있다. 예로서, 식별자가 각 표시 픽셀(Pix)과 관련될 수 있고, 전압(V_E)의 복조에 의하여 얻어진 제어 회로(COM)는, 제어 신호가 의도하는 표시 픽셀의 식별자를 구비할 수 있다.
- [0091] 유익하게는, 표시 픽셀(Pix)의 활성 어드레싱이 실행될 수 있다. 사실, 각 제어 회로(20)는, 새로운 제어 신호를 수신할 때까지, 표시 픽셀의 표시 특성, 특히 음영, 채도 및 밝기의 유지를 제어할 수 있다.
- [0092] 도 8a는 광전자 장치(10 또는 40)의 모든 소자를 구비하고 있는 다른 실시형태의 광전자 장치(50)의 개략 상면도로서, 전극층(18)이 지지대(12) 상에서 연장하는, 평행한 전기적-도전성 스트립(52)으로 분리되어 있으며, 도 8에는 3개의 스트립(52)이 예로서 도시되어 있다. 표시 픽셀(Pix)의 하나 이상의 열이 각 도전성 스트립에 분포되어 있다. 바람직하게는, 표시 픽셀(Pix)의 복수의 열이 각 도전성 스트립(52)에 분포되어 있는데, 예로서, 도 8에는, 도전성 스트립(52) 당 3개의 열의 표시 픽셀(Pix)이 도시되어 있다.
- [0093] 또 다른 실시형태에 따르면, 전극층(18) 및/또는 전극층(34)은 분리된 전극부로 나누어질 수 있다. 또 다른 실시형태에 따르면, 전극층(34)은 또한 평행한 전기적-도전성 스트립으로 나누어질 수 있다. 전극층(18 및 34)이 각각 스트립으로 나누어질 때, 전극층(18)의 스트립들은 바람직하게는 전극층(34)의 스트립과 실질적으로 동일한 크기를 가지며, 전극층(34)의 각 스트립은 바람직하게는 전극층(18)의 스트립 중 하나를 실질적으로 덮는다. 또 다른 실시형태에 따르면, 전극(18 또는 34) 중 하나는 표시 픽셀(Pix)에 공통될 수 있으며 동시에 다른 전극(18 또는 34)은 평행한 전기적-도전성 스트립으로 분리된다. 전극층(18, 34)이 표시 픽셀의 조립체를 사이에 끼우는 적층된 스트립으로 분리되는 이 실시형태에 있어서, 상이한 제어 신호가 각 표시 픽셀 조립체에 대하여 상이하게 전압(V_E)을 변조함으로써 병렬로 전송된다. 이것은 각 표시 픽셀의 조립체에 대하여 제어 신호를 병렬로 전송할 수 있게 한다. 이것은 전자기 방사선의 변조 주파수를 감소시키거나 및/또는 전송되는 데이터의 속도를 증가시킬 수 있게 한다.
- [0094] 도 8b는 광전자 장치(55)의 다른 실시형태의 부분 개략 상면도로서, 여기서 전극층(18)은 열 방향을 따라서 연장하는 도전성 스트립(56)으로 분리되어 있으며 전극층(34)은 행 방향을 따라서 연장하고 있으며, 행 전극으로 불리는 도전성 스트립(58)으로 분리되어 있다. 하나 이상의 표시 픽셀(Pix)이 각 열 전극(56)과 각 행 전극(58) 사이의, 상면도에서의 교차지점에 배열되어 있으며, 열 전극(56)과 행 전극(58)에 접속되어 있다. 예로서, 도 8b에서는, 3개의 표시 픽셀(Pix)이, 각 열 전극(56)과 각 행 전극(58)의, 상면도에서의 교차지점에 제공되어 있으며 표시될 화상의 한 픽셀을 형성한다. 복수의 표시 픽셀(Pix)이 표시될 화상의 각각의 픽셀에 대하여 제공되는 경우, 이것은 표시 픽셀(Pix) 중 하나가 결함이 있는 경우에 리던던시(redundancy)를 가질 수 있게 한다.
- [0095] 도 9는 광전자 장치(10)의 모든 소자를 구비하고 있는, 도 1과 유사한 또 다른 실시형태의 광전자 장치(60)의 도면이며, 전극층(34)을 덮고 있는 제1층(62)과 제2층(64)의 적층을 더 구비하고 있다. 층(62)은 층(64)을 형

성하는 재료의 굴절율보다 큰 굴절율을 갖는 재료로 만들어진다. 층(62 및 64)은 표시 픽셀(Pix)에 의하여 방출된 방사선을 적어도 부분적으로 투과시킨다. 층(64)은, 예를 들어 유리, SiO_2 , Al_2O_3 , HfO_2 , 유기 재료, 예를 들어, 폴리머, 특히 폴리(메틸 메타크릴레이트)(PMMA)로 이루어진다. 예를 들어, 층(62)은 공기막에 대응한다. 층(64)은, 예를 들어, 가시광 영역 내 또는 가시광 영역 밖, 특히 적외선과 자외선 영역 사이의 파장 영역의 전자기 방사선(66)의 도파관을 형성한다. 광전자 장치(60)는 층(64) 내에 그런 방사선(66)을 방출할 수 있는 광전자 회로(68)를 구비한다. 광전자 회로(68)는 층(64) 주변에 배치될 수 있으며, 그 측면 끝으로부터 층(64) 내에 방사선(66)을 방출할 수 있다. 적외 방사선은 전송된 제어 신호를 전송하기 위하여 변조된다. 일 실시형태에 따르면, 광학적 결합 수단(70)은 각 표시 픽셀(Pix)과 도파관(64) 사이에 제공되어서 도파관(64)에서 안내된 방사선(66)의 부분(72)이, 결합 수단(70)을 경유하여 각 표시 픽셀(Pix)의 레벨에서 빠져나온다. 예로서, 결합 수단(70)은, 각 표시 픽셀(Pix)과 층(64) 사이의 광학적 결합을 강화하기 위하여 각 표시 픽셀(Pix)의 반대측의 층(62) 및/또는 층(64) 상에 제공된 텍스처링(trxturing)에 대응한다. 예를 들어 결합 수단(70)은, 도파관(64)에서 전파하는 전자기 방사선의 부분을 관련 표시 픽셀(Pix)을 향하여 반사하게 할 수 있는 회절 격자에 대응한다.

- [0096] 각 표시 픽셀(Pix)은, 예를 들어 포토다이오드 또는 포토레지스터의 광전자 회로(68)에 의하여 방출되는 방사선을 검출할 수 있는 하나 이상의 센서(74)를 구비하며, 그 센서는, 예를 들어 표시 픽셀(Pix)에 의하여 수신된 방사선(72)의 강도를 나타내는 전기 신호를 제어 회로(20)에 제공한다. 제어 회로(20)는 센서에 접속되어 있으며, 센서에 의하여 공급된 측정 신호에 기초하여 제어 신호를 추출할 수 있다.
- [0097] 일 실시형태에 따르면, 제어 신호를 이송하는 동일한 전자기 방사선이 모든 표시 픽셀로 전송된다. 또 다른 실시형태에 따르면, 복수의 도파관이 제공될 수 있으며, 각 도파관은 표시 픽셀의 조립체와 연관되어 있다. 또 다른 실시형태에 따르면, 광학적 연속성 중단 영역을 도파관 내에 형성할 수 있어서, 다른 그룹의 픽셀을 어드레스 할 수 있도록 한다.
- [0098] 도 10은 분리된 도파관(82) 또는 광학적 불연속성을 갖는 단일 도파관을 구비하는 다른 실시형태의 광전자 장치(80)의 부분 개략 상면도로서, 각각은 도시하지 않은 표시 픽셀의 조합체를 덮고 있다. 광전자 장치(80)는, 각각이 비가시광 영역의 전자기 방사선을 연관된 도파관(82)에서 방출할 수 있는 광전자 회로(84)를 더 구비하고 있다. 이것은 표시 픽셀(Pix)의 각 조합체에 대하여 제어 신호를 병렬로 전송할 수 있게 한다. 이것은 전자기 방사선의 변조 주파수를 감소 및/또는 전송된 데이터의 속도를 증가하게 할 수 있다.
- [0099] 도 11은 광전자 장치(80)의 모든 소자를 구비하는 또 다른 실시형태의 광전자 장치(90)의 부분 개략 상면도로서, 각 분리된 도파관(82)은 하나 이상의 표시 픽셀 열을 덮고 있다.
- [0100] 본 실시형태에 있어서, 전극층(34) 또는 전극층(18)은 행 방향을 따라서 연장하는 도전성 스트립(92)으로 분리된다. 각 도전성 스트립(92)은 하나 이상의 픽셀 행의 표시 픽셀에 연결되어 있다.
- [0101] 표시 픽셀 제어 방법의 실시형태는, 전극(18, 92)을 경유하여 표시 픽셀 또는 표시 픽셀 그룹의 선택 단계와, 그런 후 도파관(82) 중 하나에 의하여, 선택된 표시 픽셀의 일부로의 데이터 전송 단계를 구비한다. 그 선택 단계는 선택된 표시 픽셀에 연결된 도전성 스트립(92)을 제1 전위로 취하고 동시에 다른 도전성 스트립(92)은 제1 전위와는 상이한 제2 전위로 유지함으로써 실행될 수 있다. 선택된 표시 픽셀만이 활성화되며 전자기 방사선에 의하여 전송된 데이터를 처리할 수 있다. 다른 표시 픽셀은 비활성화되며 방사선에 의하여 전송된 데이터는 무시된다. 이때, 데이터를 이송하는 방사선은 관심 있는 픽셀을 커버하는 도파관(82)으로 방출된다. 선택되어 있고 도파관(82)으로 덮여있는 표시 픽셀만이, 도파관(82)에 의하여 전송된 방사선의 검출에 의하여 얻어진 데이터를 처리할 것이다.
- [0102] 일 실시형태에 따르면, 각 도전성 스트립(92)은 표시 픽셀의 단일 행의 표시 픽셀에 연결되고 각 도파관(82)은 한 열의 표시 픽셀만을 덮는다. 이때 전송된 제어 방법은 단일 표시 픽셀만을 선택하고 데이터를 전송할 수 있게 한다.
- [0103] 도 12는, 전극층(18)이 열 방향을 따라서 연장하는 도전성 스트립(102)으로 분리되어 열 전극이라고 불리는, 다른 실시형태의 광전자 장치(100)의 부분 개략 상면도로서, 각 도전성 스트립(102)은 한 픽셀 열의 표시 픽셀(Pix)에 연결되어 있으며, 전극층(34)는 행 방향을 따라서 연장하는 도전성 스트립(104)으로 분리되어 행 전극이라 불리며, 각 도전성 스트립(104)은 한 픽셀 행의 표시 픽셀(Pix)에 연결되어 있다.
- [0104] 도 12에 도시된 바와 같이, 각 도전성 스트립(102)의 폭은 행 방향을 따라서 측정된 표시 픽셀(Pix)의 크기보다 크며 각 도전성 스트립(104)의 폭은 열 방향을 따라서 측정된 표시 픽셀(Pix)의 크기보다 크다. 따라서, 각 열

에 대하여, 열에 속하는 표시 픽셀(Pix)은 완벽하게 정렬되지 않을 수 있다. 유사하게, 각 행에 대하여, 행에 속하는 표시 픽셀(Pix)은 완전하게 정렬되지 않을 수 있다.

- [0105] 표시 픽셀(Pix)을 제어하는 방법의 일 실시형태는 표시 픽셀의 선택 단계와 이어서 그 표시 픽셀(Pix)로의 데이터 전송 단계를 구비한다.
- [0106] 도 13은 제어될 표시 픽셀에 연결된 행 및 열 전극에 각각 인가된 전위 V_{pix+} 및 V_{pix-} 각각의 타이밍 다이어그램이며 도 14는 제어될 표시 픽셀의 전원 공급 단자 사이에서 보여진 전압 sig의 타이밍 다이어그램이다.
- [0107] 일 실시형태에 따르면, 광전자 회로(100)는 두 값 V_0 및 V_1 (V_1 은 V_0 보다 큼) 사이에서 각 열 전극의 전위를 변화할 수 있고, 두 값 V_2 및 V_3 (V_3 는 V_2 보다 크며 V_2 는 V_1 보다 큼) 사이에서 각 행 전극의 전위를 변화할 수 있다. V_3 및 V_2 사이의 차는 V_1 및 V_0 사이의 차와 같을 수 있다.
- [0108] 일 실시형태에 따르면, 제어 방법은 제어될 표시 픽셀의 선택 단계 (S1)와, 이어서, 선택된 표시 픽셀로의 데이터 전송 단계(S2)를 구비한다.
- [0109] 단계 S1은 제어될 표시 픽셀에 연결된 열 전극을 V_0 로 취하고, 다른 열 전극들은 V_1 으로 그대로 두며, 제어될 표시 픽셀에 연결된 행 전극을 V_3 로 취하고 다른 열 전극은 V_2 로 그대로 두는 것을 구비한다. 제어될 표시 픽셀은 V_3-V_0 와 같은 전압을 보여주며, 동시에 동일한 열의 다른 표시 픽셀은 V_2-V_0 와 같은 전압을 보여주며, 동일한 행의 다른 표시 픽셀은 V_3-V_1 과 같은 전압을 보여주며 다른 열 및 행의 다른 표시 픽셀은 V_2-V_1 과 같은 전압을 보여준다. 제어될 표시 픽셀 이외의 모든 다른 표시 픽셀은 V_3-V_0 보다 작은 전압을 보여준다.
- [0110] 단계 S2는 V_2 와 V_3 사이에서 제어될 표시 픽셀의 행 전극의 전위를 변화하면서 제어될 표시 픽셀의 열 전극을 V_1 으로 그대로 둔다. 그것에 의하여, 제어될 표시 픽셀에 의하여 보여진 전압은 행 전극의 전위처럼 변화한다.
- [0111] 각 표시 픽셀은, 단계 S1에서, 인가되는 전원 공급 전압이 임계값보다 큰지 아닌지의 여부를 검출할 수 있다. 표시 픽셀은, 단계 S1에서, 인가되는 전원 공급 전압이 임계값보다 크다고 검출하는 경우, 데이터를 처리할 수 있고, 이것은 이후 단계 S2 중에 전송된다. 표시 픽셀이, 단계 S1에서, 인가되는 전원 공급 전압이 임계값보다 작다고 검출하는 경우, 데이터를 처리하지 않고, 이것은 단계 S2 중에 전송된다.
- [0112] 본 실시형태는 다른 표시 픽셀의 전원 공급을 유지하면서 표시 픽셀을 선택하게 할 수 있다. 본 실시형태는 또한 표시 픽셀 어레이의 단일 표시 픽셀로 데이터를 전송하게 할 수 있다. 유용하게는, 그 어레이의 모든 표시 픽셀은 동일한 광전자 장치에 대응할 수 있다. 이것은 표시 픽셀의 설계와 표시 픽셀의 조립체를 단순화하게 할 수 있다. 본 실시형태는 또한 복수의 표시 픽셀로 데이터를 동시에 전송할 수 있게 하거나 또는 모든 표시 픽셀로 데이터를 동시에 전송하게 할 수 있다. 또한, 전극 중 하나의 전위를, 단계 S2 중에 일정하게 유지한다는 사실은, 유용하게는 단계 S2 중에 표시 픽셀이 일정한 전위 기준을 가질 수 있게 하며, 이것은 표시 픽셀에 의한 신호의 처리를 단순화한다.
- [0113] 단계 S2 중에 전송된 데이터는 이진수 데이터 및/또는 아날로그 데이터일 수 있다. 전송된 데이터는 변조될 수 있다. 이것은 주파수, 진폭, 위상 변조 또는 펄스폭 변조일 수 있다.
- [0114] 예로서, 도 13 및 도 14에 있어서, 단계 S2는 이진수 데이터의 전송에 대응하는 서브-단계 S_{com} 과, 제1 서브-픽셀, 예를 들어 적색 표시 서브-픽셀에 대한 제어 신호의 전송에 대응하는 단계 SR과, 제2 표시 서브-픽셀, 예를 들어 녹색 표시 서브-픽셀을 위한 제어 신호의 전송에 대응하는 단계 SG와, 제3 표시 서브-픽셀, 예를 들어 청색 표시 서브-픽셀에 대한 제어 신호의 전송에 대응하는 단계 SB를 연속적으로 구비한다. 변형으로서, 서브-단계 S_{com} 은 생략될 수도 있다.
- [0115] 일 실시형태에 따르면, 각 서브-단계 SR, SG 및 SB는, 고려되는 표시 서브-픽셀의 활성화의 소정 지속시간을 나타내는 지속시간을 갖는 전압 펄스를 전송하는 것을 구비한다.
- [0116] 도 15는 표시 픽셀(Pix)의 일 실시형태의 등가 전기 다이어그램을 보여준다.
- [0117] 표시 픽셀(Pix)은 전위 V_{pix+} 에 있는, 행 전극(104) 중 하나에 연결되고 전위 V_{pix-} 에 있는, 열 전극(102) 중 하나에 연결된다.
- [0118] 표시 픽셀(Pix)은, 처리 유닛 CM(신호 처리기)과, 제1 표시 서브-픽셀(적색 픽셀), 예를 들어 적색 표시 서브-픽셀을 제어하는 유닛 CR과, 제2 표시 서브-픽셀(녹색 픽셀), 예를 들어 녹색 표시 서브-픽셀을 제어하는 유닛 CG와, 제3 표시 서브-픽셀(청색 픽셀), 예를 들어 청색 표시 서브-픽셀을 제어하는 유닛 CB를 구비한다. 처리 유닛 CM의 전자 구성품은 제어 회로(20)의 레벨에 배치된다. 유닛 CR, CG, CB의 전자 구성품은 제어 회로(20)

의 레벨 및/또는 광전자 회로(26)의 레벨에 배치될 수 있다.

[0119] 각 유닛 CM, CR, CG 및 CB는 전기 전력 공급을 위하여 전위 V_{pix+} 및 V_{pix-} 와 관련된 행 및 열 전극(102, 104)에 연결된다. 제어 회로 CM은, 입력 신호로서 전위 값 V_{pix+} 및 V_{pix-} 및 신호 엔드(end)를 수신하고 3개의 이진 신호, 데이터(data), 라이트(write) 및 클리어(clear)를 출력한다. 일 실시형태에 따르면, 유닛 CR, CG 및 CB는 동일하며 각 유닛 CR, CG 및 CB는 3개의 입력, 라이트 커패시터(write capacitor), 라이트 인에이블(write enable) 및 클리어 픽셀(clear pixel)과 출력 라이트 돈(write done)을 구비한다. 변형으로서, 유닛 CB는 유닛 CR 및 CG와 상이할 수 있으며, 출력 라이트 돈을 구비하지 않을 수 있다. 각 유닛 CR, CG 및 CB의 입력 라이트 커패시터 각각은 신호 데이터를 수신한다. 각 유닛 CR, CG 및 CB의 입력 클리어 픽셀 각각은 신호 클리어를 수신한다. 유닛 CR의 입력 라이트 인에이블은 신호 라이트를 수신한다. 유닛 CG의 입력 라이트 인에이블은 유닛 CR의 출력 라이트 돈에 연결되며 유닛 CB의 입력 라이트 인에이블은 유닛 CG의 출력 라이트 돈에 연결된다. 도 15에 도시된 실시형태에 있어서, 유닛 CB의 출력 라이트돈은 유닛 CM에 의하여 수신된 신호 엔드를 공급한다.

[0120] 도 16은 유닛 CR의 일 실시형태의 등가 전기 다이어그램을 보여주며, 유닛 CG와 CB는 동일할 수 있다.

[0121] 일 실시형태에 따르면, 유닛 CR은, 전위 V_{pix+} 의 전극에 연결된 애노드와 MOS 트랜지스터(T1)의 드레인 또는 소스 중 한 제어 단자에 연결된 게이트를 가지며 전위 V_{pix-} 의 전극에 연결된 다른 제어 단자를 갖는 발광 다이오드(LED)를 구비한다. 유닛 CR은 트랜지스터(T1)의 게이트에 연결된 전극을 가지며 전위 V_{pix-} 의 전극에 연결된 다른 전극을 갖는 커패시터(C1)을 더 구비한다. 유닛 CR은 트랜지스터(T1)의 게이트에 연결된 드레인 또는 소스 중 한 제어 단자를 가지며 전위 V_{pix-} 의 전극에 연결된 다른 제어 단자를 갖는 MOS 트랜지스터(T2)를 더 구비한다. 트랜지스터(T2)의 게이트는 입력 클리어 픽셀에 연결된다. 유닛 CR은 유닛 CR의 입력 라이트 인에이블 및 라이트 커패시터에 대응하는 2개의 입력을 갖는 3-입력 AND 논리 게이트 AND1를 더 구비한다. 논리 게이트 AND1은, 전위 V_{pix+} 의 전극에 연결된 단자와 트랜지스터(T1)의 게이트에 연결된 다른 단자를 갖는 전류 소스(CS)로 제어 신호 인에이블을 공급한다. 유닛 CR은 폴링 에지(falling edge)에 민감하며, 신호 인에이블을 수신하는 S 입력과, 유닛 CR의 입력 클리어 픽셀에 연결된 R 입력과, 논리 게이트 AND1의 제3 입력에 연결된 Q 출력을 갖는 RS 플립-플롭 RS1을 더 구비한다. 플립-플롭 RS1의 Q 출력은 유닛 CR의 출력 라이트돈에 연결된다.

[0122] 도 17은 도 15의 표시 픽셀의 제어의 사이클 중 신호의 타이밍 다이어그램을 보여준다. 연속적인 시간을 t_0 , t_1 , t_2 , t_3 , t_4 , t_5 , t_6 및 t_7 이라 한다. 유닛 CR의 출력 라이트 인에이블은 신호 레드 돈(Red Done)을 공급한다. 유닛 CG의 출력 라이트 인에이블은 신호 그린 돈(Green Done)을 공급한다. 유닛 CB의 출력 라이트 인에이블은 신호 블루 돈(Blue Done)을 공급한다.

[0123] 신호 레드 캡(Red Cap), 그린 캡(Green Cap), 및 블루 캡(Blue Cap) 각각은, 유닛 CR, CG 및 CB의 각각의 커패시터(C1)을 지나는 전압에 대응한다. 신호 sig는 전위 V_{pix+} 와 V_{pix-} 사이의 차에 대응한다. 신호 sig는 3개의 이산값(discrete value) "0", "1" 및 "2"를 취할 수 있다.

[0124] 본 실시형태에 있어서, 신호 데이터는 선택 단계 이외에는 신호 sig와 같고 신호 라이트는 표시 서브-픽셀의 제어 단계 중에는 "1"로 설정된다.

[0125] 시간 t_0 에서, 신호 레드 돈, 그린 돈, 및 블루 돈은 "1"에 있고, 신호 sig는 "0"에 있으며, 신호 클리어는 "0"에 있다. 시간 t_1 에서는, 신호 sig가 "0"에서 "2"로 변환한다. 유닛 CM은 표시 픽셀이 선택되었는지를 검출하고 신호 클리어를 "1"로 설정한다. 시간 t_2 에서는, 신호 sig가 "0"으로 변환한다. 그러면, 유닛 CM은 신호 라이트를 "1"로 설정하고 신호 클리어를 "0"으로 설정한다. 이것은 유닛 CR, CG 및 CB의 플립-플롭 RS1을 초기화하고, 신호 레드 돈, 그린 돈, 및 블루 돈을 "0"으로 설정하고 유닛 CR, CG 및 CB의 커패시터 C1을 비워서, 전압 레드 캡, 그린 캡 및 블루 캡을 0으로 설정한다. 시간 t_3 에서, 적색 표시 서브-픽셀의 제어 단계를 시작한다. 본 실시형태에 있어서, 적색 표시 서브-픽셀이 활성화되고, 신호 sig는 "1"로 변환한다. 신호 데이터는 신호 sig와 같아서 유닛 CR의 커패시터 C1은, 신호 sig와 데이터가 "0"으로 변환되는 시간 t_4 까지 전류 소스 CS에 의하여 충전된다. 그러면 신호 레드 돈이 "1"로 변환된다. 시간 t_5 에서, 녹색 표시 서브-픽셀의 제어 단계가 시작된다. 본 실시형태에 있어서, 녹색 표시 서브-픽셀은 활성화되지 않고 매우 짧은 시간 동안 신호 sig가 "1"로 변환된다. 유닛 CG의 커패시터 C1은 실질적으로 충전되지 않으며 이때 신호 그린 돈이 "1"로 변환된다. 시간 t_6 에서는, 청색 표시 서브-픽셀의 제어 단계가 시작된다. 본 실시형태에 있어서, 청색 표시 서브-픽셀이 활성화되며 신호 sig "1"로 변환된다. 신호 데이터는 신호 sig와 같아서 유닛 CR의 커패시터 C1은 신호 sig와 데이터가 "0"으로 변환되는 시간 t_7 까지 전류 소스 CS에 의해 충전된다. 그런 후 신호 블루돈이 "1"로 변환된다.

- [0126] 도 18은, 예를 들어 이후에 설명되는 도 20에 도시된 전기 다이어그램에 대응하는 유닛 CG, 유닛 CR, CG의 출력 라이트와 예를 들어 이후에 설명되는 도 21에 도시된 전기 다이어그램에 대응하는 유닛 CB의 출력 라이트에 의하여 신호 엔드가 공급되는 경우에 적용된 유닛 CM의 다른 실시형태의 등가 전기 다이어그램을 보여준다. 본 실시형태에 있어서, 전송 단계 S2 중에, 신호 데이터는 임의의 지속시간 ΔT 만큼 지연된 신호 sig와 동일하며 신호 라이트는 신호 sig와 동일하다.
- [0127] 유닛 CM은 전위 Vpix+의 전극에 연결된 입력 s+와 전위 Vpix-의 전극에 연결된 입력 s-를 구비하고 이진신호 스타트(start)를 제공하는 블록 스타트 검출기(block start detector)를 구비한다. 블록 스타트 검출기는 입력 s+ 및 s- 사이의 전압에 대응하는, 신호 sig가 "2"로 변환되는 것을 검출할 수 있고, 신호 sig가 "0"으로 다시 변환될 때 "1"로 신호 스타트를 설정할 수 있다.
- [0128] 유닛 CM은, 전위 Vpix+의 전극에 연결된 입력 s+와, 전위 Vpix-의 전극에 연결된 입력 s-와, 신호 스타트(start)를 수신하는 입력 인에이블(enable)을 구비하는 블록 데이터 추출기(block data extractor)를 구비한다. 이 블록은 신호 클리어와, 신호 sig로부터 추출되고, 예를 들어, 선택 단계 이외에서는 신호 sig의 이전수 버전에 대응하는 신호 로우-데이터(raw_data)를 제공한다.
- [0129] 유닛 CM은, 신호 로우-데이터를 수신하고 신호 로우-데이터와 동일한 신호 라이트(write)를 공급하며, 신호 데이터(data)를 공급하는 블록 제로 검출기(block zero detector)를 구비하며, 이 신호 데이터는, "1"에서의 각 펄스의 지속시간이 지속시간 ΔT 만큼 감소되어 있는 신호 로우-데이터와 동일한 것으로, 각 펄스의 시작은 지속시간 ΔT 만큼 지연되어 있고 각 펄스의 끝은 변경되지 않아서, 만일 신호 로우-데이터의 펄스가 지속시간 ΔT 보다 짧으면, 신호 데이터는 대응하는 펄스를 구비하지 않는다.
- [0130] 도 19는 도 18에 도시된 유닛 CM의 일 실시형태의 좀 더 상세한 전기 다이어그램을 보여준다.
- [0131] 유닛 CM은, 전위 Vpix+의 전극과 전위 Vpix-의 전극 사이에 직렬-조립된 2개의 레지스터 R1 및 R2를 구비하는 제1 전압 분리 브리지를 구비한다. 제1 분리 브릿지의 중간 지점에는 2개의 인버터 INV1 및 INV2가 직렬로 연속하여 제공되며, 제2 인버터 INV2는 신호 스타트를 제공하고 있다. 유닛 CM은, 신호 스타트를 수신하는 S 입력과, 플링 에지에 민감하며, 신호 엔드를 수신하는 입력 R을 갖는 RS 플립-플롭 RS2를 구비한다. 신호 엔드는, 도 20에서 설명되는 바와 같이, 유닛 CG의 출력 라이트 돈에 의하여 공급된다. 유닛 CM은, 신호 스타트를 수신하는 제1 입력과, 플립-플롭 RS2의 Q 출력에 연결된 제2 입력을 가지며 신호 인에이블을 제공하는 NOR 논리 게이트 NOR1을 구비한다.
- [0132] 유닛 CM은 전위 Vpix+의 전극과 전위 Vpix-의 전극 사이에 직렬-조립된 2개의 레지스터 R3 및 R4를 구비하는 제2 전압 분리 브리지를 구비한다. 유닛 CM은 전위 Vpix+의 전극과 전위 Vpix-의 전극 사이에 직렬 조립된 3개의 MOS 트랜지스터 T3, T4 및 T5를 구비한다. 트랜지스터 T3은 P채널을 가지며 트랜지스터 T4 및 T5는 N 채널을 갖는다. 트랜지스터 T3 및 T4의 게이트는 신호 인에이블을 수신한다. 제2 분리 브릿지의 중간지점은 트랜지스터 T5의 게이트에 전력을 공급한다.
- [0133] 트랜지스터 T3의 소스는, 신호 라이트를 제공하는 인버터 INV3에 전력을 공급한다. 유닛 CM은, 신호 라이트를 수신하는 제1 입력을 갖는 2-입력 AND 논리 게이트 AND2를 구비한다. 유닛 CM은 인버터 INV3의 출력과 게이트 AND2의 제2 입력 사이에 조립된 레지스터 R5를 구비한다. 유닛 CM은 게이트 AND2의 제2 입력에 연결된 한 전극을 갖고, 전위 Vpix-의 전극에 연결된 다른 전극을 갖는 커패시터 C2를 구비한다. 게이트 AND2의 출력은 신호 데이터를 제공한다.
- [0134] 도 20은 유닛 CR의 또 다른 실시형태의 등가 전기 다이어그램을 보여주며, 유닛 CG는 동일할 수 있다. 유닛 CR은 도 16에 도시된 유닛의 모든 소자를 구비하고 있으며, 플립-플롭 RS1의 S 입력이 유닛 CR의 입력 라이트 인에이블에 연결되어 있고, Q 신호를 수신하는 제1 입력을 갖고 입력 라이트 인에이블에 연결되어 있는 제2 입력을 가지며 출력 라이트 돈에 연결된 출력을 갖는 2-입력 AND 논리 게이트 AND3를 구비한다는 점에서 차이점을 갖는다.
- [0135] 도 21은 유닛 CB의 다른 실시형태의 등가 전기 다이어그램을 보여준다. 유닛 CB는 도 16에 도시된 유닛의 모든 소자를 구비하고 있으나, 플립-플롭 RS1이 존재하지 않으며 3-입력 논리 게이트 AND1이, 유닛 CB의 입력 라이트 커패시터에 연결된 제1 입력을 가지며 유닛 CB의 입력 라이트 인에이블에 연결된 제2 입력을 갖고 신호 인에이블을 제공하는 2-입력 논리 게이트 AND4로 대체되어 있는 차이점을 갖는다.
- [0136] 도 22는 도 18의 표시 픽셀의 제어 사이클 동안의 신호의 타이밍 다이어그램을 보여준다. 연속적인 시간을

t'0, t'1, t'2, t'3, t'4, t'5, t'6, t'7, t'8 및 t'9라고 부른다. 신호 레드 라이트 인에이블(red write enable), 그린 라이트 인에이블(green write enable) 및 블루 라이트 인에이블(blue write enable)은 유닛 CR, CG, 및 CB이 입력 라이트 인에이블에 의하여 각각 수신된 신호에 대응한다.

- [0137] 신호는, t0, t1, 및 t2의 신호에 대하여 이미 설명했던 것과 동일한 방법으로 시간 t'0, t'1, t'2에서 변화한다. 시간 t'3에서, 적색 표시 서브-픽셀 제어 단계가 시작한다. 본 실시형태에 있어서, 적색 표시 서브-픽셀이 활성화되고 신호 sig는 "1"로 변환한다. 신호 데이터는 지속시간 ΔT 만큼 지연된 신호 sig와 동일하며 따라서 유닛 CR의 커패시터 C1은 시간 t'4에서, 신호 sig, 데이터 및 레드 라이트 인에이블이 "0"으로 변환하는 시간 t'5까지 전류 소스 CS 에 의하여 충전된다. 이때 유닛 CR의 신호 라이트 돈은 신호 레드 라이트 인에이블과 동일하게 된다. 시간 t'6에서, 녹색 표시 서브-픽셀 제어 단계가 시작한다. 본 실시형태에서, 녹색 표시 서브-픽셀은 활성화되지 않으며 신호 sig는 ΔT 보다 짧은 지속시간 동안 "1"로 변환한다. 신호 라이트 및 그린 라이트 인에이블도 또한 이 매우 짧은 지속시간 동안 "1"로 변환한다. 그러나, 신호 데이터는 "0"에서 유지되어 유닛 CG의 커패시터 C는 충전되지 않는다. 그런 후 유닛 CR의 신호 라이트 돈이 신호 그린 라이트 인에이블과 동일하게 된다. 시간 t'7에서, 청색 표시 서브-픽셀 제어 단계가 시작한다. 본 실시형태에 있어서, 청색 표시 서브-픽셀이 활성화되며 신호 sig는 "1"로 변환한다. 신호 데이터는 지속시간 ΔT 만큼 지연된 신호 sig와 동일하며 따라서 유닛 CB의 커패시터 C는 t'8에서 신호 sig, 데이터, 레드 라이트 인에이블, 그린 라이트 인에이블 및 블루 라이트 인에이블이 "0"으로 변환하는 시간 t'9까지 전류 소스 SC에 의하여 충전된다.
- [0138] 일 실시형태에 따르면, 표시 픽셀은 150개의 MOS 트랜지스터, 5개의 레지스터 및 4개 커패시터보다 적게 형성될 수 있다. 따라서, 이것은 작은 표면 영역을 점유할 수 있다.
- [0139] 도 23은 표시 픽셀(Pix)의 또 다른 실시형태의 전기 다이어그램을 보여준다.
- [0140] 표시 픽셀(Pix)은 전위 V_{pix+} 에 있는 행 전극(102) 중 하나와 전위 V_{pix-} 에 있는 열 전극(104) 중 하나에 연결되어 있다.
- [0141] 표시 픽셀(Pix)은 레벨 검출 유닛 M1과 라이징 에지 검출기 M2 및 카운터 M3(링 카운터(Ring Counter)), 그리고 표시 서브-픽셀 제어 유닛 CR, CG, 및 CB를 구비한다. 유닛 M1, M2 및 M3의 전자 구성품은 제어 회로(20)의 레벨에 배치되어 있다. 유닛 CR, CG, CB의 전자 구성품은 제어 회로(20) 레벨 및/또는 광전자 회로(26) 레벨에 배치될 수 있다.
- [0142] 각 유닛 M1, M2, M3, CR, CG, 및 CB는, 그들 전기 전력 공급을 위한 전위 V_{pix+} 및 V_{pix-} 와 연결된 행 및 열 전극(102, 104)에 연결되어 있다.
- [0143] 유닛 M1은 입력 $V+$ 및 $V-$ 에서 각각 입력 신호로서 전위값 V_{pix+} 및 V_{pix-} 와 이진 신호 리셋(Reset)을 수신하고 이진 신호 디텍트 인에이블(Detect Enable) 및 이진 신호 클리어를 제공한다. 유닛 M2는 입력 $V+$ 및 $V-$ 에서 각각 입력 신호로서 전위값 V_{pix+} 및 V_{pix-} 및 입력 인에이블에서 이진 신호 디텍트 인에이블을 수신하고 이진 신호 클럭을 제공한다. 유닛 M3은 이진 신호 클럭을 수신하고 3개의 이진 신호 b0, b1 및 b2를 제공한다. b2의 폴링 에지는 유닛 M1을 리셋한다.
- [0144] 각 유닛 CR, CG, 및 CB는 입력 캡 리셋(Cap Reset)과 입력 Prog를 구비한다. 각 유닛 CR, CG, 및 CB의 입력 캡 리셋은 신호 디텍트 인에이블을 수신한다. 유닛 CR의 입력 Prog는 신호 b0을 수신하고, 유닛 CG의 입력 Prog는 신호 b1을 수신하고, 유닛 CB의 입력 Prog는 신호 b2를 수신한다.
- [0145] 본 실시형태에 있어서, 유닛 M1은, 표시 픽셀이 신호 sig의 증가에 의하여 선택되었는지를 검출할 수 있다. 선택이 검출되는 경우, 유닛 M2는 신호 sig의 라이징 에지를 검출한다. 유닛 CR, CG, 및 CB의 커패시터는 연속적으로 충전되며, 하나의 유닛에서 다른 유닛으로의 전환은 신호 sig의 폴링 에지에 의하여 트리거된다. 각 시퀀스의 초기에, 유닛 CR, CG, 및 CB의 커패시터가 방전된다.
- [0146] 도 24는 유닛 M3의 실시형태를 보여준다. 유닛 M3은 비동기 /S 및 /R 입력을 갖는 일련의 4개의 D-형 플립-플롭 D1, D2, D3 및 D4를 구비한다. 각 플립-플롭 D1, D2 및 D3의 ck 입력은 신호 클럭을 수신한다. 플립-플롭 D1의 Q 출력은 플립-플롭 D2의 D 입력에 연결되고, 플립-플롭 D2의 Q 출력은 플립-플롭 D3의 D 입력에 연결되고, 플립-플롭 D3의 Q 출력은 플립-플롭 D4의 D 입력에 연결된다. 플립-플롭 D1의 출력은 카운터의 설정에서 "1"에 있으며, 동시에 다른 플립-플롭의 출력은 논리 상태 "0"에 있다. 비트 b0은 플립-플롭 D2의 Q 출력에 의하여 제공된 신호에 대응하며, 비트 b1은 플립-플롭 D3의 Q 출력에 의하여 제공된 신호에 대응하며, 비트 b2는 플립-플롭 D4의 Q 출력에 의하여 제공된 신호에 대응한다. 유닛 M1으로부터 발생된 신호 클리어는 인버터

INV9에 제공되며 플립-플롭 D1의 /S 입력뿐만 아니라 플립-플롭 D2, D3, 및 D4의 /R 입력에 전력을 공급한다.

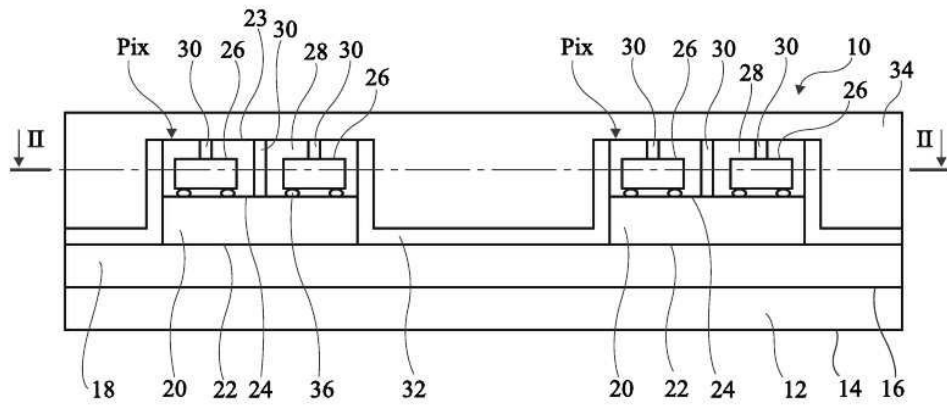
- [0147] 도 25는 유닛 CR의 실시형태를 보여준다. 유닛 CG 및 CB는 동일한 구조를 가질 수 있다. 유닛 CR은 도 16에 도시된 유닛 CR과 동일한 구조를 가지며, 논리 게이트 AND1 및 플립-플롭 RS1이 존재하지 않고, 전류 소스 CS가 유닛 CR의 입력 Prog에 수신된 신호에 의하여 제어되고 트랜지스터 T2의 게이트가 유닛 CR의 입력 Cap_reset에서 수신된 신호에 의하여 제어된다는 차이점이 있다.
- [0148] 도 26은 도 23의 표시 픽셀의 제어 사이클 동안의 신호의 타이밍 다이어그램을 보여준다. 연속적인 시간을, t^0 , t^1 , t^2 , t^3 , t^4 , t^5 , t^6 , t^7 , t^8 , t^9 , t^{10} , t^{11} 및 t^{12} 라 한다.
- [0149] 시간 t^0 에서, 신호 sig, 캡_리셋(Cap_reset), 디택트 인에이블, 업(up), b_0 , b_1 , 및 b_2 는 "0"에 있다. 시간 t^1 에서, 신호 sig는 "0"에서 "2"로 변환한다. 유닛 M1은 표시 픽셀이 선택되었는지를 검출하고 신호 클리어와 신호 디택트 인에이블을 "1"로 설정한다. 시간 t^2 에서, 신호 sig는 "1"로 변환하고 유닛 M1은 신호 클리어를 "0"으로 변환한다. 시간 t^3 에서, 적색 표시 서브-픽셀 제어 단계 SR이 시작한다. 본 실시형태에 있어서, 적색 표시 서브-픽셀이 활성화되고 신호 sig가 "2"로 변환한다. 신호 클럭이 시간 t^3 에서 시간 t^4 까지 "1"로 설정된다. 신호 b_0 는 시간 t^3 에서 "1"로 설정된다. 시간 t^5 에서, 신호 sig는 "1"로 변환한다. 시간 t^6 에서, 신호 sig는 "2"로 변환하고, 녹색 표시 서브-픽셀의 제어 단계 SG가 시작하면서 적색 서브-픽셀 제어 단계는 종료된다. 본 실시형태에서, 녹색 표시 서브-픽셀이 활성화된다. 신호 클럭이 시간 t^6 에서 t^7 까지 "1"로 설정된다. 신호 b_1 은 시간 t^6 에서 "1"로 설정된다. 신호 b_0 는 시간 t^6 에서 "0"으로 설정된다. 시간 t^8 에서, 신호 sig는 "2"로 변환하고, 표시 서브-픽셀의 제어 단계 SB가 시작한다. 본 실시형태에 있어서, 청색 표시 서브-픽셀이 활성화된다. 신호 클럭이 시간 t^8 에서 시간 t^9 까지 "1"로 설정된다. 신호 b_2 는 시간 t^8 에서 "1"로 설정된다. 신호 b_1 은 시간 t^8 에서 "0"으로 설정된다. 시간 t^{10} 에서, 신호 sig는 "1"로 변환한다. 시간 t^{11} 에서, 신호 sig는 "2"로 설정된다. 이 처리의 종료가 통지된다. 시간 t^{11} 에서, 신호 클럭은 "1"로 설정되며 신호 b_2 는 "0"으로 설정되고, 청색 서브-픽셀의 제어 단계 SB가 종료한다. 시간 t^{12} 에서, 신호 sig는 "1"로 변환한 후 "0"으로 변환한다.
- [0150] 일 실시형태에 따르면, 표시 픽셀은 150개의 MOS 트랜지스터, 3개의 레지스터, 및 4개의 커패시터보다 적게 하여 형성될 수 있다. 따라서, 적은 표면 영역을 차지할 수 있다.
- [0151] 데이터 이송 조건을 최적화하기 위하여, 모든 실시형태는 소통의 지속시간 동안 어드레스된 열 또는 행에서의 픽셀을 턴오프하는 기능을 탑재할 수 있으며, 이것은 데이터 전송 동안 구동되는 부하를 제한할 수 있다. 그런 기능성의 부가는 전위 차($V_{pix+} - V_{pix-}$)를 감소시킴으로써 실행할 수 있다.
- [0152] 도 27a 내지 도 27h는, 도 1 및 도 2에 도시된 광전자 장치(10)를 제조하는 방법의 다른 실시형태의 연속적인 스텝으로 얻은 구조의 부분 개략 단면도이다.
- [0153] 도 27a는 복수의 소정의 제어 회로(20)를 구비하는 전자 회로(110)의 제조 후에 얻어진 구조를 보여주며, 도 27a에서는 예로서 4개의 제어 회로(20)가 도시되어 있다. 전자 회로(110)를 제조하는 방법은 집적 회로 제조 방법의 종래의 스텝을 구비할 수 있다.
- [0154] 도 27b는 광전자 회로(26)를 전자 회로(110) 상에 부착한 후 얻어진 구조를 보여준다. 광전자 회로(26)를 전자 회로(110)에 조립하는 방법은 솔더링 작업을 구비할 수도 있다.
- [0155] 도 27c는, 광전자 회로(26)와 광전자 회로(26) 사이에 있는 전자 회로(110)를 덮고 있는 전기적-절연층(112)을 증착한 후에 얻어진 구조를 보여준다. 절연층(112)은 이전에 설명된 절연부(28)와 동일한 재료로 이루어진다. 절연층(112)은, 화학기상증착(CVD), 플라즈마-강화 화학기상증착(PECV), 원자층 증착(ALD), 또는 캐소드 스퍼터링에 의하여 증착된 SiO_2 , SiN , Al_2O_3 , ZrO_2 , HfO_2 , 또는 임의의 다른 유전 재료로 이루어질 수 있다.
- [0156] 도 27d는 절연층(112)에 도전성 소자(30)를 형성한 후 얻은 구조를 보여준다. 도전성 소자(30)는 절연층(112) 내의, 광전자 회로(26) 및/또는 제어 회로(20) 상에서 멈추는 개구를 에칭하고, 얻어진 구조물 전체 상에 도전층을 증착하고, 개구 외부의 도전층 부분을 제거함으로써 형성할 수 있다.
- [0157] 도 27e는, 표시 픽셀(Pix)을 획정하기 위하여 전기 회로(110)와 절연층(112)을 자른 후에 얻어진 구조를 보여준다.
- [0158] 도 27f는 지지대(12) 상에 이미 증착되어 있는 전극층(18)에 표시 픽셀(Pix)을 부착한 후에 얻은 구조를 보여준다. 예로서, 각 표시 픽셀(Pix)은, 분자 접착 또는 접착 재료, 특히 전기적-도전성 에폭시 글루를 통하여 전극

층(18)에 부착할 수 있다.

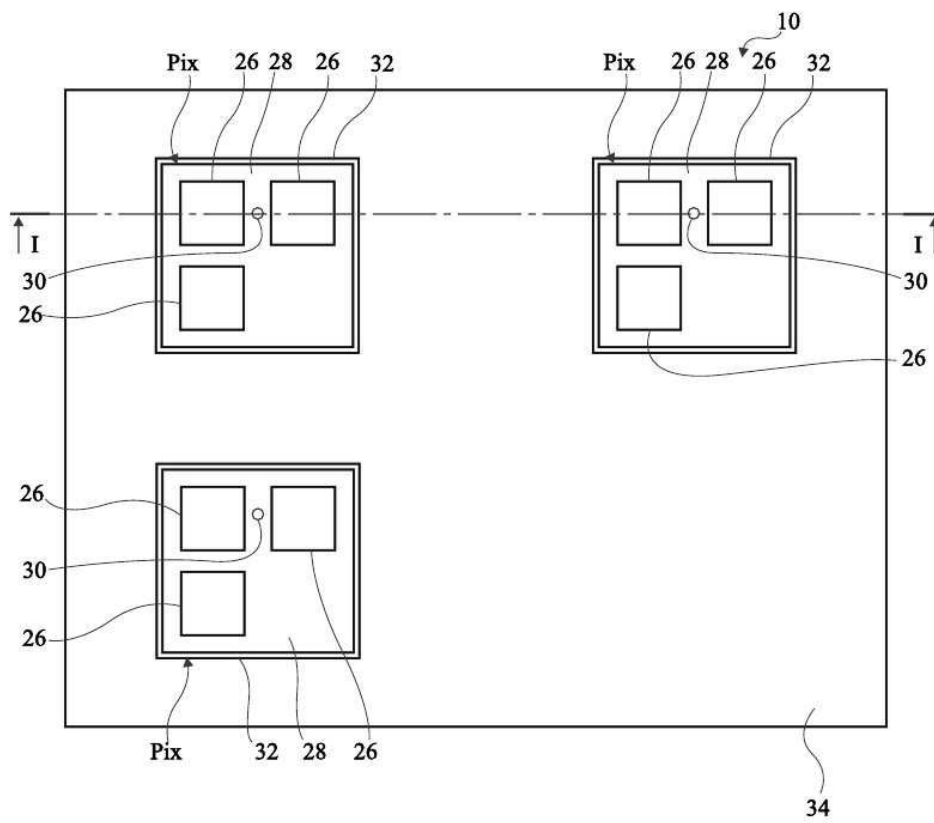
- [0159] 도 27g는 표시 픽셀(Pix) 상에 그리고 표시 픽셀(Pix) 사이의 전극층(18) 상에 절연층(32)을 형성한 후에 얻은 구조를 보여준다. 절연층(32)은 SiO_2 , SiN , Al_2O_3 , ZrO_2 , HfO_2 또는 다른 유전체 재료일 수도 있다.
- [0160] 도 27h는 각 표시 픽셀(Pix)의 상부로부터 절연층(32)을 제거한 후에 얻은 구조를 보여준다. 일 실시형태에 따르면, 그 제거는, 절연부(28) 상에서 정지하는 화학적-기계적 연마(CMP)에 의하여 수행될 수 있다. 또 다른 실시형태에 따르면, 이것은 절연층(32)의 화학적 에칭에 의하여 얻어질 수도 있다. 또 다른 실시형태에 따르면, 그 제거는, 절연층(32)의 증착 전에 각 표시 픽셀(Pix)의 상부에 희생층을 증착하고, 절연층(32)을 증착한 후에, 희생층과 희생층을 덮고 있는 절연층(32) 부분을 제거하는 것을 구비하는 소위 리프트-오프(lift-off) 방법에 의하여 수행될 수 있다.
- [0161] 도 27i는 전극층(34)을 형성한 후 얻어진 구조를 보여준다. 전극층(34)은 CVD, PECVD, ALD, 캐소드 스퍼터링 또는 증기화에 의하여 증착된 TCO(투명 도전성 산화물)로 이루어질 수 있다.
- [0162] 도 28a 내지 도 28d는, 도 4b에 도시된 광전자 장치를 제조하는 방법의 또 다른 실시형태의 연속적인 스텝으로 얻어진 구조의 부분 개략 단면도이다.
- [0163] 도 28a는, 복수의 광전자 회로(42)를 구비하는 광전자 회로(90)를 형성한 후에 얻은 구조를 보여주며, 도 27a에서는, 예로서, 3개의 광전자 회로(42)가 도시되어 있다. 예로서, 도 28a에서는, 각 광전자 회로(42)는 부분(47)에 의하여 분리된 2개의 광전자 회로(26)를 구비하는 것으로서 보여주고 있다.
- [0164] 도 28b는 광전자 회로(64)를 가로지르는 TSV(48)의 형성 후에 얻은 구조를 보여준다. 각 TSV(48)는 광전자 회로(90)를 가로지르는 개구를 에칭함으로써 형성될 수 있다. 이 개구는 원형 또는 사각형 단면적을 가질 수 있다. 에칭은 심도 반응성 이온 에칭(DRIE)일 수 있다. 그런 후 절연층이 개구의 벽에 증착된다. 절연층은, 예를 들어 PECVD에 의한 등각 증착 또는 절연성 폴리머의 등각 증착에 의하여 형성된다. 절연층은 10nm 내지 5,000nm의 범위, 예를 들어, 약 $3\mu\text{m}$ 의 두께를 갖는다. 그런 후, TSV의 충전은 전해 구리 증착에 의하여 수행될 수 있다.
- [0165] 도 28c는 광전자 회로(90) 상에 절연층(92)의 증착 후에 얻은 구조를 보여준다. 절연층(92)은 이미 설명된 절연부(28)와 동일한 재료로 만들어진다. 절연층(92)은, CVD, PECVD, ALD, 또는 캐소드 스퍼터링에 의하여 증착될 수 있다.
- [0166] 도 28d는, 절연층(92)에 도전성 소자(30)의 형성 후에 얻은 구조를 보여준다.
- [0167] 이 방법의 이어지는 스텝은 도 27e 내지 도 27i와 관련하여 이미 설명된 것과 동일할 수 있다.
- [0168] 이상에서, 상이한 변형들을 갖는 다양한 실시형태를 기술하였다. 당업자들은 이들 다양한 실시형태의 다양한 소자와 임의의 발명 스텝에서 보여주지 않은 변형들을 결합할 수 있다. 예를 들어, 도 3에 도시된 전기 다이어그램은 도 4b에 도시된 장치(40)의 구조로 실행될 수 있으며 도 5에 도시된 전기 다이어그램은 도 1 및 도 2에 도시된 장치(10)의 구조로 실행될 수도 있다.

도면

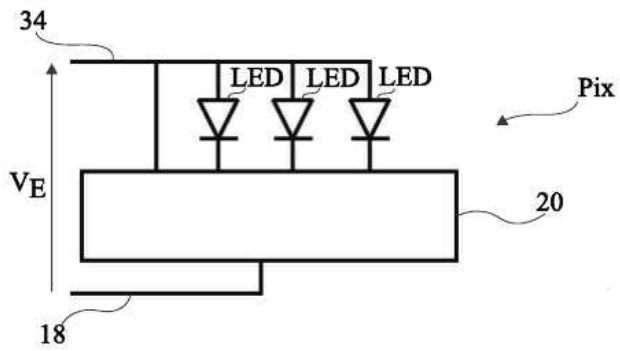
도면1



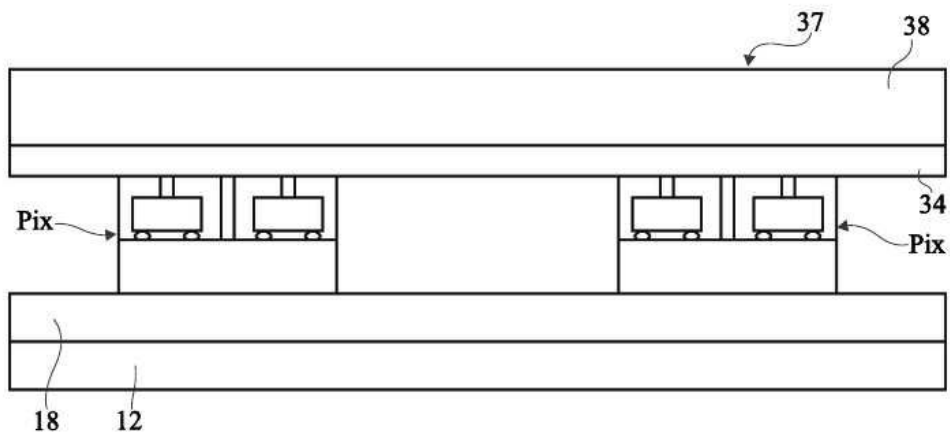
도면2



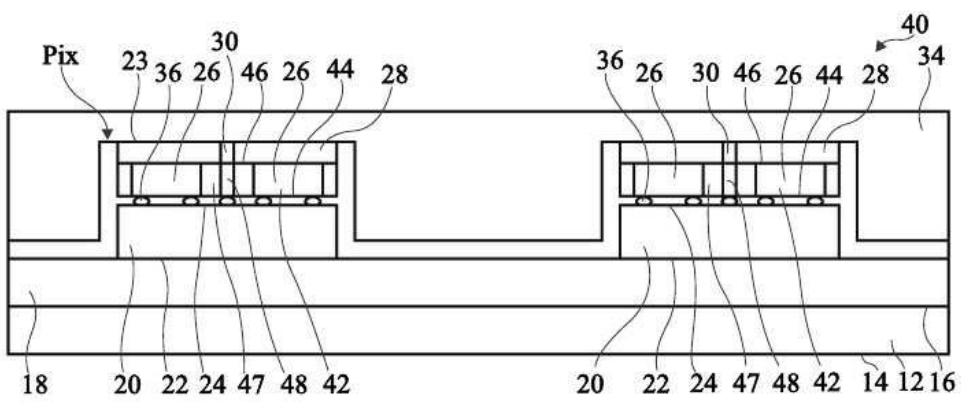
도면3



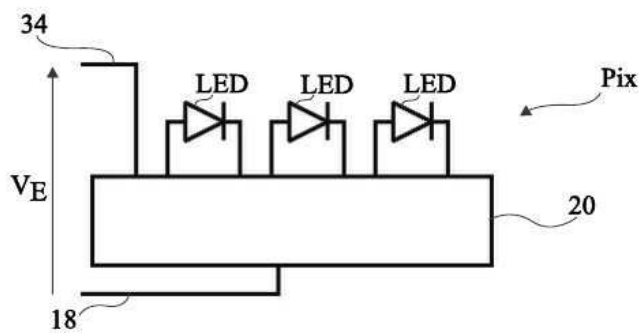
도면4a



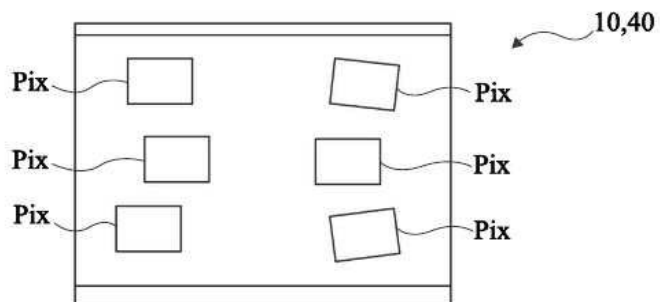
도면4b



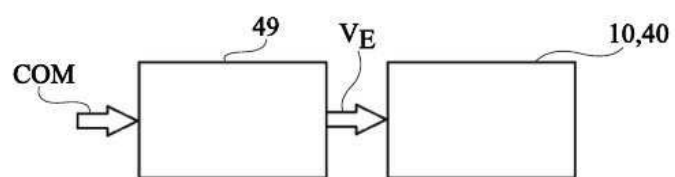
도면5



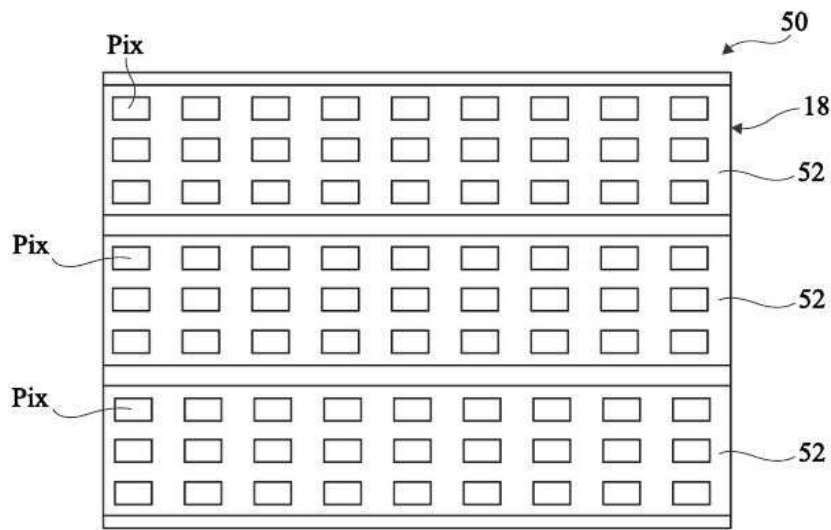
도면6



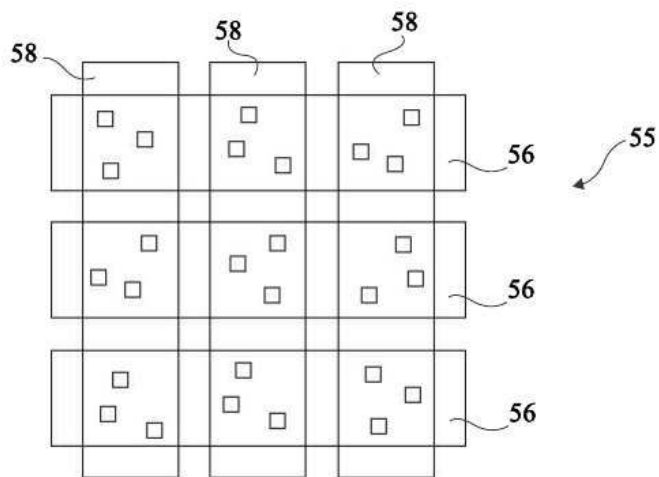
도면7



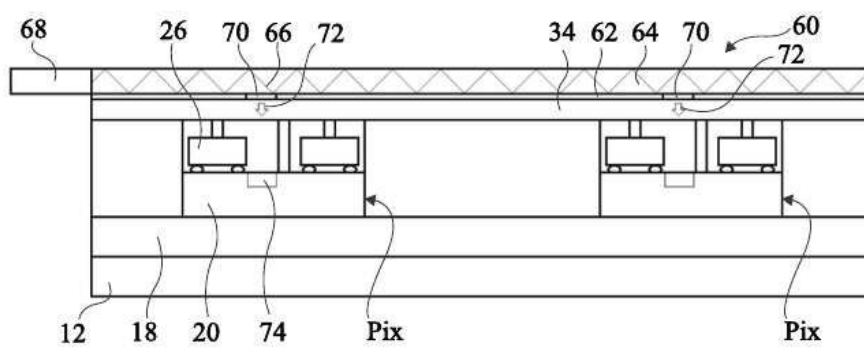
도면8a



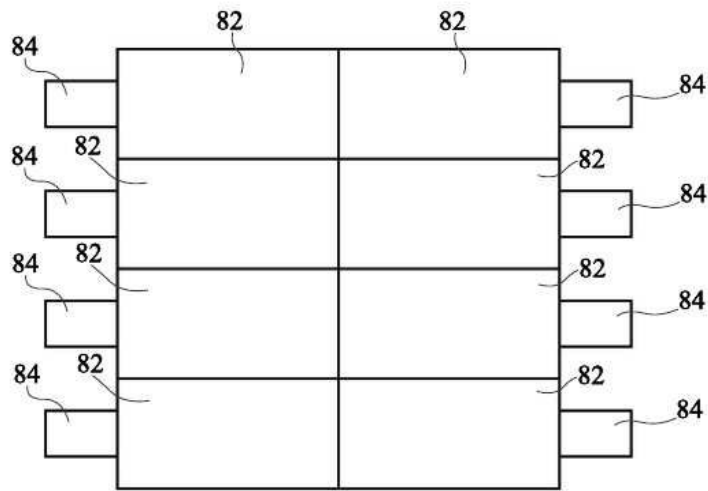
도면8b



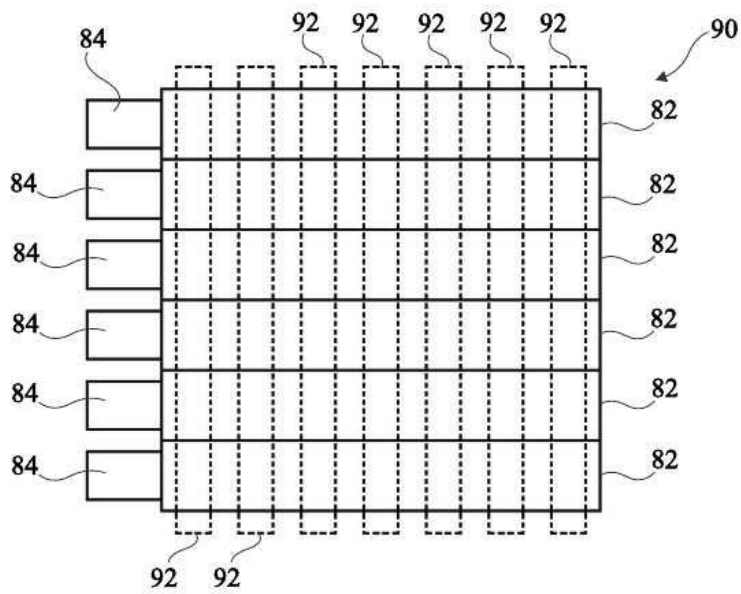
도면9



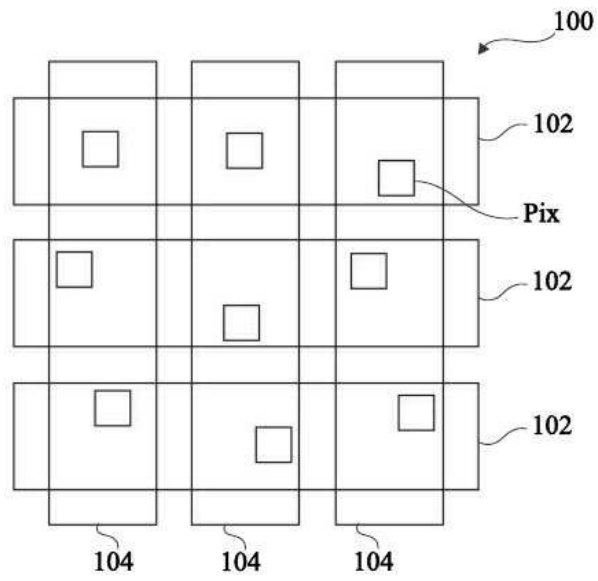
도면10



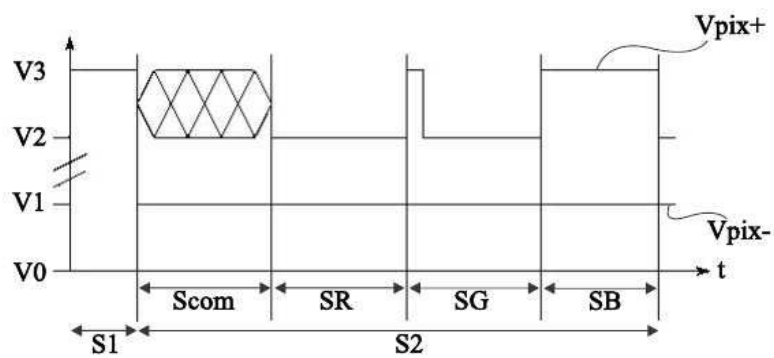
도면11



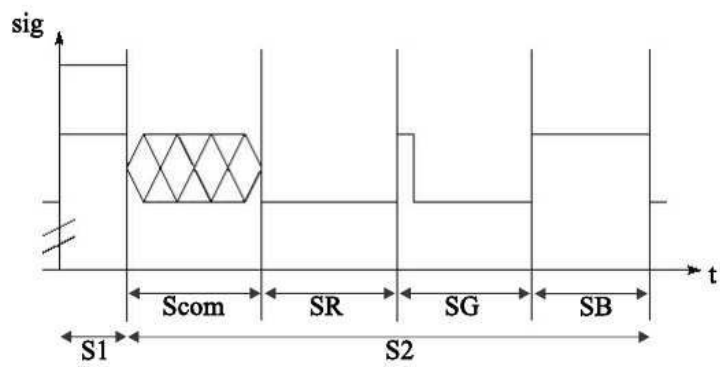
도면12



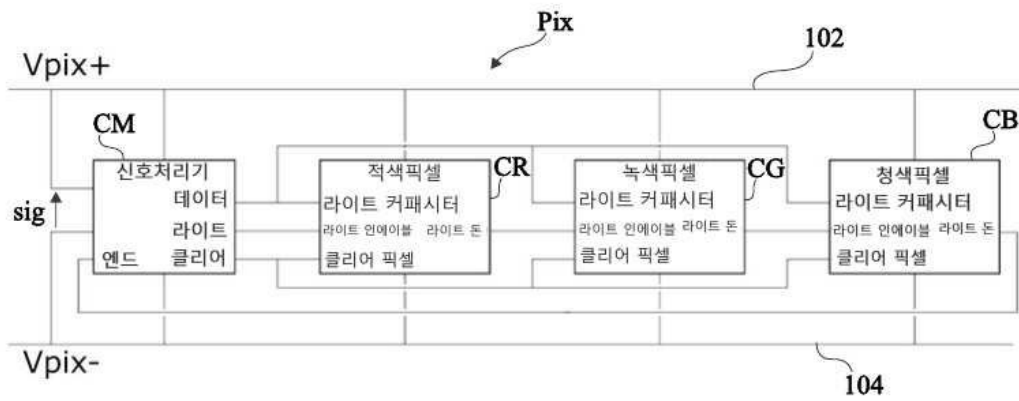
도면13



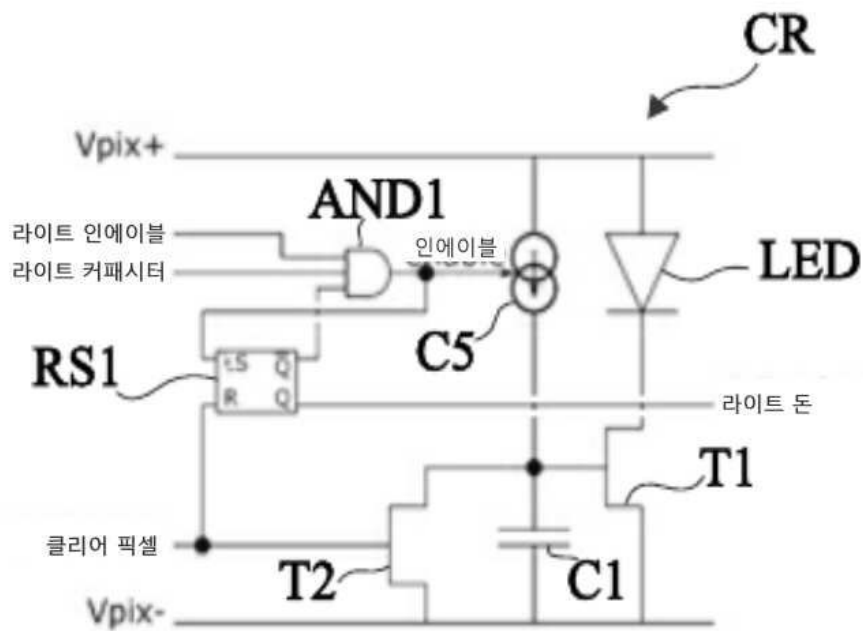
도면14



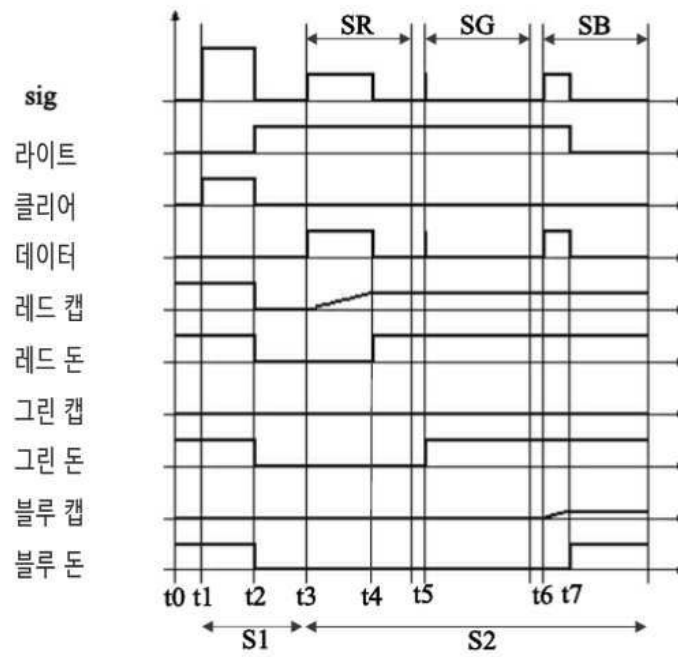
도면15



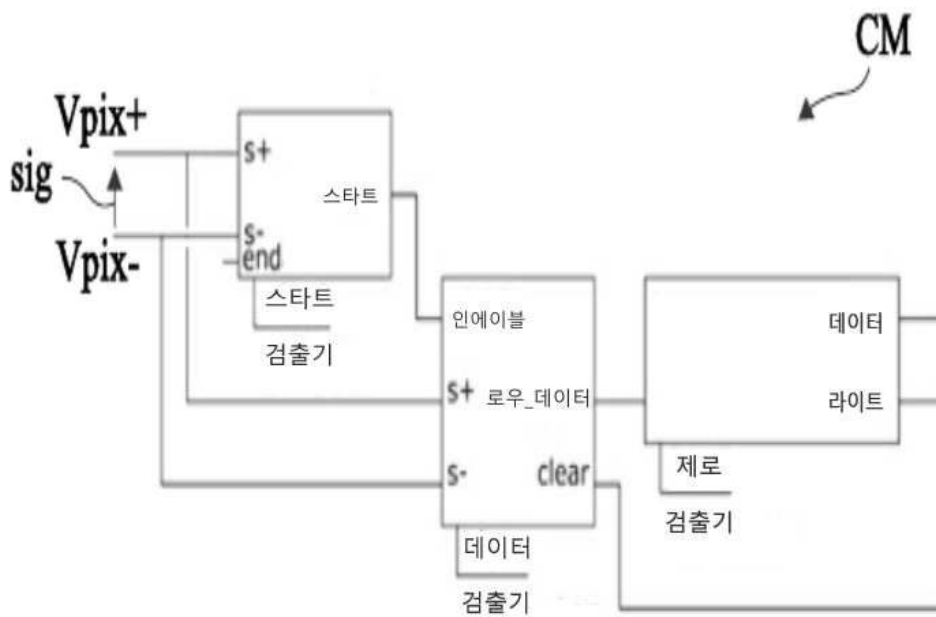
도면16



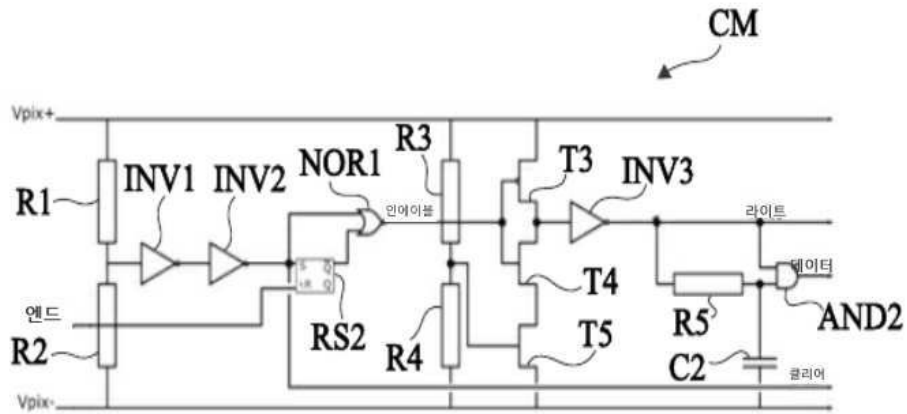
도면17



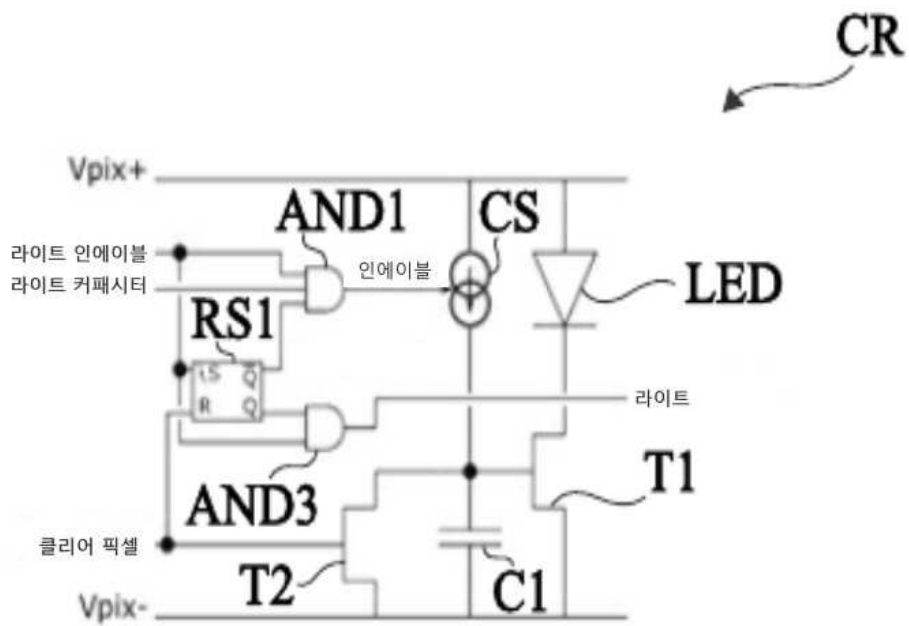
도면18



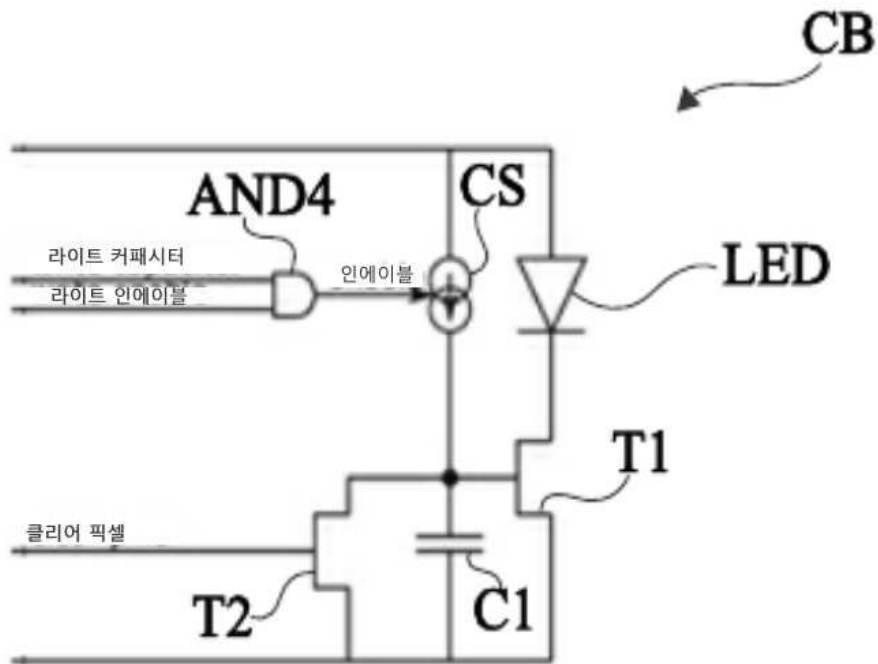
도면19



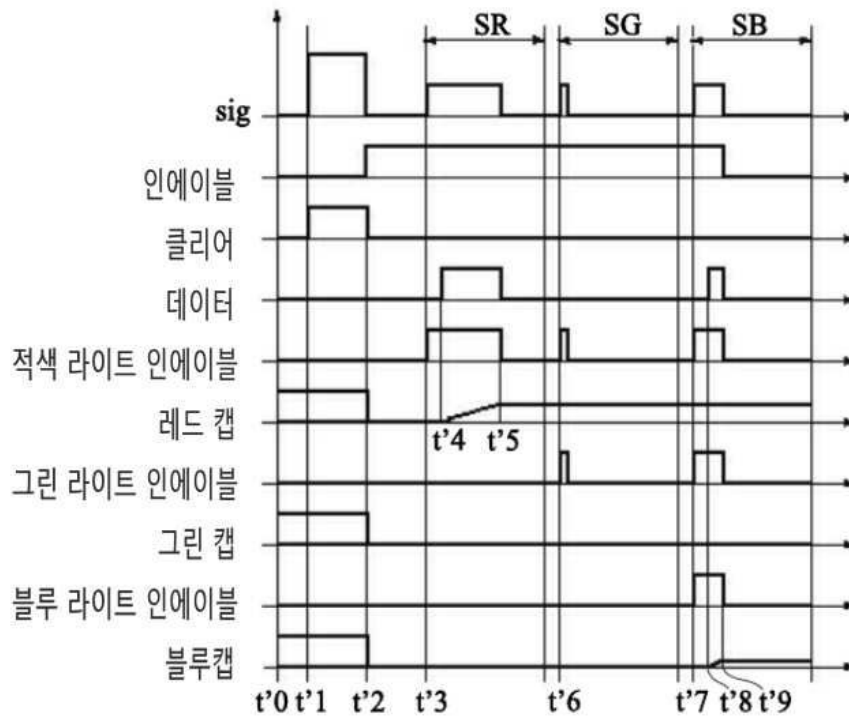
도면20



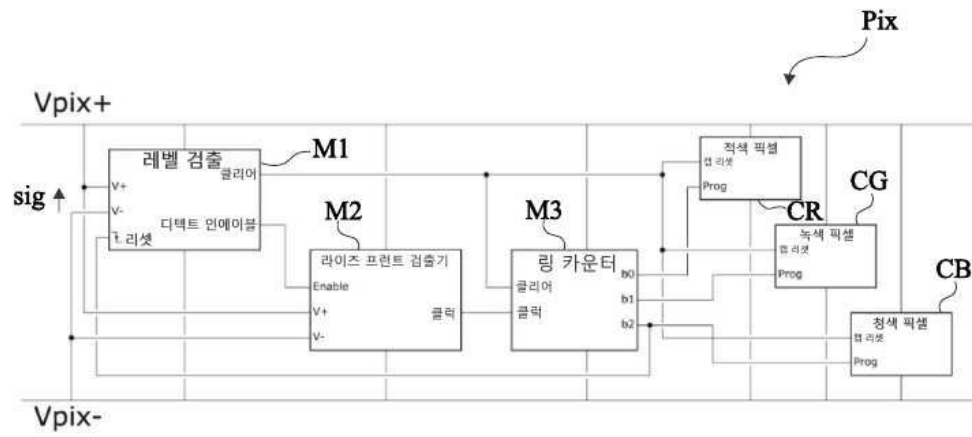
도면21



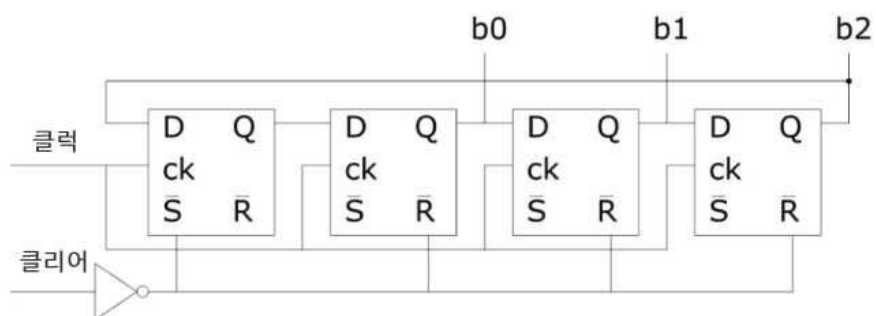
도면22



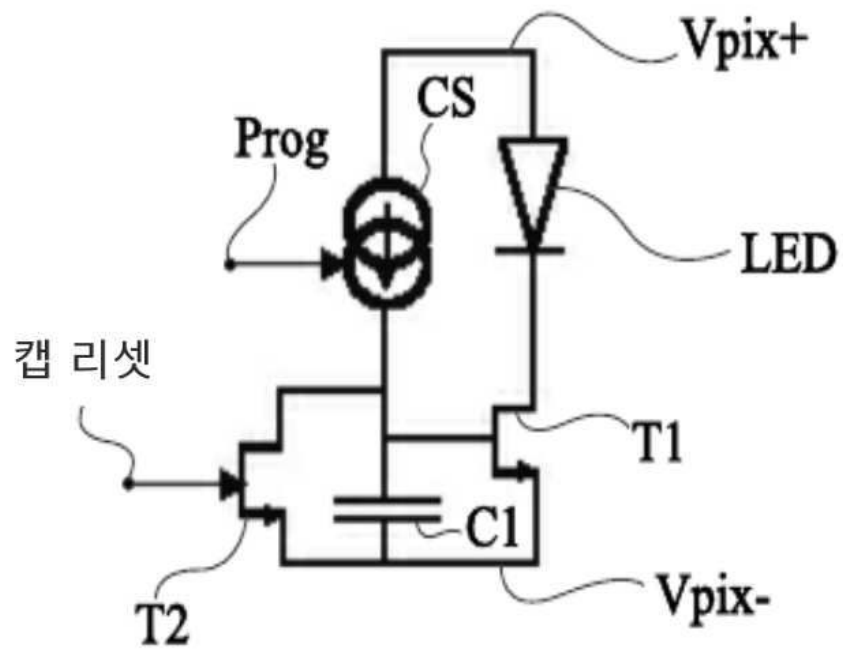
도면23



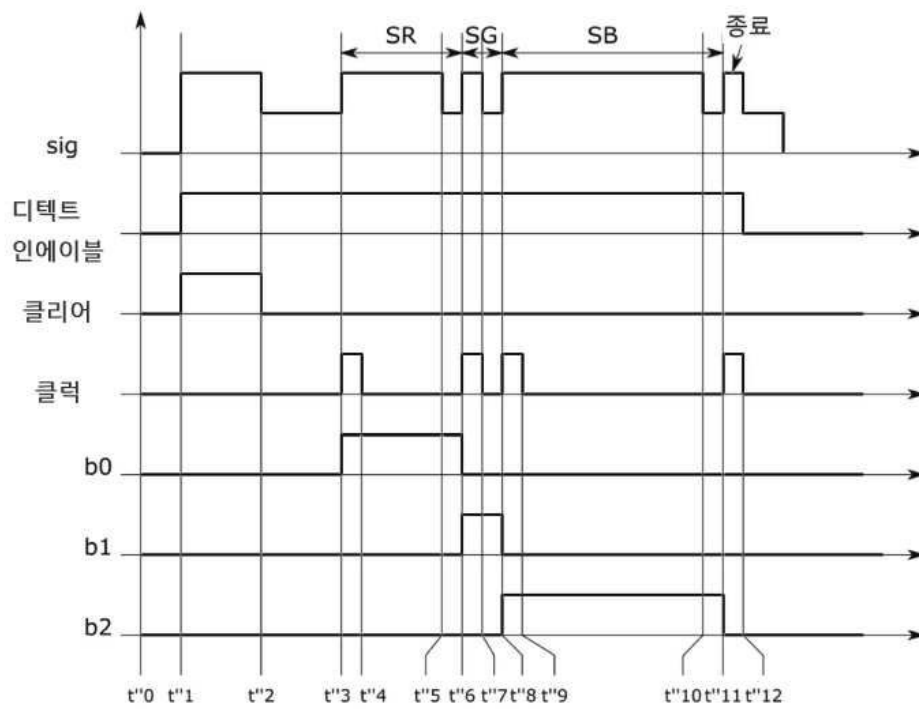
도면24



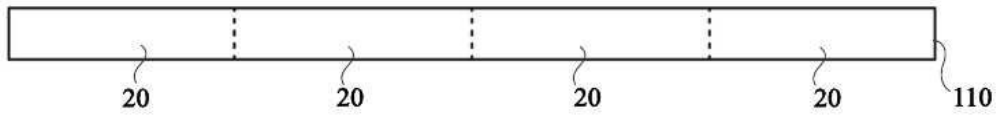
도면25



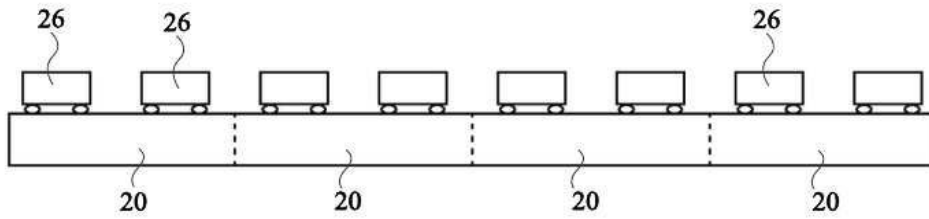
도면26



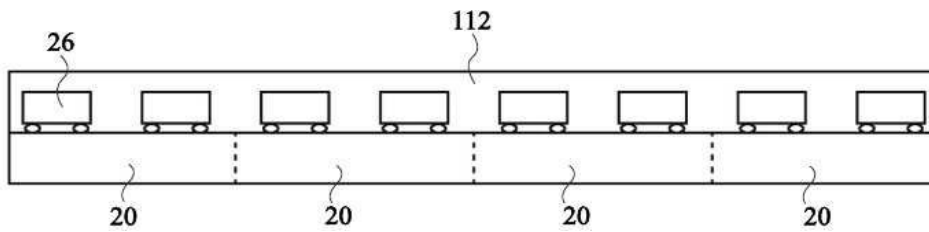
도면27a



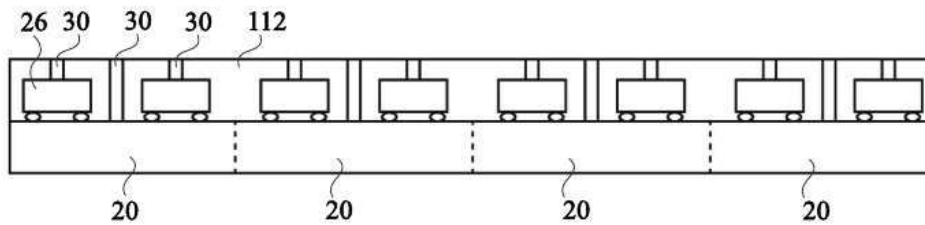
도면27b



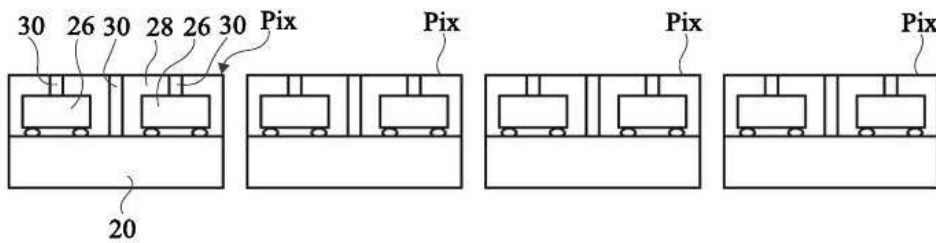
도면27c



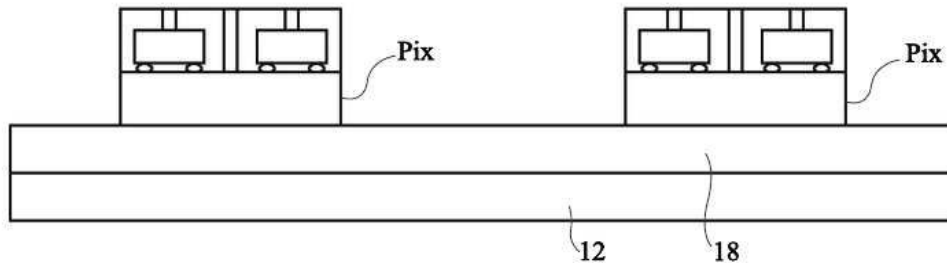
도면27d



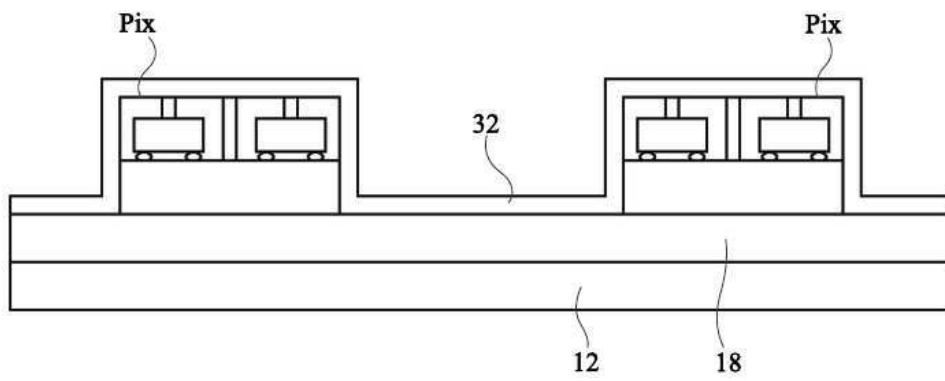
도면27e



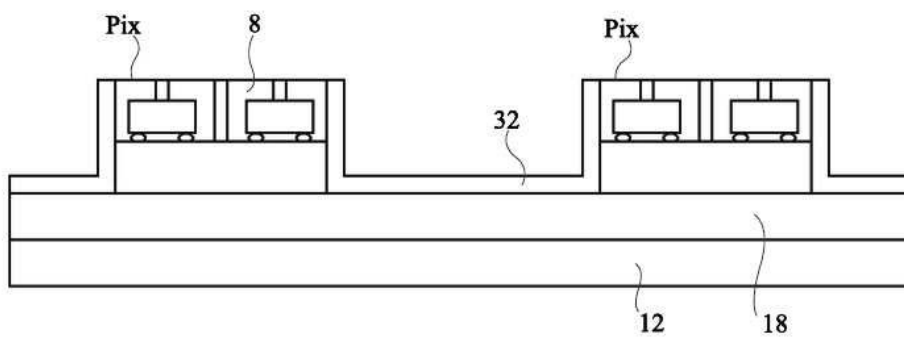
도면27f



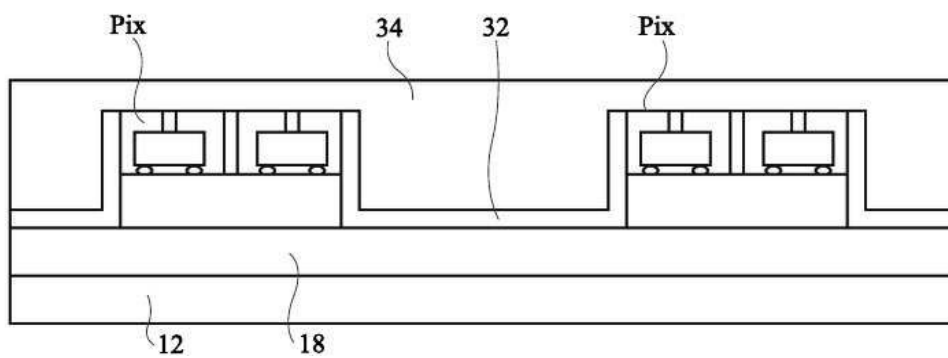
도면27g



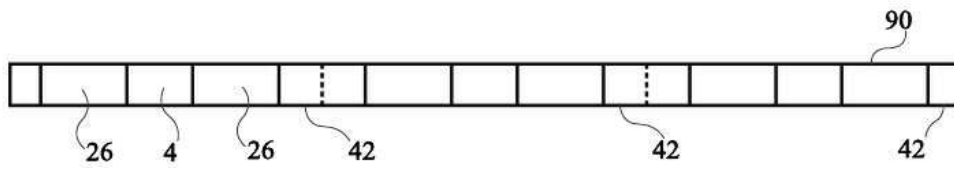
도면27h



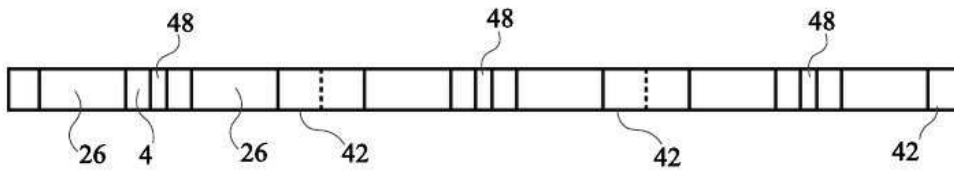
도면27i



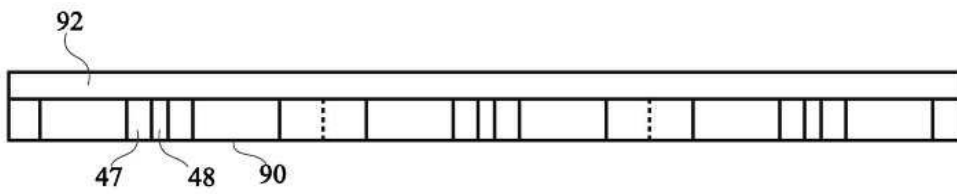
도면28a



도면28b



도면28c



도면28d

