

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200580039217.2

[51] Int. Cl.

H01L 21/28 (2006.01)

G03F 9/00 (2006.01)

H01L 21/027 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2009 年 2 月 4 日

[11] 授权公告号 CN 100459052C

[22] 申请日 2005.11.29

[21] 申请号 200580039217.2

[30] 优先权

[32] 2004.12.3 [33] US [31] 11/002,586

[86] 国际申请 PCT/US2005/043397 2005.11.29

[87] 国际公布 WO2006/060528 英 2006.6.8

[85] 进入国家阶段日期 2007.5.16

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 M·C·克林 D·邦瑟

S·达克希那-穆尔蒂 A·野村

[56] 参考文献

US5930634A 1999.7.27

CN1470947A 2004.1.28

US6300208B1 2001.10.9

US4033026A 1977.7.5

CN1391258A 2003.1.15

审查员 李晓明

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程伟

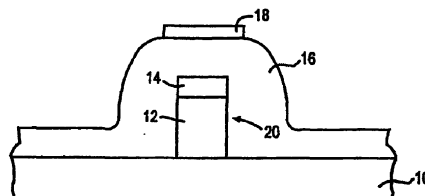
权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称

形成具有特定尺寸的栅极侧壁间隔件之半导体装置的方法

[57] 摘要

在多晶硅栅电极形成具有特定尺寸的间隔件的方法系于选择性外延生长期间保护多晶硅栅电极侧壁。不论间隔件是对称或非对称，本方法均能在严格的对准规格下，用界定多晶硅栅电极图案及图案间隔件的相同特定曝光工具（例如 193nm 波长之步进扫描式曝光工具）及相同的图案标线片，精确地界定间隔件。



1. 一种形成半导体装置的方法，包括下列步骤：

形成具有侧壁(24)的栅电极(20)，采用曝光工具(30-42)以界定该栅电极(20)；

在该栅电极(20)的侧壁(24)上形成侧壁间隔件(22)，采用相同的曝光工具(30-42)以界定该侧壁间隔件(22)，其中该侧壁间隔件(22)的形成包括在该栅电极(20)上方沉积间隔件层(16)，并在由该曝光工具(30-42)所界定的该间隔件层(16)上形成光刻胶掩模(18)，使得该光刻胶掩模(18)延伸超出该栅电极(20)的侧壁(24)；以及

依照该光刻胶掩模(18)各向异性蚀刻该间隔件层(16)以形成该侧壁间隔件(22)。

2. 如权利要求1所述的方法，其中该栅电极(20)的形成包括采用图案标线片(32)；以及

该侧壁间隔件(22)的形成包括采用形成该栅电极(20)所用的相同图案标线片(32)。

3. 如权利要求1或2所述的方法，还包括在其上形成有该栅电极(20)的衬底(10)上进行选择性外延生长，该侧壁间隔件(22)在进行该选择性外延生长的期间保护该栅电极(20)的侧壁(24)免于选择性外延生长。

4. 如权利要求3所述的方法，其中该栅电极(20)的侧壁(24)上的该侧壁间隔件(22)具有对称宽度。

5. 如权利要求3所述的方法，其中该栅电极(20)的侧壁(24)上的该侧壁间隔件(22)具有非对称宽度；以及

还包括当形成该侧壁间隔件(22)时偏移该曝光工具(30-42)的对准，该偏移的步骤包括将偏移值加入该曝光工具(30-42)的对准参数。

6. 一种在半导体制造期间控制侧壁间隔件尺寸的方法，包括下列步骤：

形成具有侧壁(24)的栅电极(20)；

在该侧壁(24)上形成侧壁间隔件(22)，其中该侧壁间隔件的形成是通过：在该栅电极(20)上沉积间隔件层(16)；以及

在该间隔件层(16)上形成图案光刻胶掩模(18)，使得该图案光刻胶掩模(18)延伸超出该栅电极(20)的侧壁(24)，以及依照该图案光刻胶掩模(18)蚀刻该间隔件层(16)，其中形成该栅电极(20)的步骤包括用曝光工具(30-42)及图案标线片(32)界定该栅电极(20)，且形成该侧壁间隔件(22)的步骤包括用相同的曝光工具(30-42)及图案标线片(32)界定该图案光刻胶掩模(18)。

7. 如权利要求 6 所述的方法，其中该侧壁间隔件(22)为对称的。

8. 如权利要求 6 所述的方法，其中该侧壁间隔件(22)为非对称的。

形成具有特定尺寸的栅极侧壁间隔件之半导体装置的方法

技术领域

本发明系有关半导体装置之制造方法。更明确地说，本发明系有关形成特定尺寸的间隔件的方法。

背景技术

现今，深次微米的互补式金氧半导体(CMOS)是极大型积体(ULSI)装置的主流技术。过去廿年内，微电子业界的主要焦点均集中于如何缩小 CMOS 晶体管的尺寸并增加集成电路(IC)的晶体管密度。

ULSI 电路可包含 CMOS 场效晶体管(FET)，其半导体栅极系配置于漏极与源极区之间。漏极和源极区通常系掺杂有高浓度之 P-型杂质(硼)或 N-型杂质(磷)。

漏极和源极区通常含有薄的延伸区(浅的源极及漏极延伸区, shallow source and drain extensions)，这些延伸区系部份地配置于栅极下方以提高晶体管的性能。浅的源极及漏极延伸区有助于避免短信道效应(short channel effect)，短信道效应会降低 n-信道以及 p-信道晶体管的晶体管性能。短信道效应会导致临限(threshold)电压下滑和由漏极引起的能障降低。因为可以控制短信道效应，当晶体管变得更小时，浅的源极及漏极延伸区就因此特别重要。

传统的技术利用双植入(double implant)制程形成浅的源极及漏极延伸区。依传统制程，源极及漏极延伸区的形成方式系于硅衬底(substrate)顶部表面提供没有侧壁间隔件之晶体管栅极结构。位于栅极结构两侧的硅衬底系以传统的掺杂制程(例如扩散制程或离子植入制程)掺杂。由于没有侧壁间隔件，掺杂制程会将杂质引入衬底顶部表面正下方的薄区，以形成源极及漏极延伸区且部份地形成漏极及源极区。

漏极及源极延伸区形成之后，再将邻接栅极结构横向侧面的侧壁间隔件置于源极及漏极延伸区上方。侧壁间隔件定位之后，第二度掺杂衬底以形成深的源极及漏极区。于深的源极及漏极区的形成期间，

由于侧壁间隔件的阻挡能力因而得以阻止对源极及漏极延伸区的进一步掺杂。

随着 IC 上所置之晶体管尺寸缩小, 具有浅及极浅的源/漏极延伸区之晶体管变得更难以制造。举例而言, 晶体管可能需要具有接面深度小于 30 奈米(nm)的极浅源极及漏极延伸区。用传统的制作技术非常难以形成具有接面深度小于 30nm 的源极及漏极延伸区。例如, 传统的离子植入技术因为半导体衬底主体(bulk)中于离子植入期间所产生的点状缺陷会使杂质更容易扩散(瞬时增强型扩散, transient enhanced diffusion, TED), 而难以保持浅的源极及漏极延伸区。这种扩散常将源极及漏极延伸区向下垂直延伸进入半导体衬底主体中。而且, 传统的离子植入及扩散掺杂技术使 IC 上的晶体管容易产生短信道效应, 从而造成延伸深入衬底中之杂质曲线尾部分布(tail distribution)。

要克服这些问题, 可以用选择性的硅外延生长(selective epitaxial growth, SEG)令源极及漏极区加高, 使得和源极及漏极接点的连接比较不那么困难。加高的源极及漏极区为接点硅化制程(contact silicidation processes)提供额外的材料, 并且减少深的源/漏极接面电阻(junction resistance)与源/漏极串接电阻(series resistance)。

产生加高之源极及漏极时要考量的事包括加高之源极及漏极与多晶硅栅极间的间隔距离。另一个要关心的事项是进行选择性的硅外延生长期间对多晶硅栅极的侧壁保护。进行选择性的外延生长期间, 若多晶硅栅极的侧壁曝露在外, 多晶硅曝露的区域就会发生不想要的生长。在产生加高的源极及漏极期间, 可以于选择性的硅外延生长期间用传统的自我对准(self-aligned)技术加以覆盖并保护多晶硅。但在实际应用上, 因为难以避免蚀刻制程期间多晶硅的曝露, 从而难以产生具有精确距离的间隔件及确保多晶硅栅极侧壁受到保护。

发明内容

因此需要有个方法来产生具有特定尺寸的间隔件, 以便在选择性硅外延生长期间用来保护多晶硅栅极侧壁。

本发明实施例可以满足本项及其它需求。本发明提供形成半导体配置的方法, 包括采用界定栅电极的曝光工具以形成具有侧壁之栅电

极的步骤。侧壁间隔件系采用相同曝光工具界定侧壁间隔件而形成于栅电极的侧壁。

通过采用相同特定曝光工具(例如步进扫描式(step and scan)曝光工具),及于若干实施例中用来界定多晶硅栅电极所用的相同图案标线片,可以用极严格的对准规格形成图案间隔件。所产生的图案间隔件可以覆盖图案多晶硅栅极结构,并在选择性外延生长期间保护多晶硅栅极侧壁以避免不必要的选择性外延生长。间隔件图案的宽度受控于光微影(photolithography)制程的参数以及蚀刻制程的参数。本发明的若干实施例中,间隔件图案可在故意设定偏移的情况下进行对准以产生非对称间隔件,经由非对称间隔件可以达到更佳的性能。

提供于半导体制作期间控制侧壁间隔件尺寸的方法之本发明之其它方面也可以满足先前描述的需求。此方法包括形成具有侧壁之栅电极以及在侧壁形成侧壁间隔件的步骤,该侧壁间隔件的形成系经由在栅电极上置放间隔件层、在间隔件层上形成图案化光刻胶掩模(patterned resist mask)、及依图案光刻胶掩模蚀刻间隔件层。

配合以下之图式及说明,熟习此技艺者将能进一步了解本发明之其它特色及优点。

附图说明

图 1 系依照本发明实施例于制作过程之一阶段中之半导体晶圆之部份示意图;

图 2 系显示图 1 依照本发明实施例形成栅电极后之结构;

图 3 系显示图 2 依照本发明实施例置放间隔件层后之结构;

图 4 系显示图 3 依照本发明实施例界定光刻胶图案后之结构;

图 5 系显示图 4 依照本发明实施例蚀刻间隔件层后之结构;

图 6 系显示图 5 依照本发明实施例光刻胶被移除后之结构;

图 7 系显示图 6 依照本发明实施例选择性外延生长后之结构;

图 8 系依照本发明实施例形成非对称间隔件配置的示意图;以及

图 9 系习知曝光工具之侧视图,该曝光工具可用来进行本发明之方法。

具体实施方式

本发明处理并解决之问题系有关于选择性外延生长制程期间之多晶硅栅电极保护、及加高之源/漏极的形成以及它们与栅电极侧壁间之间隔。尤其，本发明对加高之源极和漏极可达到精确的间隔，并通过采用和界定多晶硅栅极图案相同的特定曝光工具，以极严格的对准规格界定图案间隔件，以确使多晶硅栅电极的侧壁得到保护。所产生的图案间隔件覆盖图案化多晶硅栅电极的结构，并在选择性外延生长期间保护多晶硅栅极侧壁。这样可以避免栅电极产生不想要的选择性硅外延生长。而且，间隔件图案的宽度精确地受控于光微影制程的参数及蚀刻制程的参数。在若干实施例中，间隔件图案在故意设定偏移的情况下进行对准以产生非对称间隔件，经由植入制程可以达到更佳的装置性能。

图 1 所示者为依照本发明实施例所形成之半导体装置之部分剖面图。提供之衬底 10 可以是任意合适之衬底，但在例示之实施例中采用硅衬底。栅极层 12 系以传统之沉积制程在衬底 10 上形成。栅极层 12 可以是(例如)多晶硅制成。栅极层 12 之深度应等于想要的最后栅电极结构之较佳深度。

覆盖层(cap layer)14 系成形于栅极层 12 上方，且可为任意合适之深度，以在制程中某些阶段期间保护多晶硅栅电极的顶部。于某些实施例中，覆盖层 14 系以(例如)氮化硅制成。

图 2 系显示图 1 依照本发明实施例以蚀刻制程形成栅电极 20 后之结构。于本发明中，蚀刻制程采用特定之曝光工具以界定多晶硅栅电极图案。也可以采用例如图 9 所示之传统的曝光工具，该图容后细述。举例而言，可以采用传统 193nm 波长的步进扫描式曝光工具，配合特定之图案标线片(specific pattern reticle)来形成掩模(mask)。然后将掩模用于蚀刻多晶硅栅电极。

沉积间隔件层 16，如图 3 所示。可以利用传统的覆被(blanket)沉积制程(例如化学气相沉积(CVD)或其它合适的方法)来形成间隔件层 16。以传统的间隔件材料(例如氧化硅或氮化硅或其它合适的材料)形成间隔件层 16。

沉积间隔件层 16 之后，接着界定间隔件并使其图案化。于本发明

之实施例，系将半导体晶图置于和用来形成多晶硅栅电极之相同工具之特定曝光工具。进而，用来界定多晶硅栅电极图案之相同图案标线片现在也用来界定图案化间隔件。因此，相同特定曝光工具(例如图9中所用者)也用于多晶硅栅电极20上形成光刻胶掩模18，如图4所示。这种方法利用的是曝光工具镜头性能及重叠配准(对准)性能的进步，以及标线片制作容错度的进步。

利用相同于形成用于形成栅电极20之光刻胶掩模18所用之特定曝光工具，在栅电极20上形成光刻胶掩模18后，以传统的方式进行蚀刻制程以产生图5之结构。因此，蚀刻间隔件层16会在栅电极20侧壁24产生间隔件22。间隔件22的宽度W极严格地受控于光微影制程的参数(例如曝光量、标线片相对于光刻胶之临界尺寸偏差量(reticle to resist C.D. bias))以及蚀刻制程的参数(例如蚀刻化学作用、功率、压力、过蚀刻时间)。

图6系显示图5以传统光刻胶移除技术移除光刻胶18后之结构。这样在多晶硅栅电极20侧壁24及覆盖层14上留下间隔件22。于所要的制程步骤，如图7所示，进行选择性地外延生长制程以产生选择性外延生长区26。这些区域通过具有精确宽度W之间隔件22而与多晶硅栅电极相隔特定的距离。整个多晶硅栅电极20在此制程中受到间隔件22保护而不会有不想要的选择性外延生长。于此阶段，间隔件层16可以整个被蚀刻或移除，以进行进一步的处理。

图6及图7中间隔件22之图标实施例显示间隔件具有对称之宽度。但在本发明之某些实施例中，所形成的是具有不同宽度之非对称间隔件，如图8所示。间隔件的非对称宽度可改进装置性能，这是因为它容许非对称掺杂以改进个别晶体管之性能。举例而言，非对称间隔件容许n-信道晶体管的最佳特性自p-信道晶体管去耦合(decoupling)，并视功能之不同(例如将驱动电流加至最大或使短信道效应达到最佳)避免相似掺杂的n-型晶体管或p-型晶体管之性能去耦合。

依照本发明的实施例，在故意设定偏移的情况下对间隔图案进行对准以获得非对称间隔件。举例而言，如图9所示之步进扫描式曝光工具中，可将偏移值设于曝光工具之对准参数。因此，光刻胶18于多晶硅栅电极20上方不会以对准中央的方式而是以所要之量偏离的方式

进行对准。接下来蚀刻间隔件层 16 会产生图 8 之结构。进一步的处理可依前所述者进行。

为了说明，例示之步进扫描式曝光工具如图 9 所示，其中包括光照系统 30，用以提供光照予装置。图案标线片 32 由标线片转盘 34 所支撑。如前所述，相同特定标线片 32 同时用于图案化多晶硅栅电极 20 及间隔件 22。镜头装置 36 将来自光照系统 30 的光聚焦于由吸盘 (chuck)40 所承载之半导体晶圆 38。控制器 42 控制步进扫描式曝光工具之运作。

因此，用本发明之方法，可产生尺寸精确受控之间隔件，不管是对称或非对称，俾于选择性外延生长期间保护多晶硅侧壁，从而避免于多晶硅栅电极曝露区域发生不想要之选择性外延生长。

虽然以上已对本发明进行深入之描述与说明，熟习此技艺者应了解，所作之描述及例示系说明之用而非用来限制，而本发明之范畴系界定于以下所附之申请专利范围。

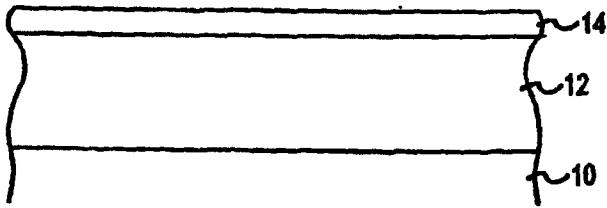


图1

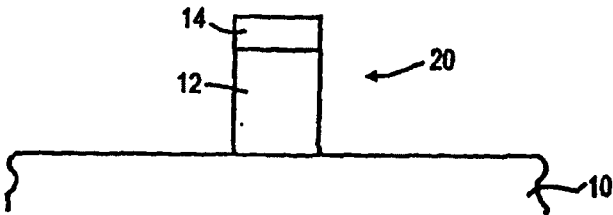


图2

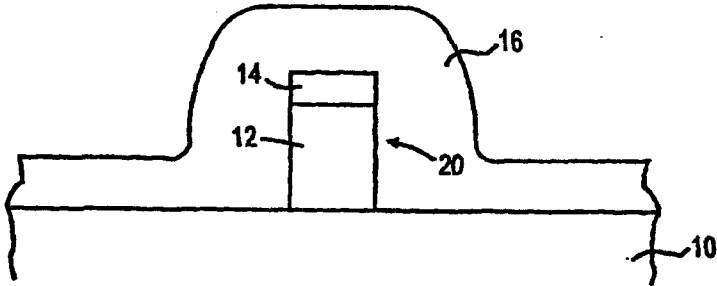


图3

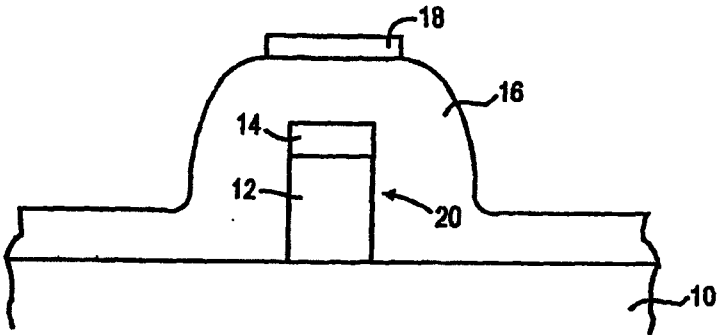


图4

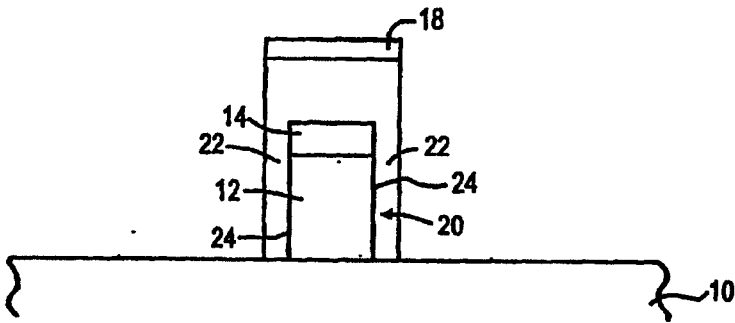


图5

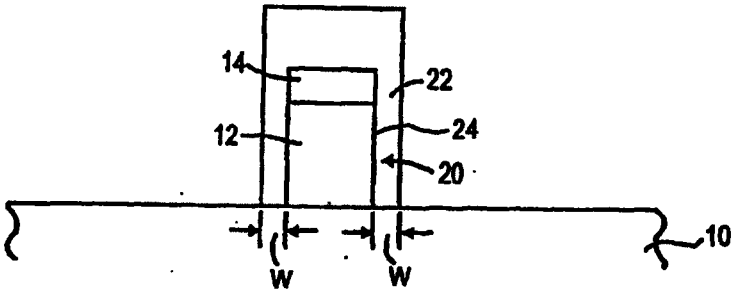


图6

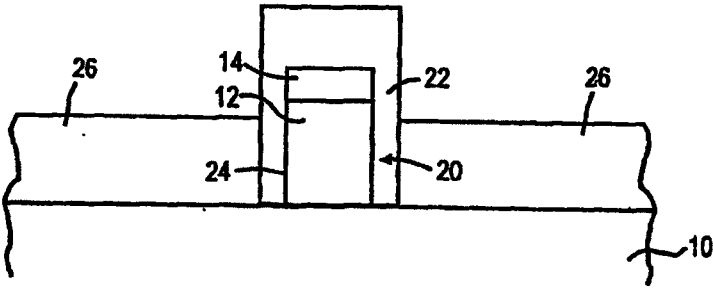


图7

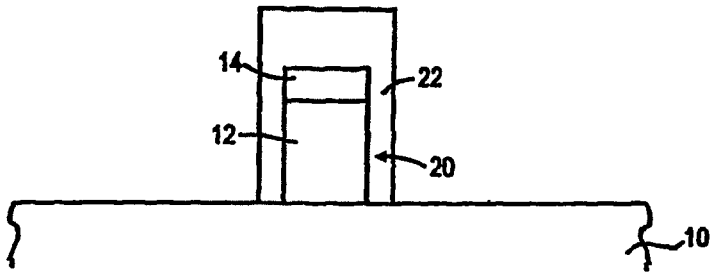


图8

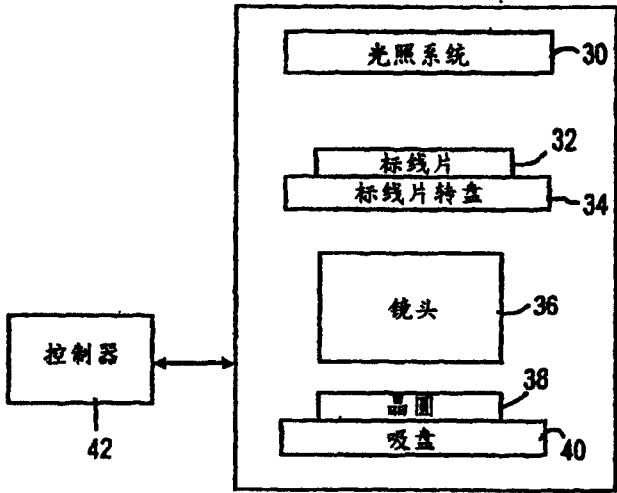


图9