



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078858
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)
G09G 5/00 (2006.01)

(52) CPC특허분류
G09G 5/003 (2013.01)
G09G 2330/021 (2013.01)

(21) 출원번호 10-2016-0184083
(22) 출원일자 2016년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박동원
경기도 고양시 일산동구 강촌로 114, 508동 803호(백석동, 백송마을5단지아파트)

김장환
경기도 파주시 가운로 205, 703동 703호(와동동, 해솔마을7단지롯데캐슬아파트)
(뒷면에 계속)

(74) 대리인
박영복

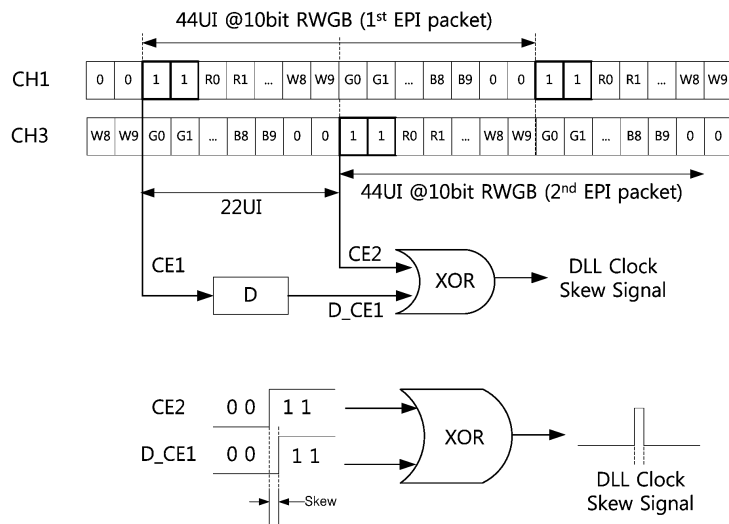
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 디스플레이 인터페이스 장치 및 그의 데이터 전송 방법

(57) 요약

본 발명은 디스플레이 정보의 전송 효율을 증가시키고 소비 전력 및 EMI를 감소시킬 수 있는 디스플레이 인터페이스 장치에 관한 것으로, 일 실시예에 따른 송신부는 각 채널의 데이터 패킷에 포함되는 클럭 에지 정보를 다른 채널의 데이터 패킷에 포함되는 클럭 에지 정보와 서로 다른 타이밍에 전송한다. 수신부는 각 채널을 통해 전송된 데이터 패킷으로부터 각 채널의 클럭 에지를 검출하고 검출된 클럭 에지에 동기하는 각 채널의 내부 클럭을 생성하고, 다른 채널의 클럭 에지와, 자신의 클럭 에지가 지연된 클럭 에지를 논리 연산한 결과에 따라 각 채널의 딜레이를 보정하여 각 채널의 내부 클럭을 더 생성하고, 각 채널의 내부 클럭을 이용하여 각 채널의 데이터 패킷으로부터 디스플레이 정보를 복원한다.

대표도 - 도6



(52) CPC특허분류
G09G 2330/06 (2013.01)

(72) 발명자

박종민

경기도 안양시 동안구 관악대로 135, 128동 1304호(비산동, 비산 삼성 래미안)

이준희

서울특별시 용산구 이촌로65가길 3, 109동 1801호(이촌동, 한강대우아파트)

권용철

서울특별시 성북구 인촌로16길 4 (안암동3가)

명세서

청구범위

청구항 1

클럭 에지 정보와 디스플레이 정보를 직렬화하여 각 전송 단위로 포함하는 복수의 데이터 패킷을 복수의 채널에 분배하여 송수신하는 송신부와 수신부를 포함하고,

상기 송신부는 각 채널의 데이터 패킷에 포함되는 클럭 에지 정보를 다른 채널의 데이터 패킷에 포함되는 클럭 에지 정보와 서로 다른 타이밍에 전송하고,

상기 수신부는 상기 각 채널을 통해 전송된 데이터 패킷으로부터 각 채널의 클럭 에지를 검출하고 검출된 클럭 에지에 동기하는 각 채널의 내부 클럭을 생성하고, 다른 채널의 클럭 에지와, 자신의 클럭 에지가 지연된 클럭 에지를 논리 연산한 결과에 따라 각 채널의 딜레이를 보정하여 상기 각 채널의 내부 클럭을 더 생성하고, 상기 각 채널의 내부 클럭을 이용하여 각 채널의 데이터 패킷으로부터 상기 디스플레이 정보를 복원하는 디스플레이 인터페이스 장치.

청구항 2

청구항 1에 있어서,

상기 데이터 패킷은 상기 클럭 에지 정보를 포함하는 딜리미터와 복수의 픽셀 데이터를 상기 각 전송 단위로 포함하는 EPI 패킷인 디스플레이 인터페이스 장치.

청구항 3

청구항 2에 있어서,

상기 송신부로부터 상기 복수의 채널 각각을 통해 전송되는 EPI 패킷의 클럭 에지 정보는 인접한 다른 채널을 통해 전송되는 EPI 패킷의 클럭 에지 정보와 상기 각 전송 단위보다 작은 기준 시간차를 갖는 디스플레이 인터페이스 장치.

청구항 4

청구항 3에 있어서,

상기 수신부는 제1 및 제2 채널을 통해 상기 복수의 EPI 패킷을 전송받고,

상기 제1 및 제2 채널의 내부 클럭을 각각 생성할 때,

각 채널의 EPI 패킷으로부터 클럭 에지를 검출하고 지연기를 통해 상기 기준 시간차만큼 지연시키고,

다른 채널의 EPI 패킷으로부터 검출된 다른 채널의 클럭 에지와, 상기 지연된 자신의 클럭 에지를 XOR 연산하여 각 채널의 클럭 스쿼 신호를 생성하고,

상기 각 채널의 클럭 스쿼 신호를 이용하여 각 채널의 딜레이가 보정된 내부 클럭을 생성하는 디스플레이 인터페이스 장치.

청구항 5

청구항 4에 있어서,

상기 각 전송 단위의 EPI 패킷은

상기 클럭 에지 정보를 포함하는 4비트의 딜리미터와, 40비트의 제1 내지 제4 픽셀 데이터를 포함하는 44UI(Unit Interval)를 갖고,

상기 기준 시간차는 24UI를 갖는 디스플레이 인터페이스 장치.

청구항 6

청구항 2에 있어서,

상기 수신부는 제1 내지 제4 채널을 통해 상기 복수의 EPI 패킷을 전송받고

상기 제1 채널의 내부 클럭을 생성할 때,

상기 제1 내지 제4 채널 각각의 EPI 패킷으로부터 각 채널의 클럭 에지를 검출하고,

상기 제1 채널의 클럭 에지를 제1 지연기를 통해 상기 기준 시간차만큼 지연시키고,

상기 제2 채널의 클럭 에지를 제2 지연기를 통해 상기 기준 시간차만큼 지연시키고,

상기 제3 채널의 클럭 에지를 제3 지연기를 통해 상기 기준 시간차만큼 지연시키고,

상기 제4 채널의 클럭 에지와 상기 제1 내지 제3 지연기를 통해 지연된 제1 내지 제3 클럭 에지를 XOR 연산하여 상기 제1 채널의 클럭 스쿼 신호를 생성하고,

상기 제1 채널의 클럭 스쿼 신호를 이용하여 상기 제1 채널의 딜레이가 보정된 내부 클럭을 생성하는 디스플레이 인터페이스 장치.

청구항 7

청구항 4에 있어서,

상기 각 전송 단위의 EPI 패킷은

상기 클럭 에지 정보를 포함하는 4비트의 딜리미터와, 80비트의 제1 내지 제8 픽셀 데이터를 포함하는 84UI(Unit Interval)를 갖고, 상기 기준 시간차는 24UI를 갖는 디스플레이 인터페이스 장치.

청구항 8

클럭 에지 정보와 디스플레이 정보를 직렬화하여 각 전송 단위로 포함하는 복수의 데이터 패킷을 복수의 채널에 분배하는 단계와,

각 채널의 데이터 패킷에 포함되는 클럭 에지 정보를 다른 채널의 데이터 패킷에 포함되는 클럭 에지 정보와 서로 다른 타이밍에 전송하는 단계와,

상기 각 채널을 통해 전송된 데이터 패킷으로부터 각 채널의 클럭 에지를 검출하고 검출된 클럭 에지에 동기하는 각 채널의 내부 클럭을 생성하는 단계와,

다른 채널의 클럭 에지와, 자신의 클럭 에지가 지연된 클럭 에지를 논리 연산한 결과에 따라 각 채널의 딜레이를 보정하여 상기 각 채널의 내부 클럭을 더 생성하는 단계와,

상기 각 채널의 내부 클럭을 이용하여 각 채널의 데이터 패킷으로부터 상기 디스플레이 정보를 복원하는 단계를 포함하는 디스플레이 인터페이스 장치의 데이터 전송 방법.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 정보의 전송 효율을 증가시키고 소비 전력 및 전자기적 간섭(ElectroMagnetic Interference; EMI)을 감소시킬 수 있는 디스플레이 인터페이스 장치 및 그의 데이터 전송 방법에 관한 것이다.

배경 기술

[0002] 최근 디지털 데이터를 이용하여 영상을 표시하는 디스플레이 장치로는 액정을 이용한 액정 디스플레이(Liquid Crystal Display; LCD), 유기 발광 다이오드를 이용한 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 디스플레이, 전기영동 입자를 이용한 전기영동 디스플레이(ElectroPhoretic Display; EPD) 등이 대표적이다.

[0003] 디스플레이 장치는 화소 어레이를 통해 영상을 표시하는 패널과, 패널을 구동하는 패널 구동부와, 패널 구동부

를 제어하는 타이밍 컨트롤러 등을 포함하고, 패널 구동부는 패널의 게이트 라인들을 구동하는 게이트 구동부와, 패널의 데이터 라인들을 구동하는 데이터 구동부를 포함한다.

[0004] 타이밍 컨트롤러와 데이터 구동부는 전송 배선 수를 감소시키고 고속 전송을 위하여, 제어 정보와 영상 데이터(픽셀 데이터)를 직렬화하고 클럭 정보를 삽입하여 패킷 단위로 변환하고 포인트-투-포인트(Point-to-Point) 방식으로 패킷을 전송하는 임베디드 포인트-투-포인트 인터페이스(Embedded Point-to-point Interface; 이하 EPI) 프로토콜을 이용하고 있다.

[0005] 도 1을 참조하면, 종래의 EPI 패킷은 클럭 에지 정보가 포함된 4비트의 딜리미터(Delimiter)와 10비트씩의 제1 및 제2 픽셀 데이터를 포함하는 24비트, 즉 24UI(Unit Interval)의 전송 단위를 갖고 타이밍 컨트롤러로부터 데이터 구동부로 전송된다. 1UI는 1비트 전송 시간이다.

[0006] 데이터 구동부는 수신된 EPI 패킷으로부터 클럭 에지를 추출하여 DLL(Delay Locked Loop)을 통해 클럭 에지와 동기하는 내부 클럭을 생성하고, 내부 클럭을 이용하여 EPI 패킷으로부터 제어 정보 및 픽셀 데이터를 샘플링하여 복원한다.

[0007] 그러나, EPI 패킷의 전송 단위가 무한정 증가하면 클럭 스큐(skew) 문제로 DLL 동기가 어려워 내부 클럭의 타이밍을 맞추지 못하기 때문에 데이터가 손실되는 문제가 발생하므로, 종래의 EPI 인터페이스는 패킷의 전송 단위를 최대 24UI 보다 증가시킬 수 없는 어려움이 있다.

[0008] 또한, 24UI 전송 단위의 각 EPI 패킷은 20비트의 영상 데이터 외에 4비트 딜리미터를 더 포함하여 120%(=24/20)의 오버헤드(overhead) 동작이 요구되므로 EPI의 전송 속도가 상승하고 이에 비례하여 소비 전력 및 EMI가 증가하는 문제점이 있다.

[0009] 또한, 종래의 디스플레이 인터페이스 장치는 도 2에 도시된 바와 같이 복수의 채널(CH1, CH2)을 통해 24UI 전송 단위의 복수의 EPI 패킷을 전송하는 경우, 데이터 손실을 방지하기 위하여 복수 채널(CH1, CH2)을 통해 같은 타이밍에 클럭 에지 정보를 중복 전송함으로써 전송 효율을 손해보고 있으며 EMI가 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 디스플레이 정보의 전송 효율을 증가시키고 소비 전력 및 EMI를 감소시킬 수 있는 디스플레이 인터페이스 장치 및 그의 데이터 전송 방법을 제공한다.

과제의 해결 수단

[0011] 일 실시예에 따른 디스플레이 인터페이스 장치에서 송신부는 각 채널의 데이터 패킷에 포함되는 클럭 에지 정보를 다른 채널의 데이터 패킷에 포함되는 클럭 에지 정보와 서로 다른 타이밍에 전송한다. 수신부는 각 채널을 통해 전송된 데이터 패킷으로부터 각 채널의 클럭 에지를 검출하고 검출된 클럭 에지에 동기하는 각 채널의 내부 클럭을 생성하고, 다른 채널의 클럭 에지와, 자신의 클럭 에지가 지연된 클럭 에지를 논리 연산한 결과에 따라 각 채널의 딜레이를 보정하여 각 채널의 내부 클럭을 더 생성하고, 각 채널의 내부 클럭을 이용하여 각 채널의 데이터 패킷으로부터 디스플레이 정보를 복원한다.

[0012] 데이터 패킷은 클럭 에지 정보를 포함하는 딜리미터와 복수의 픽셀 데이터를 각 전송 단위로 포함하는 EPI 패킷이다.

[0013] 송신부로부터 복수의 채널 각각을 통해 전송되는 EPI 패킷의 클럭 에지 정보는 인접한 다른 채널을 통해 전송되는 EPI 패킷의 클럭 에지 정보와 각 전송 단위보다 작은 기준 시간차를 갖는다.

[0014] 수신부는 제1 및 제2 채널의 내부 클럭을 각각 생성할 때, 각 채널의 EPI 패킷으로부터 클럭 에지를 검출하고 지연기를 통해 기준 시간차만큼 지연시키고, 다른 채널의 EPI 패킷으로부터 검출된 다른 채널의 클럭 에지와, 지연된 자신의 클럭 에지를 XOR 연산하여 각 채널의 클럭 스큐 신호를 생성하고, 각 채널의 클럭 스큐 신호를 이용하여 각 채널의 딜레이가 보정된 내부 클럭을 생성한다. 각 전송 단위의 EPI 패킷은 상기 클럭 에지 정보를 포함하는 4비트의 딜리미터와, 40비트의 제1 내지 제4 픽셀 데이터를 포함하는 44UI를 갖고, 기준 시간차는 24UI를 갖을 수 있다.

[0015] 상기 수신부는 제1 내지 제4 채널을 통해 상기 복수의 EPI 패킷을 전송받고, 제1 채널의 내부 클럭을 생성할

때, 제1 내지 제4 채널 각각의 EPI 패킷으로부터 각 채널의 클럭 에지를 검출하고, 제1 채널의 클럭 에지를 제1 지연기를 통해 기준 시간차만큼 지연시키고, 제2 채널의 클럭 에지를 제2 지연기를 통해 기준 시간차만큼 지연시키고, 제3 채널의 클럭 에지를 제3 지연기를 통해 기준 시간차만큼 지연시키고, 제4 채널의 클럭 에지와 제1 내지 제3 지연기를 통해 지연된 제1 내지 제3 클럭 에지를 XOR 연산하여 제1 채널의 클럭 스쿼 신호를 생성하고, 제1 채널의 클럭 스쿼 신호를 이용하여 제1 채널의 딜레이가 보정된 내부 클럭을 생성한다. 각 전송 단위의 EPI 패킷은 클럭 에지 정보를 포함하는 4비트의 딜리미터와, 80비트의 제1 내지 제8 픽셀 데이터를 포함하는 84UI)를 갖고, 기준 시간차는 21UI를 갖을 수 있다.

발명의 효과

- [0016] 일 실시예에 따른 디스플레이 인터페이스 장치는 복수의 채널을 이용하여 서로 다른 타이밍에 클럭 에지를 전송하고, 각 채널의 클럭 에지를 이용하여 각 채널의 내부 클럭을 생성할 수 있음과 아울러 인접한 채널의 클럭 에지와 자신의 지연된 클럭 에지의 조합을 이용하여 각 채널의 딜레이가 보정된 내부 클럭을 생성할 수 있다.
- [0017] 이에 따라, 데이터 손실없이 각 채널을 통해 공급할 수 있는 EPI 패킷당 전송 단위의 UI 개수를 증가시켜서 전송 효율을 향상시킬 수 있고 오버헤드의 저감에 의해 소비 전력을 감소시킬 수 있으며, 복수의 채널에서 클럭 에지 타이밍의 분산에 의해 EMI를 저감할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 종래의 EPI 패킷 구성을 예를 들어 나타낸 도면이다.
- 도 2는 종래의 디스플레이 인터페이스 장치에서 복수의 채널을 이용한 데이터 전송 방법을 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 디스플레이 장치의 구성을 개략적으로 나타낸 블록도이다.
- 도 4는 본 발명의 일 실시예에 따른 타이밍 컨트롤러와 복수의 데이터 구동 IC의 접속 구조를 나타낸 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 구성을 개략적으로 나타낸 블록도이다.
- 도 6은 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 데이터 전송 방법을 나타낸 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 구성을 개략적으로 나타낸 블록도이다.
- 도 8은 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 데이터 전송 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 바람직한 실시예들을 첨부 도면을 참조하여 설명하기로 한다.
- [0020] 도 3은 본 발명의 일 실시예에 따른 디스플레이 장치의 구성을 개략적으로 나타낸 블록도이고, 도 4는 일 실시예에 따른 디스플레이 장치에서 타이밍 컨트롤러와 복수의 데이터 IC의 접속 구조를 개략적으로 나타낸 도면이다.
- [0021] 도 3을 참조하면, 디스플레이 장치는 패널(100), 게이트 구동부(200), 데이터 구동부(300), 타이밍 컨트롤러(TCON)(400), 전원부(500) 등을 구비한다.
- [0022] 패널(100)은 픽셀들(PXL)이 매트릭스 형태로 배열된 픽셀 어레이를 통해 영상을 표시한다. 픽셀 어레이의 기본 화소는 화이트(W), 레드(R), 그린(G), 블루(B) 화소들 중 컬러 혼합으로 화이트 표현이 가능한 적어도 3개 이상의 화소들(W/R/G, B/W/R, G/B/W, R/G/B, 또는 W/R/G/B)로 구성될 수 있다.
- [0023] 패널(100)은 OLED 패널 또는 액정 패널 등과 같은 다양한 디스플레이 패널일 수 있으며, 터치 센싱 기능도 갖는 터치 겸용 디스플레이 패널일 수 있다.
- [0024] 전원부(500)는 디스플레이 장치에서 필요로 하는 다양한 구동 전압들을 생성하여 공급한다. 전원부(500)는 외부로부터 공급받은 입력 전압을 이용하여 터치 디스플레이 장치의 다양한 회로 구성, 즉 타이밍 컨트롤러(400), 게이트 구동부(200), 데이터 구동부(300), 패널(100)의 구동에 필요한 각종 구동 전압들을 생성하여 출력한다.
- [0025] 게이트 구동부(200)는 타이밍 컨트롤러(400)로부터 공급받은 게이트 제어 신호에 따라 스캔 펄스를 생성하여 게이트 라인들을 순차 구동한다. 게이트 구동부(200)는 게이트 라인에 해당 스캔 기간마다 게이트 온 전압의 스캔 펄스를 공급하고, 다른 게이트 라인들이 구동되는 나머지 기간 동안 게이트 오프 전압을 공급한다.

- [0026] 게이트 구동부(200)는 적어도 하나의 게이트 IC로 구성되고 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 패널(100) 및 PCB(100)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 패널(100) 상에 실장될 수 있다. 이와 달리, 게이트 구동부(200)는 패널(100)의 픽셀 어레이를 구성하는 박막 트랜지스터 어레이와 함께 박막 트랜지스터 기판에 형성됨으로써 패널(100)의 비표시 영역에 내장된 GIP(Gate In Panel) 타입으로 구성될 수 있다.
- [0027] 타이밍 컨트롤러(400)는 호스트 시스템(미도시)으로부터 영상 데이터와, 타이밍 신호들을 공급받는다. 타이밍 신호들은 도트 클럭, 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호를 포함한다. 수직 동기 신호 및 수평 동기 신호는 데이터 인에이블 신호를 카운트하여 생성할 수 있으므로 생략 가능하다.
- [0028] 타이밍 컨트롤러(400)는 호스트 시스템으로부터 공급받은 타이밍 신호들을 이용하여 게이트 구동부(200)의 구동 타이밍을 제어하는 게이트 제어 신호들을 생성하여 게이트 구동부(200)로 공급한다. 예를 들면, 게이트 제어 신호들은 쉬프트 레지스터의 스캔 동작을 제어하는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 스캔 펄스의 출력 타이밍을 제어하는 게이트 출력 인에이블 신호 등을 포함한다.
- [0029] 타이밍 컨트롤러(400)는 호스트 시스템으로부터 공급받은 타이밍 신호들을 이용하여 데이터 구동부(300)의 동작 타이밍을 제어하는 데이터 제어 신호들을 생성하여 데이터 구동부(300)로 출력한다. 예를 들면, 데이터 제어 신호들은 데이터의 래치 타이밍을 제어하는데 이용되는 소스 스타트 펄스, 소스 샘플링 클럭, 데이터의 출력 타이밍을 제어하는 소스 출력 인에이블 신호 등을 포함한다. 타이밍 컨트롤러(400)는 호스트 시스템으로부터 공급받은 영상 데이터에 대하여, 화질 보상이나 소비 전력 감소 등을 위한 다양한 영상 처리를 수행하여 데이터 구동부(300)로 출력한다.
- [0030] 데이터 구동부(300)는 타이밍 컨트롤러(400)로부터 공급받은 데이터 제어 신호에 의해 제어되고, 타이밍 컨트롤러(400)로부터 공급받은 영상 데이터를 아날로그 데이터 신호로 변환하여 패널(100)의 데이터 라인들로 공급한다. 데이터 구동부(300)는 자신에게 내장되거나, 외부에 별도로 구비된 감마 전압 생성부(미도시)로부터 공급된 기준 감마 전압 세트를 데이터의 계조값에 각각 대응하는 계조 전압들로 세분화하고, 세분화된 계조 전압들을 이용하여 디지털 영상 데이터를 아날로그 데이터 신호로 변환하고, 아날로그 데이터 신호를 패널(100)의 각 데이터 라인으로 공급한다.
- [0031] 타이밍 컨트롤러(400)와 데이터 구동부(300)는 EPI 인터페이스를 이용하여 데이터를 송수신한다.
- [0032] 타이밍 컨트롤러(400)는 영상 데이터 및 데이터 제어 신호들을 포함하는 디스플레이 정보를 EPI 프로토콜을 이용하여 클럭 에지 정보를 포함하는 직렬 형태의 EPI 패킷으로 변환하고 복수의 채널을 통해 복수의 EPI 패킷을 데이터 구동부(300)로 전송한다.
- [0033] EPI 패킷은 클럭과 제어 정보를 직렬 형태로 포함하는 제어 패킷, 클럭과 RGB 또는 WRGB 데이터를 직렬 형태로 포함하는 데이터 패킷 등을 포함하고, 데이터 구동부(300)에서 DLL의 내부 클럭 록킹(locking)을 위한 클럭 트레이닝 패턴을 더 포함한다.
- [0034] 특히, 타이밍 컨트롤러(400)는 복수의 채널에서 클럭 에지 타이밍이 서로 어긋나도록 시간적으로 클럭 에지를 분산시켜 복수의 EPI 패킷을 전송함으로써 EMI를 저감할 수 있다. 데이터 구동부(300)는 각 채널을 통해 전송된 EPI 패킷으로부터 각 채널의 클럭 에지를 검출하고 DLL을 통해 클럭 에지와 동기하는 내부 클럭을 생성한다. 또한, 데이터 구동부(300)는 다른 채널의 클럭 에지와 자신의 지연된 클럭 에지를 논리 조합한 클럭 스쿼 신호에 따라 DLL의 딜레이를 보정하여 내부 클럭을 생성한다. 이렇게 생성된 각 채널의 내부 클럭을 이용하여 데이터 구동부(300)는 각 채널의 EPI 패킷으로 전송된 디스플레이 정보를 복원하여 이용한다.
- [0035] 도 4를 참조하면, 데이터 구동부(300)는 복수의 데이터 IC(D-IC1~D-IC#)를 포함한다. 복수의 데이터 IC(D-IC1~D-IC#) 각각은 복수의 채널(CHs)을 통해 타이밍 컨트롤러(TCON)(400)와 개별적으로 연결된다.
- [0036] 도 5는 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 구성을 개략적으로 나타낸 블록도이고, 도 6은 일 실시예에 따른 디스플레이 인터페이스 장치의 데이터 전송 방법과 클럭 복원 방법을 나타낸 도면이다.
- [0037] 도 5를 참조하면, 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치는 타이밍 컨트롤러(400)의 출력단에 구성된 송신부(TX)와, 각 데이터 구동 IC(D-IC#)의 입력단에 구성된 수신부(RX)와, 송신부(TX)와 수신부(RX) 사이에 접속된 제1 및 제2 채널(CH1, CH2)을 구비한다. 제1 채널(CH1)은 EPI 패킷을 차동 신호 형태로 전송하는 제1 배선쌍을 구비하고, 제2 채널(CH2)은 제2 배선쌍을 구비한다. 송신부(TX) 및 수신부(RX)는 제1 및 제2 배선쌍을 통해 2개의 채널(CH1, CH2)로 EPI 패킷을 전송할 수 있다.

- [0038] 송신부(TX)는 각 픽셀의 영상 데이터를 직렬화하고 여러 픽셀의 영상 데이터 사이에 PLL(Phase Locked Loop)로부터 생성된 클럭을 삽입하여 EPI 패킷으로 변환하고 복수의 EPI 패킷을 복수의 채널(CH1, CH2)에 분배한다. 송신부(TX)는 복수의 채널(CH1, CH2)로 분배된 복수의 EPI 패킷을 차동 신호 형태로 변환하여 복수의 채널(CH1, CH2)을 통해 각 데이터 구동 IC(D-IC#)의 수신부(RX)로 전송한다.
- [0039] 특히, 송신부(TX)는 도 6에 도시된 바와 같이 제1 채널(CH1)에 배치된 제1 EPI 패킷과, 제2 채널(CH2)에 배치된 제2 EPI 패킷의 클럭 에지를 시간적으로 분산시켜서 제1 및 제2 EPI 패킷을 전송한다.
- [0040] 데이터 구동 IC(D-IC#)의 수신부(RX)는 복수의 채널(CH1, CH2) 각각을 통해 전송된 EPI 패킷으로부터 각 채널의 클럭 에지를 검출하고 검출된 클럭 에지에 따라 각 채널의 DLL 딜레이를 보정하여 클럭 에지와 동기하며 2UI 단위의 주기를 갖는 내부 클럭을 생성한다. 수신부(RX)는 다른 채널의 클럭 에지와 자신의 지연된 클럭 에지를 논리 조합하여 검출한 클럭 스큐 신호에 따라 각 채널의 DLL 딜레이를 보정하여 내부 클럭을 생성한다. 수신부(RX)는 각 채널의 내부 클럭을 이용하여 각 채널의 EPI 패킷으로부터 디스플레이 정보를 샘플링하여 복원한다.
- [0041] 도 6을 참조하면, 송신부(TX)는 복수의 채널(CH1, CH2) 각각을 통해 10비트의 R픽셀 데이터[R0: R9], 10비트의 W 픽셀 데이터[W0:W9], 10비트의 G 픽셀 데이터[G0: G9], 10비트의 B 픽셀 데이터[B0:B9]를 포함하는 각 기본 픽셀의 40비트 영상 데이터와, 클럭 에지(라이징 에지)를 지시하는 4비트의 딜리미터를 포함하는 44UI 전송 단위로 각 EPI 패킷을 전송하며, 특히 송신부(TX)는 제1 채널(CH1)의 클럭 에지(CE1)와 제2 채널(CH2)의 클럭 에지(CE2)의 타이밍을 중첩없이 시간적으로 분산시켜 전송한다.
- [0042] 예를 들면, 도 6에 도시된 바와 같이 각 채널을 통해 44UI 전송 단위의 각 EPI 패킷을 전송할 때, 제1 채널(CH1)을 통해 전송되는 제1 EPI 패킷의 클럭 에지(CH1)와, 제2 채널(CH2)을 통해 전송되는 제2 EPI 패킷의 클럭 에지(CH2)는 44UI 전송 단위의 절반에 해당하는 22UI의 시간간격을 두고 전송될 수 있다.
- [0043] 수신부(RX)는 제1 채널(CH1)을 통해 전송된 제1 EPI 패킷으로부터 제1 채널의 클럭 에지(CE1)를 검출하고 검출된 클럭 에지(CE1)에 따라 제1 채널의 DLL 딜레이를 보정하여 제1 채널용 내부 클럭을 생성한다.
- [0044] 수신부(RX)는 검출된 제1 채널의 클럭 에지(CE1)를 지연기(D)를 통해 미리 정해진 22UI만큼 지연시키고, 제2 채널(CH2)을 통해 전송된 제2 EPI 패킷으로부터 제2 채널의 클럭 에지(CE2)를 검출한다. 지연기(D)의 지연량은 제1 및 제2 클럭 에지(CH1, CH2)의 시간차인 22UI로 설정된다.
- [0045] 수신부(RX)는 제2 채널의 클럭 에지(CE2)와 지연된 제1 채널의 클럭 에지(D_CE1)를 배타적 논리합(XOR) 연산기를 이용하여 XOR 연산함으로써 제2 채널의 클럭 에지(CE2)와, 지연된 제1 채널의 클럭 에지(D_CE1)의 시간차에 해당하는 제1 채널의 DLL 클럭 스큐 신호를 생성하고, 생성된 제1 채널의 DLL 클럭 스큐 신호에 따라 제1 채널용 DLL 딜레이를 보정하여 제1 채널용 내부 클럭을 생성한다.
- [0046] 이와 동일한 방법으로 수신부(RX)는 제2 채널(CH2)의 제2 EPI 패킷으로부터 검출한 제2 채널의 클럭 에지(CE2)와, 제1 채널(CH1)의 클럭 에지(CE1)와 제2 채널의 지연된 클럭 에지(D_CE2)를 XOR 연산한 결과인 제2 채널의 DLL 클럭 스큐 신호를 이용하여 제2 채널용 DLL을 통해 제2 채널용 내부 클럭을 생성한다.
- [0047] 수신부(RX)는 제1 채널용 내부 클럭을 이용하여 제1 채널(CH1)을 통해 전송된 제1 EPI 패킷으로부터 제1 기본 픽셀의 RWGB 데이터를 복원하고, 제2 채널용 내부 클럭을 이용하여 제1 채널(CH2)을 통해 전송된 제1 EPI 패킷으로부터 제2 기본 픽셀의 RWGB 데이터를 복원한다.
- [0048] 이에 따라, 일 실시예에 따른 디스플레이 인터페이스 장치는 EPI 패킷의 전송 단위를 증가시키면서 데이터 손실을 방지할 수 있으며 EPI 패킷당 R/W/G/B 픽셀 데이터를 전송할 수 있으므로 전송 효율을 향상시킬 수 있고, 오버헤드를 110% (=44/40)까지 저감할 수 있으므로 이에 비례하는 소비 전력을 저감할 수 있으며, 복수의 채널(CH1, CH2)에서 클럭 에지의 시간적인 분산에 의해 EMI를 저감할 수 있다.
- [0049] 도 7은 본 발명의 일 실시예에 따른 디스플레이 인터페이스 장치의 구성을 개략적으로 나타낸 블록도이고, 도 8은 일 실시예에 따른 디스플레이 인터페이스 장치의 데이터 전송 방법과 클럭 복원 방법을 나타낸 도면이다.
- [0050] 도 7을 참조하면, 타이밍 컨트롤러(400)의 송신부(TX)와, 각 데이터 구동 IC(D-IC#)의 수신부(RX)는 제1 내지 제4 채널(CH1, CH2, CH3, CH4)을 통해 도 8에 도시된 바와 같이 복수의 EPI 패킷을 전송할 수 있다.
- [0051] 도 8을 참조하면, 송신부(TX)는 4개 채널(CH1, CH2, CH3, CH4) 각각을 통해 제1 기본 픽셀의 40비트 RWGB 데이터 및 제2 기본 픽셀의 40비트 RWGB 데이터와, 클럭 에지(라이징 에지)를 지시하는 4비트의 딜리미터를 포함하는 84UI 전송 단위로 각 EPI 패킷을 전송하며, 4개 채널(CH1, CH2, CH3, CH4) 각각의 클럭 에지(CE1, CE2,

CE3, CE4) 타이밍을 중첩없이 시간적으로 분산시켜 전송한다.

[0052] 예를 들면, 도 8에 도시된 바와 같이 각 채널을 통해 84UI 전송 단위의 각 EPI 패킷을 전송할 때, 4개 채널(CH1, CH2, CH3, CH4)의 클럭 에지(CE1, CE2, CE3, CE4) 각각은 21UI의 시간간격을 두고 전송될 수 있다.

[0053] 수신부(RX)는 제1 채널(CH1)의 EPI 패킷으로부터 클럭 에지(CE1)를 검출하여 제1 채널용 내부 클럭을 생성한다. 수신부(RX)는 제2 채널(CH2)의 EPI 패킷으로부터 제2 채널의 클럭 에지(CE2)를 검출하고, 제3 채널(CH3)의 EPI 패킷으로부터 제3 채널의 클럭 에지(CE3)를 검출하고, 제4 채널(CH4)의 EPI 패킷으로부터 제4 채널의 클럭 에지(CE4)를 검출한다. 수신부(RX)는 제1 채널의 클럭 에지(CE1)를 지연기(D1)를 통해 미리 정해진 21UI만큼 지연시키고, 제2 채널의 클럭 에지(CE2)를 지연기(D2)를 통해 21UI만큼 지연시키고, 제3 채널의 클럭 에지(CE3)를 지연기(D3)를 통해 21UI만큼 지연시킨다. 제1 내지 제3 지연기(D1, D2, D3) 각각의 지연량은 제1 내지 제3 클럭 에지(CH1, CH2, CH3, CH4) 각각의 시간차인 21UI로 설정된다.

[0054] 수신부(RX)는 제1 내지 제3 채널의 지연된 클럭 에지(D_CE1, D_CE2, D_CE3)와, 제4 채널의 클럭 에지(CE4)를 배타적 논리합(XOR) 연산기를 이용하여 XOR 연산하여 제2 내지 제4 채널(CH2, CH3, CH4)의 클럭 에지(CE2, CE3, CE4)가 검출될 때마다 제1 채널의 DLL 클럭 스큐 신호를 순차적으로 생성하고, 생성된 제1 채널의 DLL 클럭 스큐 신호에 따라 제1 채널용 DLL 딜레이를 보정하여 제1 채널용 내부 클럭을 생성한다.

[0055] 이와 유사한 방법으로 수신부(RX)는 제2 내지 제4 채널용 내부 클럭도 각각 생성한다.

[0056] 수신부(RX)는 제1 내지 제4 채널용 내부 클럭 각각을 제1 채널용 내부 클럭을 이용하여 제1 채널(CH1)을 통해 전송된 제1 EPI 패킷으로부터 제1 기본 픽셀의 RWGB 데이터를 복원하고, 제2 채널용 내부 클럭을 이용하여 제1 채널(CH2)을 통해 전송된 제1 EPI 패킷으로부터 제2 기본 픽셀의 RWGB 데이터를 복원한다.

[0057] 이에 따라, 일 실시예에 따른 디스플레이 인터페이스 장치는 EPI 패킷의 전송 단위를 증가시키면서 데이터 손실을 방지할 수 있으며 EPI 패킷당 2개 기본픽셀의 R/W/G/B 픽셀 데이터를 모두 전송할 수 있으므로 전송 효율을 향상시킬 수 있고, 오버헤드를 105% (=84/80)까지 더욱 저감할 수 있으므로 이에 비례하는 소비 전력을 저감할 수 있으며, 복수의 채널(CH1, CH2, CH3, CH4)에서 클럭 에지의 시간적인 분산에 의해 EMI를 저감할 수 있다.

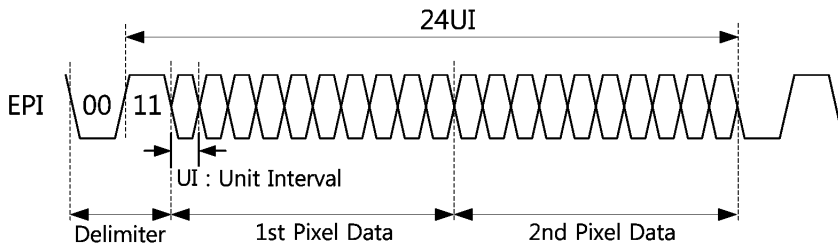
[0058] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

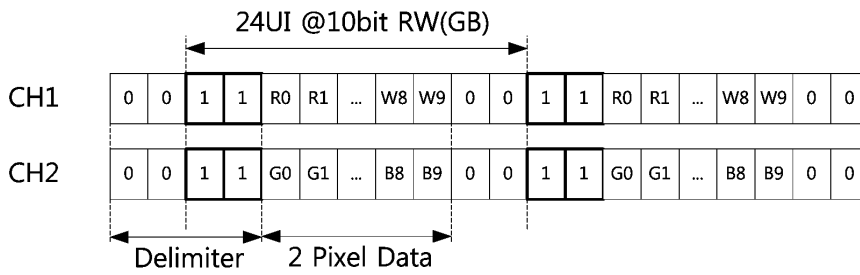
[0059]	100: 패널	200: 게이트 구동부
	300: 데이터 구동부	400: 타이밍 컨트롤러
	500: 전원부	D-IC1~D-IC#: 데이터 IC
	TX: 송신부	RX: 수신부
	D, D1~D3: 지연기	CH1~CH4: 채널
	CE1~CE4: 클럭 에지	

도면

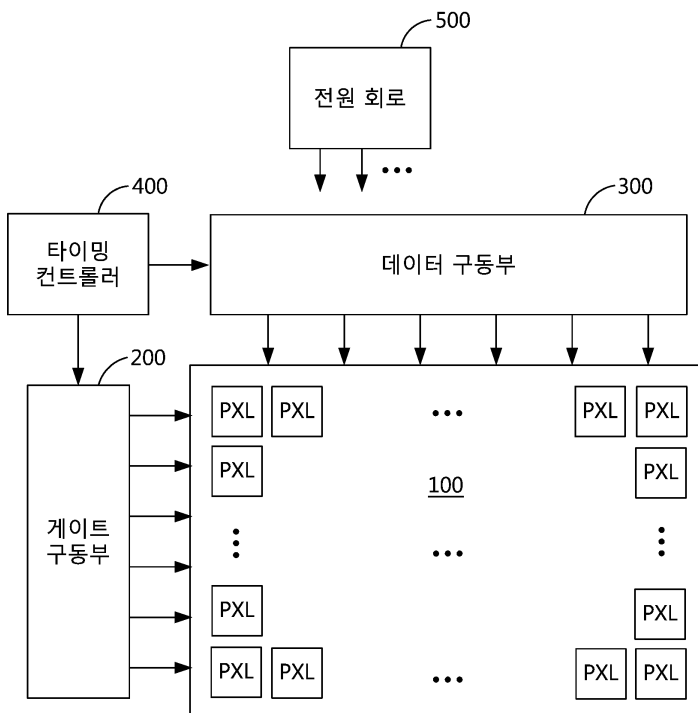
도면1



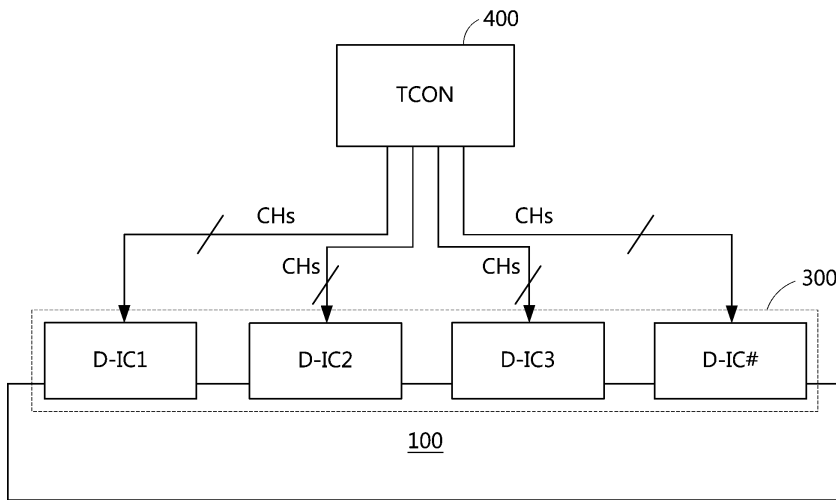
도면2



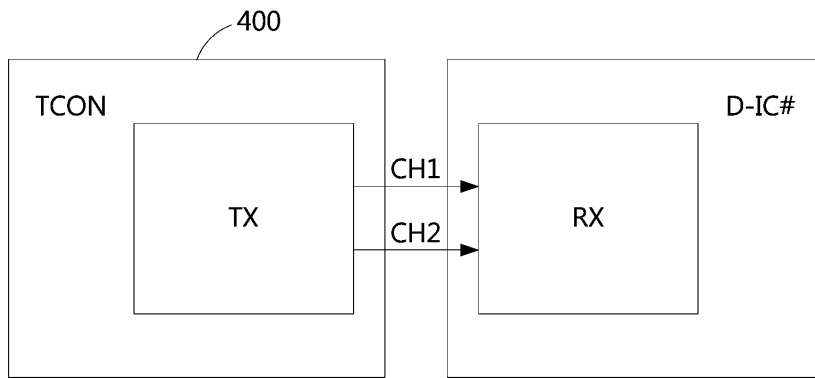
도면3



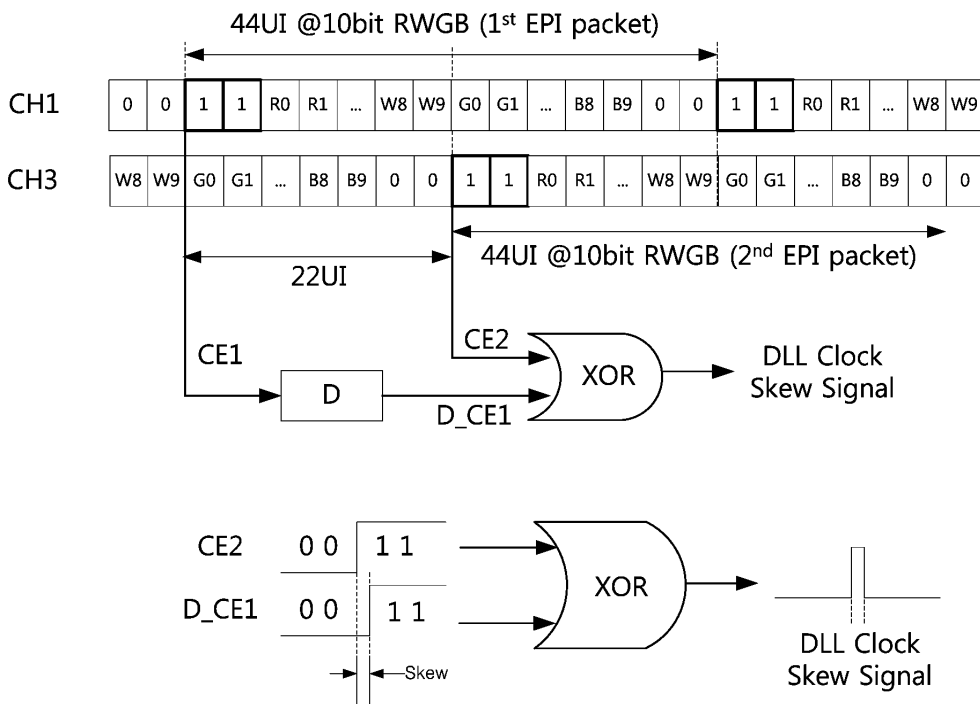
도면4



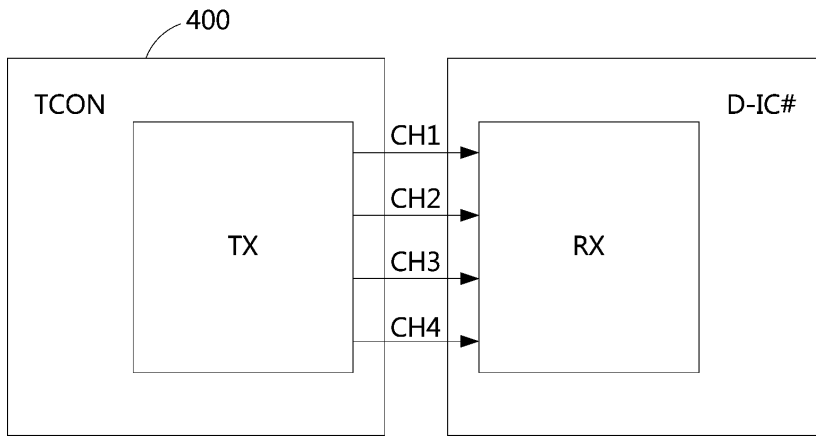
도면5



도면6



도면7



도면8

