

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G09G 3/30

(45) 공고일자 1999년11월15일

(11) 등록번호 10-0230077

(24) 등록일자 1999년08월20일

(21) 출원번호 10-1995-0045454

(65) 공개번호 특1997-0030112

(22) 출원일자 1995년11월30일

(43) 공개일자 1997년06월26일

(73) 특허권자 오리온전기주식회사 김영남

경북 구미시 공단동 165

(72) 발명자 현창호

서울특별시 종로구 홍파동 2-31 6/5

권오경

서울특별시 송파구 신천동 장미아파트 19-307

(74) 대리인 이정훈, 이권희

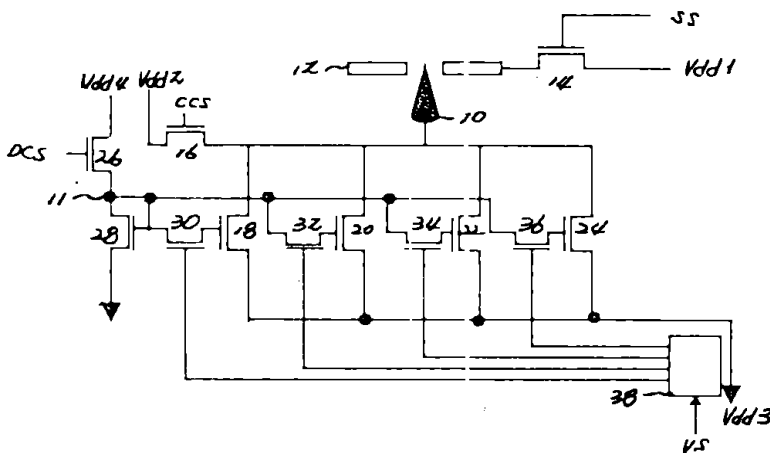
심사관 : 이상목

(54) 전계 방출 표시기의 셀 구동장치

요약

FED 셀 구동장치는 캐소드에 공급되는 전류량을 조절하여 일정한 한계 이상의 계조(Gray Level)의 휘도를 화소에 제공한다. 이를 위하여, 상기 FED 셀 구동장치는 전자를 방출하기 위한 캐소드에 각각 일정한 전류신호를 공급하도록 적어도 2개 이상의 전류원을 설치한다. 상기 적어도 2개 이상의 전류원들은 비디오신호를 입력으로 하는 제어수단에 선별적으로 구동된다.

대표도



명세서

[발명의 명칭]

전계 방출 표시기의 셀 구동장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 전계 방출형 표시기의 셀 구동장치의 회로도.

제2도는 제1도에 도시된 구동장치에 공급되는 제어신호의 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

10 : 캐소드

12 : 게이트 전극

14, 내지 36 : 제1 내지 제12 NMOS 트랜지스터

38 : 절환제어부

[발명의 상세한 설명]

본 발명은 냉음극 및 전계를 이용하여 전자를 방출시키는 전자 방출형 소자에 관한 것으로, 특히 캐소오드에 공급되는 전류량을 조절하여 다단계 계조를 실현할 수 있는 전계 방출형 표시기(Field Emission Display; 이하 "FED"라 함)의 셀 구동장치에 관한 것이다.

통상의 음극선관(Cathod Ray Tube; 이하 "CRT"라 함)은 다양한 전자장치, 통상의 표시장치인 텔레비전 수상기(Television Receiver), 오실로스코프(Oscilloscope) 및 컴퓨터 모니터(Computer Monitor)에 유용한 특별한 구조의 진공관이다. 상기 CRT의 원천적인 기능은 전기 입력 신호에 포함된 정보를 광범에너지로 변환하여 상기 전기 입력신호의 가시적인 표시를 제공하는 것이다.

기본적인 CRT에 있어서, 전자들은 열전자 캐소오드(Thermionic Cathod)로부터 방출되어 제어그리드(Control Grid)에 의해 제어된다. 자유전자들의 빔은 양극(Anode)를 통과하면서 자기 또는 정전기력에 의하여 가속되고, 자기편향코일(Magnetic Deflection Coil) 또는 정전기 편향판(Electrostatic Deflection Coil)에 의하여 통상 수평 및 수직축상에서 편향된다. 상기 전자빔은 형광막에 충돌하여 짧은 기간의 시간동안 가시광을 방출시킨다.

상기 표시될 정보를 포함하는 상기 입력신호는 상기 제어그리드 및 상기 캐소오드의 사이에 공급된다. 그러나, 통상 감마특성(Gamma Characteristic)이라 불리는 빔 전류 및 제어전압간의 관계는 매우 비선형적인 함수이어서, 선형적인 표시강도를 제공하기 위해서는 비교적 복잡한 보상회로가 상기 입력신호 및 상기 제어그리드의 사이에 접속되도록 요구된다.

최근 수년간에, 평판표시기의 영역에서의 보편적인 경향은 비열전자 캐소오드, 자세히 설명하자면 전계 방출 어레이를 개발하는 것이다.

상기 CRT에서의 상기 통상의 열전자 캐소오드 대신 상기 전계 방출 캐소오드 어레이의 사용은 약간의 확실한 장점들을 제공한다. 특히, 전계 방출 캐소오드들의 사용은 매우 높은 전류밀도를 가능하게 하고, 아울러 히터 소자를 제거하여 CRT의 수명을 연장시킬 것이다.

그러나, 상기 전계 방출 캐소오드는 입력신호에 대한 전자의 방출량이 열전자 방식 보다도 더욱 더 복잡한 보상회로를 요구한다.

이러한 문제점을 해소하기 위한 방안으로는 도란(Doran)에 의하여 제안된 수동 매트릭스 지정(Passive Matrix Addressing) 방식의 FED 셀 구동장치(미국특허공보 제 5,103,145)와 파커(Parker)등에 의하여 제안된 능동 매트릭스 지정(Active Matrix Addressing) 방식의 FED 셀 구동장치(미국특허공보 제 5,300,862호)가 있다.

상기 미국특허공보 제 5,103,145 호에 따르면, 상기 수동 매트릭스 지정 방식의 FED 셀 구동장치는 입력신호를 디지털 신호로 변환하고, 상기 디지털신호의 논리값에 따라 구동되는 캐소오드의 수를 1, 2, 3, 또는 4배씩 증가시켜 전자의 방출량을 선형적으로 증가시킨다. 이 경우, 캐소오드의 수량에 의하여 다단계 계조를 구현하므로 일정한 한계 이상의 계조를 실현시킬 수 없다. 이는 셀의 점유면적에 설치될 수 있는 캐소오드의 수량이 제한되는 것에 기인한다.

아울러, 상기 수동 매트릭스 지정방식의 FED 셀 구동장치는 캐소오드 및 게이트의 사이에 전압차이에 의하여 전자가 방출되도록 하는 전압구동방식을 채택하고 있다. 이 경우, 전압에 대하여 전류가 비선형적으로 변화함으로 인하여, 캐소오드에서 방출되는 전자량을 정확하게 조절할 수 없도록 하는 문제점을 야기시킨다.

한편, 상기 미국특허공보 제 5,300,862 호에 기재된 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 CMOS 회로 또는 NMOS 트랜지스터들로 이루어진 집적회로 및 호환가능한 저전압의 입력신호를 이용하여 고전계의 화소를 구동하도록 되어 있다. 그리고 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 9개의 로오라인(Row Lines) 및 8개의 컬럼라인(Column Lines)의 배열된 캐소오드들을 구동하기 위하여 스캔(Scan) 및 데이터 스위치로서 고전압용 MOS 트랜지스터들을 사용한다.

또한, 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 각 컬럼구동기 및 캐소오드의 사이에 접속된 퓨즈(Fuse)들과, 캐소오드 및 게이트의 사이에 저항으로서 접속된 전계효과 트랜지스터를 구비한다. 상기 퓨즈들은 캐소오드에 과전류가 인가되지 않도록 전류를 제한하는 역할을 하고, 그리고 상기 저항으로 사용된 상기 전계효과 트랜지스터는 자신의 저항값이 조절됨에 따라 상기 게이트 및 상기 캐소오드간의 전압차를 조절하여 캐소오드로부터의 방출전자량을 조절한다. 그 결과, 화면의 밝기가 조절된다. 그리고 상기 컬럼 구동기는 컬럼라인의 캐소오드들이 구동되는 시간, 즉 듀티 싸이클(Duty Cycle),을 조절함에 의하여 다단계 계조를 실현한다.

그러나, 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 스캔라인 및 데이터 라인간의 고전압을 절환하기 위하여 고전압용 MOS 트랜지스터를 사용하여야 한다. 그리고 게이트 및 캐소오드의 사이에 접속된 저항용의 전계효과 트랜지스터의 게이트가 고전압에 견딜 수 있도록 두껍게 형성되어야만 한다. 이들로 인하여, 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 상기 수동 매트릭스 지정방식의 FED 셀 구동장치에 비하여 더욱 더 많은 트랜지스터들을 필요로하고, 아울러 제조공정을 복잡하게 하는 단점을 갖고 있다.

또한, 다단계 계조를 실현하기 위한 상기 듀티 싸이클의 조절가능한 수가 제한됨으로 인하여, 상기 능동 매트릭스 지정방식의 FED 셀 구동장치는 일정한 한계 이상의 계조를 실현할 수 없다.

따라서, 본 발명의 목적은 캐소오드에 공급되는 전류량을 조절하여 일정한 한계 이상의 계조(Gray Level)를 실현할 수 있는 FED 셀 구동장치를 제공함에 있다.

상기 목적을 달성하기 위하여, 본 발명의 FED 셀 구동장치는 전자를 방출하기 위한 캐소오드에 각각 일정한 전류신호를 공급하도록 적어도 2개 이상의 전류원을 설치한다. 상기 적으로 2개 이상의 전류원들은 비디오신호를 입력으로 하는 제어수단에 의하여 선별적으로 구동된다.

이하, 본 발명의 실시예를 첨부한 제1도 내지 제3도를 참조하여 상세히 설명하기로 한다.

제1도를 참조하면, 캐소오드(10)와, 상기 캐소오드로부터 전자를 방출시키기 위한 게이트 전극(12)와, 상기 게이트 전극(12)에 공급될 제1전압(Vdd1)을 절환하기 위한 제1NMOS 트랜지스터(14)와, 그리고 상기 캐소오드(10)에 공급될 제2 전압(Vdd2)을 절환하기 위한 제2 NMOS 트랜지스터(16)를 구비한 본 발명의 실시예에 따른 FED 셀 구동장치가 설명되어 있다.

상기 제1 NMOS 트랜지스터(14)는 스캔신호(SS)의 논리상태에 따라 선택적으로 구동된다. 상세하게 기술하자면, 상기 스캔신호(SS)가 하이논리를 유지할 경우, 상기 제1 NMOS 트랜지스터(14)는 턴-온되어 상기 제1 전압(Vdd1)의 상기 게이트 전극(12)에 공급되도록 한다. 이때, 상기 게이트 전극(12)은 상기 제1 NMOS 트랜지스터(14)를 경유하여 공급되는 상기 제1 전압(Vdd1)에 의하여 상기 캐소오드(10)로부터 전자들이 방출되도록 한다. 반면에, 상기 스캔신호(SS)가 로우논리를 유지할 경우, 상기 제1 NMOS 트랜지스터(14)는 턴-오프(Trun-Off)되어 상기 게이트 전극(12)에 상기 제1 전압(Vdd1)이 공급되지 않도록 한다.

한편, 상기 제2 NMOS 트랜지스터(16)는 충전제어신호(CCS)의 논리상태에 따라 선택적으로 구동된다. 상기 충전제어신호(CCS)가 하이논리를 유지하는 동안, 상기 제2 NMOS 트랜지스터(16)는 상기 제2 전압(Vdd2)이 상기 캐소오드(10)에 공급되도록 하여, 동작초기에 전자가 방출되기 직전인 동작초기에 상기 캐소오드(10)를 임계전압 상태로 만들어 준다. 이로 인하여, 상기 캐소오드(10)는 동작개시에 지연시간 없이 전자를 곧 바로 방출하게 된다. 상기 충전제어신호(CCS)는 제2도에 도시된 바와 같이, 상기 스캔신호(SS)와 동일한 위상을 갖고 그리고 상기 스캔신호(SS)에 비하여 매우 짧은 하이논리의 펄스 폭을 갖는다.

그리고 상기 FED 셀 구동장치는 상기 캐소오드(10) 및 제3 전압(Vdd3)의 사이에 병렬로 접속된 제3 내지 제6 NMOS 트랜지스터들(18 내지 24)와 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)의 구동전압을 발생하기 위한 분압기의 형태로 제4 전압(Vdd4) 및 상기 제3 전압(Vdd3)의 사이에 직렬 접속된 제7 및 제8 NMOS 트랜지스터(26, 28)를 구비한다.

상기 제7 NMOS 트랜지스터(26)는 표시제어신호(DCS)에 응답하여 상기 제4 전압(Vdd4)을 접속노드(11)쪽으로 선택적으로 전송되도록 한다. 상기 표시제어신호(DCS)가 하이논리를 유지할 경우, 상기 제7 NMOS 트랜지스터(26)는 턴-온되어 상기 제4 전압(Vdd4)이 상기 접속노드(11)를 경유하여 상기 제3 내지 제6 NMOS 트랜지스터들(18 내지 24)의 게이트들쪽으로 전송될 수 있도록 한다. 상기 표시제어신호(DCS)는, 제2도에 도시된 바와 같이, 상기 충전제어신호(CCS)의 종류시점(즉, 하강에지)으로부터 상기 스캔신호(SS)의 종류시점(즉, 하강에지)까지에 이르는 하이논리의 펄스 폭을 갖는다.

상기 제8 NMOS 트랜지스터(28)는 상기 접속노드(11)에 공통적으로 접속된 게이트 및 드레인와 그리고 상기 제3 전압(Vdd3)에 접속된 소오스를 구비하여 하나의 저항기로서의 기능을 한다. 상기 제8 NMOS 트랜지스터(28)의 저항값은 자신의 채널폭에 의하여 결정된다. 그리고 상기 제8 NMOS 트랜지스터(28)는 상기 제7 NMOS 트랜지스터(26)와 함께 제어용 분압기의 기능을 실현한다. 상기 제7 NMOS 트랜지스터(26)의 저항값은 상기 표시제어신호(DCS)의 전압레벨 및 자신의 채널폭에 의하여 조절가능하다.

결국, 상기 제7 및 제8 NMOS 트랜지스터(26, 28)은, 상기 표시제어신호(DCS)가 하이논리를 유지할 경우, 자신들의 저항값에 의한 상기 제4전압 및 상기 제3 전압(Vdd3)간의 전압차를 분압하여 분압된 전압이 상기 접속노드(11)를 경유하여 상기 제3 내지 제6 NMOS 트랜지스터들(18 내지 24)의 게이트들쪽으로 전송될 수 있도록 한다.

그리고 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)는, 상기 접속노드(11)로부터의 상기 분압전압이 자신들의 게이트에 인가되는 동안, 상기 캐소오드(10)로부터 자신들을 경유하여 상기 제3 전압(Vdd3)쪽으로 일정한 양의 전류가 흐를 수 있도록 한다. 이를 바꾸어 설명하면, 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)는 각각 일정한 크기의 전류신호들을 각각 발생하여 상기 캐소오드(10)에 공급한다고 할 수 있다. 이때, 제3 내지 제6 NMOS 트랜지스터(18 내지 24)에 의하여 발생하는 전류신호들을 모두 동일한 크기를 갖게 할 수도 있으나, 최하위의 NMOS 트랜지스터(18)에 의하여 발생하는 전류신호로부터 최상위 NMOS 트랜지스터(24)에 의하여 발생하는 전류신호로 갈수록 전류량이 2^2 배로 증가되는 것이 바람직하다. 이를 위하여 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)의 채널폭은 상기 제3 NMOS 트랜지스터(18 a)의 채널폭에 비하여 각각 2배, 4배 및 8배의 채널폭을 갖도록 설정되는 것이 바람직하다. 예를 들어, 상기 제3 NMOS 트랜지스터(18)를 경유하는 전류신호가 10mA를 갖을 경우, 상기 제4 내지 제6 NMOS 트랜지스터(18 b 내지 18 d)를 경유하는 전류신호들은 각각 20 mA, 40 mA 및 80 mA를 갖도록 하는 것이 바람직하다. 결국, 상기 제3 내지 제6 NMOS 트랜지스터들(18 내지 24)은 상기 캐소오드(10)에 각기 다른 크기의 전류신호를 공급할 수 있는 4개의 전류원의 기능을 구현한다.

또한, 상기 FED 셀 구동장치는 상기 접속노드(11)로부터 상기 제3 내지 제6 NMOS 트랜지스터들(18 내지 24)의 게이트들쪽으로 인가될 상기 분압전압을 각각 절환하기 위한 제9 내지 제12 NMOS 트랜지스터들(30 내지 36)과, 상기 제9 내지 제12 NMOS 트랜지스터들(30 내지 36)을 제어하기 위한 절환제어부(38)를 추가하여 구비한다.

상기 절환제어부(38) 비디오신호(VS)를 입력하고, 상기 비디오신호(VS)를 4비트의 디지털 논리신호(D0 내지 D3)로 변환한다. 그리고 상기 절환제어부(38)는 상기 4비트의 디지털 논리신호(D0 내지 D3)를 상기 제9 내지 제12 NMOS 트랜지스터(30 내지 36)의 게이트들에 각각 인가한다. 이를 위하여, 상기 전류밸브 제어부(22)는 아날로그-디지털 변환기(Analog-Digital Converter)는 또는 인코더(Encoder)를 사용할 수 있다.

상기 4비트의 디지털 논리신호(D0 내지 D3)는 상기 비디오신호의 크기에 따라 "0" 내지 "15"의 논리값을 갖을 수 있다. 이와는 달리, 상기 4비트의 디지털 논리신호(D0 내지 D3)는 비디오신호의 크기에 따라 "0" 내지 "4"의 논리값을 갖을 수도 있다. 그러나, 높은 레벨의 계조를 달성하기 위해서는 전자(前者)가 바람직하다. 그리고 상기 4비트의 디지털 논리신호(D0 내지 D3)는 각각 하이논리를 갖을 경우에 "1"의 논리값을 나타낸다. 이 결과, 상기 4비트의 디지털 논리신호(D0 내지 D3)는 상기 비디오신호의 크기에 따라 일부 또는 모두가 "1"의 논리값을 갖을 수 있고, 아울러 모두 "0"의 논리값을 갖을 수도 있다.

상기 제9 내지 제12 NMOS 트랜지스터(30 내지 36)는 자신들의 게이트에 각각 인가되는 상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값에 따라 선별적으로 구동되어, 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)가 선별적으로 구동되도록 한다. 이 결과, 상기 캐소오드(10)를 경유하여 흐르는 전류량이 조절되도록 하여 상기 캐소오드(10)에서 방출되는 전자량이 조절되도록 한다.

예를 들어, 상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값이 "1"인 경우, 상기 제9 NMOS 트랜지스터(30)만이 턴-온되어 상기 제3 NMOS 트랜지스터(18)를 경유하는 전류통로만이 형성되도록 한다. 이로 인하여, 상기 캐소오드(10)에 흐르는 전류신호는 10 mA가 된다.

상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값이 "2"인 경우, 상기 제10 NMOS 트랜지스터(32)만이 턴-온되어 상기 제4 NMOS 트랜지스터(20)를 경유하는 전류통로만이 형성되도록 한다. 이 결과, 상기 캐소오드(10)에 흐르는 전류신호는 20 mA가 된다.

상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값이 "4"인 경우, 상기 제11 NMOS 트랜지스터(34)만이 턴-온되어 상기 제5 NMOS 트랜지스터(22)를 경유하는 전류통로만이 형성되도록 한다. 이때, 상기 캐소오드(10)에 흐르는 전류신호는 40 mA가 된다.

상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값이 "8"인 경우, 상기 제12 NMOS 트랜지스터(24)를 경유하는 전류통로만이 형성되도록 한다. 이로 인하여, 상기 캐소오드(10)에 흐르는 전류신호는 80 mA가 된다.

마지막으로, 상기 4비트의 디지털 논리신호(D0 내지 D3)의 논리값이 "15"인 경우, 상기 제9 내지 제12 NMOS 트랜지스터(30 내지 36)가 모두 턴-온되어 상기 제3 내지 제6 NMOS 트랜지스터(18 내지 24)를 경유하는 4개의 전류통로들이 모두 형성되도록 한다. 이 결과, 상기 캐소오드(10)에 흐르는 전류량은 150 mA가 된다.

상술한 바와 같이, 본 발명은 캐소오드에 서로 다른 양의 전류신호를 발생하는 적어도 2개 이상의 전류원을 비디오신호의 크기에 따라 선별적으로 구동하여 캐소오드에서 방출되는 전자량을 비디오신호에 대하여 선형적으로 변화되도록 할 수 있다. 이로 인하여, 본 발명을 계조의 레벨이 증가하더라도 화소에 포함되는 캐소오드의 수량의 증가 및 화소의 점유면적에 제한을 받지 않는 장점을 제공할 수 있다. 그리고, 본 발명의 FED 셀 구동장치는 화소의 점유면적과 무관하게 화소에 일정한 레벨 이상의 계조의 휘도를 제공할 수 있다.

위에서 설명한 실시예의 도면 제1도에서, 캐소오드를 1개만 도시하였으나, 당업자라면 하나의 화소에 수 개 내지 수십개의 캐소오드가 설치된다는 것을 알 수 있을 것이며, 아울러 본 발명의 실시예에서 설명된 1개의 캐소오드는 실제로 서로 공통적으로 접속된 수 개 내지 수십개의 캐소오드들이라는 것을 알 수 있을 것이다.

그리고, 본 발명의 실시예를 16 레벨의 계조를 화소에 제공하는 경우에 극한하여 설명하였으나, 이 분야에 능통한 당업자라면 누구나 본 발명을 이용하여 32 레벨, 64 레벨, 124 레벨 더 나아가 그 이상의 계조의 휘도를 화소에 제공할 수 있다는 것을 알 수 있을 것이다.

따라서, 본 발명의 사상 및 범위는 다음에 첨부되는 특허청구범위에 의하여 한정되어야 할 것이다.

(57) 청구의 범위

청구항 1

전자를 방출하기 위한 캐소오드 및 상기 캐소오드로부터 방출된 전자들을 접속 및 가속하기 위한 게이트 전극을 갖는 전계 방출 화소 셀을 구비한 전계 방출형 표시기에 있어서, 상기 게이트 전극에 공급될 제1 전압을 절환하기 위한 제1 절환수단과, 상기 캐소오드 및 제2 전압의 사이에 전류미러를 형성하도록 병렬 접속된 적어도 2개 이상의 전류제어용 트랜지스터들과, 상기 적어도 2개 이상의 전류제어용 트랜지스터들을 동일한 전압으로 구동하기 위하여 제3 전압 및 상기 제2 전압의 사이에 접속된 전압분압수단과, 상기 전압분압수단 및 상기 적어도 2개 이상의 전류제어용 트랜지스터들의 사이에 각각 접속된 적어도 2개 이상의 전압절환용 트랜지스터들과, 비디오신호의 크기에 따라 상기 적어도 2개 이상의 전압절환용 트랜지스터들을 제어하기 위한 제어수단을 구비한 것을 특징으로 하는 전계 방출형 표시기의 셀 구동장치.

청구항 2

제1항에 있어서, 상기 적어도 2개 이상의 전류제어용 트랜지스터들은 자신들을 경유하는 전류신호가 2^n 에 비례하여 순차적으로 증가하도록 서로 다른 채널폭들을 갖는 것을 특징으로 하는 전계 방출형 표시기의 셀 구동장치.

청구항 3

제2항에 있어서, 상기 제어수단이, 상기 비디오신호의 크기에 따라 상기 적어도 2개 이상의 전압절환용 트랜지스터들을 일부 및 전부 구동시키도록 된 것을 특징으로 하는 전계 방출형 표시기의 셀 구동장치.

청구항 4

제3항에 있어서, 상기 제어수단이, 상기 비디오신호의 크기에 따라 점진적으로 1의 논리값이 증가하는 적어도 2비트 이상의 논리신호를 발생하는 인코더를 구비한 것을 특징으로 전계 방출형 표시기의 셀 구동장치.

청구항 5

제3항에 있어서, 상기 제어수단이, 상기 비디오신호를 적어도 2비트 이상의 디지털 논리신호로 변환하는

아날로그-디지털 변환기를 구비한 것을 특징으로 하는 전계 방출형 표시기의 셀 구동장치.

청구항 6

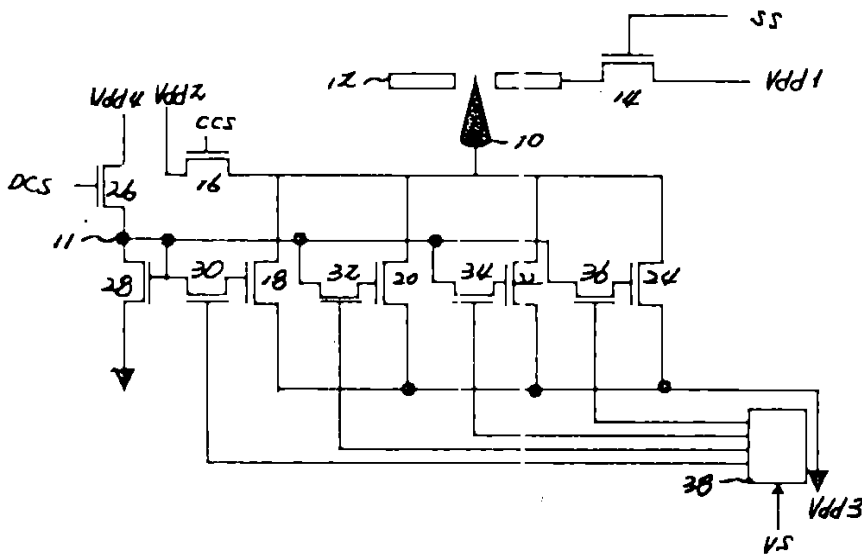
제1항에 있어서, 상기 캐소드에 제4 전압을 선택적으로 공급하여 동작초기에 상기 캐소드가 임계전압 상태를 유지하도록 하는 제2 절환수단을 추가로 구비한 것을 특징으로 하는 전계 방출형 표시기의 셀 구동장치.

청구항 7

제6항에 있어서, 상기 분압수단이 상기 제2 절환수단이 상기 제4 전압을 상기 캐소드에 공급되는 상기 제4 전압을 차단한 후 일정기간동안 구동되어 분압전압을 상기 적어도 2개 이상의 전압절환용 트랜지스터들에 공급하도록 하고, 상기 제1 절환수단이 상기 제1 전압을 상기 제2 절환수단 및 상기 분압수단이 구동되는 기간동안 구동되어 상기 게이트전극에 공급되도록 하는 것을 특징으로 하는 전계 방출 표시기용 셀 구동장치.

도면

도면1



도면2

