

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intelectual
Oficina internacional



(43) Fecha de publicación internacional
19 de noviembre de 2009 (19.11.2009)

PCT

(10) Número de Publicación Internacional
WO 2009/138545 A1

(51) Clasificación Internacional de Patentes:

H04N 3/15 (2006.01) H03K 17/94 (2006.01)
H04N 5/335 (2006.01) H01L 27/00 (2006.01)
H01L 27/146 (2006.01)

(21) Número de la solicitud internacional:

PCT/ES2009/070157

(22) Fecha de presentación internacional:

14 de mayo de 2009 (14.05.2009)

(25) Idioma de presentación:

español

(26) Idioma de publicación:

español

(30) Datos relativos a la prioridad:

P200801428 16 de mayo de 2008 (16.05.2008) ES

(71) Solicitante (para todos los Estados designados salvo US): **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (CSIC)** [ES/ES];
C/ Serrano, 117, E-28006 Madrid (ES).

(72) Inventores; e

(75) Inventores/Solicitantes (para US solamente): **SERRA GRAELLS, Francisco** [ES/ES]; Instituto de Microelectrónica de Barcelona (IMB-CNM), Campus Universidad Autónoma, E-08193 Bellaterra (Barcelona) (ES). **MARGARIT TAULÉ, Josep M^a** [ES/ES];

Instituto de Microelectrónica de Barcelona (IMB-CNM), Campus Universidad Autónoma, E-08193 Bellaterra (Barcelona) (ES). **TERÉS TERÉS, Lluís** [ES/ES]; Instituto de Microelectrónica de Barcelona (IMB-CNM), Campus Universidad Autónoma, E-08193 Bellaterra (Barcelona) (ES).

(74) Mandatario: **PONS ARIÑO, Ángel**; Glorieta de Rubén Darío, 4, E-28010 Madrid (ES).

(81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

[Continúa en la página siguiente]

(54) Title: DIGITAL READ-OUT INTEGRATED CIRCUIT FOR THE DIGITAL READING OF HIGH-SPEED IMAGE SENSORS

(54) Título: CIRCUITO INTEGRADO PARA LA LECTURA DIGITAL DE SENSORES DE IMAGEN DE ALTA VELOCIDAD

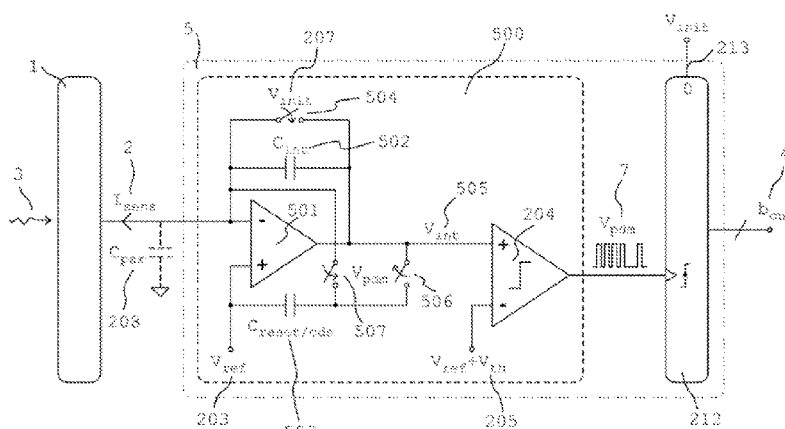


Fig.5

(57) Abstract: The invention relates to read-out integrated circuits (ROIC) for reading image sensor arrays. The invention comprises a novel pulse modulator topology as part of the analog-digital converter for active digital pixels, which attenuates signal losses caused by the initialisation times of the analog integrator. The invention also comprises the use of the function enabling cancellation of the low-frequency noise of the analog integrator using correlated double sampling. The invention is advantageous over current technology in that it increases the image capture speed or alternatively reduces the power consumption in active pixels without a loss of resolution.

(57) Resumen: La presente invención se refiere a circuitos

[Continúa en la página siguiente]

WO 2009/138545 A1



IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— *antes de la expiración del plazo para modificar las reivindicaciones y para ser republicada si se reciben modificaciones (Regla 48.2(h))*

Publicada:

— *con informe de búsqueda internacional (Art. 21(3))*

integrados de lectura (Read-Out Integrated Circuit, ROIC) de matrices de sensores de imagen. Introduce una nueva topología de modulador de pulsos como parte del convertor analógico-digital para píxeles activos digitales que atenúa las pérdidas de señal debidas a los tiempos de inicialización del integrador analógico. También implementa la función de cancelación de ruido de baja frecuencia del integrador analógico mediante doble muestreo correlado. Frente a la tecnología actual, la invención presenta la ventaja de aumentar la velocidad de captura de la imagen o alternativamente disminuir el consumo de potencia en los píxeles activos sin pérdida de resolución.

CIRCUITO INTEGRADO PARA LA LECTURA DIGITAL DE SENSORES DE IMAGEN DE ALTA VELOCIDAD.

SECTOR DE LA TÉCNICA

5 La presente invención se refiere a los sectores de las tecnologías de la información y de las comunicaciones, y describe un dispositivo microelectrónico específico para la captura digital de imágenes estáticas o dinámicas. Dichas imágenes se descomponen en píxeles, cuyo valor individual se obtiene de la lectura de un sensor óptico monolítico o híbrido. La agrupación en matriz de
10 estos sensores constituye el plano focal de la imagen a capturar. Teniendo en cuenta el estado de la técnica actual, la presente invención presenta la ventaja de permitir mantener la resolución frente a una mayor velocidad de captura de la imagen o alternativamente disminuir el consumo de potencia en los píxeles activos.

15

ESTADO DE LA TÉCNICA ACTUAL

El mercado de los semiconductores experimenta actualmente una creciente demanda de dispositivos portátiles capaces de capturar imágenes a muy alta velocidad, para aplicaciones tales como navegación nocturna en automoción,
20 diagnóstico médico o equipamiento estratégico. En general, estos dispositivos de imagen se basan en matrices de plano focal (*Focal Plane Array*, FPA) formadas por píxeles activos sensores (*Active Pixel Sensor*, APS), cada uno conteniendo tanto el elemento sensor óptico como su circuito individual de pre-procesado.

25 Las técnicas de diseño modernas para celdas APS incluyen parcialmente [US5461425, 1995-10-24, Standford University (US); US6707410, 2004-03-16, Micron Technology Inc. (US); US7023369, 2006-04-04, University of Rochester (US)] o completamente [US6741198, 2004-03-25, R3 Logic Inc (US)] el

conversor analógico-digital (*Analog-to-Digital Converter*, ADC) dentro del propio APS, dando lugar a píxeles activos digitales (*Digital Pixel Sensor*, DPS).

Dadas las restricciones de espacio físico dentro del píxel activo, las arquitecturas ADC más adoptadas en la actualidad para celdas DPS son de tipo predictivo, frente a las alternativas directas (p.e. paralela) y algorítmicas (p.e. aproximaciones sucesivas), ya que permiten simplificar las partes analógicas del ADC. En ese sentido, la cadena de procesado completa o parcialmente incluida dentro de cada DPS se muestra en la Figura 1. Su principio básico de funcionamiento es el siguiente: el sensor óptico (1) genera una corriente I_{sens} (2) proporcional a la potencia de la iluminación incidente (3) y a su función de respuesta; el nivel de corriente (2) se convierte a lectura digital de salida b_{out} (4) discreta, en amplitud y tiempo, mediante el bloque ADC predictivo (5). Dicho ADC (5) se compone de dos etapas en cascada: un modulador PDM, *Pulse Density Modulation*, (6) y un filtro digital (11). La primera etapa (6) se encarga de discretizar la amplitud a 1bit en forma de tren de pulsos V_{pdm} (7); las partes principales de este modulador (6) son un bloque de ganancia de baja frecuencia (8), un cuantificador (9) y un conversor digital-analógico (*Digital-to-Analog Converter*, DAC) (10) que suministra la realimentación necesaria para la predicción. La potencia del error de cuantificación resultante de dicha modulación se concentra principalmente en las componentes de alta frecuencia de V_{pdm} (7), por lo que se aplica a continuación un filtrado digital paso bajo en la segunda etapa (11), que además completa la discretización en tiempo. Como resultado se obtiene la palabra digital de salida b_{out} (4).

Con el fin de reducir el consumo de potencia por píxel, el modulador (6) suele implementarse mediante técnicas de diseño asíncronas, ya sean de tipo "tiempo a primer suceso" (*time to first spike*) [US5565915, 1996-10-15, Matsushita Electric Industrial Co; US6271785, 2001-09-07, Texas Instruments Inc; US6377303, 2002-04-23, Intel Corp; US6525304, 2003-02-25, Foveon Inc; US6559788, 2003-05-06; US6969879, 2005-11-29, STMicroelectronics Ltd; US7071982, 2006-07-04, Texas Instruments Inc; US7164114, 2007-01-16, Via

Technologies Inc], o de tipo "conteo de sucesos" (*spike counting*) [US7095439, 2006-09-22, Motorola Inc]. La ventaja de la segunda estrategia es la baja actividad de conmutación digital durante la conversión analógica-digital, con la consiguiente reducción del ruido electrónico.

- 5 En el caso de celdas DPS de alta velocidad de adquisición, la topología de circuitos comúnmente empleada para moduladores PDM (6) de conteo de sucesos y también para el filtrado digital (11) se muestran en la Figura 2. Con el fin de minimizar el tamaño de la celda DPS, el modulador PDM compacto de conteo de sucesos (200) se reduce a: un integrador implementado mediante un
- 10 amplificador de transimpedancia capacitivo (*Capacitive TransImpedance Amplifier*, CTIA) (201) con capacidad de integración C_{int} (202), que hace las funciones de bloque de ganancia de baja frecuencia (8) y polariza el sensor óptico (1) a una referencia V_{ref} (203); un comparador (204), que hace las funciones de cuantificador (9) respecto a un umbral V_{th} (205); y una
- 15 realimentación del tren de pulsos V_{pdm} (7) hacia la inicialización (206) del CTIA (201), que hace las funciones de DAC (10). Aparte de esta inicialización en cada pulso de V_{pdm} (7), el CTIA (201) también se inicializa previamente a la fase de conversión analógica-digital mediante la señal V_{init} (207) y por el mismo mecanismo (206). El uso del CTIA (201) está especialmente indicado para
- 20 celdas DPS de alta velocidad que requieran valores bajos de C_{int} (202), dado que permite compensar valores elevados de capacidad parásita de entrada C_{par} (208), ya sea debida al propio sensor óptico (1), al CTIA (201), o a la interconexión monolítica o híbrida entre ambos. Opcionalmente, el modulador PDM (200) también puede incorporar una segunda capacidad C_{cds} (209)
- 25 controlada por la misma señal V_{pdm} (7) a través de la llave (210), y destinada a cancelar por CDS (*Correlated Double Sampling*) el ruido de baja frecuencia del CTIA (201) en la señal integrada V_{int} (211). Respecto al filtrado digital (11), su realización se reduce a un filtro paso-bajo de primer orden implementado mediante un contador digital (212), que hace las funciones de integrador, y una
- 30 entrada de inicialización (213) controlada por V_{init} (207), que implementa las pérdidas en dicho integrador.

El principio de funcionamiento del ADC predictivo (5) basado en el modulador PDM (200) y el contador digital (212) se ilustra en la Figura 3, teniendo en cuenta que las llaves de la Figura 2 realizan la operación indicada en cada caso para niveles lógicos altos de sus señales de control. Una vez iniciada la fase de conversión analógica-digital (300) mediante V_{init} (207), la evolución de la señal integrada V_{int} (211) describe una rampa (302), positiva o negativa según el signo de I_{sens} (2), hasta el disparo del comparador (204) a una distancia V_{th} (205), positiva o negativa según el signo de I_{sens} (2), respecto al nivel de reposo V_{ref} (203). Como consecuencia del mencionado disparo, se produce un pulso (303) en la señal V_{pdm} (7) que causa la inicialización del CTIA (201) y la vuelta de la señal integrada V_{int} (211) al nivel de reposo V_{ref} (203) para empezar de nuevo el ciclo. En condiciones ideales (301), la duración de dicho pulso (303) es despreciable comparada con su periodicidad $T_{pdmideal}$ (304), y en consecuencia la frecuencia de la señal V_{pdm} (7) es $1/T_{pdmideal} = I_{sens}/C_{int}V_{th}$. Teniendo en cuenta que el contador (212) integra el número de pulsos en V_{pdm} (7) dentro de la ventana de adquisición T_{frame} (305), la lectura digital de salida b_{out} (4) en condiciones ideales (301) es proporcional a la corriente I_{sens} (2) del sensor óptico (1) a medir según $b_{out} = T_{frame}/T_{pdmideal} = I_{sens}(T_{frame}/C_{int}V_{th})$.

En la práctica (306), las limitaciones de potencia en los distintos bloques del modulador PDM (200) provocan una duración T_{res} (307), no nula, de los pulsos (308) en V_{pdm} (7). Teniendo en cuenta que el CTIA (201) no puede integrar la corriente del sensor I_{sens} (2) en la capacidad C_{int} (202) durante el tiempo T_{res} (307), la evolución real (305) de la señal integrada V_{int} (211) presenta una periodicidad $T_{pdmreal}$ (309) superior a la ideal $T_{pdmideal}$ (304), causando una pérdida de pulsos en la señal V_{pdm} (7) (p.e. 1 pulso en la Figura 3) a la salida del modulador PDM (200). Esta pérdida se hace especialmente patente en celdas DPS de alta velocidad, en las que la periodicidad ideal de los pulsos $T_{pdmideal}$ (304) es corta y comparable al propio tiempo T_{res} (307).

Un ejemplo de los efectos causados en el ADC predictivo (5) por la pérdida de pulsos en la señal V_{pdm} (7) se presenta en la Figura 4. En este caso se ha

simulado un modelo eléctrico del modulador PDM (200) para una tecnología complementaria metal-óxido-semiconductor (*Complementary Metal-Oxide-Semiconductor*, CMOS) de $0.18\mu\text{m}$, alimentado a 1.8V , con $C_{\text{int}}=C_{\text{cds}}=100\text{fF}$, $V_{\text{ref}}=1\text{V}$ y $V_{\text{th}}=100\text{mV}$. El gráfico muestra el valor de la palabra digital de salida b_{out} (4), en términos del bit menos significativo (*Least Significant Bit*, LSB), para $T_{\text{frame}}=2\text{ms}$ en función de la corriente I_{sens} (2) generada en el sensor óptico (1). Dicha curva de conversión analógica-digital (401) se calcula para distintos valores de consumo de corriente I_{bias} (400) en cada bloque del modulador PDM (200), equivalente a fijar distintos valores de T_{res} (307). A medida que se limita la potencia disponible en los circuitos de la celda DPS bajando I_{bias} (400), el consecuente aumento de T_{res} (307) acentúa rápidamente la pérdida de pulsos en la señal V_{pdm} (7). Dado que esta pérdida es dependiente de la propia señal a medir I_{sens} (2), su efecto se traduce en una no-linealidad de la lectura digital de salida b_{out} (4). En particular, se observa una saturación de la parte superior de la curva de conversión del ADC predictivo (5), tal y como puede apreciarse en la Figura 4.

El circuito integrado presentado en esta memoria de invención trata de resolver este efecto indeseado de no-linealidad y de saturación de la señal de salida por medio de una topología de modulador PDM compacto de conteo de sucesos que no requiera un elevado consumo de potencia en sus circuitos, sobre todo para celdas DPS de alta velocidad de adquisición de datos (imágenes). La presente invención trata, igualmente, de superar las limitaciones que presentan los circuitos actualmente en el mercado y para ello se introduce una nueva topología de modulador PDM especialmente indicada para evitar las pérdidas de pulsos debidas al tiempo de inicialización del bloque CTIA. Esta topología facilita la reducción de la potencia disipada en cada píxel activo o alternativamente permite aumentar la velocidad de captura de la imagen.

30 DESCRIPCIÓN DE LA INVENCÓN

Breve Descripción de la Invención

El Circuito Integrado para la Lectura Digital de Sensores de Imagen de Alta Velocidad objeto de la presente invención se caracteriza por comprender un sensor óptico (1), y un ADC predictivo (5) completa o parcialmente dentro de la celda DPS. Dicho ADC (5) está compuesto, según la Figura 5, por un nuevo modulador PDM de conteo de sucesos (500), que realiza la inicialización del CTIA (501) y la reducción de su ruido por CDS mediante la inyección controlada de carga en la capacidad de integración C_{int} (502); así como por un contador digital (212), para el filtrado paso-bajo del ruido de cuantificación del modulador PDM (500).

El nuevo bloque modulador PDM de conteo de sucesos (500) utiliza una capacidad específica $C_{reset/cds}$ (503) que permite la integración de la corriente del sensor I_{sens} (2) durante la inicialización del propio CTIA (501). Asimismo, la capacidad $C_{reset/cds}$ (503) también se emplea para muestrear el ruido de baja frecuencia de salida del CTIA (501) y realizar su pre-compensación durante la generación de cada pulso en V_{pdm} (7).

En comparación con las referencias del estado de la técnica ya mencionadas anteriormente, la invención permite mantener la linealidad del ADC (5) incluso para valores de tiempo de inicialización del CTIA (501) próximos al periodo de los pulsos V_{pdm} (7). En consecuencia, se puede aumentar la velocidad de adquisición de la imagen para la misma potencia disipada o, alternativamente, reducir el consumo de potencia en los circuitos del modulador PDM (500) manteniendo la velocidad de adquisición.

Descripción Detallada de la Invención

El Circuito Integrado para la Lectura Digital de Sensores de Imagen de Alta Velocidad objeto de la presente invención se caracteriza por comprender un sensor óptico (1), y un ADC predictivo (5), completa o parcialmente dentro de la celda DPS, compuesto según la Figura 5 por un nuevo modulador PDM de conteo de sucesos (500) y por un contador digital (212).

El nuevo modulador PDM compacto de conteo de sucesos (500) incorpora: un CTIA (501) con capacidad de integración C_{int} (502), inicializable mediante el interruptor (504), que hace las funciones de bloque de ganancia de baja frecuencia (8); un comparador (204), que hace las funciones de cuantificador (9) respecto a un umbral V_{th} (205); una capacidad $C_{reset/cds}$ (503), idéntica a la de integración C_{int} (502), que hace las funciones de DAC (10) y está conectada en uno de sus extremos al nivel de reposo V_{ref} (203) de la señal integrada V_{int} (505), mientras el otro extremo de la misma $C_{reset/cds}$ (503) puede conectarse alternativamente a la salida o a la entrada no inversora del CTIA (501) mediante los interruptores (506) y (507), respectivamente, según la salida V_{pdm} (7) del propio modulador PDM (500).

El principio de funcionamiento del nuevo modulador PDM (500) se ilustra en la Figura 6, teniendo en cuenta que los interruptores de la Figura 5 realizan la operación indicada en cada caso para niveles lógicos altos de sus señales de control. La fase de conversión analógica-digital se inicia con la apertura de la llave (504) mediante V_{init} (207). Durante la ventana de conversión (300), se permite que la corriente I_{sens} (2) generada por la iluminación incidente (3) en el sensor (1) se pueda integrar en C_{int} (502) mediante el CTIA (501), mientras la capacidad $C_{reset/cds}$ (503) permanece conectada a la salida del propio CTIA (501) a través del interruptor (506) muestreando el valor de la señal integrada V_{int} (505). El mismo CTIA (501) se encarga también de polarizar el sensor (1) al nivel de tensión de reposo V_{ref} (203) y de compensar el efecto de la capacidad parásita de entrada C_{par} (208). La evolución de la señal integrada V_{int} (505) a la salida del CTIA (501) describe una rampa (601), positiva o negativa según el signo de I_{sens} (2), hasta el nivel de disparo del comparador (204) situado a una distancia V_{th} (205), positiva o negativa según el signo de I_{sens} (2), respecto al nivel de reposo V_{ref} (203). Como consecuencia de dicho disparo, se produce un pulso (602) en la señal V_{pdm} (7), causando la apertura de la llave (506) y el cierre de la llave (507). La consecuente conmutación de $C_{reset/cds}$ (503) inyecta el nivel de carga necesario en la capacidad C_{int} (502) para provocar el retorno

de la señal V_{int} (505) a su valor de reposo V_{ref} (203), completando así la inicialización del CTIA (501).

Sin embargo, y a diferencia de la topología PDM (200) ya comentada en el Estado de la Técnica, durante la duración T_{res} (603) del pulso V_{pdm} (7) también se permite la integración de I_{sens} (2) en C_{int} (502), combinándose con la carga inyectada a través de $C_{reset/cds}$ (503). Este efecto puede observarse en la evolución real (600) de la señal integrada V_{int} (505), donde la rampa (601) no vuelve hasta el nivel de reposo V_{ref} (203) después del disparo del comparador (204) debido precisamente al efecto de la corriente I_{sens} (2). De hecho, el CTIA (501) opera como un integrador continuo en tiempo durante toda la ventana de conversión T_{frame} (305), bloqueando únicamente C_{int} (502) durante la fase previa a dicha ventana con el fin de inicializar la polarización del sensor óptico (1). En consecuencia, el periodo real $T_{pdmreal}$ (604) de la señal V_{pdm} (7) coincide con el periodo teórico $T_{pdmideal}$ (304) en condiciones ideales (301), incluso para tiempos de inicialización T_{res} (603) comparables con el periodo nominal $T_{pdmideal}$ (304). Por lo tanto, la frecuencia de la señal V_{pdm} (7) es proporcional a la corriente del sensor a medir según $1/T_{pdmreal} = I_{sens}/C_{int}V_{th}$. Teniendo en cuenta que el contador (212) integra el número de pulsos en V_{pdm} (7) dentro de la ventana de adquisición T_{frame} (305), la lectura digital de salida b_{out} (4) en condiciones reales (600) coincide con el caso ideal (301) y es proporcional a la corriente I_{sens} (2) del sensor óptico (1) a medir según la expresión $b_{out} = T_{frame}/T_{pdmreal} = I_{sens}(T_{frame}/C_{int}V_{th})$.

Aparte de la función de inicialización de C_{int} (502), la capacidad $C_{reset/cds}$ (503) también se emplea para la atenuación del ruido electrónico de baja frecuencia del CTIA (501) mediante CDS. Antes de producirse el disparo del comparador (204), $C_{reset/cds}$ (503) mantiene muestreado el ruido electrónico en V_{int} (505) generado por el CTIA (501). Durante el tiempo de inicialización T_{res} (603), dicho ruido se pre-substrae de C_{int} (502) de cara al siguiente ciclo de integración, implementando así el mecanismo de CDS. En consecuencia, las componentes del ruido del CTIA (501) se ven atenuadas de un modo inversamente proporcional a su frecuencia.

EJEMPLO DE REALIZACIÓN DE LA INVENCION:

A continuación se presenta un ejemplo de realización compacta de la invención, en el que se detalla una posible implementación circuital para cada uno de los bloques del nuevo modulador PDM de conteo de sucesos (500) definido en el apartado de la Descripción Detallada de la Invención. El ejemplo a continuación detallado se ha diseñado y simulado eléctricamente para una tecnología CMOS real de $0.18\mu\text{m}$ alimentada a 1.8V, aunque la misma invención ya ha sido integrada con éxito para una tecnología de $0.35\mu\text{m}$ alimentada a 1.25V.

Según se muestra en la Figura 7, el bloque integrador CTIA (501) se implementa en este caso mediante un amplificador inversor de etapa única compuesto por el transistor MOS de efecto campo tipo N (*N-type MOS Field Effect Transistor*, NMOSFET) M1 (700) y la fuente de corriente I_{bias} (701), junto a la capacidad de integración C_{int} (502). El nivel de reposo V_{ref} (203) se genera localmente dentro del propio modulador a través del NMOSFET M2 (702), idéntico a M1 (700), y la fuente de corriente I_{bias} (703), idéntica también a I_{bias} (701). Tanto la llave de pre-inicialización (504) como las de conmutación (506) y (507) de $C_{\text{reset/cds}}$ (503) se implementan mediante NMOSFETs de dimensiones mínimas. Para la realización del comparador (204), se recurre a otro amplificador inversor de etapa única, compuesto por el NMOSFET M3 (704), con relación de aspecto $1/K$ respecto a M1 (700), y la fuente de corriente I_{bias} (705), idéntica a I_{bias} (701), en cascada con un inversor digital (706) compuesto de MOSFETs complementarios de dimensiones mínimas. En consecuencia, y suponiendo que M1 (700) y M3 (704) estén operando en la región subumbral y en saturación, la expresión del umbral equivalente (205) es $V_{\text{th}}=nU_t\ln(K)$, donde n y U_t son la pendiente subumbral del transistor y el potencial térmico de operación, respectivamente.

En base al circuito descrito en la Figura 7, los resultados de la simulación eléctrica para el caso de diseño $C_{\text{int}}=C_{\text{cds}}=100\text{fF}$, $V_{\text{ref}}=1\text{V}$ y $V_{\text{th}}=100\text{mV}$ (para

K=20 y T=27°C) se presentan en la Figura 8. El gráfico muestra el valor de la palabra digital de salida b_{out} (4), en términos de LSB (*Least Significant Bit*) para $T_{frame}= 2ms$ en función de la corriente I_{sens} (2) generada en el sensor óptico (1). Dichas curvas de conversión analógica-digital (801) se calculan para distintos valores de consumo de corriente I_{bias} (800) en las fuentes (701), (703) y (705) del modulador PDM (500), equivalente a fijar distintos valores de T_{res} (603)

De la comparación directa entre las Figuras 2 (Estado de la Técnica actual) y 8 (resultados obtenidos en este ejemplo) se deduce claramente que mediante el dispositivo presentado en esta memoria de invención, la saturación de la curva de conversión analógica-digital se ha reducido en un factor 75% respecto al valor inicial, incluso en configuraciones que presenten drásticas limitaciones de potencia en los circuitos de la celda DPS. Este resultado práctico constituye (representa) un importante avance en la tecnología.

15

Descripción detallada de las Figuras

Fig.1: La figura muestra un esquema general de lectura digital de píxel, parcial o completamente incluido en cada celda DPS, tal y cómo se fabrica actualmente (véase Estado de la Técnica). En la misma se aprecia la existencia de: un sensor óptico (1), y un ADC predictivo (5), formado por un modulador PDM (6) y un filtro digital paso-bajo de salida (11). Dicho modulador PDM (6) se compone de: un bloque de ganancia en baja frecuencia (8), un cuantificador (9), y un DAC (10) que suministra la realimentación necesaria para la predicción.

Fig.2: La figura muestra una topología compacta de ADC predictivo (5), parcial o completamente incluido en cada celda DPS, tal y cómo se fabrica actualmente (véase Estado de la Técnica). En la misma se aprecia la existencia de: un modulador PDM de conteo de sucesos de alta velocidad (200), y un contador digital (212). Dicho modulador PDM (200) se compone de: un integrador CTIA (201) con capacidad de integración C_{int} (202), una segunda

30

capacidad C_{cds} (209) para cancelación del ruido por CDS, un comparador (204) y una realimentación del tren de pulsos V_{pdm} (7) hacia la inicialización (206) del CTIA (201).

Fig.3: La figura muestra el funcionamiento de la topología PDM (200) presentado en la Figura 2, tal y cómo se fabrica actualmente (véase Estado de la Técnica). En la misma se aprecia la evolución temporal de las señales de ventana de adquisición V_{init} (207), de integración V_{int} (211), y de salida V_{pdm} (7), tanto para el caso ideal (301) como para implementaciones reales (306).

Fig.4: La figura muestra un ejemplo de resultados de simulación eléctrica para la topología PDM (200) presentada en la Figura 2. En la misma se aprecia la curva de transferencia (401) del ADC predictivo (5) en términos de palabra digital de salida b_{out} (4) en función de la corriente I_{sens} (2), generada en el sensor óptico (1), para distintos valores de consumo de corriente I_{bias} (400) en cada bloque del modulador PDM (200).

Fig.5: La figura muestra la nueva topología de modulador PDM de conteo de sucesos de alta velocidad (500) propuesta en la invención. En la misma se aprecia que dicho modulador PDM (500) se compone de: un CTIA (501) con capacidad de integración C_{int} (502) y pre-inicializable mediante la llave (504), un comparador (204), y una capacidad $C_{\text{reset/cds}}$ (503) conectada en uno de sus extremos al nivel de reposo V_{ref} (203) de la señal integrada V_{int} (505), mientras el otro extremo de la misma $C_{\text{reset/cds}}$ (503) puede conectarse alternativamente a la salida o a la entrada no inversora del CTIA (501) mediante las llaves (506) y (507), respectivamente, según la salida V_{pdm} (7) del propio modulador PDM (500).

Fig.6: La figura muestra el funcionamiento de la nueva topología PDM (500) propuesta en la invención. En la misma se aprecia la evolución temporal de las señales de ventana de adquisición V_{init} (207), de integración V_{int} (211) y de salida V_{pdm} (7), tanto para el caso ideal (301) como para implementaciones reales (600).

Fig.7: La figura muestra un ejemplo de realización compacta de la nueva topología PDM (500) propuesta en la invención. En la misma se aprecia la implementación de los bloques de la Figura 5 mediante MOSFETs (700, 702 y 704), fuentes de corriente (701, 703 y 705), llaves (504, 506 y 507) y puertas lógicas (706).

Fig.8: La figura muestra un ejemplo de resultados de simulación eléctrica para la realización práctica de la nueva topología PDM (500) propuesta en la invención. En la misma se aprecia la curva de transferencia (801) del ADC predictivo (5) en términos de palabra digital de salida b_{out} (4) en función de la corriente I_{sens} (2), generada en el sensor óptico (1), para distintos valores de consumo de corriente I_{bias} (800) en cada fuente de corriente (701, 703 y 705).

15

20

25

REIVINDICACIONES

1. Circuito integrado para la lectura digital de sensores de imagen de alta velocidad caracterizado porque comprende (véase la Figura 5):

5 un nuevo modulador PDM de conteo de sucesos (500) que incorpora: un CTIA (501) con capacidad de integración C_{int} (502) y pre-inicializable mediante la llave (504), que hace las funciones de bloque de ganancia de baja frecuencia (8), polariza el sensor óptico (1) a una referencia V_{ref} (203) y compensa los efectos de la capacidad parásita de entrada C_{par} (208); un comparador (204),
10 que hace las funciones de cuantificador (9) respecto a un umbral V_{th} (205); una capacidad $C_{reset/cds}$ (503), idéntica a la de integración C_{int} (502), que hace las funciones de DAC (10) y está conectada en uno de sus extremos al nivel de reposo V_{ref} (203) de la señal integrada V_{int} (505), mientras el otro extremo de la misma
15 $C_{reset/cds}$ (503) puede conectarse alternativamente a la salida o a la entrada no inversora del CTIA (501) mediante las llaves (506) y (507), respectivamente, según la salida V_{pdm} (7) del propio modulador PDM (500).

2. Circuito integrado para la lectura digital de sensores de imagen de alta velocidad, según la reivindicación 1 y caracterizado por comprender (véase la Figura 5):

un sensor óptico (1);

un modulador PDM según la reivindicación 1;

3. Circuito integrado para la lectura digital de sensores de imagen de alta velocidad, según las reivindicaciones 1 y 2, caracterizado por comprender (véase la Figura 5):

un modulador PDM según la reivindicación 1;

un contador digital (212) con inicialización (213), que hace las funciones de filtro digital paso-bajo (11).

4. Circuito integrado para la lectura digital de sensores de imagen de alta velocidad, según las reivindicaciones 1, 2 y 3, caracterizado por comprender (véase la Figura 5):
- un sensor óptico (1);
 - 5 un modulador PDM según la reivindicación 1;
 - un contador digital (212) con inicialización (213), que hace las funciones de filtro digital paso-bajo (11).
5. Circuito integrado según la reivindicación 1, caracterizado (véase la
- 10 Figura 6) por inicializar la capacidad de integración C_{int} (502) del integrador CTIA (501) en cada pulso de salida del modulador PDM (500) mediante la apertura de la llave (506) y el cierre de la llave (507), inyectando a través de $C_{reset/cds}$ (503) el nivel de carga necesario para provocar el retorno de la señal V_{int} (505) a su valor de reposo V_{ref} (203),
- 15 sin interrumpir la integración de la corriente I_{sens} (2) del sensor óptico (1) en la capacidad de integración C_{int} (502) en ningún momento durante toda la ventana de conversión T_{frame} (305).
6. Circuito integrado según la reivindicación 1, caracterizado (véase la
- 20 Figura 5) por emplear la misma capacidad $C_{reset/cds}$ (503) que en la reivindicación 2 para atenuar por CDS el efecto del ruido de baja frecuencia del CTIA (501) mediante su pre-compensación en C_{int} (502) en cada generación de pulsos de salida del modulador PDM (500).

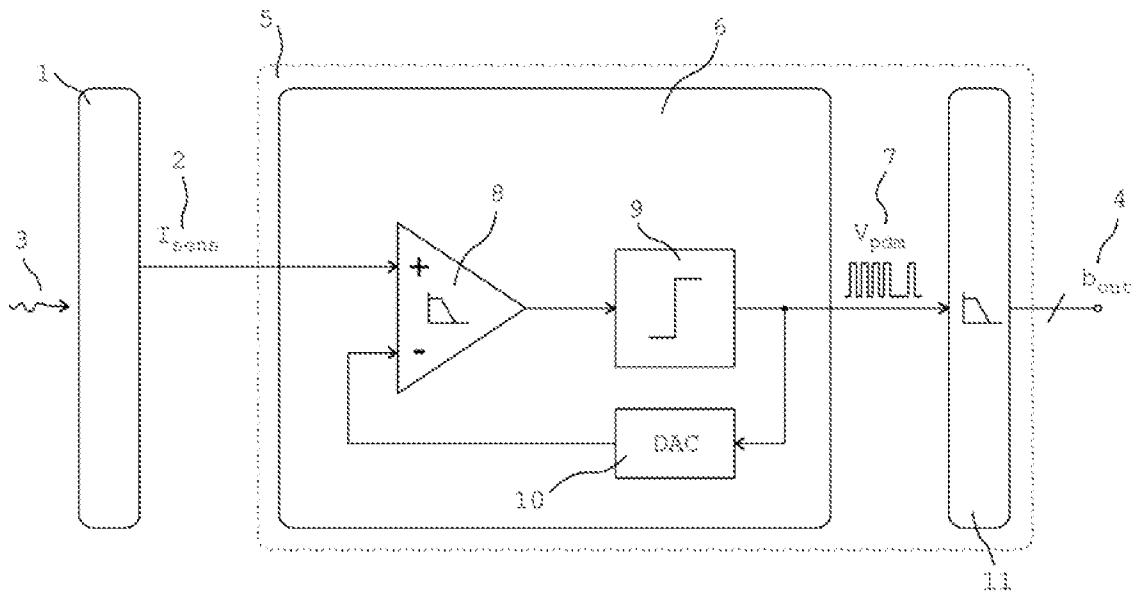


Fig.1

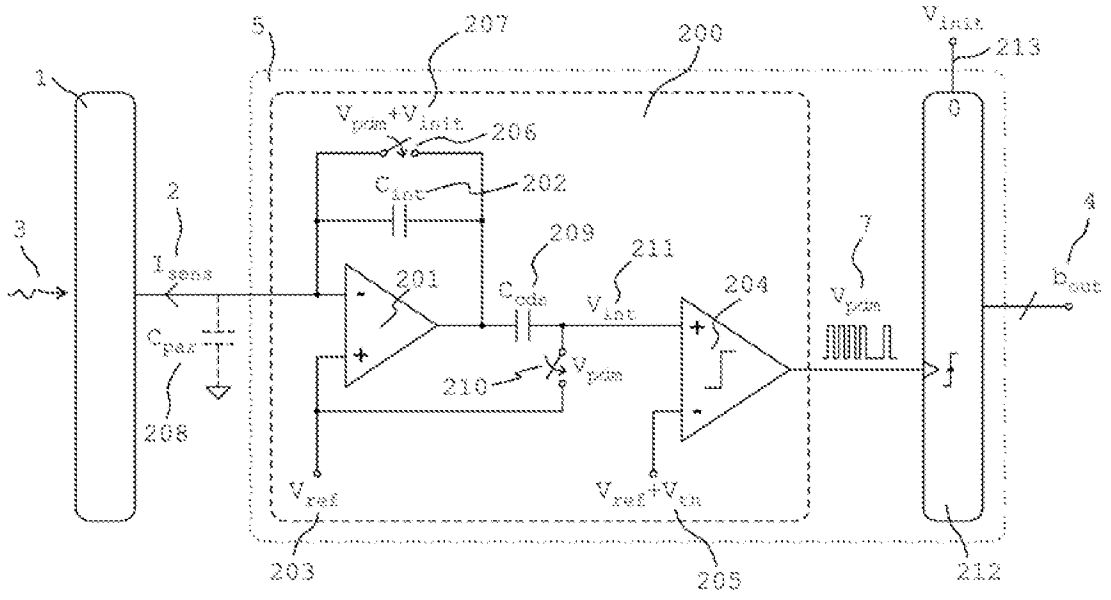


Fig.2

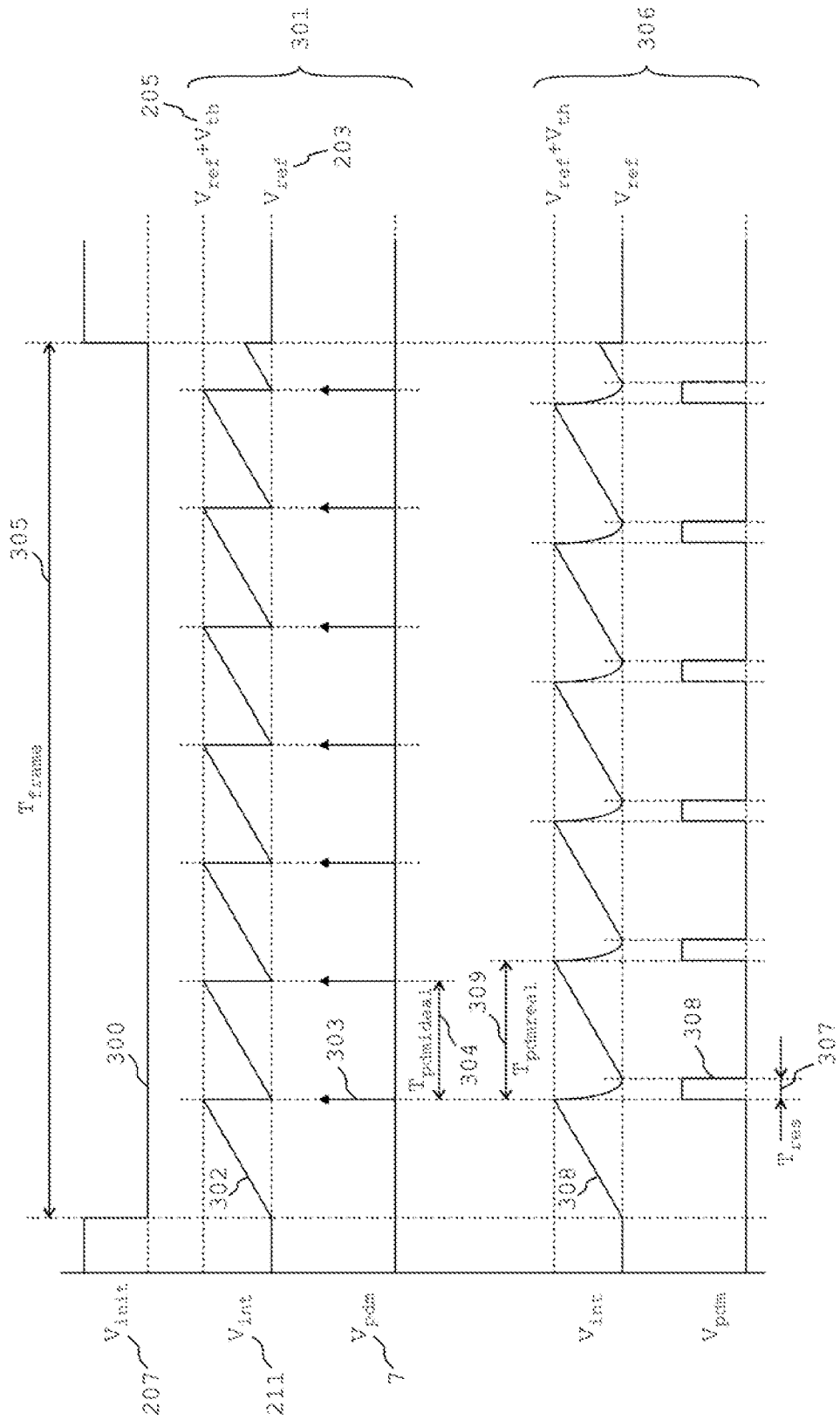


Fig.3

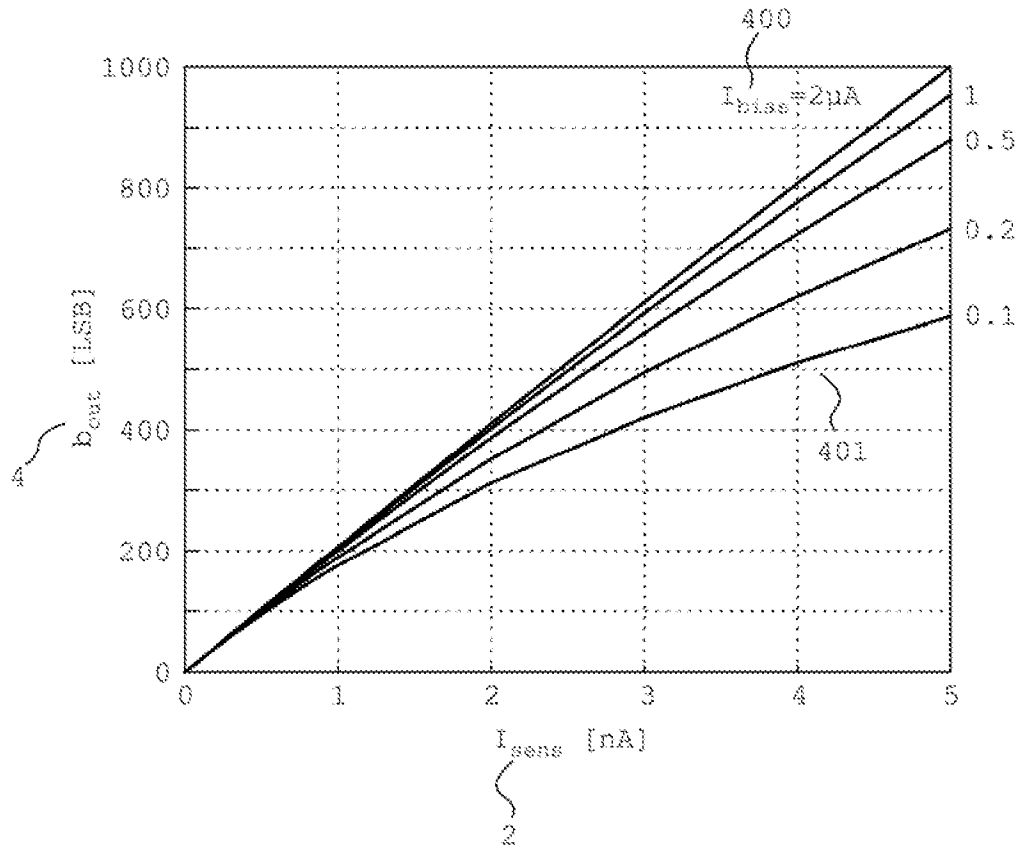


Fig.4

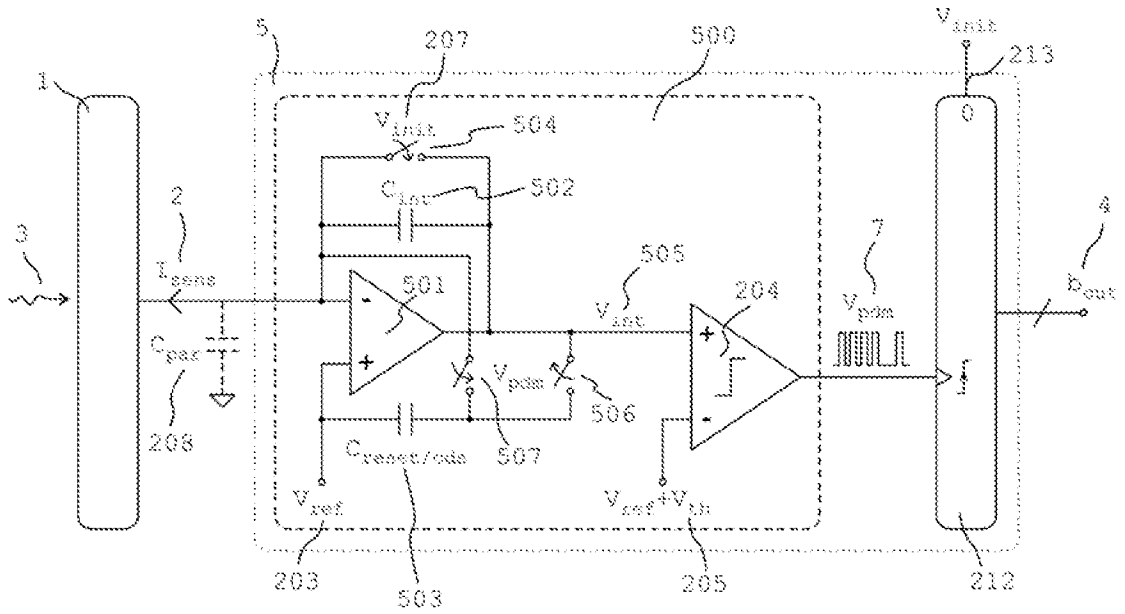


Fig.5

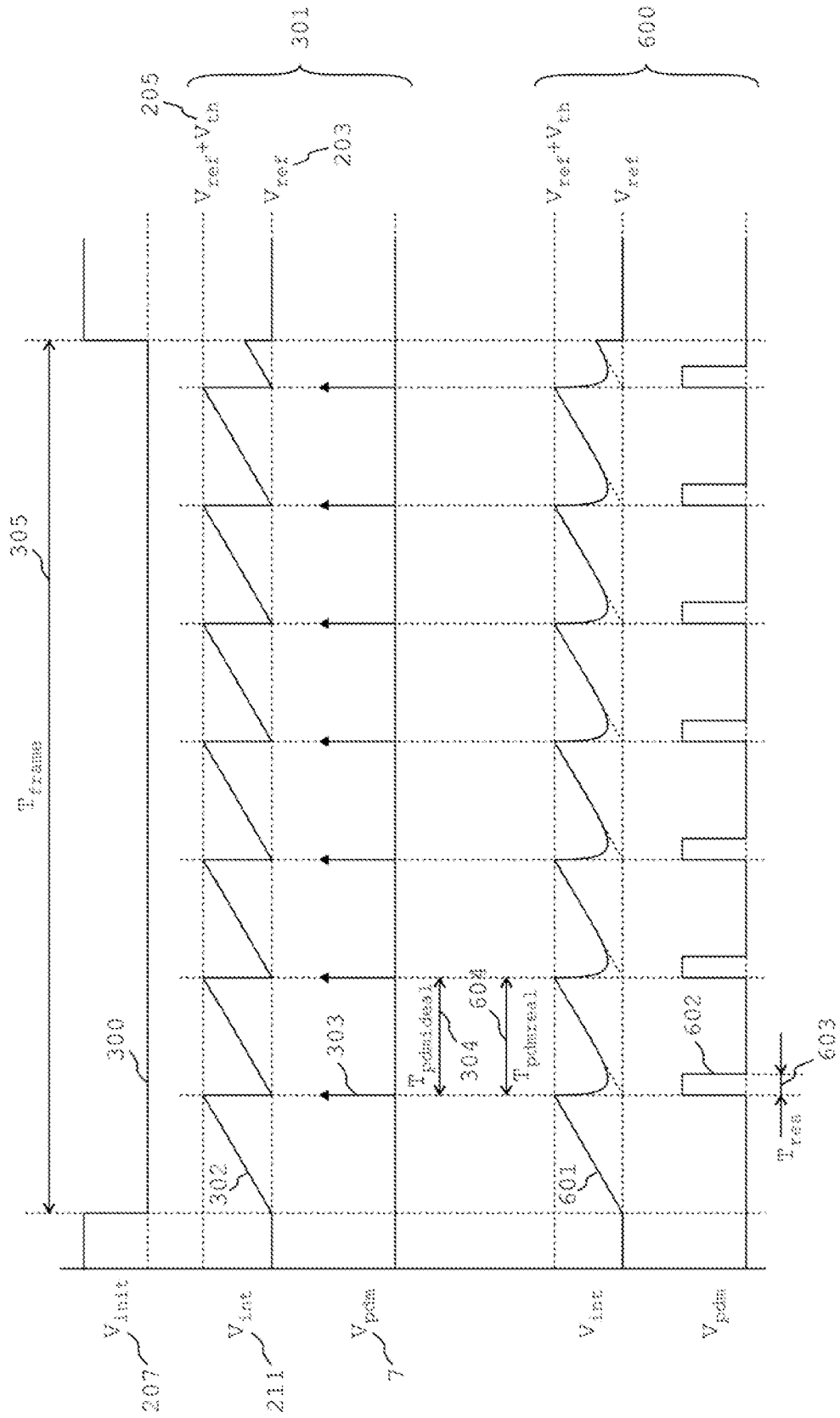


Fig.6

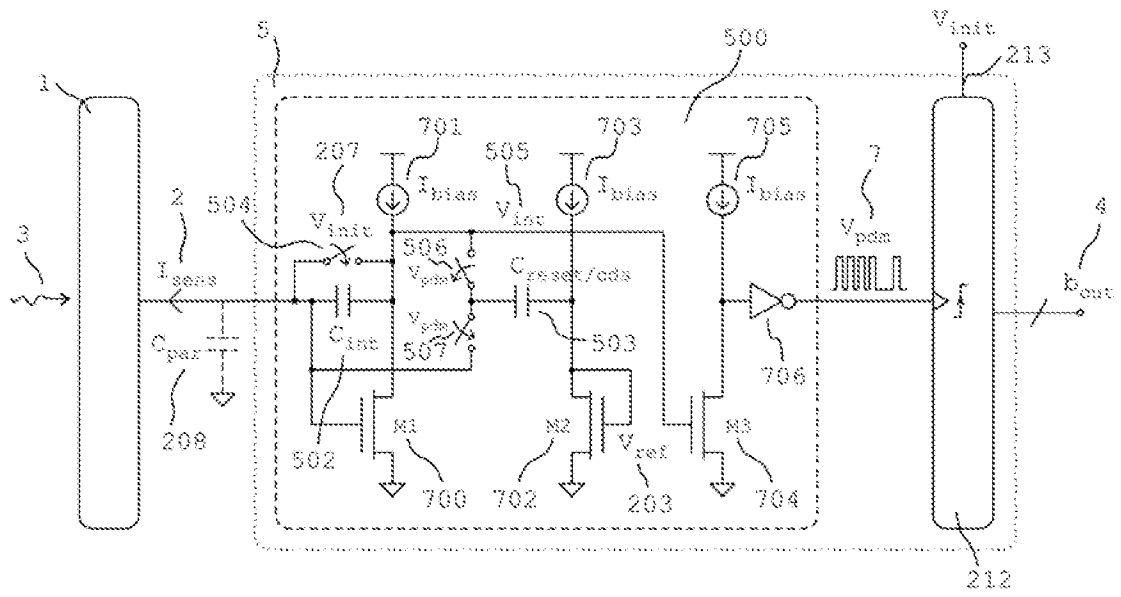


Fig.7

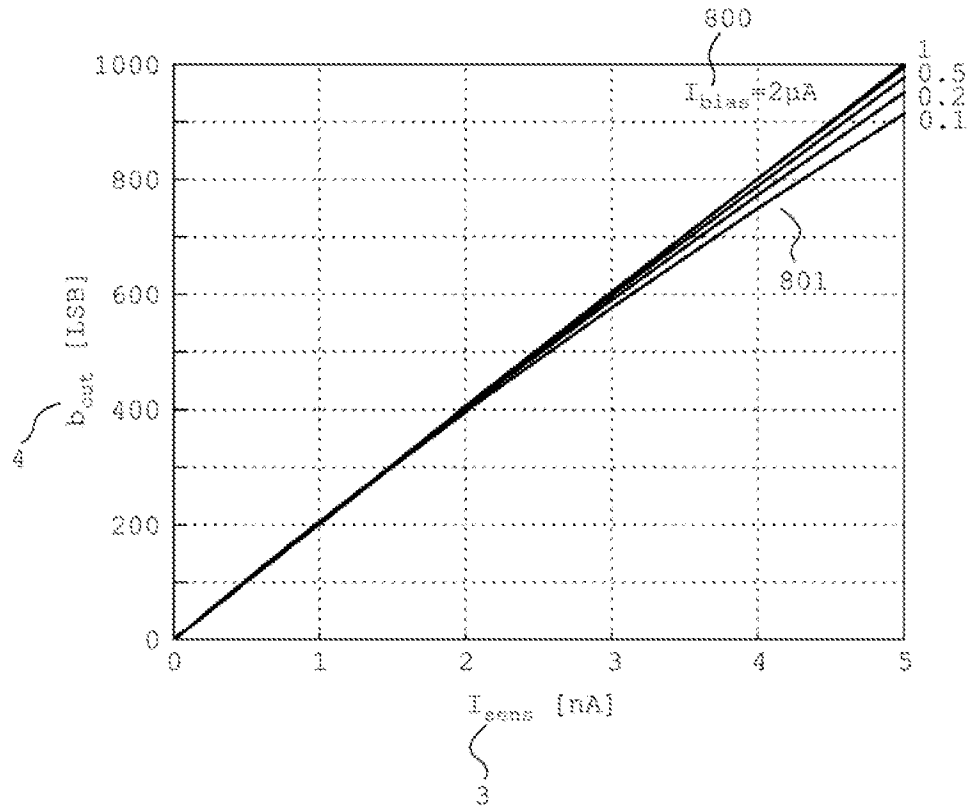


Fig.8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ ES 2009/070157

A. CLASSIFICATION OF SUBJECT MATTER

H04N3/15, H04N5/335, H01L27/146, H03K17/94, H01L27/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N3/15, H04N5/335, H01L27/146, H03K17/94, H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

INVENES,EPODOC,WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | WO0247377 A1 (HAMAMATSU PHOTONICS KK [JP]; MIZUNO SEIICHIRO) 13.06.2002 | 1 |
| A | EP0954167 A2 (TEXAS INSTRUMENTS INC) 03.11.1999 | 1 |
| A | JP7067042 A (MATSUSHITA ELECTRIC IND CO LTD) 10.03.1995 | 1 |
| A | US5565915 A (KINDO TOSHIKI et al) 15.10.1995 | 1 |

Further documents are listed in the continuation of Box C.

See patent family annex.

| | |
|---|--|
| <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance.</p> <p>“E” earlier document but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure use, exhibition, or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> | <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> |
|---|--|

Date of the actual completion of the international search

15.September.2009 (15.09.2009)

Date of mailing of the international search report

(21/09/2009)

Name and mailing address of the ISA/
O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.
Facsimile No. 34 91 3495304

Authorized officer

M^a C. González Vasserot

Telephone No. 91 349 30 87

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/ ES 2009/070157

| Patent document cited in the search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|---|--|
| EP 0954167 A | 03.11.1999 | EP 19990201228 JP 2000032350 A US 6271785 B | 22.04.1999 28.01.2000 07.08.2001 |
| JP 7067042 A | 10.03.1995 | JP 3022166 B US 5565915 A | 15.03.2000 15.10.1996 |
| US 5565915 A | 15.10.1996 | JP 7067042 A JP 3022166 B | 10.03.1995 15.03.2000 |

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional N°

PCT/ ES 2009/070157

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

H04N3/15, H04N5/335, H01L27/146, H03K17/94, H01L27/00

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H04N3/15, H04N5/335, H01L27/146, H03K17/94, H01L27/00

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI

C. DOCUMENTOS CONSIDERADOS RELEVANTES

| Categoría* | Documentos citados, con indicación, si procede, de las partes relevantes | Relevante para las reivindicaciones N° |
|------------|--|--|
| A | WO0247377 A1 (HAMAMATSU PHOTONICS KK [JP]; MIZUNO SEIICHIRO) 13.06.2002 | 1 |
| A | EP0954167 A2 (TEXAS INSTRUMENTS INC) 03.11.1999 | 1 |
| A | JP7067042 A (MATSUSHITA ELECTRIC IND CO LTD) 10.03.1995 | 1 |
| A | US5565915 A (KINDO TOSHIKI et al) 15.10.1995 | 1 |

En la continuación del Recuadro C se relacionan otros documentos Los documentos de familias de patentes se indican en el Anexo

| | | |
|--|-----|--|
| * Categorías especiales de documentos citados: | "T" | documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención. |
| "A" documento que define el estado general de la técnica no considerado como particularmente relevante. | "X" | documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado. |
| "E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior. | "Y" | documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia. |
| "L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada). | "&" | documento que forma parte de la misma familia de patentes. |
| "O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio. | | |
| "P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada. | | |

Fecha en que se ha concluido efectivamente la búsqueda internacional.

15.Septiembre.2009 (15.09.2009)

Fecha de expedición del informe de búsqueda internacional

21 de Septiembre de 2009 (21/09/2009)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional
O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.

N° de fax 34 91 3495304

Funcionario autorizado

Mª C. González Vasserot

N° de teléfono 91 349 30 87

INFORME DE BÚSQUEDA INTERNACIONAL

Información relativa a miembros de familias de patentes

Solicitud internacional N°

PCT/ ES 2009/070157

| Documento de patente citado en el informe de búsqueda | Fecha de Publicación | Miembro(s) de la familia de patentes | Fecha de Publicación |
|---|----------------------|---|--|
| EP 0954167 A | 03.11.1999 | EP 19990201228 JP 2000032350 A US 6271785 B | 22.04.1999 28.01.2000 07.08.2001 |
| JP 7067042 A | 10.03.1995 | JP 3022166 B US 5565915 A | 15.03.2000 15.10.1996 |
| US 5565915 A | 15.10.1996 | JP 7067042 A JP 3022166 B | 10.03.1995 15.03.2000 |