(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119604956 A
(43)申请公布日 2025.03.11

(21)申请号 202380056809.3

(22)申请日 2023.05.02

(30)优先权数据
2022-123316 2022.08.02 JP

(85)PCT国际申请进入国家阶段日
2025.01.24

(86)PCT国际申请的申请数据
PCT/JP2023/017199 2023.05.02

(87)PCT国际申请的公布数据
WO2024/029149 JA 2024.02.08

(71)申请人 株式会社村田制作所
地址 日本

(72)发明人 藤原健太郎 安田辰德

(74)专利代理机构 中科专利商标代理有限责任公司 11021
专利代理师 赵琳琳

(51)Int.Cl.
H01G 4/30(2006.01)

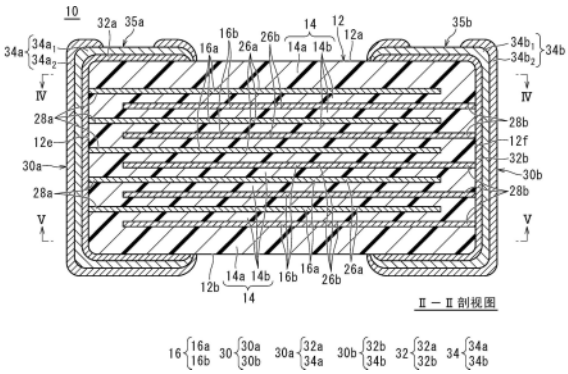
权利要求书4页 说明书35页 附图13页

(54)发明名称

层叠陶瓷电子部件以及层叠陶瓷电子部件的安装构造

(57)摘要

本发明提供一种能够抑制由氢造成的绝缘电阻的劣化的层叠陶瓷电子部件。在层叠陶瓷电子部件中,第1外部电极(30a)具有:第1基底电极层(32a);第1下层镀敷层($34a_1$),配置在第1基底电极层(32a)上;以及第1上层镀敷层($34a_2$),除第1镀层露出区域(35a)以外配置在第1下层镀敷层($34a_1$)上,使得第1下层镀敷层($34a_1$)具有在第1外部电极(30a)的表面露出的第1镀层露出区域(35a)。第2外部电极(30b)具有:第2基底电极层(32b);第2下层镀敷层($34b_1$),配置在第2基底电极层(32b)上;以及第2上层镀敷层($34b_2$),除第2镀层露出区域(35b)以外配置在第2下层镀敷层($34b_1$)上,使得第2下层镀敷层($34b_1$)具有在第2外部电极(30b)的表面露出的第2镀层露出区域(35b)。



CN 119604956 A

1.一种层叠陶瓷电子部件,具备:

层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面;

多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第2端面;

第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;以及

第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第2内部电极层连接,

所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在所述第1基底电极层上;以及第1上层镀敷层,除第1镀层露出区域以外配置在所述第1下层镀敷层上,使得所述第1下层镀敷层具有在所述第1外部电极的表面露出的所述第1镀层露出区域,

所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,除第2镀层露出区域以外配置在所述第2下层镀敷层上,使得所述第2下层镀敷层具有在所述第2外部电极的表面露出的所述第2镀层露出区域。

2.一种层叠陶瓷电子部件,具备:

层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面以及所述第2端面;

多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第1侧面以及所述第2侧面;

第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

第3外部电极,配置在所述第1侧面上,从所述第1侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接;以及

第4外部电极,配置在所述第2侧面上,从所述第2侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接,

所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在

所述第1基底电极层上;以及第1上层镀敷层,除第1镀层露出区域以外配置在所述第1下层镀敷层上,使得所述第1下层镀敷层具有在所述第1外部电极的表面露出的所述第1镀层露出区域,

所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,除第2镀层露出区域以外配置在所述第2下层镀敷层上,使得所述第2下层镀敷层具有在所述第2外部电极的表面露出的所述第2镀层露出区域,

所述第3外部电极具有:第3基底电极层,配置在所述层叠体上;第3下层镀敷层,配置在所述第3基底电极层上;以及第3上层镀敷层,配置在所述第3下层镀敷层上,

所述第4外部电极具有:第4基底电极层,配置在所述层叠体上;第4下层镀敷层,配置在所述第4基底电极层上;以及第4上层镀敷层,配置在所述第4下层镀敷层上。

3.根据权利要求2所述的层叠陶瓷电子部件,其中,

所述第3上层镀敷层除第3镀层露出区域以外配置在所述第3下层镀敷层上,使得所述第3下层镀敷层具有在所述第3外部电极的表面露出的所述第3镀层露出区域,

所述第4上层镀敷层除第4镀层露出区域以外配置在所述第4下层镀敷层上,使得所述第4下层镀敷层具有在所述第4外部电极的表面露出的所述第4镀层露出区域。

4.一种层叠陶瓷电子部件,具备:

层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面以及所述第2端面;

多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第1侧面以及所述第2侧面;

第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

第3外部电极,配置在所述第1侧面上,从所述第1侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接;以及

第4外部电极,配置在所述第2侧面上,从所述第2侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接,

所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在所述第1基底电极层上;以及第1上层镀敷层,配置在所述第1下层镀敷层上,

所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,配置在所述第2下层镀敷层上,

所述第3外部电极具有:第3基底电极层,配置在所述层叠体上;第3下层镀敷层,配置在

所述第3基底电极层上;以及第3上层镀敷层,除第3镀层露出区域以外配置在所述第3下层镀敷层上,使得所述第3下层镀敷层具有在所述第3外部电极的表面露出的所述第3镀层露出区域,

所述第4外部电极具有:第4基底电极层,配置在所述层叠体上;第4下层镀敷层,配置在所述第4基底电极层上;以及第4上层镀敷层,除第4镀层露出区域以外配置在所述第4下层镀敷层上,使得所述第4下层镀敷层具有在所述第4外部电极的表面露出的所述第4镀层露出区域。

5.根据权利要求1至3中的任一项所述的层叠陶瓷电子部件,其中,

所述第1主面方向观察时的所述第1主面中的所述第1镀层露出区域的面积相对于所述第1外部电极的露出区域的面积的第1比例为0.4%以上且83.4%以下,

所述第1主面方向观察时的所述第1主面中的所述第2镀层露出区域的面积相对于所述第2外部电极的露出区域的面积的第2比例为0.4%以上且83.4%以下。

6.根据权利要求5所述的层叠陶瓷电子部件,其中,

所述第1比例以及所述第2比例为1.17%以上且83.4%以下。

7.根据权利要求6所述的层叠陶瓷电子部件,其中,

所述第1比例以及所述第2比例为1.40%以上且83.4%以下。

8.根据权利要求7所述的层叠陶瓷电子部件,其中,

所述第1比例以及所述第2比例为1.40%以上且25.0%以下。

9.根据权利要求1至8中的任一项所述的层叠陶瓷电子部件,其中,

所述第1镀层露出区域配置在所述第1主面。

10.根据权利要求1至9中的任一项所述的层叠陶瓷电子部件,其中,

所述第1下层镀敷层的厚度为2μm以上且7μm以下。

11.根据权利要求1至10中的任一项所述的层叠陶瓷电子部件,其中,

所述第1基底电极层的一部分在所述第1主面露出。

12.根据权利要求3或4所述的层叠陶瓷电子部件,其中,

所述第1主面方向观察时的所述第1主面中的所述第3镀层露出区域的面积相对于所述第3外部电极的露出区域的面积的第3比例以及/或者所述第1主面方向观察时的所述第1主面中的所述第4镀层露出区域的面积相对于所述第4外部电极的露出区域的面积的第4比例为0.4%以上且83.4%以下。

13.一种层叠陶瓷电子部件的安装构造,具备:

权利要求1至12中的任一项所述的层叠陶瓷电子部件;以及

安装基板,安装有所述层叠陶瓷电子部件,

其中,

所述第1镀层露出区域配置在所述第1主面,所述层叠陶瓷电子部件被安装为所述第2主面与所述安装基板对置。

14.一种层叠陶瓷电子部件的安装构造,具备:

权利要求2、3以及12中的任一项所述的层叠陶瓷电子部件;以及

安装基板,安装有所述层叠陶瓷电子部件,

其中,

所述第1外部电极以及所述第2外部电极是被施加正的电位的电极。

15.一种层叠陶瓷电子部件的安装构造,具备:

权利要求4所述的层叠陶瓷电子部件;以及

安装基板,安装有所述层叠陶瓷电子部件,

其中,

所述第3外部电极以及所述第4外部电极是被施加正的电位的电极。

层叠陶瓷电子部件以及层叠陶瓷电子部件的安装构造

技术领域

[0001] 本发明涉及层叠陶瓷电子部件以及层叠陶瓷电子部件的安装构造。

背景技术

[0002] 层叠陶瓷电容器包含层叠体和外部电极。层叠体包含内层部和外层部。内层部通过在给定的层叠方向上交替地层叠多个陶瓷层和多个内部电极层而形成。外层部通过在内层部的表面配置陶瓷层以使得在层叠方向上夹着内层部而形成。多个内部电极层在与层叠方向正交的长度方向上的两端面露出。外部电极配置在端面的表面,使得与从端面露出的内部电极层电连接。该外部电极包含:Ni镀敷层,用于防止使用焊料将层叠陶瓷电容器安装于基板时的焊料侵蚀;以及Sn镀敷层,配置在Ni镀敷层之上,用于使焊料的涂敷性能提高。Ni镀敷层以及Sn镀敷层通常使用电解镀敷的方法来形成。

[0003] 在专利文献1公开了如下内容,即,由于形成镀敷层的镀敷工序中的化学反应而产生的氢使层叠陶瓷电容器的性能下降。具体说明为,在镀敷工序中产生的氢会被内部电极层吸收,该氢使得产生介电损耗、使绝缘电阻劣化等问题。在专利文献1中记载了如下内容,即,为了解决该问题,例如使以Ag—Pd合金等为主成分的内部电极层包含Ni等金属由此抑制氢被内部电极层吸收,从而抑制陶瓷层的劣化。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开昭64—80011号公报

发明内容

[0007] 发明要解决的问题

[0008] 但是,尽管在专利文献1中记载了Ni会使氢吸收作用非活性化,但是根据本申请的发明人们的研究,已知即使在构成内部电极层以及外部电极等的材料中包含Ni等的情况下,氢也会被内部电极层以及外部电极等吸收,根据温度条件,被吸收的氢从该金属释放,该氢导致绝缘电阻的劣化。特别是,在进行了像PCBT(Pressure Cooker Bias Test,高压蒸煮偏压测试)那样的高温高湿负荷试验的情况下,由于从吸收了氢的金属释放的氢,绝缘电阻的劣化变得显著,有时导致层叠陶瓷电容器的劣化。

[0009] 故此,本发明的主要的目的在于,提供一种能够抑制由氢造成的绝缘电阻的劣化的层叠陶瓷电子部件以及层叠陶瓷电子部件的安装构造。

[0010] 用于解决问题的技术方案

[0011] 本发明涉及的层叠陶瓷电子部件是如下的层叠陶瓷电子部件,即,具备:层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与高度方向正交的长度方向上相对的第1端面以及第2端面、和在与高度方向以及长度方向正交的宽度方向上相对的第1侧面以及第2侧面;多个第1内部电极层,配置在多个陶瓷层上,并引出到第1端面;多个第2内部电极层,配置在多个陶瓷层上,并引出到第2端面;第1外部电极,配置

在第1端面上,从第1端面延伸而配置在第1主面的一部分、第2主面的一部分、第1侧面的一部分以及第2侧面的一部分,并与第1内部电极层连接;以及第2外部电极,配置在第2端面上,从第2端面延伸而配置在第1主面的一部分、第2主面的一部分、第1侧面的一部分以及第2侧面的一部分,并与第2内部电极层连接,第1外部电极具有:第1基底电极层,配置在层叠体上;第1下层镀敷层,配置在第1基底电极层上;以及第1上层镀敷层,除第1镀层露出区域以外配置在第1下层镀敷层上,使得第1下层镀敷层具有在第1外部电极的表面露出的第1镀层露出区域,第2外部电极具有:第2基底电极层,配置在层叠体上;第2下层镀敷层,配置在第2基底电极层上;以及第2上层镀敷层,除第2镀层露出区域以外配置在第2下层镀敷层上,使得第2下层镀敷层具有在第2外部电极的表面露出的第2镀层露出区域。

[0012] 在本发明涉及的层叠陶瓷电子部件中,第1下层镀敷层在第1镀层露出区域中露出在第1外部电极的表面,因此能够使层叠陶瓷电子部件内的氢从第1镀层露出区域释放到层叠陶瓷电子部件的外部。此外,第2下层镀敷层在第2镀层露出区域中露出在第2外部电极的表面,因此能够使层叠陶瓷电子部件内的氢从第2镀层露出区域释放到层叠陶瓷电子部件的外部。

[0013] 在用于形成第1下层镀敷层以及第2下层镀敷层、第1上层镀敷层以及第2上层镀敷层的镀敷工序中,由于化学反应而产生氢离子。该氢离子有时作为氢而被例如第1下层镀敷层以及第2下层镀敷层、第1内部电极层以及第2内部电极层、第1基底电极层以及第2基底电极层中的至少任一者所吸收。根据上述结构,能够使被第1下层镀敷层以及第2下层镀敷层、第1内部电极层以及第2内部电极层、第1基底电极层以及第2基底电极层中的至少任一层(吸收层)吸收的氢从第1镀层露出区域以及第2镀层露出区域释放到层叠陶瓷电子部件的外部。因此,能够抑制成为保持氢被吸收层吸收的状态,能够抑制由氢造成的绝缘电阻的劣化。特别是,即使在吸收层包含不易吸收氢的Ni等金属的情况下,也能够通过使氢从第1镀层露出区域以及第2镀层露出区域释放到层叠陶瓷电子部件的外部从而抑制陶瓷层的绝缘电阻的劣化。

[0014] 另外,在第1主面侧形成有第1镀层露出区域以及第2镀层露出区域,第2主面侧成为层叠陶瓷电容器向安装基板的安装面,焊料主要涂敷于第1端面侧、第2端面侧的情况下,能够使吸收层的氢从未涂敷焊料且不面向安装基板的第1主面经由第1镀层露出区域以及第2镀层露出区域高效地释放。

[0015] 发明效果

[0016] 根据本发明,能够提供一种能够抑制由氢造成的绝缘电阻的劣化的层叠陶瓷电子部件以及层叠陶瓷电子部件的安装构造。

[0017] 根据参照附图进行的以下的具体实施方式的说明,本发明的上述的目的、其它目的、特征以及优点将变得更加清楚。

附图说明

[0018] 图1是示出作为本发明的第1实施方式涉及的层叠陶瓷电子部件的二端子型层叠陶瓷电容器的一个例子的外观立体图。

[0019] 图2是图1的线II－II处的剖视图。

[0020] 图3是图1的线III－III处的剖视图。

[0021] 图4是图2的线IV－IV处的剖视图。

[0022] 图5是图2的线V－V处的剖视图。

[0023] 图6是示出使用焊料搭载在安装基板的二端子型层叠陶瓷电容器的一个例子的侧视图。

[0024] 图7是用于说明露出面积的根据第1例的计算方法的说明图。

[0025] 图8是用于说明露出面积的根据第2例的计算方法的说明图。

[0026] 图9是示出露出了基底电极层的形态的局部剖视图。

[0027] 图10是示出露出了基底电极层的另一个形态的局部剖视图。

[0028] 图11是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的外观立体图。

[0029] 图12是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的俯视图。

[0030] 图13是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的主视图。

[0031] 图14是图11的线XIV－XIV处的剖视图。

[0032] 图15是图11的线XV－XV处的剖视图。

[0033] 图16是图14的线XVI－XVI处的剖视图。

[0034] 图17是图14的线XVII－XVII处的剖视图。

具体实施方式

[0035] A.第1实施方式

[0036] 1．二端子型层叠陶瓷电容器

[0037] 作为本发明的第1实施方式涉及的层叠陶瓷电子部件的例子,对二端子型层叠陶瓷电容器进行说明。

[0038] 图1是示出作为本发明的第1实施方式涉及的层叠陶瓷电子部件的二端子型层叠陶瓷电容器的一个例子的外观立体图。图2是图1的线II－II处的剖视图。图3是图1的线III－III处的剖视图。图4是图2的线IV－IV处的剖视图。图5是图2的线V－V处的剖视图。

[0039] 如图1至图3所示,二端子型层叠陶瓷电容器10包含长方体状的层叠体12和配置在层叠体12的两端部的外部电极30。

[0040] (1)层叠体

[0041] 层叠体12具有在高度方向x(层叠方向)上相对的第1主面12a以及第2主面12b、在与高度方向x正交的宽度方向y上相对的第1侧面12c以及第2侧面12d、和在与高度方向x以及宽度方向y正交的长度方向z上相对的第1端面12e以及第2端面12f。在本实施方式的层叠体12中,在角部以及棱线部带有圆角。另外,所谓角部,是层叠体12的相邻的3个面相交的部分,所谓棱线部,是层叠体12的相邻的两个面相交的部分。此外,也可以在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d、和第1端面12e以及第2端面12f的一部分或全部形成有凹凸等。

[0042] 层叠体12包含由多片陶瓷层14构成的外层部14a和由单片或多片陶瓷层14以及配置在其上的多片内部电极层16构成的内层部14b。外层部14a位于层叠体12的第1主面12a侧

以及第2主面12b侧。外层部14a是位于第1主面12a与最靠近第1主面12a的内部电极层16之间的多片陶瓷层14(第1外层部)和位于第2主面12b与最靠近第2主面12b的内部电极层16之间的多片陶瓷层14(第2外层部)的集合体。而且,被两个外层部14a夹着的区域为内层部14b。在内层部14b中,在高度方向x上交替地层叠有陶瓷层14和内部电极层16。

[0043] 另外,将被第1外层部和第2外层部夹着且层叠体12中的后述的第1内部电极层16a和后述的第2内部电极层16b对置的部分称为对置部(有效层部)。此外,对置部与第1侧面12c之间的部分以及对置部与第2侧面12d之间的部分也称为W间隙或侧方间隙。此外,将如下的部分也称为L间隙或端部间隙,该部分是对置部与第1端面12e之间的部分以及对置部与第2端面12f之间的部分,并且包含第1内部电极层16a以及第2内部电极层16b中的任一方的引出电极部。

[0044] 层叠体12的尺寸没有特别限定。

[0045] 作为形成陶瓷层14的电介质材料,例如,能够使用包含$BaTiO_3$、$CaTiO_3$、$SrTiO_3$或$CaZrO_3$等成分的介电陶瓷。在包含上述的电介质材料作为主成分的情况下,也可以根据所希望的层叠体12的特性而使用例如添加了Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等含量比主成分少的副成分的材料。

[0046] 另外,在对陶瓷层14使用了压电体陶瓷材料的情况下,层叠陶瓷电子部件作为压电部件而发挥功能。作为压电体陶瓷材料的具体例子,例如,可列举PZT(锆钛酸铅)类陶瓷材料等。

[0047] 此外,在对陶瓷层14使用了半导体陶瓷材料的情况下,层叠陶瓷电子部件作为热敏电阻元件而发挥功能。作为半导体陶瓷材料的具体例子,例如,可列举尖晶石类陶瓷材料等。

[0048] 此外,在对陶瓷层14使用了磁性体陶瓷材料的情况下,层叠陶瓷电子部件作为电感器元件而发挥功能。此外,在作为电感器元件而发挥功能的情况下,内部电极层16成为线圈状的导体。作为磁性体陶瓷材料的具体例子,例如,可列举铁氧体陶瓷材料等。

[0049] 烧成后的陶瓷层14的厚度优选为0.35μm以上且0.60μm以下。层叠的陶瓷层14的片数优选为10片以上且2000片以下。另外,该陶瓷层14的片数为内层部14b的陶瓷层14的片数和第1主面12a侧的外层部14a以及第2主面12b侧的外层部14a的陶瓷层14的片数的总数。

[0050] 层叠体12作为多个内部电极层16,具有引出到第1端面12e的多个第1内部电极层16a以及引出到第2端面12f的多个第2内部电极层16b。多个第1内部电极层16a以及多个第2内部电极层16b在内层部14b中埋设为沿着层叠体12的高度方向x夹着陶瓷层14等间隔地交替地配置。多个第1内部电极层16a的表面以及多个第2内部电极层16b的表面与第1主面12a以及第2主面12b大致平行,在俯视下例如为大致矩形形状。

[0051] 如图4所示,第1内部电极层16a配置在多个陶瓷层14上,并位于层叠体12的内部。第1内部电极层16a具有与第2内部电极层16b对置的第1对置电极部26a和位于第1内部电极层16a的一端侧并从第1对置电极部26a到层叠体12的第1端面12e的第1引出电极部28a。第1引出电极部28a的端部被引出到第1端面12e的表面,并从层叠体12露出。也就是说,第1引出电极部28a在第1主面12a、第2主面12b、第1侧面12c、第2侧面12d以及第2端面12f不露出。第1对置电极部26a的端部位于从第2端面12f的表面在宽度方向上后退的位置。

[0052] 第1内部电极层16a的第1对置电极部26a的形状没有特别限定,但是优选在俯视下

为矩形形状。不过,也可以是,在俯视下角落部被圆角化,或者将角落部形成为俯视下倾斜(锥状)。此外,也可以是,俯视下为随着朝向某处而带有倾斜的锥状。

[0053] 第1内部电极层16a的第1引出电极部28a的形状没有特别限定,但是优选在俯视下为矩形形状。不过,也可以是,在俯视下角落部被圆角化,或者将角落部形成为俯视下倾斜(锥状)。此外,也可以是,俯视下为随着朝向某处而带有倾斜的锥状。

[0054] 第1内部电极层16a的第1对置电极部26a的宽度和第1内部电极层16a的第1引出电极部28a的宽度可以以相同的宽度形成,也可以将任一者的宽度形成得窄。

[0055] 如图5所示,第2内部电极层16b配置在多个陶瓷层14上,并位于层叠体12的内部。第2内部电极层16b具有与第1内部电极层16a对置的第2对置电极部26b和位于第2内部电极层16b的一端侧并从第2对置电极部26b到层叠体12的第2端面12f的第2引出电极部28b。第2引出电极部28b的端部被引出到第2端面12f的表面,并从层叠体12露出。也就是说,第2引出电极部28b在第1主面12a、第2主面12b、第1侧面12c、第2侧面12d以及第1端面12e不露出。第2对置电极部26b的端部位于从第1端面12e的表面在宽度方向上后退的位置。

[0056] 第2内部电极层16b的第2对置电极部26b的形状没有特别限定,但是优选在俯视下为矩形形状。不过,也可以是,在俯视下角落部被圆角化,或者将角落部形成为俯视下倾斜(锥状)。此外,也可以是,俯视下为随着朝向某处而带有倾斜的锥状。

[0057] 第2内部电极层16b的第2引出电极部28b的形状没有特别限定,但是优选在俯视下为矩形形状。不过,也可以是,在俯视下角落部被圆角化,或者将角落部形成为俯视下倾斜(锥状)。此外,也可以是,俯视下为随着朝向某处而带有倾斜的锥状。

[0058] 第2内部电极层16b的第2对置电极部26b的宽度和第2内部电极层16b的第2引出电极部28b的宽度可以以相同的宽度形成,也可以将任一者的宽度形成得窄。

[0059] 第1内部电极层16a以及第2内部电极层16b例如能够由Ni、Cu、Ag、Pd、Au等金属、Ag—Pd合金等包含这些金属中的至少一种的合金等适当的导电材料构成。此外,在将包含内部电极层16的层叠体12以及包含层叠体12的表面的外部电极30的一体物同时进行烧成的情况下,构成内部电极层16的金属与外部电极30包含的金属构成化合物。

[0060] 内部电极层16、即第1内部电极层16a以及第2内部电极层16b各自的厚度优选为0.40μm以上且0.50μm以下。

[0061] 此外,优选第1内部电极层16a和第2内部电极层16b的片数合起来为10片以上且2000片以下。

[0062] (2)外部电极

[0063] 如图1至图3所示,在层叠体12的第1端面12e侧以及第2端面12f侧配置外部电极30。

[0064] 外部电极30具有第1外部电极30a以及第2外部电极30b。

[0065] 第1外部电极30a与第1内部电极层16a连接,并且至少配置在第1端面12e的表面。在该情况下,第1外部电极30a与第1内部电极层16a的第1引出电极部28a电连接。在本实施方式中,第1外部电极30a从层叠体12的第1端面12e延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。

[0066] 第2外部电极30b与第2内部电极层16b连接,并且至少配置在第2端面12f的表面。在该情况下,第2外部电极30b与第2内部电极层16b的第2引出电极部28b电连接。在本实施

方式中,第2外部电极30b从第2端面12f延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。

[0067] 在层叠体12内,第1内部电极层16a的第1对置电极部26a和第2内部电极层16b的第2对置电极部26b隔着陶瓷层14对置,由此形成静电电容。因此,能够在连接了第1内部电极层16a的第1外部电极30a与连接了第2内部电极层16b的第2外部电极30b之间得到静电电容,显现出电容器的特性。

[0068] 外部电极30优选由基底电极层32和镀敷层34构成。在本实施方式中,外部电极30包括包含金属成分的基底电极层32和配置在基底电极层32上的镀敷层34。镀敷层34包含第1镀敷层34a和第2镀敷层34b。

[0069] 第1外部电极30a具有包含金属成分的第1基底电极层32a、配置在第1基底电极层32a上的第1下层镀敷层$34a_1$、以及配置在第1下层镀敷层$34a_1$上的第1上层镀敷层$34a_2$。此外,第1外部电极30a具有在第1外部电极30a的表面露出的第1镀层露出区域35a。

[0070] 第2外部电极30b具有包含金属成分的第2基底电极层32b、配置在第2基底电极层32b上的第2下层镀敷层$34b_1$、以及配置在第2下层镀敷层$34b_1$上的第2上层镀敷层$34b_2$。此外,第2外部电极30b具有在第2外部电极30b的表面露出的第2镀层露出区域35b。

[0071] (2—1)基底电极层

[0072] 第1基底电极层32a与第1内部电极层16a连接,并配置在第1端面12e的表面。在该情况下,第1基底电极层32a与第1内部电极层16a的第1引出电极部28a电连接。在本实施方式中,第1基底电极层32a从第1端面12e延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。

[0073] 第2基底电极层32b与第2内部电极层16b连接,并配置在第2端面12f的表面。在该情况下,第2基底电极层32b与第2内部电极层16b的第2引出电极部28b电连接。在本实施方式中,第2基底电极层32b从第2端面12f延伸从而还配置在而第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。

[0074] 基底电极层32包含从烧附层、导电性树脂层、薄膜层等中选择的至少一者。

[0075] 以下,对将基底电极层32设为上述的烧附层、导电性树脂层、薄膜层的情况下的各结构进行说明。

[0076] (基底电极层包含烧附层的情况)

[0077] 烧附层包含玻璃成分和金属成分。烧附层的玻璃成分包含从B、Si、Ba、Mg、Al、Li等中选择的至少一者。作为烧附层的金属成分,例如,包含从Cu、Ni、Ag、Pd、Ag—Pd合金、Au等中选择的至少一者。烧附层也可以是多个层。烧附层是将包含玻璃成分以及金属成分的导电性膏涂敷于层叠体12并进行了烧附的烧附层,可以与内部电极层16以及陶瓷层14同时进行烧成,也可以在将内部电极层16以及陶瓷层14烧成之后进行烧附。另外,在将烧附层与内部电极层16以及陶瓷层14同时进行烧成的情况下,优选代替玻璃成分而添加陶瓷成分来形成烧附层。陶瓷成分可以使用与陶瓷层14相同种类的陶瓷材料,也可以使用与陶瓷层14不同种类的陶瓷材料。陶瓷成分例如包含从$BaTiO_3$、$CaTiO_3$、$(Ba,Ca)TiO_3$、$SrTiO_3$、$CaZrO_3$等中选择的至少一者。通过使烧附层包含玻璃成分或陶瓷成分,从而能够使层叠体12和作为烧附层的基底电极层32的密接性提高。另外,烧附层也可以包含玻璃成分和陶瓷成分这两者。

[0078] 位于第1端面12e以及第2端面12f的第1基底电极层32a以及第2基底电极层32b的

高度方向x中央部处的第1烧附层以及第2烧附层的厚度例如优选为3μm以上且20μm以下的程度。

[0079] 此外,在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d上设置基底电极层32的情况下,位于第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d上的作为第1基底电极层32a以及第2基底电极层32b的第1烧附层以及第2烧附层的长度方向z上的中央部处的厚度例如优选为1μm以上且20μm以下的程度。

[0080] (基底电极层包含导电性树脂层的情况)

[0081] 导电性树脂层也可以是多个层。

[0082] 也可以是,导电性树脂层配置在烧附层上以使得覆盖烧附层,或者导电性树脂层直接配置在层叠体12上。

[0083] 对在烧附层上配置导电性树脂层的情况进行进一步说明为,导电性树脂层配置为覆盖作为烧附层的基底电极层32。导电性树脂层具有第1导电性树脂层和第2导电性树脂层。第1导电性树脂层配置为覆盖第1基底电极层32a,第2导电性树脂层配置为覆盖第2基底电极层32b。具体地,第1导电性树脂层以及第2导电性树脂层配置在位于第1端面12e以及第2端面12f上的第1基底电极层32a以及第2基底电极层32b上。进而,第1导电性树脂层以及第2导电性树脂层优选配置为还到达第1主面12a以及第2主面12b和第1侧面12c以及第2侧面12d上。不过,第1导电性树脂层以及第2导电性树脂层也可以仅配置在位于第1端面12e以及第2端面12f上的第1基底电极层32a以及第2基底电极层32b上。另外,在外部电极30具有镀敷层34的情况下,导电性树脂层能够配置为位于基底电极层32与镀敷层34之间。

[0084] 导电性树脂层包含热固化性树脂以及金属。

[0085] 导电性树脂层包含热固化性树脂,因此与例如由镀敷膜、导电性膏的烧成物构成的导电层相比富有柔软性。因此,即使在对二端子型层叠陶瓷电容器10施加了物理冲击、起因于热循环的冲击的情况下,导电性树脂层也会作为缓冲层而发挥功能,能够防止向二端子型层叠陶瓷电容器10产生裂纹。

[0086] 作为导电性树脂层包含的金属,能够使用Ag、Cu、Ni、Sn、Bi或包含它们的合金。

[0087] 此外,还能够使用在金属粉的表面涂覆了Ag的金属粉。当使用在金属粉的表面涂覆了Ag的金属时,作为金属粉,优选使用Cu、Ni、Sn、Bi或它们的合金粉。作为对于导电性金属而使用Ag的导电性金属粉的理由,是因为Ag在金属之中比电阻最低,所以适合于电极材料,并且Ag是贵金属,所以不氧化而耐候性高。此外,作为使用涂覆了Ag的金属粉的理由,是因为能够在保持前述的Ag的特性的同时使母材的金属变得廉价。

[0088] 进而,作为导电性树脂层包含的金属,还能够使用对Cu、Ni实施了防氧化处理的金属。

[0089] 另外,作为导电性树脂层包含的金属,还能够使用在金属粉的表面涂覆了Sn、Ni、Cu的金属粉。当使用在金属粉的表面涂覆了Sn、Ni、Cu的金属时,作为金属粉,优选使用Ag、Cu、Ni、Sn、Bi或它们的合金粉。

[0090] 导电性树脂层包含的金属优选相对于导电性树脂整体的体积包含35vol%以上且75vol%以下。

[0091] 导电性树脂层包含的金属的平均粒径没有特别限定。导电性填料的平均粒径例如也可以是0.3μm以上且10μm以下的程度。

[0092] 导电性树脂层包含的金属主要承担导电性树脂层的通电性。具体地,通过导电性填料彼此接触,从而在导电性树脂层内部形成通电路径。

[0093] 导电性树脂层包含的金属的形状没有特别限定,能够使用球形状、扁平状等的形状。作为导电性树脂层包含的金属,优选将球形状金属粉和扁平状金属粉混合使用。

[0094] 作为导电性树脂层的树脂,例如,能够使用环氧树脂、苯氧基树脂、酚醛树脂、聚氨酯树脂、硅酮树脂、聚酰亚胺树脂等公知的各种热固化性树脂。其中,尤其是耐热性、耐湿性、密接性等优异的环氧树脂是最合适的树脂之一。

[0095] 导电性树脂层包含的树脂优选相对于导电性树脂整体的体积包含25vol%以上且65vol%以下。

[0096] 此外,优选在导电性树脂层中与热固化性树脂一同包含固化剂。作为固化剂,在使用环氧树脂作为基础树脂的情况下,作为环氧树脂的固化剂,能够使用酚类、胺类、酸酐类、咪唑类、活性酯类、酰胺酰亚胺类等公知的各种化合物。

[0097] 位于第1端面12e以及第2端面12f且位于层叠体12的高度方向x中央部的导电性树脂层的厚度例如优选为3μm以上且30μm以下的程度。

[0098] 此外,在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d上也设置导电性树脂层的情况下,位于第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d的导电性树脂层的长度方向z上的中央部处的导电性树脂层的厚度例如优选为3μm以上且30μm以下的程度。

[0099] (基底电极层包含薄膜层的情况)

[0100] 薄膜层是通过溅射法或蒸镀法等薄膜形成法形成且沉积了金属粒子的1μm以下的层。

[0101] (2—2)镀敷层

[0102] 接下来,参照图2～图5对配置在基底电极层32之上的作为镀敷层34的第1镀敷层34a以及第2镀敷层34b进行说明。该镀敷层34具有镀层露出区域35。

[0103] 第1镀敷层34a配置为覆盖第1端面12e侧的第1基底电极层32a。进而,第1镀敷层34a也可以配置为覆盖第1主面12a、第2主面12b、第1侧面12c以及第2侧面12d侧的第1基底电极层32a。不过,第1镀敷层34a也可以仅配置在第1端面12e侧的第1基底电极层32a上。该第1镀敷层34a具有配置在第1基底电极层32a上的第1下层镀敷层$34a_1$和配置在第1下层镀敷层$34a_1$上的第1上层镀敷层$34a_2$。第1上层镀敷层$34a_2$配置在第1下层镀敷层$34a_1$上,使得露出第1下层镀敷层$34a_1$的一部分。也就是说,第1上层镀敷层$34a_2$除第1镀层露出区域35a以外配置在第1下层镀敷层$34a_1$上,使得第1下层镀敷层$34a_1$具有在第1外部电极30a的表面露出的第1镀层露出区域35a。

[0104] 在本实施方式中,第1镀层露出区域35a配置在第1主面12a上。在该情况下,如图6所示,二端子型层叠陶瓷电容器10的第2主面12b成为向安装基板40的安装面。图6是示出使用焊料搭载的二端子型层叠陶瓷电容器的一个例子的侧视图。根据图6,在安装基板40形成有用于安装二端子型层叠陶瓷电容器10的平面状的一对连接盘41。二端子型层叠陶瓷电容器10配置为,在第2主面12b与安装基板40的安装面对置且第1主面12a离安装面最远的状态下使第1外部电极30a以及第2外部电极30b分别位于一对连接盘41。在该状态下,在第1端面12e以及第2端面12f涂敷焊料42,由此将二端子型层叠陶瓷电容器10安装于安装基板40。

[0105] 并不限定于此,但优选第1上层镀敷层34a_2覆盖第1下层镀敷层34a_1的端部。具体地,第1下层镀敷层34a_1的第2端面12f侧的前端部优选被第1上层镀敷层34a_2中的第2端面12f侧的前端部覆盖。由此,能够抑制第1下层镀敷层34a_1的剥离。

[0106] 从层叠体12的高度方向x观察时的第1主面12a上的第1镀层露出区域35a的面积相对于第1外部电极30a的露出区域的面积的第1比例优选为0.4%以上且83.4%以下。由于第1比例为0.4%以上,因此例如能够将从第1内部电极层16a、第2内部电极层16b、第1基底电极层32a、第2基底电极层32b、第1下层镀敷层34a_1、第2下层镀敷层34b_1释放的氢从第1镀层露出区域35a充分地向二端子型层叠陶瓷电容器10的外部释放,能够抑制由氢造成的绝缘电阻的劣化。此外,由于第1比例为83.4%以下,因此能够抑制第1下层镀敷层34a_1未被第1上层镀敷层34a_2覆盖的比例。由此,能够抑制由于水蒸气从第1镀层露出区域35a向二端子型层叠陶瓷电容器10内侵入而造成的耐湿性的下降。

[0107] 更优选地,第1比例为1.17%以上且83.4%以下。进一步优选地,第1比例为1.40%以上且83.4%以下。进一步优选地,第1比例为1.40%以上且25.0%以下。

[0108] 关于第1比例,作为第1例,能够像以下那样求出。首先,第1外部电极30a的露出区域的面积能够根据第1外部电极30a面向二端子型层叠陶瓷电容器10的外侧的区域的面积来求出。例如,第1外部电极30a的露出区域的面积能够根据在第1主面12a、第2主面12b、第1端面12e、第1侧面12c、第2侧面12d中第1外部电极30a面向二端子型层叠陶瓷电容器10的外侧的区域的面积来求出。此外,第1镀层露出区域35a的面积能够根据第1下层镀敷层34a_1面向二端子型层叠陶瓷电容器10的外侧的区域的面积来求出。例如,第1镀层露出区域35a的面积能够根据在第1主面12a、第2主面12b、第2端面12f、第1侧面12c、第2侧面12d中第1下层镀敷层34a_1面向二端子型层叠陶瓷电容器10的外侧的区域的面积来求出。然后,能够根据第1镀层露出区域35a的面积相对于第1外部电极30a的露出区域的面积的比例来求出第1比例。

[0109] 在第1例的情况下,在本实施方式中,如图7所示,第1外部电极30a的露出区域的面积S30a能够根据在从第1主面12a侧观察的情况下(第1主面方向观察时)在第1主面12a中第1外部电极30a(第1基底电极层32a、第1下层镀敷层34a_1、第1上层镀敷层34a_2)面向二端子型层叠陶瓷电容器10的外侧的区域来求出。此外,在本实施方式中,第1镀层露出区域35a的面积S35a能够根据在第1主面12a、第2主面12b、第1端面12e、第1侧面12c、第2侧面12d的全部的面中第1下层镀敷层34a_1面向二端子型层叠陶瓷电容器10的外侧的区域来求出。另外,在图7中,作为一个例子而示出了第1镀层露出区域35a处于第1主面12a侧的形态。而且,能够根据第1镀层露出区域35a的面积S35a相对于第1外部电极30a的露出区域的面积S30a的比例来求出第1比例。前述的面积S30a以及面积S35a例如能够使用显微镜(例如,株式会社KEYENCE公司制造的VHX系列(以下,记为VHX))以200倍的倍率以及明视场进行观察。

[0110] 此外,关于第1比例,作为第2例,能够像以下那样求出。第1外部电极30a的露出区域的面积与第1例同样地求出。此外,除了第1上层镀敷层34a_2以外,还将第1下层镀敷层34a_1也削去,由此第1镀层露出区域35a相对于第1主面12a、第2主面12b、第1端面12e、第1侧面12c或第2侧面12d交叉的情况下,第1镀层露出区域35a的面积能够通过将露出的第1下层镀敷层34a_1的厚度和第1镀层露出区域35a的周围的长度相乘而求出。然后,能够根据第1镀层露出区域35a的面积相对于第1外部电极30a的露出区域的面积的比例来求出第1比例。

[0111] 在第2例的情况下,在本实施方式中,与图7同样地,第1外部电极30a的露出区域的面积S30a能够根据在从第1主面12a侧观察的情况下(第1主面方向观察时)在第1主面12a中第1外部电极30a面向二端子型层叠陶瓷电容器10的外侧的区域来求出。此外,在第1镀层露出区域35a相对于第1主面12a、第2主面12b、第1端面12e、第1侧面12c或第2侧面12d交叉的情况下,第1镀层露出区域35a的面积SS35a能够通过将露出的第1下层镀敷层34a_1的厚度t35a和第1镀层露出区域35a的周围的长度(135a_1、135a_2、135a_3、135a_4之和)相乘而求出。另外,在图8中,作为一个例子而示出了第1镀层露出区域35a相对于第1主面12a交叉的形态。然后,能够根据第1镀层露出区域35a的面积SS35a相对于第1外部电极30a的露出区域的面积S30a的比例来求出第1比例。前述的长度135a_1~135a_4例如能够使用显微镜(VHX)以200倍的倍率以及明视场进行观察。此外,前述的厚度t35a例如能够在剖面研磨至二端子型层叠陶瓷电容器10的宽度方向y上的W尺寸的例如1/2尺寸之后使用显微镜(VHX)以2000倍的倍率以及明视场进行观察。

[0112] 第2镀敷层34b配置为覆盖第2端面12f侧的第2基底电极层32b。进而,第2镀敷层34b也可以配置为覆盖第1主面12a、第2主面12b、第1侧面12c以及第2侧面12d侧的第2基底电极层32b。不过,第2镀敷层34b也可以仅配置在第2端面12f侧的第2基底电极层32b上。该第2镀敷层34b具有配置在第2基底电极层32b上的第2下层镀敷层34b_1和配置在第2下层镀敷层34b_1上的第2上层镀敷层34b_2。第2上层镀敷层34b_2配置在第2下层镀敷层34b_1上,使得露出第2下层镀敷层34b_1的一部分。也就是说,第2上层镀敷层34b_2除第2镀层露出区域35b以外配置在第2下层镀敷层34b_1上,使得第2下层镀敷层34b_1具有在第2外部电极30b的表面露出的第2镀层露出区域35b。在本实施方式中,第2镀层露出区域35b配置在第1主面12a上。在该情况下,二端子型层叠陶瓷电容器10的第2主面12b成为向安装基板的安装面。

[0113] 并不限定于此,但优选第2上层镀敷层34b_2覆盖第2下层镀敷层34b_1的端部。具体地,第2下层镀敷层34b_1的第1端面12e侧的前端部优选被第2上层镀敷层34b_2中的第1端面12e侧的前端部覆盖。由此,能够抑制第2下层镀敷层34b_1的剥离。

[0114] 根据与第1比例同样的理由,从层叠体12的高度方向x观察时的第1主面12a上的第2镀层露出区域35b的面积相对于第2外部电极30b的露出区域的面积的第2比例优选为0.4%以上且83.4%以下。由于第2比例为0.4%以上,因此例如能够将从第1内部电极层16a、第2内部电极层16b、第1基底电极层32a、第2基底电极层32b、第1下层镀敷层34a_1、第2下层镀敷层34b_1释放的氢从第2镀层露出区域35b充分地向二端子型层叠陶瓷电容器10的外部释放,能够抑制由氢造成的绝缘电阻的劣化。此外,由于第2比例为83.4%以下,因此能够抑制由于水蒸气从第2镀层露出区域35b向二端子型层叠陶瓷电容器10内侵入而造成的耐湿性的下降。

[0115] 更优选地,第2比例为1.17%以上且83.4%以下。进一步优选地,第2比例为1.40%以上且83.4%以下。进一步优选地,第2比例为1.40%以上且25.0%以下。

[0116] 第2比例能够与第1比例同样地求出。在上述的第1例的情况下,在本实施方式中,第2外部电极30b的露出区域的面积能够根据在从第1主面12a侧观察的情况下在第1主面12a中第2外部电极30b(第2基底电极层32b、第2下层镀敷层34b_1、第2上层镀敷层34b_2)面向二端子型层叠陶瓷电容器10的外侧的区域的面积来求出。此外,在本实施方式中,第2镀层露出区域35b的面积能够根据在从第1主面12a、第2主面12b、第2端面12f、第1侧面12c、第2侧面12d的全部的面观察的情况下第2下层镀敷层34b_1面向二端子型层叠陶瓷电容器10的

外侧的区域的面积来求出。

[0117] 进而,在上述的第2例的情况下,在本实施方式中,第2外部电极30b的露出区域的面积能够与第1例同样地求出。此外,在本实施方式中,在第2镀层露出区域35b相对于第1主面12a、第2主面12b、第2端面12f、第1侧面12c或第2侧面12d交叉的情况下,第2镀层露出区域35b的面积能够根据将露出的第2下层镀敷层$34b_1$的厚度和第2镀层露出区域35b的周围的长度相乘而得到的面积来求出。

[0118] 然后,第2比例能够根据第2镀层露出区域35b的面积相对于第2外部电极30b的露出区域的面积的比例来求出。

[0119] 在上述中,作为露出比例而分别求出了第1比例以及第2比例,但是露出比例也可以是第1镀层露出区域35a以及第2镀层露出区域35b的合计的面积相对于第1外部电极30a以及第2外部电极30b的露出区域的合计的面积的比例。而且,该合计的露出比例优选为0.4%以上且83.4%以下。

[0120] 作为第1镀敷层34a以及第2镀敷层34b,例如,包含从Cu、Ni、Sn、Ag、Pd、Ag—Pd合金、Au等中选择的至少一者。

[0121] 优选的是,第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$为Ni镀敷层,第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$为Sn镀敷层。

[0122] 由Ni镀敷层形成的第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$用于防止基底电极层32被安装二端子型层叠陶瓷电容器10时的焊料所侵蚀。此外,由Sn镀敷层形成的第1上层镀敷层$34a_2$、第2上层镀敷层$34b_2$用于使安装二端子型层叠陶瓷电容器10时的焊料的润湿性提高,使得能够容易地进行安装。

[0123] 第1下层镀敷层$34a_1$以及第1上层镀敷层$34a_2$的第1主面12a、第2主面12b、第1端面12e、第1侧面12c、第2侧面12d中的厚度优选为2μm以上且7μm以下。第2下层镀敷层$34b_1$以及第2上层镀敷层$34b_2$的第1主面12a、第2主面12b、第2端面12f、第1侧面12c、第2侧面12d中的厚度优选为2μm以上且7μm以下。

[0124] 另外,在基底电极层32上形成导电性树脂层的情况下,镀敷层34配置为覆盖导电性树脂层。在该情况下,镀敷层34中的作为下层镀敷层的Ni镀敷层也防止导电性树脂层被焊料所侵蚀,作为上层镀敷层的Sn镀敷层也使焊料的润湿性提高。

[0125] (3)二端子型层叠陶瓷电容器的尺寸

[0126] 将包含层叠体12、第1外部电极30a以及第2外部电极30b的二端子型层叠陶瓷电容器10的长度方向z上的尺寸设为L尺寸,将包含层叠体12、第1外部电极30a以及第2外部电极30b的二端子型层叠陶瓷电容器10的高度方向x上的尺寸设为T尺寸,将包含层叠体12、第1外部电极30a以及第2外部电极30b的二端子型层叠陶瓷电容器10的宽度方向y上的尺寸设为W尺寸。

[0127] 关于二端子型层叠陶瓷电容器10的尺寸,长度方向z上的L尺寸为0.2mm以上且6.5mm以下,宽度方向y上的W尺寸为0.1mm以上且5.5mm以下,高度方向x上的T尺寸为0.1mm以上且6.5mm以下。此外,二端子型层叠陶瓷电容器10的尺寸能够通过显微镜来测定。

[0128] 2. 二端子型层叠陶瓷电容器的制造方法

[0129] 接着,对二端子型层叠陶瓷电容器10的制造方法进行说明。

[0130] (工序1)

[0131] 首先,准备陶瓷层14用的电介质片以及内部电极层16用的导电性膏。电介质片以及内部电极层16用的导电性膏包含粘合剂以及溶剂。粘合剂以及溶剂也可以是公知的粘合剂以及溶剂。

[0132] (工序2)

[0133] 然后,例如通过丝网印刷、凹版印刷等以给定的图案在电介质片上印刷内部电极层16用的导电性膏。由此,准备形成了第1内部电极层16a的图案的电介质片以及形成了第2内部电极层16b的图案的电介质片。

[0134] 此外,关于电介质片,还准备未印刷内部电极层的图案的外层用的电介质片。

[0135] (工序3)

[0136] 层叠给定片数的未印刷内部电极层的图案的外层用的电介质片,由此形成第2主面12b侧的外层部14a(外层部形成工序)。

[0137] 在第2主面12b侧的外层部14a之上依次层叠印刷了第1内部电极层16a的图案的电介质片以及印刷了第2内部电极层16b的图案的电介质片,使得成为本发明的构造,由此形成内层部14b(内层部形成工序)。

[0138] 接下来,在内部层之上层叠给定片数的未印刷内部电极层的图案的外层用的电介质片。由此,在内层部14b之上形成第1主面12a侧的外层部14a(外层部形成工序)。

[0139] (工序4)

[0140] 接着,通过等静压压制等手段在层叠方向上对层叠片进行压制,由此制作层叠块。

[0141] (工序5)

[0142] 然后,将层叠块切割为给定的尺寸,由此切出层叠小片。此时,也可以通过滚筒研磨等使层叠小片的角部以及棱线部带有圆角。

[0143] (工序6)

[0144] 接着,对层叠小片进行烧成,由此制作层叠体12。关于烧成温度,虽然还依赖于作为电介质的陶瓷层、内部电极层的材料,但是优选为900℃以上且1400℃以下。

[0145] (工序7)

[0146] 接着,在层叠体12的两端面12e、12f等涂敷外部电极用的导电性膏,由此形成基底电极层32。以下,对于基底电极层32为烧附层、导电性树脂层以及薄膜层的情况分别说明制造工序。

[0147] (基底电极层为烧附层的情况)

[0148] 在基底电极层32为烧附层的情况下,例如通过浸渍以及丝网印刷等方法涂敷包含玻璃成分和金属的导电性膏,然后,进行烧附处理,形成基底电极层32。此时的烧附温度优选为700℃以上且900℃以下。

[0149] 在烧附层中可以代替玻璃成分而含有陶瓷成分,也可以含有这两者。陶瓷成分例如优选为与层叠体相同种类的陶瓷材料。另外,在使烧附层包含陶瓷成分的情况下,优选对烧成前的层叠小片涂敷导电性膏,并将烧成前的层叠小片和涂敷于烧成前的层叠小片的导电性膏同时进行烧附(烧成),从而形成了形成有烧附层的层叠体。此时的烧附处理的温度(烧成温度)优选为900℃以上且1400℃以下。

[0150] (基底电极层为导电性树脂层的情况)

[0151] 在基底电极层32为导电性树脂层的情况下,将包含热固化性树脂以及金属成分的

导电性树脂膏涂敷在烧附层上或层叠体12上,并以250℃以上且550℃以下的温度进行热处理而使树脂热固化,形成导电性树脂层。此时的热处理时的气氛优选为N_2气氛。此外,为了防止树脂的飞散并且防止各种金属成分的氧化,氧浓度优选抑制在100ppm以下。

[0152] (基底电极层为薄膜层的情况)

[0153] 在基底电极层32为薄膜层的情况下,能够通过溅射法或蒸镀法等薄膜形成法形成基底电极层32。由薄膜层形成的基底电极层32设为沉积了金属粒子的1μm以下的层。

[0154] (工序8)

[0155] 在形成基底电极层32之后,在基底电极层32的表面形成镀敷层34。在进行镀敷处理时,可以使用电解镀敷、无电解镀敷中的任一者,但是无电解镀敷为了使镀层析出速度提高而需要利用催化剂等进行预处理,存在工序复杂化这样的缺点。因此,通常优选采用电解镀敷。作为镀敷工法,优选使用滚筒镀敷。在本实施方式中,在基底电极层32上作为镀敷层34而依次形成第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$(Ni镀敷层)和第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$(Sn镀敷层)。

[0156] 另外,在基底电极层32上形成导电性树脂层的情况下,准备包含树脂成分和金属成分的导电性树脂膏,使用浸渍工法在基底电极层32上涂敷导电性树脂膏。然后,在导电性树脂层上形成镀敷层34。

[0157] (工序9)

[0158] 接着,对第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$(Sn镀敷层)进行处理,使得第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。作为处理的方法,例如,能够采用削去的方法、熔解的方法、利用激光加工的方法、使用了抗蚀剂的方法等。

[0159] 在削去的方法中,通过使φ30~100μm的程度的金属端子与第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$(Sn镀敷层)接触,从而削去柔软的Sn镀敷层,使得第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。

[0160] 在熔解的方法中,将形成了镀敷层34后的成型体浸渍于ENSTRIP剂(剥离剂)。例如,用排列夹具将形成了镀敷层34后的多个成型体的高度对齐,并将成型体的一个面浸渍于ENSTRIP剂,由此将第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$(Sn镀敷层)溶解,使得第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。此时,优选对第1主面12a(以及/或者第2主面12b)侧进行浸渍。由此,能够防止第1端面12e、第2端面12f、第1侧面12c、第2侧面12d侧的内部电极层16的浸渍。

[0161] 在利用激光加工的方法中,将形成了镀敷层34后的多个成型体进行排列,并通过激光削去各成型体的第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$(Sn镀敷层)的给定的面积,使得第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。

[0162] 通过使用抗蚀剂,也能够形成具有给定的露出比例的第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)。

[0163] 像上述的那样,可制造本实施方式涉及的二端子型层叠陶瓷电容器10。

[0164] 第1下层镀敷层$34a_1$在第1镀层露出区域35a中露出在第1外部电极30a的表面,因此能够使二端子型层叠陶瓷电容器10内的氢从第1镀层露出区域35a释放到二端子型层叠陶瓷电容器10的外部。同样地,第2下层镀敷层$34b_1$在第2镀层露出区域35b中露出在第2外

部电极30b的表面,因此能够使二端子型层叠陶瓷电容器10内的氢从第2镀层露出区域35b释放到二端子型层叠陶瓷电容器10的外部。进一步说明如下。

[0165] 在用于形成第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$、第1上层镀敷层$34a_2$以及第2上层镀敷层$34b_2$的镀敷工序中,由于化学反应而产生氢离子。该氢离子有时作为氢而被例如第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$、第1内部电极层16a以及第2内部电极层16b、第1基底电极层32a以及第2基底电极层32b中的至少任一者吸收。根据上述结构,能够使被第1下层镀敷层$34a_1$以及第2下层镀敷层$34b_1$、第1内部电极层16a以及第2内部电极层16b、第1基底电极层32a以及第2基底电极层32b中的至少任一层(吸收层)吸收的氢从第1镀层露出区域35a以及第2镀层露出区域35b释放到二端子型层叠陶瓷电容器10的外部。因此,能够抑制成为保持氢被吸收层吸收的状态,能够抑制由氢造成的绝缘电阻的劣化。特别是,即使在吸收层包含不易吸收氢的Ni等金属的情况下,也能够通过使氢从第1镀层露出区域35a以及第2镀层露出区域35b释放到二端子型层叠陶瓷电容器10的外部从而抑制陶瓷层14的绝缘电阻的劣化。

[0166] 另外,在第1主面12a侧形成有第1镀层露出区域35a以及第2镀层露出区域35b,第2主面12b侧成为二端子型层叠陶瓷电容器10向安装基板的安装面,焊料主要涂敷于第1端面12e、第2端面12f侧的情况下,能够使吸收层的氢从未涂敷焊料且不面向安装基板40的第1主面12a经由第1镀层露出区域35a以及第2镀层露出区域35b高效地释放。

[0167] 3. 二端子型层叠陶瓷电容器的变形例

[0168] 接着,对二端子型层叠陶瓷电容器10的变形例进行说明。

[0169] (1)

[0170] 上述的第1实施方式的外部电极30包含基底电极层32和镀敷层34。与此不同,也可以是,外部电极30包含镀敷层34,而不包含基底电极层32。

[0171] 以下,虽然未图示,但是关于第1外部电极30a、第2外部电极30b,对不设置基底电极层32而设置镀敷层34的构造进行说明。

[0172] 第1外部电极30a、第2外部电极30b各自也可以不设置基底电极层32而在层叠体12的表面直接形成镀敷层34。即,二端子型层叠陶瓷电容器10也可以是对第1端面12e以及第2端面12f实施镀敷处理并形成了与第1内部电极层16a或第2内部电极层16b电连接的镀敷层34的构造。在这样的情况下,也可以在作为预处理而在层叠体12的表面配设了催化剂之后通过镀敷处理来形成镀敷层34。在进行镀敷处理时,可以采用电解镀敷、无电解镀敷中的任一者。不过,无电解镀敷为了使镀层析出速度提高而需要利用催化剂等进行预处理,存在工序复杂化这样的缺点。因此,通常优选采用电解镀敷。作为镀敷工法,优选使用滚筒镀敷。

[0173] 另外,在不设置基底电极层32而在层叠体12上直接形成镀敷层34的情况下,能够与削减了基底电极层32的厚度的量相应地低高度化即薄型化或者将其转化为层叠体厚度即有效层部的厚度,因此能够提高层叠体12的厚度的设计自由度。

[0174] 镀敷层34包含形成在层叠体12的表面的第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(下层镀敷层)和形成在第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$的表面的第1上层镀敷层$34a_2$、第2上层镀敷层$34b_2$(上层镀敷层)。与上述的实施方式同样地,下层镀敷层具有未被上层镀敷层覆盖的镀层露出区域。下层镀敷层以及上层镀敷层分别例如优选包含从Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi或Zn等中选择的至少一种金属或含有该金属的合金。

[0175] 进而,下层镀敷优选使用具有阻焊性能的Ni来形成,上层镀敷层优选使用焊料润湿性良好的Sn、Au来形成。

[0176] 此外,例如,在使用Ni来形成第1内部电极层16a以及第2内部电极层16b的情况下,下层镀敷层优选使用与Ni的接合性好的Cu来形成。镀敷层34可以将上层镀敷层作为最外层,也可以在上层镀敷层的表面进一步形成其它镀敷电极。

[0177] 在此,在不设置基底电极层32而仅由镀敷层34形成外部电极30的情况下,不设置基底电极层32而配置的镀敷层34的每一层的厚度优选为1.0μm以上且20.0μm以下。

[0178] 进而,镀敷层34优选不包含玻璃。镀敷层34的每单位体积的金属比例优选为99体积%以上。

[0179] (2)

[0180] 在上述的第1实施方式中,第1下层镀敷层$34a_1$具有未被第1上层镀敷层$34a_2$覆盖的第1镀层露出区域35a,第2下层镀敷层$34b_1$具有未被第2上层镀敷层$34b_2$覆盖的第2镀层露出区域35b。但是,露出区域的形态并不限于此,外部电极30也可以具有基底电极层32未被镀敷层34覆盖的基底露出区域36。

[0181] 具体地,第1基底电极层32a具有未被第1镀敷层34a覆盖的第1基底露出区域36a。这样的第1基底露出区域36a例如能够以图9以及图10的形态形成。在图9中,形成有第1镀层露出区域35a以使得第1下层镀敷层$34a_1$的第1主面12a侧露出,并在该第1镀层露出区域35a内形成有第1基底露出区域36a。在第1基底露出区域36a内,第1基底电极层32a的第1主面12a侧未被第1下层镀敷层$34a_1$、第1上层镀敷层$34a_2$覆盖而露出。此外,在图10中,在第1主面12a中,第1镀层露出区域35a以及第1基底露出区域36a分别配置在不同的位置。

[0182] 如图9以及图10所示,第1基底露出区域36a优选配置在第1主面12a。而且,优选第2主面12b为安装面。由此,在如图6所示那样焊料主要涂敷于第1端面12e、第2端面12f侧的情况下,能够使吸收层的氢从未涂敷焊料且不面向安装基板40的第1主面12a经由第1基底露出区域36a高效地释放。

[0183] 只要未涂敷焊料即可,第1基底露出区域36a也可以配置在第1主面12a以外的第2主面12b、第1端面12e、第1侧面12c、第2侧面12d中的任一者。

[0184] 此外,也可以是,第1镀层露出区域35a以及第1基底露出区域36a分别形成在不同的面。例如,也可以是,第1镀层露出区域35a配置在第1端面12e,第1基底露出区域36a配置在第1主面12a。

[0185] 此外,第1基底露出区域36a优选形成在比第1下层镀敷层$34a_1$中的第2端面12f侧的前端部靠第1端面12e侧。也就是说,第1基底电极层32a的第2端面12f侧的前端部优选被第1下层镀敷层$34a_1$中的第2端面12f侧的前端部覆盖。由此,能够抑制第1基底电极层32a的剥离。

[0186] 第1基底露出区域36a能够通过如下方式来形成,即,与第1镀层露出区域35a同样地,使用削去的方法、熔解的方法、利用激光加工的方法、使用了抗蚀剂的方法等除去第1下层镀敷层$34a_1$以及第1上层镀敷层$34a_2$。

[0187] 虽然未图示,但是第2基底电极层32b也同样地能够具有未被第2镀敷层34b覆盖的第2基底露出区域。

[0188] (3)

[0189] 在上述的第1实施方式中,第1下层镀敷层$34a_1$未被第1上层镀敷层$34a_2$覆盖的第1镀层露出区域35a设置在第1主面12a。同样地,第2下层镀敷层$34b_1$未被第2上层镀敷层$34b_2$覆盖的第2镀层露出区域35b设置在第1主面12a。并不限于此,镀层露出区域35只要设置在第1主面12a、第2主面12b、第1端面12e、第2端面12f、第1侧面12c、第2侧面12d中的至少任一者即可。

[0190] (4)

[0191] 在上述的第1实施方式中,设置有第1外部电极30a的第1镀层露出区域35a以及第2外部电极30b的第2镀层露出区域35b。但是,只要设置有第1镀层露出区域35a以及第2镀层露出区域35b中的至少一者即可。

[0192] (5)

[0193] 在上述的第1实施方式中,第1下层镀敷层$34a_1$配置为覆盖第1基底电极层32a的全部,第2下层镀敷层$34b_1$配置为覆盖第2基底电极层32b的全部。但是,并不限于此,也可以是,第1下层镀敷层$34a_1$配置为覆盖第1基底电极层32a的一部分,第2下层镀敷层$34b_1$配置为覆盖第2基底电极层32b的一部分。

[0194] B.第2实施方式

[0195] 1.三端子型层叠陶瓷电容器

[0196] 作为本发明的第2实施方式涉及的层叠陶瓷电子部件的例子,对三端子型层叠陶瓷电容器进行说明。

[0197] 图11是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的外观立体图。图12是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的俯视图。图13是示出本发明的第2实施方式涉及的三端子型层叠陶瓷电容器的一个例子的主视图。图14是图11的线XIV—XIV处的剖视图。图15是图11的线XV—XV处的剖视图。图16是图14的线XVI—XVI处的剖视图。图17是图14的线XVII—XVII处的剖视图。

[0198] 如图11所示,三端子型层叠陶瓷电容器100例如包含大致长方体状的层叠体12和外部电极30。

[0199] (1)层叠体

[0200] 层叠体12具有层叠的多个陶瓷层14和层叠在陶瓷层14上的多个内部电极层16。陶瓷层14和内部电极层16在高度方向x上层叠。

[0201] 层叠体12具有在高度方向x上相对的第1主面12a以及第2主面12b、在与高度方向x正交的宽度方向y上相对的第1侧面12c以及第2侧面12d、和在与高度方向x以及宽度方向y正交的长度方向z上相对的第1端面12e以及第2端面12f。在该层叠体12中,在角部以及棱线部带有圆角。另外,所谓角部,是层叠体的相邻的3个面相交的部分,所谓棱线部,是层叠体的相邻的两个面相交的部分。此外,也可以在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d、和第1端面12e以及第2端面12f的一部分或全部形成有凹凸等。

[0202] 另外,层叠体12的长度方向z上的尺寸L不限于必定要比宽度方向y上的尺寸W长。

[0203] 层叠体12具有内层部18和配置为在层叠方向上夹着内层部18的第1主面侧外层部20a以及第2主面侧外层部20b。

[0204] 内层部18包含多个陶瓷层14和多个内部电极层16。内层部18在层叠方向上包含位于最靠第1主面12a侧的内部电极层16至位于最靠第2主面12b侧的内部电极层16。内部电极

层16具有引出到第1端面12e以及第2端面12f的第1内部电极层16a和引出到第1侧面12c以及第2侧面12d的第2内部电极层16b,在内层部18中,多片第1内部电极层16a和第2内部电极层16b隔着陶瓷层14对置。内层部18是产生静电电容而实质上作为电容器发挥功能的部分。

[0205] 层叠体12具有第1主面侧外层部20a,该第1主面侧外层部20a位于第1主面12a侧,由位于第1主面12a与第1主面12a侧的内层部18的最表面和该最表面的一直线上之间的多个陶瓷层14形成。第1主面侧外层部20a是位于第1主面12a与最靠近第1主面12a的内部电极层16之间的多个陶瓷层14的集合体。在第1主面侧外层部20a中使用的陶瓷层14也可以与在内层部18中使用的陶瓷层14相同。

[0206] 同样地,层叠体12具有第2主面侧外层部20b,该第2主面侧外层部20b位于第2主面12b侧,由位于第2主面12b与第2主面12b侧的内层部18的最表面和该最表面的一直线上之间的多个陶瓷层14形成。第2主面侧外层部20b是位于第2主面12b与最靠近第2主面12b的内部电极层16之间的多个陶瓷层14的集合体。在第2主面侧外层部20b中使用的陶瓷层14也可以与在内层部18中使用的陶瓷层14相同。

[0207] 此外,层叠体12具有第1侧面侧外层部22a,该第1侧面侧外层部22a位于第1侧面12c侧,由位于第1侧面12c与第1侧面12c侧的内层部18的最表面之间的多个陶瓷层14形成。

[0208] 同样地,层叠体12具有第2侧面侧外层部22b,该第2侧面侧外层部22b位于第2侧面12d侧,由位于第2侧面12d与第2侧面12d侧的内层部18的最表面之间的多个陶瓷层14形成。

[0209] 另外,第1侧面侧外层部22a以及第2侧面侧外层部22b也称为W间隙或侧方间隙。

[0210] 进而,层叠体12具有第1端面侧外层部24a,该第1端面侧外层部24a位于第1端面12e侧,由位于第1端面12e与第1端面12e侧的内层部18的最表面之间的多个陶瓷层14形成。

[0211] 同样地,层叠体12具有第2端面侧外层部24b,该第2端面侧外层部24b位于第2端面12f侧,由位于第2端面12f与第2端面12f侧的内层部18的最表面之间的多个陶瓷层14形成。

[0212] 此外,第1端面侧外层部24a以及第2端面侧外层部24b也称为L间隙或端部间隙。

[0213] 层叠体12的尺寸没有特别限定。

[0214] 关于陶瓷层14,例如,作为陶瓷材料,能够由电介质材料形成。作为这样的电介质材料,例如,能够使用包含$BaTiO_3$、$CaTiO_3$、$SrTiO_3$或$CaZrO_3$等成分的介电陶瓷。在包含上述的电介质材料作为主成分的情况下,根据所希望的层叠体12的特性,例如,也可以使用添加了Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等含量比主成分少的副成分的材料。

[0215] 烧成后的陶瓷层14的厚度优选为0.35μm以上且0.60μm以下。层叠的陶瓷层14的片数优选为10片以上且2000片以下。另外,该陶瓷层14的片数为内层部18的陶瓷层14的片数和第1主面侧外层部20a以及第2主面侧外层部20b的陶瓷层14的片数的总数。

[0216] 层叠体12作为多个内部电极层16,具有多个第1内部电极层16a以及多个第2内部电极层16b。

[0217] 多个第1内部电极层16a以及多个第2内部电极层16b可以隔着陶瓷层14交替地层叠,也可以在层叠了多片配置有第1内部电极层16a的陶瓷层14之后层叠配置有第2内部电极层16b的陶瓷层14。像这样,能够根据想要实现的电容值来变更层叠模式。

[0218] 如图16所示,第1内部电极层16a具备与第2内部电极层16b对置的第1对置电极部26a、从第1对置电极部26a引出到层叠体12的第1端面12e的表面的第1引出电极部$28a_1$以及从第1对置电极部26a引出到层叠体12的第2端面12f的表面的第2引出电极部$28a_2$。具体地,

第1引出电极部28a_1在层叠体12的第1端面12e的表面露出，第2引出电极部28a_2在层叠体12的第2端面12f的表面露出。因此，第1内部电极层16a在层叠体12的第1侧面12c以及第2侧面12d的表面不露出。

[0219] 第1对置电极部26a的形状和第1引出电极部28a_1以及第2引出电极部28a_2的形状没有特别限定，但是优选为矩形形状。不过，也可以将角落部圆角化。

[0220] 此外，第1引出电极部28a_1以及第2引出电极部28a_2的宽度方向y上的长度可以与第1对置电极部26a的宽度方向y上的长度相同，也可以形成得比第1对置电极部26a的宽度方向y上的长度短。

[0221] 此外，第1引出电极部28a_1以及第2引出电极部28a_2的形状也可以是锥形状。

[0222] 如图17所示，第2内部电极层16b为大致十字形状，具备与第1内部电极层16a对置的第2对置电极部26b、从第2对置电极部26b引出到层叠体12的第1侧面12c的表面的第3引出电极部28b_1以及从第2对置电极部26b引出到层叠体12的第2侧面12d的表面的第4引出电极部28b_2。具体地，第3引出电极部28b_1在层叠体12的第1侧面12c的表面露出，第4引出电极部28b_2在层叠体12的第2侧面12d的表面露出。因此，第2内部电极层16b在层叠体12的第1端面12e的表面以及第2端面12f的表面不露出。

[0223] 第2对置电极部26b的形状和第3引出电极部28b_1以及第4引出电极部28b_2的形状优选为矩形形状。不过，也可以将角落部圆角化。

[0224] 第2对置电极部26b的将第1端面12e侧的边和第2端面12f侧的边连结的长度方向z上的尺寸A和第3引出电极部28b_1以及第4引出电极部28b_2的将第1端面12e侧的边和第2端面12f侧的边连结的长度方向z上的尺寸B的关系优选成为$A \geq B$。

[0225] 第3引出电极部28b_1的形状也可以是宽度朝向第1侧面12c变窄的那样的锥形状，第4引出电极部28b_2的形状也可以是宽度朝向第2侧面12d变窄的那样的锥形状。

[0226] 另外，层叠体12具有对置电极部27。对置电极部27是第1内部电极层16a的第1对置电极部26a和第2内部电极层16b的第2对置电极部26b对置的部分。对置电极部27构成为内层部18的一部分。另外，对置电极部27也称为电容器有效部。

[0227] 第1内部电极层16a以及第2内部电极层16b例如能够由Ni、Cu、Ag、Pd、Au等金属、Ag－Pd合金等包含这些金属中的至少一种的合金等适当的导电材料构成。

[0228] 第1内部电极层16a以及第2内部电极层16b的片数没有特别限定，但是例如优选合起来为10片以上且2000片以下的程度。

[0229] 第1内部电极层16a的厚度例如没有特别限定，但是例如优选为0.40μm以上且0.50μm以下的程度。

[0230] 第2内部电极层16b的厚度例如没有特别限定，但是例如优选为0.40μm以上且0.50μm以下的程度。

[0231] (2)外部电极

[0232] 在层叠体12的第1端面12e侧以及第2端面12f侧、第1侧面12c侧以及第2侧面12d侧、和第1主面12a以及第2主面12b配置外部电极30。

[0233] 外部电极30具有第1外部电极30a、第2外部电极30b、第3外部电极30c以及第4外部电极30d。

[0234] 第1外部电极30a与第1内部电极层16a连接，并配置在第1端面12e的表面。此外，第

1外部电极30a从层叠体12的第1端面12e延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。在该情况下,第1外部电极30a与第1内部电极层16a的第1引出电极部$28a_1$电连接。

[0235] 第2外部电极30b与第1内部电极层16a连接,并配置在第2端面12f的表面。此外,第2外部电极30b从层叠体12的第2端面12f延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。在该情况下,第2外部电极30b与第1内部电极层16a的第2引出电极部$28a_2$电连接。

[0236] 第3外部电极30c与第2内部电极层16b连接,并配置在第1侧面12c的表面。此外,第3外部电极30c从层叠体12的第1侧面12c延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分。在该情况下,第3外部电极30c与第2内部电极层16b的第3引出电极部$28b_1$电连接。另外,第3外部电极30c也可以仅配置在第1侧面12c的表面。

[0237] 第4外部电极30d与第2内部电极层16b连接,并配置在第2侧面12d的表面。此外,第4外部电极30d从层叠体12的第2侧面12d延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分。在该情况下,第4外部电极30d与第2内部电极层16b的第4引出电极部$28b_2$电连接。另外,第4外部电极30d也可以仅配置在第2侧面12d的表面。

[0238] 在层叠体12内,第1内部电极层16a的第1对置电极部26a和第2内部电极层16b的第2对置电极部26b隔着陶瓷层14对置,由此形成静电电容。因此,能够在连接了第1内部电极层16a的第1外部电极30a以及第2外部电极30b与连接了第2内部电极层16b的第3外部电极30c以及第4外部电极30d之间得到静电电容,显现出电容器的特性。

[0239] 外部电极30包含含有金属成分以及玻璃成分的基底电极层32和配置在基底电极层32的表面的镀敷层34。镀敷层34包含下层镀敷层和上层镀敷层。

[0240] 第1外部电极30a具有包含金属成分的第1基底电极层32a、配置在第1基底电极层32a上的第1下层镀敷层$34a_1$、以及配置在第1下层镀敷层$34a_1$上的第1上层镀敷层$34a_2$。此外,第1外部电极30a具有在第1外部电极30a的表面露出的第1镀层露出区域35a。

[0241] 第2外部电极30b具有包含金属成分的第2基底电极层32b、配置在第2基底电极层32b上的第2下层镀敷层$34b_1$、以及配置在第2下层镀敷层$34b_1$上的第2上层镀敷层$34b_2$。此外,第2外部电极30b具有在第2外部电极30b的表面露出的第2镀层露出区域35b。

[0242] 第3外部电极30c具有包含金属成分的第3基底电极层32c、配置在第3基底电极层32c上的第3下层镀敷层$34c_1$、以及配置在第3下层镀敷层$34c_1$上的第3上层镀敷层$34c_2$。

[0243] 第4外部电极30d具有包含金属成分的第4基底电极层32d、配置在第4基底电极层32d上的第4下层镀敷层$34d_1$、以及配置在第4下层镀敷层$34d_1$上的第4上层镀敷层$34d_2$。

[0244] (2—1)基底电极层

[0245] 基底电极层32具有第1基底电极层32a、第2基底电极层32b、第3基底电极层32c以及第4基底电极层32d。

[0246] 第1基底电极层32a与第1内部电极层16a连接,并配置在第1端面12e的表面。此外,第1基底电极层32a从第1端面12e延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。在该情况下,第1基底电极层32a与第1内部电极层16a的第1引出电极部$28a_1$电连接。

[0247] 第2基底电极层32b与第1内部电极层16a连接,并配置在第2端面12f的表面。此外,

第2基底电极层32b从第2端面12f延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分和第1侧面12c的一部分以及第2侧面12d的一部分。在该情况下,第2基底电极层32b与第1内部电极层16a的第2引出电极部28a_2电连接。

[0248] 第3基底电极层32c与第2内部电极层16b连接,并配置在第1侧面12c的表面。此外,第3基底电极层32c从第1侧面12c延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分。在该情况下,第3基底电极层32c与第2内部电极层16b的第3引出电极部28b_1电连接。

[0249] 第4基底电极层32d与第2内部电极层16b连接,并配置在第2侧面12d的表面。此外,第4基底电极层32d从第2侧面12d延伸从而还配置在第1主面12a的一部分以及第2主面12b的一部分。在该情况下,第4基底电极层32d与第2内部电极层16b的第4引出电极部28b_2电连接。

[0250] 基底电极层32包含从烧附层、导电性树脂层、薄膜层等中选择的至少一者。

[0251] 以下,对将基底电极层32设为上述的烧附层、导电性树脂层、薄膜层的情况下的各结构进行说明。

[0252] (基底电极层为烧附层的情况)

[0253] 烧附层包含玻璃成分和金属成分。烧附层的玻璃成分包含从B、Si、Ba、Mg、Al、Li等中选择的至少一者。作为烧附层的金属成分,例如,包含从Cu、Ni、Ag、Pd、Ag—Pd合金、Au等中选择的至少一者。烧附层是将包含玻璃成分以及金属成分的导电性膏涂敷于层叠体12并进行了烧附的烧附层。烧附层可以是将具有内部电极层16以及陶瓷层14的层叠小片和涂敷于层叠小片的导电性膏同时进行了烧成的烧附层,也可以是在将具有内部电极层16以及陶瓷层14的层叠小片进行烧成而得到层叠体12之后在层叠体12烧附了导电性膏的烧附层。另外,关于烧附层,在将具有内部电极层16以及陶瓷层14的层叠小片和涂敷于层叠小片的导电性膏同时进行烧成的情况下,烧附层优选对代替玻璃成分而添加了电介质材料的材料进行烧附而形成。烧附层也可以是多个层。

[0254] 另外,在使基底电极层32含有电介质材料来代替玻璃成分的情况下,能够使层叠体12和基底电极层32的密接性提高。另外,基底电极层32也可以包含玻璃成分和电介质成分这两者。

[0255] 基底电极层32包含的电介质材料可以使用与陶瓷层14相同种类的电介质材料,也可以使用与陶瓷层14不同种类的电介质材料。电介质成分例如包含从$BaTiO_3$、$CaTiO_3$、(Ba,Ca)TiO_3、$SrTiO_3$、$CaZrO_3$等中选择的至少一者。

[0256] 在由烧附层形成了第1基底电极层32a的情况下,位于第1端面12e的第1基底电极层32a的高度方向x中央部处的长度方向z上的厚度例如优选为3μm以上且20μm以下的程度。

[0257] 此外,在由烧附层形成了第2基底电极层32b的情况下,位于第2端面12f的第2基底电极层32b的高度方向x中央部处的长度方向z上的厚度例如优选为3μm以上且20μm以下的程度。

[0258] 此外,通过烧附层在第1主面12a以及第2主面12b上设置基底电极层32的情况下,位于第1主面12a以及第2主面12b上的第1基底电极层32a的长度方向z上的中央部处的将第1主面12a和第2主面12b连结的高度方向x上的厚度例如优选为3μm以上且20μm以下的程度(e尺寸中央部分的基底电极层的厚度),位于第1主面12a以及第2主面12b上的第2基底电极

层32b的长度方向z上的中央部处的将第1主面12a和第2主面12b连结的高度方向x上的厚度例如优选为3μm以上且20μm以下的程度(e尺寸中央部分的基底电极层的厚度)。

[0259] 进而,通过烧附层在第1侧面12c以及第2侧面12d上设置基底电极层32的情况下,位于第1侧面12c以及第2侧面12d上的第1基底电极层32a的长度方向z上的中央部处的将第1侧面12c和第2侧面12d连结的宽度方向y上的厚度例如优选为3μm以上且20μm以下的程度(端面中央部分的基底电极层的厚度),位于第1侧面12c以及第2侧面12d上的第2基底电极层32b的长度方向z上的中央部处的将第1侧面12c和第2侧面12d连结的宽度方向y上的厚度例如优选为3μm以上且20μm以下的程度(侧面中央部分的基底电极层的厚度)。

[0260] (基底电极层为导电性树脂层的情况)

[0261] 在作为基底电极层32而设置导电性树脂层的情况下,导电性树脂层可以配置在烧附层上以使得覆盖烧附层,或者直接配置在层叠体12上。

[0262] 导电性树脂层包含金属以及热固化性树脂。

[0263] 导电性树脂层可以完全覆盖在基底电极层上,也可以覆盖基底电极层的一部分。

[0264] 导电性树脂层包含热固化性树脂,因此与例如由镀敷膜、导电性膏的烧成物构成的导电层相比富有柔软性。因此,即使在对三端子型层叠陶瓷电容器100施加了物理冲击、起因于热循环的冲击的情况下,导电性树脂层也会作为缓冲层而发挥功能,能够防止向三端子型层叠陶瓷电容器100产生裂纹。

[0265] 作为导电性树脂层包含的金属,能够使用Ag、Cu、Ni、Sn、Bi或包含它们的合金。

[0266] 此外,还能够使用在金属粉的表面涂覆了Ag的金属粉。当使用在金属粉的表面涂覆了Ag的金属时,作为金属粉,优选使用Cu、Ni、Sn、Bi或它们的合金粉。作为对导电性金属使用Ag的导电性金属粉的理由,是因为Ag在金属之中比电阻最低,所以适合于电极材料,并且Ag是贵金属,所以不氧化而耐候性高。此外,作为使用涂覆了Ag的金属粉的理由,是因为能够在保持上述的Ag的特性的同时使母材的金属变得廉价。

[0267] 进而,作为导电性树脂层包含的金属,还能够使用对Cu、Ni实施了防氧化处理的金属。

[0268] 另外,作为导电性树脂层包含的金属,还能够使用在金属粉的表面涂覆了Sn、Ni、Cu的金属粉。当使用在金属粉的表面涂覆了Sn、Ni、Cu的金属时,作为金属粉,优选使用Ag、Cu、Ni、Sn、Bi或它们的合金粉。

[0269] 导电性树脂层包含的金属优选相对于导电性树脂整体的体积包含35vol%以上且75vol%以下。

[0270] 导电性树脂层包含的金属的平均粒径没有特别限定。导电性填料的平均粒径例如也可以是0.3μm以上且10μm以下的程度。

[0271] 导电性树脂层包含的金属主要承担导电性树脂层的通电性。具体地,通过导电性填料彼此接触,从而在导电性树脂层内部形成通电路径。

[0272] 导电性树脂层包含的金属能够使用球形状、扁平状等的形状,但是优选将球形状金属粉和扁平状金属粉混合使用。

[0273] 作为导电性树脂层的树脂,例如,能够使用环氧树脂、苯氧基树脂、酚醛树脂、聚氨酯树脂、硅酮树脂、聚酰亚胺树脂等公知的各种热固化性树脂。其中,尤其是耐热性、耐湿性、密接性等优异的环氧树脂是最合适的树脂之一。

[0274] 导电性树脂层包含的树脂优选相对于导电性树脂整体的体积包含25vol%以上且65vol%以下。

[0275] 此外,优选在导电性树脂层中与热固化性树脂一同包含固化剂。作为固化剂,在使用环氧树脂作为基础树脂的情况下,作为环氧树脂的固化剂,能够使用酚类、胺类、酸酐类、咪唑类、活性酯类、酰胺酰亚胺类等公知的各种化合物。

[0276] 导电性树脂层也可以是多个层。

[0277] 位于第1端面12e以及第2端面12f并且位于层叠体12的高度方向x中央部的导电性树脂层的厚度例如优选为3μm以上且30μm以下的程度。

[0278] 此外,在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d上也设置有导电性树脂层的情况下,位于第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d的导电性树脂层的长度方向z上的中央部处的导电性树脂层的厚度例如优选为3μm以上且30μm以下的程度。

[0279] (基底电极层为薄膜层的情况)

[0280] 在作为基底电极层32而设置薄膜层的情况下,薄膜层是通过溅射法或蒸镀法等薄膜形成法形成且沉积了金属粒子的1μm以下的层。

[0281] (2—2)镀敷层

[0282] 参照图14～图17对能够配置在基底电极层32之上的作为镀敷层34的第1镀敷层34a、第2镀敷层34b、第3镀敷层34c以及第4镀敷层34d进行说明。该镀敷层34具有镀层露出区域35。

[0283] 第1镀敷层34a配置为覆盖第1端面12e侧的第1基底电极层32a。进而,第1镀敷层34a也可以配置为覆盖第1主面12a、第2主面12b、第1侧面12c以及第2侧面12d侧的第1基底电极层32a。不过,第1镀敷层34a也可以仅配置在第1端面12e侧的第1基底电极层32a上。该第1镀敷层34a具有配置在第1基底电极层32a上的第1下层镀敷层$34a_1$和配置在第1下层镀敷层$34a_1$上的第1上层镀敷层$34a_2$。第1上层镀敷层$34a_2$配置在第1下层镀敷层$34a_1$上,使得露出第1下层镀敷层$34a_1$的一部分。也就是说,第1上层镀敷层$34a_2$除第1镀层露出区域35a以外配置在第1下层镀敷层$34a_1$上,使得第1下层镀敷层$34a_1$具有在第1外部电极30a的表面露出的第1镀层露出区域35a。在本实施方式中,第1镀层露出区域35a配置在第1主面12a上。在该情况下,三端子型层叠陶瓷电容器100的第2主面12b成为向安装基板的安装面。

[0284] 第1上层镀敷层$34a_2$优选覆盖第1下层镀敷层$34a_1$的端部。由此,能够抑制第1下层镀敷层$34a_1$的剥离。

[0285] 从层叠体12的高度方向x观察时的第1主面12a上的第1镀层露出区域35a的面积相对于第1外部电极30a的露出区域的面积的第1比例优选为0.4%以上且83.4%以下。由于第1比例为0.4%以上,因此例如能够将从第1内部电极层16a、第2内部电极层16b、第1基底电极层32a、第2基底电极层32b、第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$释放的氢从第1镀层露出区域35a充分地向三端子型层叠陶瓷电容器100的外部释放,能够抑制由氢造成的绝缘电阻的劣化。此外,由于第1比例为83.4%以下,因此能够抑制第1下层镀敷层$34a_1$未被第1上层镀敷层$34a_2$覆盖的比例。由此,能够抑制由于水蒸气从第1镀层露出区域35a向三端子型层叠陶瓷电容器100内侵入而造成的耐湿性的下降。

[0286] 更优选地,第1比例为1.17%以上且83.4%以下。进一步优选地,第1比例为1.40%以

上且83.4%以下。进一步优选地,第1比例为1.40%以上且25.0%以下。另外,第1比例的计算方法与第1实施方式相同。

[0287] 第2镀敷层34b配置为覆盖第2端面12f侧的第2基底电极层32b。进而,第2镀敷层34b也可以配置为覆盖第1主面12a、第2主面12b、第1侧面12c以及第2侧面12d侧的第2基底电极层32b。不过,第2镀敷层34b也可以仅配置在第2端面12f侧的第2基底电极层32b上。该第2镀敷层34b具有配置在第2基底电极层32b上的第2下层镀敷层$34b_1$和配置在第2下层镀敷层$34b_1$上的第2上层镀敷层$34b_2$。第2上层镀敷层$34b_2$配置在第2下层镀敷层$34b_1$上,使得露出第2下层镀敷层$34b_1$的一部分。也就是说,第2上层镀敷层$34b_2$除第2镀层露出区域35b以外配置在第2下层镀敷层$34b_1$上,使得第2下层镀敷层$34b_1$具有在第2外部电极30b的表面露出的第2镀层露出区域35b。在本实施方式中,第2镀层露出区域35b配置在第1主面12a上。在该情况下,三端子型层叠陶瓷电容器100的第2主面12b成为向安装基板的安装面。

[0288] 第2上层镀敷层$34b_2$优选覆盖第2下层镀敷层$34b_1$的端部。由此,能够抑制第2下层镀敷层$34b_1$的剥离。

[0289] 根据与第1比例同样的理由,从层叠体12的高度方向x观察时的第1主面12a上的第2镀层露出区域35b相对于第2外部电极30b的露出区域的第2比例优选为0.4%以上且83.4%以下。更优选地,第2比例为1.17%以上且83.4%以下。进一步优选地,第2比例为1.40%以上且83.4%以下。进一步优选地,第2比例为1.40%以上且25.0%以下。另外,第2比例的计算方法与第1实施方式相同。

[0290] 在上述中,作为露出比例而分别求出了第1比例以及第2比例,但是露出比例也可以是第1镀层露出区域35a以及第2镀层露出区域35b的合计的面积相对于第1外部电极30a以及第2外部电极30b的露出区域的合计的面积的比例。而且,该合计的露出比例优选为0.4%以上且83.4%以下。

[0291] 第3镀敷层34c配置为覆盖第1侧面12c侧的第3基底电极层32c。进而,第3镀敷层34c也可以配置为覆盖第1主面12a、第2主面12b侧的第3基底电极层32c。不过,第3镀敷层34c也可以仅配置在第1侧面12c侧的第3基底电极层32c上。该第3镀敷层34c具有配置在第3基底电极层32c上的第3下层镀敷层$34c_1$和配置在第3下层镀敷层$34c_1$上的第3上层镀敷层$34c_2$。第3上层镀敷层$34c_2$覆盖第3下层镀敷层$34c_1$,第3下层镀敷层$34c_1$不具有露出区域。

[0292] 第4镀敷层34d配置为覆盖第2侧面12d侧的第4基底电极层32d。进而,第4镀敷层34d也可以配置为覆盖第1主面12a、第2主面12b侧的第4基底电极层32d。不过,第4镀敷层34d也可以仅配置在第2侧面12d侧的第4基底电极层32d上。该第4镀敷层34d具有配置在第4基底电极层32d上的第4下层镀敷层$34d_1$和配置在第4下层镀敷层$34d_1$上的第4上层镀敷层$34d_2$。第4上层镀敷层$34d_2$覆盖第4下层镀敷层$34d_1$,第4下层镀敷层$34d_1$不具有露出区域。

[0293] 在本实施方式的三端子型层叠陶瓷电容器100中,对具有第1镀层露出区域35a的第1外部电极30a以及具有第2镀层露出区域35b的第2外部电极30b施加正的电位,对第3外部电极30c以及第4外部电极30d施加负的电位。

[0294] 作为第1镀敷层34a～第4镀敷层34d,例如,包含从Cu、Ni、Sn、Ag、Pd、Ag—Pd合金、Au等中选择的至少一者。

[0295] 优选地,第1下层镀敷层$34a_1$～第4下层镀敷层$34d_1$为Ni镀敷层,第1上层镀敷层$34a_2$～第4上层镀敷层$34d_2$为Sn镀敷层。

[0296] 由Ni镀敷层形成的第1下层镀敷层$34a_1$～第4下层镀敷层$34d_1$用于防止基底电极层32被安装三端子型层叠陶瓷电容器100时的焊料所侵蚀。此外,由Sn镀敷层形成的第1上层镀敷层$34a_2$～第4上层镀敷层$34d_2$用于使安装三端子型层叠陶瓷电容器100时的焊料的润湿性提高,使得能够容易地进行安装。

[0297] 第1下层镀敷层$34a_1$以及第1上层镀敷层$34a_2$的第1主面12a、第2主面12b、第1端面12e、第1侧面12c、第2侧面12d中的厚度优选为2μm以上且7μm以下。第2下层镀敷层$34b_1$以及第2上层镀敷层$34b_2$的第1主面12a、第2主面12b、第2端面12f、第1侧面12c、第2侧面12d中的厚度优选为2μm以上且7μm以下。此外,第3下层镀敷层$34c_1$以及第3上层镀敷层$34c_2$的第1主面12a、第2主面12b、第1侧面12c中的厚度优选为2μm以上且7μm以下。第4下层镀敷层$34d_1$以及第4上层镀敷层$34d_2$的第1主面12a、第2主面12b、第2侧面12d中的厚度优选为2μm以上且7μm以下。

[0298] 另外,在基底电极层32上形成导电性树脂层的情况下,镀敷层34配置为覆盖导电性树脂层。即使在该情况下,镀敷层34中的作为下层镀敷层的Ni镀敷层也防止导电性树脂层被焊料所侵蚀,作为上层镀敷层的Sn镀敷层也使焊料的润湿性提高。

[0299] (3)三端子型层叠陶瓷电容器的尺寸

[0300] 将包含层叠体12、第1外部电极30a至第4外部电极30d的三端子型层叠陶瓷电容器100的长度方向z上的尺寸设为L尺寸,将包含层叠体12、第1外部电极30a至第4外部电极30d的三端子型层叠陶瓷电容器100的高度方向x上的尺寸设为T尺寸,将包含层叠体12、第1外部电极30a至第4外部电极30d的三端子型层叠陶瓷电容器100的宽度方向y上的尺寸设为W尺寸。

[0301] 三端子型层叠陶瓷电容器100的尺寸没有特别限定,长度方向z上的L尺寸为0.2mm以上且6.5mm以下,宽度方向y上的W尺寸为0.1mm以上且5.5mm以下,高度方向x上的T尺寸为0.1mm以上且6.5mm以下。另外,三端子型层叠陶瓷电容器100的尺寸能够通过显微镜来测定。

[0302] 2. 三端子型层叠陶瓷电容器的制造方法

[0303] 接着,对三端子型层叠陶瓷电容器的制造方法进行说明。

[0304] (工序1)

[0305] 首先,准备陶瓷层用的电介质片以及内部电极层用的导电性膏。电介质片以及内部电极层用的导电性膏包含粘合剂以及溶剂。粘合剂以及溶剂也可以是公知的粘合剂以及溶剂。

[0306] (工序2)

[0307] 然后,例如通过丝网印刷、凹版印刷等以给定的图案在电介质片上印刷内部电极层用的导电性膏。由此,准备形成了第1内部电极层的图案的电介质片以及形成了第2内部电极层的图案的电介质片。更具体地,能够分别准备用于印刷第1内部电极层的丝网版和用于印刷第2内部电极层的丝网版,并使用能够分别印刷两种丝网版的印刷机来印刷各内部电极层的图案。

[0308] (工序3)

[0309] 接下来,层叠给定片数的未印刷内部电极层的图案的外层用的电介质片,由此形成第2主面侧的成为第2主面侧外层部的部分。然后,在成为第2主面侧外层部的部分之上依

次层叠印刷了第1内部电极层的图案的电介质片以及印刷了第2内部电极层的图案的电介质片,使得成为本发明的构造,由此形成成为内层部的部分。在该成为内层部的部分之上层叠给定片数的未印刷内部电极层的图案的外层用的电介质片,由此形成第1主面侧的成为第1主面侧外层部的部分。由此,制作层叠片。

[0310] (工序4)

[0311] 接着,通过等静压压制等手段在层叠方向上对层叠片进行压制,由此制作层叠块。

[0312] (工序5)

[0313] 然后,将层叠块切割为给定的尺寸,由此切出层叠小片。此时,也可以通过滚筒研磨等使层叠小片的角部以及棱线部带有圆角。

[0314] (工序6)

[0315] 接下来,对切出的层叠小片进行烧成,由此制作层叠体。关于烧成温度,虽然还依赖于陶瓷层、内部电极层的材料,但是优选为900℃以上且1400℃以下。

[0316] (工序7)

[0317] 接着,在进行烧成而得到的层叠体12的第1侧面12c上形成第3外部电极30c的第3基底电极层32c,在层叠体12的第2侧面12d上形成第4外部电极30d的第4基底电极层32d。

[0318] (基底电极层为烧附层的情况)

[0319] 在作为第3基底电极层32c以及第4基底电极层32d而形成烧附层的情况下,涂敷包含玻璃成分和金属成分的导电性膏,然后,进行烧附处理,形成基底电极层。此时的烧附处理的温度优选为700℃以上且900℃以下。

[0320] 在此,作为烧附层的形成方法,能够使用各种各样的方法。例如,能够使用从狭缝挤出导电性膏并进行涂敷的工法。在该工法的情况下,通过增多导电性膏的挤出量,从而不仅能够在第1侧面12c上以及第2侧面12d上形成基底电极层32,而且还能够将基底电极层32形成至第1主面12a的一部分以及第2主面12b的一部分。

[0321] 此外,还能够使用辊转印法来形成。在辊转印法的情况下,当不仅在第1侧面12c上以及第2侧面12d上形成基底电极层32而且还将基底电极层32形成至第1主面12a的一部分以及第2主面12b的一部分时,通过增强辊转印时的按压压力,从而能够将基底电极层32形成至第1主面12a的一部分以及第2主面12b的一部分。

[0322] 接着,在进行烧成而得到的层叠体中,在第1端面12e上形成第1外部电极30a的第1基底电极层32a,并在第2端面12f上形成第2外部电极30b的第2基底电极层32b。

[0323] 在与第3基底电极层32c以及第4基底电极层32d同样地作为第1基底电极层32a以及第2基底电极层32b而形成烧附层的情况下,涂敷包含玻璃成分和金属成分的导电性膏,然后,进行烧附处理,形成基底电极层。此时的烧附处理的温度优选为700℃以上且900℃以下。

[0324] 作为对层叠体的两端面涂敷导电性膏的方法,例如,可使用浸渍法、丝网印刷法等方法。

[0325] 另外,在烧附处理中,可以将第3基底电极层32c、第4基底电极层32d、第1基底电极层32a以及第2基底电极层32b同时进行烧附,也可以在两侧面12c以及12d侧和两端面12e以及12f侧分别进行烧附。

[0326] 此外,在由烧附层形成基底电极层的情况下,烧附层也可以含有电介质成分。在该

情况下,可以代替玻璃成分而含有电介质成分,也可以含有这两者。

[0327] 电介质成分例如优选为与层叠体相同种类的电介质材料。另外,在使烧附层包含电介质成分的情况下,优选对烧成前的层叠小片涂敷导电性膏,并将烧成前的层叠小片和涂敷于烧成前的层叠小片的导电性膏同时进行烧附(烧成),从而形成了形成有烧附层的层叠体。此时的烧附处理的温度(烧成温度)优选为900℃以上且1400℃以下。

[0328] (基底电极层为导电性树脂层的情况)

[0329] 另外,在由导电性树脂层形成基底电极层32的情况下,能够通过以下的方法形成导电性树脂层。另外,导电性树脂层可以形成在烧附层的表面,也可以不形成烧附层而以单体将导电性树脂层直接形成在层叠体12上。

[0330] 作为导电性树脂层的形成方法,将包含热固化性树脂以及金属成分的导电性树脂膏涂敷在烧附层上或层叠体12上,并以250℃以上且550℃以下的温度进行热处理而使树脂热固化,形成导电性树脂层。此时的热处理时的气氛优选为N_2气氛。此外,为了防止树脂的飞散并且防止各种金属成分的氧化,氧浓度优选抑制在100ppm以下。

[0331] 另外,作为导电性树脂膏的涂敷方法,与由烧附层形成基底电极层32的方法同样地,例如,能够使用从狭缝挤出导电性树脂膏并进行涂敷的工法、辊转印法来形成。

[0332] (基底电极层为薄膜层的情况)

[0333] 此外,在由薄膜层形成基底电极层32的情况下,能够进行掩模设置等,并在想要形成外部电极30的地方通过溅射法或蒸镀法等薄膜形成法来形成基底电极层。由薄膜层形成的基底电极层设为沉积了金属粒子的1μm以下的层。

[0334] (工序8)

[0335] 接着,形成镀敷层34。镀敷层34形成在基底电极层32的表面。更详细地,在基底电极层32上,作为下层镀敷层而形成Ni镀敷层,作为上层镀敷层而形成Sn镀敷层。在本实施方式中,在基底电极层32上,作为镀敷层34而依次形成作为Ni镀敷层的第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$、第3下层镀敷层$34c_1$、第4下层镀敷层$34d_1$和作为Sn镀敷层的第1上层镀敷层$34a_2$、第2上层镀敷层$34b_2$、第3上层镀敷层$34c_2$、第4上层镀敷层$34d_2$。Ni镀敷层以及Sn镀敷层例如通过滚筒镀敷法来依次形成。在进行镀敷处理时,可以采用电解镀敷、无电解镀敷中的任一者。不过,无电解镀敷为了使镀层析出速度提高而需要利用催化剂等进行预处理,存在工序复杂化这样的缺点。因此,通常优选采用电解镀敷。

[0336] (工序9)

[0337] 接着,对第1上层镀敷层$34a_2$、第2上层镀敷层$34b_2$(Sn镀敷层)进行处理,使得第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。作为处理的方法,例如,能够采用削去的方法、熔解的方法、利用激光加工的方法、使用了抗蚀剂的方法等。

[0338] 在削去的方法中,通过使φ30~100μm的程度的金属端子与第1上层镀敷层$34a_2$、第2上层镀敷层$34b_2$接触,从而削去柔软的Sn镀敷层,使得第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。

[0339] 在熔解的方法中,将形成了镀敷层34后的成型体浸渍于ENSTRIP剂(剥离剂)。例如,用排列夹具将形成了镀敷层34后的多个成型体的高度对齐,并将成型体的一个面浸渍于ENSTRIP剂,由此将Sn镀敷层溶解,使得第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。此时,优选对第1主面12a(以及/或者第2主面12b)侧进行浸渍。由

此,能够防止第1端面12e、第2端面12f、第1侧面12c、第2侧面12d侧的内部电极层16的浸渍。

[0340] 在利用激光加工的方法中,将形成了镀敷层34后的多个成型体进行排列,并通过激光削去各成型体的Sn镀敷层的给定的面积,使得第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)具有给定的露出比例。

[0341] 此外,通过使用抗蚀剂,也能够形成具有给定的露出比例的第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$(Ni镀敷层)。

[0342] 像上述的那样,可制造本实施方式涉及的三端子型层叠陶瓷电容器100。

[0343] 本实施方式涉及的三端子型层叠陶瓷电容器100具有与第1实施方式的二端子型层叠陶瓷电容器10同样的作用效果。

[0344] 3.三端子型层叠陶瓷电容器的变形例

[0345] 接着,对三端子型层叠陶瓷电容器100的变形例进行说明。

[0346] (1)

[0347] 上述的第2实施方式的外部电极30包含基底电极层32和镀敷层34。与此不同,也可以是,外部电极30包含镀敷层34,而不包含基底电极层32。

[0348] 以下,虽然未图示,但是关于第1外部电极30a～第4外部电极30d,对不设置基底电极层32而设置镀敷层34的构造进行说明。

[0349] 第1外部电极30a～第4外部电极30d各自也可以不设置基底电极层32而在层叠体12的表面直接形成镀敷层34。即,三端子型层叠陶瓷电容器100也可以是对第1端面12e、第2端面12f、第1侧面12c、第2侧面12d实施镀敷处理并形成了与第1内部电极层16a或第2内部电极层16b电连接的镀敷层34的构造。在这样的情况下,也可以在作为预处理而在层叠体12的表面配设了催化剂之后通过镀敷处理来形成镀敷层34。在进行镀敷处理时,可以采用电解镀敷、无电解镀敷中的任一者。不过,无电解镀敷为了使镀层析出速度提高而需要利用催化剂等进行预处理,存在工序复杂化这样的缺点。因此,通常优选采用电解镀敷。作为镀敷工法,优选使用滚筒镀敷。

[0350] 另外,在不设置基底电极层32而在层叠体12上直接形成镀敷层34的情况下,能够与削减了基底电极层32的厚度的量相应地低高度化即薄型化或者将其转化为层叠体厚度即有效层部的厚度,因此能够提高层叠体12的厚度的设计自由度。

[0351] 镀敷层34包含形成在层叠体12的表面的第1下层镀敷层$34a_1$～第4下层镀敷层$34d_1$(下层镀敷层)和形成在第1下层镀敷层$34a_1$～第4下层镀敷层$34d_1$的表面的第1上层镀敷层$34a_2$～第4上层镀敷层$34d_2$(上层镀敷层)。与上述的实施方式同样地,第1下层镀敷层$34a_1$、第2下层镀敷层$34b_1$具有未被上层镀敷层覆盖的镀层露出区域。下层镀敷层以及上层镀敷层分别例如优选包含从Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi或Zn等中选择的至少一种金属或者含有该金属的合金。

[0352] 进而,下层镀敷层优选使用具有阻焊性能的Ni来形成,上层镀敷层优选使用焊料润湿性良好的Sn、Au来形成。

[0353] 此外,例如,在使用Ni来形成第1内部电极层16a以及第2内部电极层16b的情况下,下层镀敷层优选使用与Ni的接合性好的Cu来形成。镀敷层可以将上层镀敷层作为最外层,也可以在上层镀敷层的表面进一步形成其它镀敷电极。

[0354] 在此,在不设置基底电极层32而仅由镀敷层34形成外部电极30的情况下,不设置

基底电极层32而配置的镀敷层34的每一层的厚度优选为1.0μm以上且20.0μm以下。

[0355] 进而,镀敷层34优选不包含玻璃。镀敷层34的每单位体积的金属比例优选为99体积%以上。

[0356] (2)

[0357] 在上述的第2实施方式中,第1下层镀敷层$34a_1$具有未被第1上层镀敷层$34a_2$覆盖的第1镀层露出区域35a,第2下层镀敷层$34b_1$具有未被第2上层镀敷层$34b_2$覆盖的第2镀层露出区域35b。但是,露出区域的形态并不限于此,也可以像在第1实施方式的变形例中说明的那样(参照图9以及图10),外部电极30具有基底电极层32未被镀敷层34覆盖的基底露出区域36。例如,第1基底电极层32a也可以具有未被第1镀敷层34a覆盖的第1基底露出区域。此外,第2基底电极层32b也可以具有未被第2镀敷层34b覆盖的第2基底露出区域。此时,第1外部电极30a与第1镀层露出区域35a一同具有第1基底露出区域36a,第2外部电极30b与第2镀层露出区域35b一同具有第2基底露出区域,对第1外部电极30a以及第2外部电极30b施加正的电位。

[0358] 基底露出区域36优选配置在第1主面12a。而且,优选第2主面12b为安装面。由此,在如图6所示那样焊料主要涂敷于第1端面12e、第2端面12f侧的情况下,能够使吸收层的氢从未涂敷焊料且不面向安装基板40的第1主面12a经由基底露出区域36高效地释放。

[0359] 只要未涂敷焊料即可,基底露出区域36也可以配置在第1主面12a以外的第2主面12b、第1端面12e、第2端面12f、第1侧面12c、第2侧面12d中的任一者。

[0360] 此外,也可以是,第1镀层露出区域35a以及第1基底露出区域36a分别形成在不同的面。

[0361] 此外,第1基底露出区域36a优选形成在比第1下层镀敷层$34a_1$中的第2端面12f侧的前端部靠第1端面12e侧。

[0362] 第1基底露出区域36a能够通过与第1镀层露出区域35a同样的方法来形成。

[0363] 虽然未图示,但是第3基底电极层32c也可以具有未被第3镀敷层34c覆盖的第3基底露出区域,第4基底电极层32d也可以具有未被第4镀敷层34d覆盖的第4基底露出区域。

[0364] (3)

[0365] 在上述的第2实施方式中,第1下层镀敷层$34a_1$未被第1上层镀敷层$34a_2$覆盖的第1镀层露出区域35a设置在第1主面12a。同样地,第2下层镀敷层$34b_1$未被第2上层镀敷层$34b_2$覆盖的第2镀层露出区域35b设置在第1主面12a。并不限于此,镀层露出区域35只要设置在第1主面12a、第2主面12b、第1端面12e、第2端面12f、第1侧面12c、第2侧面12d中的至少任一者即可。

[0366] (4)

[0367] 在上述的第2实施方式中,设置有第1外部电极30a的第1镀层露出区域35a以及第2外部电极30b的第2镀层露出区域35b。但是,也可以除了第1外部电极30a的第1镀层露出区域35a以及第2外部电极30b的第2镀层露出区域35b以外,进一步在第3外部电极30c设置第3下层镀敷层$34c_1$未被第3上层镀敷层$34c_2$覆盖的第3镀层露出区域,并在第4外部电极30d设置第4下层镀敷层$34d_1$未被第4上层镀敷层$34d_2$覆盖的第4镀层露出区域。在该情况下,对第1外部电极30a、第2外部电极30b或第3外部电极30c、第4外部电极30d中的任一者施加正的电位,并对另一者施加负的电位。

[0368] 第1主面方向观察时的第1主面12a中的第3镀层露出区域的面积相对于第3外部电极30c的露出区域的面积的第3比例优选为0.4%以上且83.4%以下。同样地,第1主面方向观察时的第1主面12a中的第4镀层露出区域的面积相对于第4外部电极30d的露出区域的面积的第4比例优选为0.4%以上且83.4%以下。此外,第1镀层露出区域35a～第4镀层露出区域35d的合计相对于第1外部电极30a～第4外部电极30d的露出区域的合计的比例优选为0.4%以上且83.4%以下。

[0369] 进而,也可以是,在第1外部电极30a不设置第1镀层露出区域35a,并且在第2外部电极30b不设置第2镀层露出区域35b,在第3外部电极30c设置第3下层镀敷层$34c_1$未被第3上层镀敷层$34c_2$覆盖的第3镀层露出区域,在第4外部电极30d设置第4下层镀敷层$34d_1$未被第4上层镀敷层$34d_2$覆盖的第4镀层露出区域。在该情况下,对第3外部电极30c、第4外部电极30d施加正的电位。

[0370] (5)

[0371] 在上述的第2实施方式中,第1下层镀敷层$34a_1$～第4下层镀敷层$34d_1$配置为覆盖第1基底电极层32a～第4基底电极层32d的全部。但是,并不限于此,也可以是,第1下层镀敷层$34a_1$配置为覆盖第1基底电极层32a的一部分,第2下层镀敷层$34b_1$配置为覆盖第2基底电极层32b的一部分,第3下层镀敷层$34c_1$配置为覆盖第3基底电极层32c的一部分,第4下层镀敷层$34d_1$配置为覆盖第4基底电极层32d的一部分。

[0372] C.实验例

[0373] (1)实验例的试样

[0374] 首先,按照上述的层叠陶瓷电容器的制造方法制作了如下规格的实施例涉及的二端子型层叠陶瓷电容器。

[0375] ◎层叠陶瓷电容器的构造:二端子(参照图1)

[0376] ◎层叠陶瓷电容器的尺寸L×W×T(包含设计值):1.13mm×0.63mm×0.63mm

[0377] ◎陶瓷层的材料:$BaTiO_3$

[0378] ◎静电电容:22μF

[0379] ◎额定电压:4V

[0380] ◎外部电极的构造

[0381] •基底电极层:包含导电性金属(Cu)和玻璃成分的电极

[0382] •端面的基底电极层的膜厚:位于第1端面以及第2端面的基底电极层的高度方向中央部处的基底电极层的膜厚=12μm

[0383] •主面、侧面的基底电极层的膜厚:位于第1主面以及第2主面、第1侧面以及第2侧面的基底电极层的长度方向中央部处的基底电极层的膜厚=12μm

[0384] •镀敷层:Ni镀敷层以及Sn镀敷层的两层构造

[0385] •端面的Ni镀敷层的膜厚:位于第1端面以及第2端面的Ni镀敷层的高度方向中央部处的Ni镀敷层的膜厚=2μm

[0386] •主面、侧面的Ni镀敷层的膜厚:位于第1主面以及第2主面、第1侧面以及第2侧面的Ni镀敷层的长度方向中央部处的Ni镀敷层的膜厚=2μm

[0387] •端面的Sn镀敷层的膜厚:位于第1端面以及第2端面的Sn镀敷层的高度方向中央部处的Sn镀敷层的膜厚=3μm

[0388] • 主面、侧面的Sn镀敷层的膜厚:位于第1主面以及第2主面、第1侧面以及第2侧面的Sn镀敷层的长度方向中央部处的Sn镀敷层的膜厚＝3μm

[0389] ◎第1下层镀敷层以及第2下层镀敷层(Ni镀敷层)在第1主面中的露出比例

[0390] • 露出比例＝(第1下层镀敷层以及第2下层镀敷层的露出面积)/第1外部电极以及第2外部电极在第1主面中的面积×100

[0391] • 第1外部电极以及第2外部电极在第1主面中的面积分别设为L(200μm)×W(600μm)。

[0392] 实施例1～8、比较例1的露出比例如下。

[0393] (实施例1)0.2%

[0394] (实施例2)0.4%

[0395] (实施例3)1.17%

[0396] (实施例4)1.4%

[0397] (实施例5)1.67%

[0398] (实施例6)25%

[0399] (实施例7)83.4%

[0400] (实施例8)89.2%

[0401] (比较例1)0%

[0402] (2)实验结果

[0403] 对于实施例1～8、比较例1的各100个试样,在焊料安装中确认由PCBT试验(125℃、95%RH、2V、72hr)造成的绝缘电阻(IR)的劣化,并对劣化的个数进行了计数。

[0404] 在表1示出实验结果。

[0405] [表1]

[0406]

	露出比例(%)	绝缘电阻（IR）的劣化（个）
比较例1	0.00	11/100
实施例1	0.20	5/100
实施例2	0.40	2/100
实施例3	1.17	1/100
实施例4	1.40	0/100
实施例5	1.67	0/100
实施例6	25.00	0/100
实施例7	83.40	4/100
实施例8	89.20	8/100

[0407] 根据表1的结果,在比较例1中,在100个中被判断为绝缘电阻的劣化的个数为11个。另一方面,在实施例1～8中,在100个中被判断为绝缘电阻的劣化的个数为8个以下。此外,在实施例2～7中,在100个中被判断为绝缘电阻的劣化的个数为4个以下,在实施例3～7中,在100个中被判断为绝缘电阻的劣化的个数也为4个以下。进而,在实施例4～6中,在100个中被判断为绝缘电阻的劣化的个数为0个。

[0408] 因而,已知在露出比例大于0%的情况下可抑制绝缘电阻的劣化。此外,已知若露出比例为0.4%以上且83.4%以下,则可更加抑制绝缘电阻的劣化。此外,已知即使在露出比例为1.17%以上且83.4%以下的范围,进而,即使在露出比例为1.40%以上且83.4%以下的范围,也可抑制绝缘电阻的劣化。进而,已知在露出比例为1.40%以上且25.0%以下的情况下,可进一步抑制绝缘电阻的劣化。

[0409] 另外,像以上那样,本发明的实施方式通过前述记载进行了公开,但是本发明并不限定于此。

[0410] 即,能够在不脱离本发明的技术思想以及目的的范围的情况下对以上说明的实施方式关于机制、形状、材质、数量、位置或配置等施加各种各样的变更,这些包含于本发明。

[0411] <1>

[0412] 一种层叠陶瓷电子部件,具备:

[0413] 层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

[0414] 多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面;

[0415] 多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第2端面;

[0416] 第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;以及

[0417] 第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第2内部电极层连接,

[0418] 所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在所述第1基底电极层上;以及第1上层镀敷层,除第1镀层露出区域以外配置在所述第1下层镀敷层上,使得所述第1下层镀敷层具有在所述第1外部电极的表面露出的所述第1镀层露出区域,

[0419] 所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,除第2镀层露出区域以外配置在所述第2下层镀敷层上,使得所述第2下层镀敷层具有在所述第2外部电极的表面露出的所述第2镀层露出区域。

[0420] <2>

[0421] 一种层叠陶瓷电子部件,具备:

[0422] 层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

[0423] 多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面以及所述第2端面;

[0424] 多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第1侧面以及所述第2侧面;

[0425] 第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

[0426] 第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

[0427] 第3外部电极,配置在所述第1侧面上,从所述第1侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接;以及

[0428] 第4外部电极,配置在所述第2侧面上,从所述第2侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接,

[0429] 所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在所述第1基底电极层上;以及第1上层镀敷层,除第1镀层露出区域以外配置在所述第1下层镀敷层上,使得所述第1下层镀敷层具有在所述第1外部电极的表面露出的所述第1镀层露出区域,

[0430] 所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,除第2镀层露出区域以外配置在所述第2下层镀敷层上,使得所述第2下层镀敷层具有在所述第2外部电极的表面露出的所述第2镀层露出区域,

[0431] 所述第3外部电极具有:第3基底电极层,配置在所述层叠体上;第3下层镀敷层,配置在所述第3基底电极层上;以及第3上层镀敷层,配置在所述第3下层镀敷层上,

[0432] 所述第4外部电极具有:第4基底电极层,配置在所述层叠体上;第4下层镀敷层,配置在所述第4基底电极层上;以及第4上层镀敷层,配置在所述第4下层镀敷层上。

[0433] <3>

[0434] 根据<2>所述的层叠陶瓷电子部件,其中,

[0435] 所述第3上层镀敷层除第3镀层露出区域以外配置在所述第3下层镀敷层上,使得所述第3下层镀敷层具有在所述第3外部电极的表面露出的所述第3镀层露出区域,

[0436] 所述第4上层镀敷层除第4镀层露出区域以外配置在所述第4下层镀敷层上,使得所述第4下层镀敷层具有在所述第4外部电极的表面露出的所述第4镀层露出区域。

[0437] <4>

[0438] 一种层叠陶瓷电子部件,具备:

[0439] 层叠体,具有层叠的多个陶瓷层,并具有在高度方向上相对的第1主面以及第2主面、在与所述高度方向正交的长度方向上相对的第1端面以及第2端面、和在与所述高度方向以及所述长度方向正交的宽度方向上相对的第1侧面以及第2侧面;

[0440] 多个第1内部电极层,配置在所述多个陶瓷层上,并引出到所述第1端面以及所述第2端面;

[0441] 多个第2内部电极层,配置在所述多个陶瓷层上,并引出到所述第1侧面以及所述第2侧面;

[0442] 第1外部电极,配置在所述第1端面上,从所述第1端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与

所述第1内部电极层连接;

[0443] 第2外部电极,配置在所述第2端面上,从所述第2端面延伸而配置在所述第1主面的一部分、所述第2主面的一部分、所述第1侧面的一部分以及所述第2侧面的一部分,并与所述第1内部电极层连接;

[0444] 第3外部电极,配置在所述第1侧面上,从所述第1侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接;以及

[0445] 第4外部电极,配置在所述第2侧面上,从所述第2侧面延伸而配置在所述第1主面的一部分以及所述第2主面的一部分,并与所述第2内部电极层连接,

[0446] 所述第1外部电极具有:第1基底电极层,配置在所述层叠体上;第1下层镀敷层,配置在所述第1基底电极层上;以及第1上层镀敷层,配置在所述第1下层镀敷层上,

[0447] 所述第2外部电极具有:第2基底电极层,配置在所述层叠体上;第2下层镀敷层,配置在所述第2基底电极层上;以及第2上层镀敷层,配置在所述第2下层镀敷层上,

[0448] 所述第3外部电极具有:第3基底电极层,配置在所述层叠体上;第3下层镀敷层,配置在所述第3基底电极层上;以及第3上层镀敷层,除第3镀层露出区域以外配置在所述第3下层镀敷层上,使得所述第3下层镀敷层具有在所述第3外部电极的表面露出的所述第3镀层露出区域,

[0449] 所述第4外部电极具有:第4基底电极层,配置在所述层叠体上;第4下层镀敷层,配置在所述第4基底电极层上;以及第4上层镀敷层,除第4镀层露出区域以外配置在所述第4下层镀敷层上,使得所述第4下层镀敷层具有在所述第4外部电极的表面露出的所述第4镀层露出区域。

[0450] <5>

[0451] 根据<1>至<3>中的任一项所述的层叠陶瓷电子部件,其中,

[0452] 所述第1主面方向观察时的所述第1主面中的所述第1镀层露出区域的面积相对于所述第1外部电极的露出区域的面积的第1比例为0.4%以上且83.4%以下,

[0453] 所述第1主面方向观察时的所述第1主面中的所述第2镀层露出区域的面积相对于所述第2外部电极的露出区域的面积的第2比例为0.4%以上且83.4%以下。

[0454] <6>

[0455] 根据<5>所述的层叠陶瓷电子部件,其中,

[0456] 所述第1比例以及所述第2比例为1.17%以上且83.4%以下。

[0457] <7>

[0458] 根据<6>所述的层叠陶瓷电子部件,其中,

[0459] 所述第1比例以及所述第2比例为1.40%以上且83.4%以下。

[0460] <8>

[0461] 根据<7>所述的层叠陶瓷电子部件,其中,

[0462] 所述第1比例以及所述第2比例为1.40%以上且25.0%以下。

[0463] <9>

[0464] 根据<1>至<8>中的任一项所述的层叠陶瓷电子部件,其中,

[0465] 所述第1镀层露出区域配置在所述第1主面。

[0466] <10>

[0467] 根据权利要求＜1＞至＜9＞中的任一项所述的层叠陶瓷电子部件,其中,

[0468] 所述第1下层镀敷层的厚度为2μm以上且7μm以下。

[0469] ＜11＞

[0470] 根据＜1＞至＜10＞中的任一项所述的层叠陶瓷电子部件,其中,

[0471] 所述第1基底电极层的一部分在所述第1主面露出。

[0472] ＜12＞

[0473] 根据＜3＞或＜4＞所述的层叠陶瓷电子部件,其中,

[0474] 所述第1主面方向观察时的所述第1主面中的所述第3镀层露出区域的面积相对于所述第3外部电极的露出区域的面积的第3比例以及/或者所述第1主面方向观察时的所述第1主面中的所述第4镀层露出区域的面积相对于所述第4外部电极的露出区域的面积的第4比例为0.4%以上且83.4%以下。

[0475] ＜13＞

[0476] 一种层叠陶瓷电子部件的安装构造,具备:

[0477] ＜1＞至＜12＞中的任一项所述的层叠陶瓷电子部件;以及

[0478] 安装基板,安装有所述层叠陶瓷电子部件,

[0479] 其中,

[0480] 所述第1镀层露出区域配置在所述第1主面,所述层叠陶瓷电子部件被安装为所述第2主面与所述安装基板对置。

[0481] ＜14＞

[0482] 一种层叠陶瓷电子部件的安装构造,具备:

[0483] ＜2＞、＜3＞、＜12＞中的任一项所述的层叠陶瓷电子部件;以及

[0484] 安装基板,安装有所述层叠陶瓷电子部件,

[0485] 其中,

[0486] 所述第1外部电极以及所述第2外部电极是被施加正的电位的电极。

[0487] ＜15＞

[0488] 一种层叠陶瓷电子部件的安装构造,具备:

[0489] ＜4＞所述的层叠陶瓷电子部件;以及

[0490] 安装基板,安装有所述层叠陶瓷电子部件,

[0491] 其中,

[0492] 所述第3外部电极以及所述第4外部电极是被施加正的电位的电极。

[0493] 附图标记说明

[0494] 10:二端子型层叠陶瓷电容器;

[0495] 12:层叠体;

[0496] 12a:第1主面;

[0497] 12b:第2主面;

[0498] 12c:第1侧面;

[0499] 12d:第2侧面;

[0500] 12e:第1端面;

[0501] 12f:第2端面;

[0502] 14:陶瓷层;

[0503] 14a:外层部;

[0504] 14b:内层部;

[0505] 16:内部电极层;

[0506] 16a、16b:第1内部电极层、第2内部电极层;

[0507] 18:内层部;

[0508] 20a:第1主面侧外层部;

[0509] 20b:第2主面侧外层部;

[0510] 22a:第1侧面侧外层部;

[0511] 22b:第2侧面侧外层部;

[0512] 24a:第1端面侧外层部;

[0513] 24b:第2端面侧外层部;

[0514] 26a:第1对置电极部;

[0515] 26b:第2对置电极部;

[0516] 27:对置电极部;

[0517] 28a:第1引出电极部;

[0518] 28b:第2引出电极部;

[0519] 28a1:第1引出电极部;

[0520] 28a2:第2引出电极部;

[0521] 28b1:第3引出电极部;

[0522] 28b2:第4引出电极部;

[0523] 30:外部电极;

[0524] 30a～30d:第1外部电极～第4外部电极;

[0525] 32:基底电极层;

[0526] 32a～32d:第1基底电极层～第4基底电极层;

[0527] 34:镀敷层;

[0528] 34a～34d:第1镀敷层～第4镀敷层;

[0529] 34a1～34d1:第1下层镀敷层～第4下层镀敷层;

[0530] 34a2～34d2:第1上层镀敷层～第4上层镀敷层;

[0531] 35:镀层露出区域;

[0532] 35a～35d:第1镀层露出区域～第4镀层露出区域;

[0533] 36:基底露出区域;

[0534] 36a:第1基底露出区域;

[0535] 40:安装基板;

[0536] 41:连接盘;

[0537] 42:焊料;

[0538] 100:三端子型层叠陶瓷电容器。

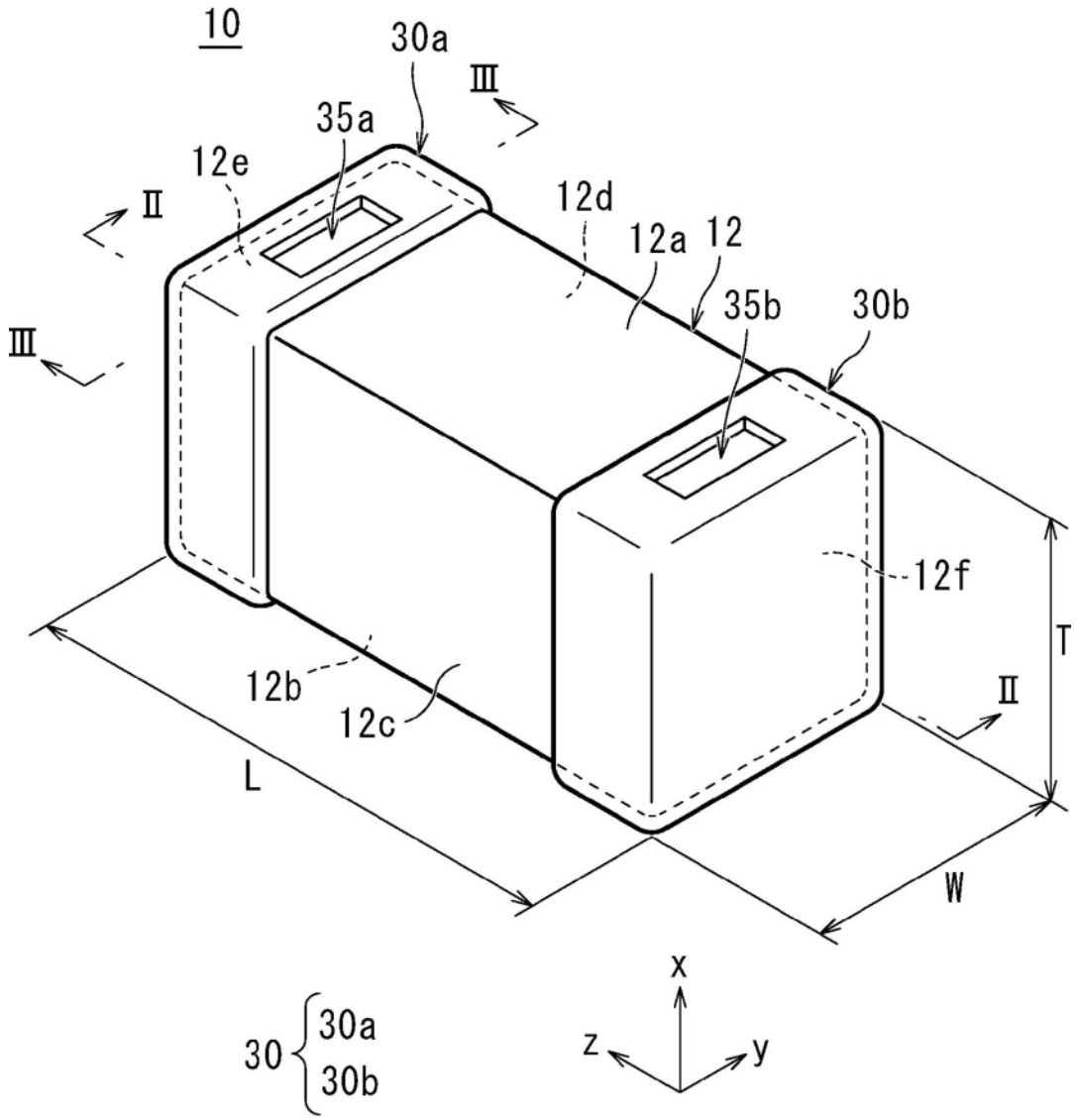

10
30a
Ⅲ
35a
12e
Ⅱ
12d
12a
12
35b
30b
Ⅲ
12f
T
12b
12c
Ⅱ
L
W
30
30a
30b
x
z
y

图1

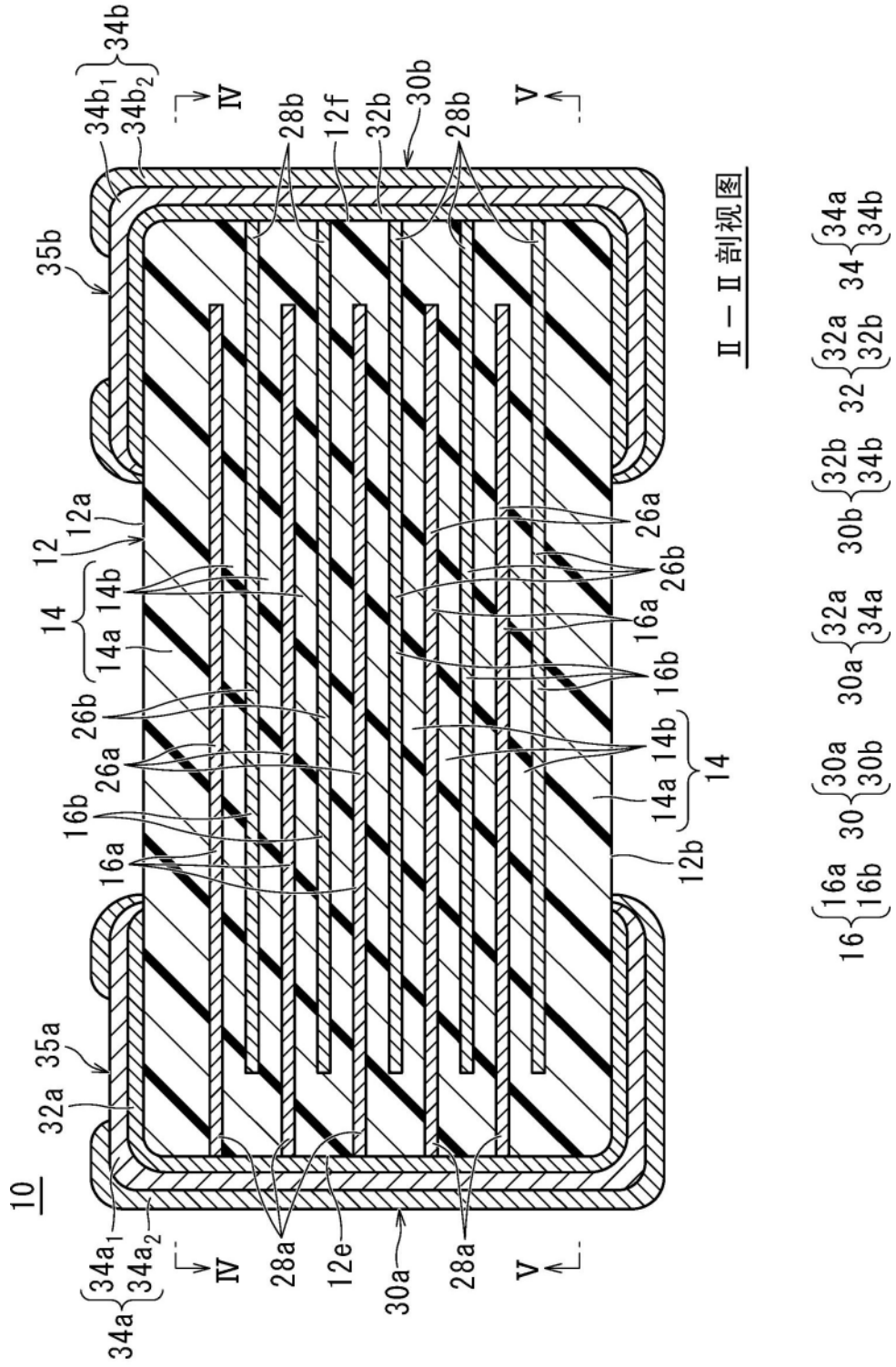

10
12
12a
12b
12e
12f
14
14a
14b
16
16a
16b
26a
26b
28a
28b
30a
30b
32
32a
32b
34
34a
34b
34a1
34a2
34b1
34b2
35a
35b
IV
V
II－II剖视图

图2

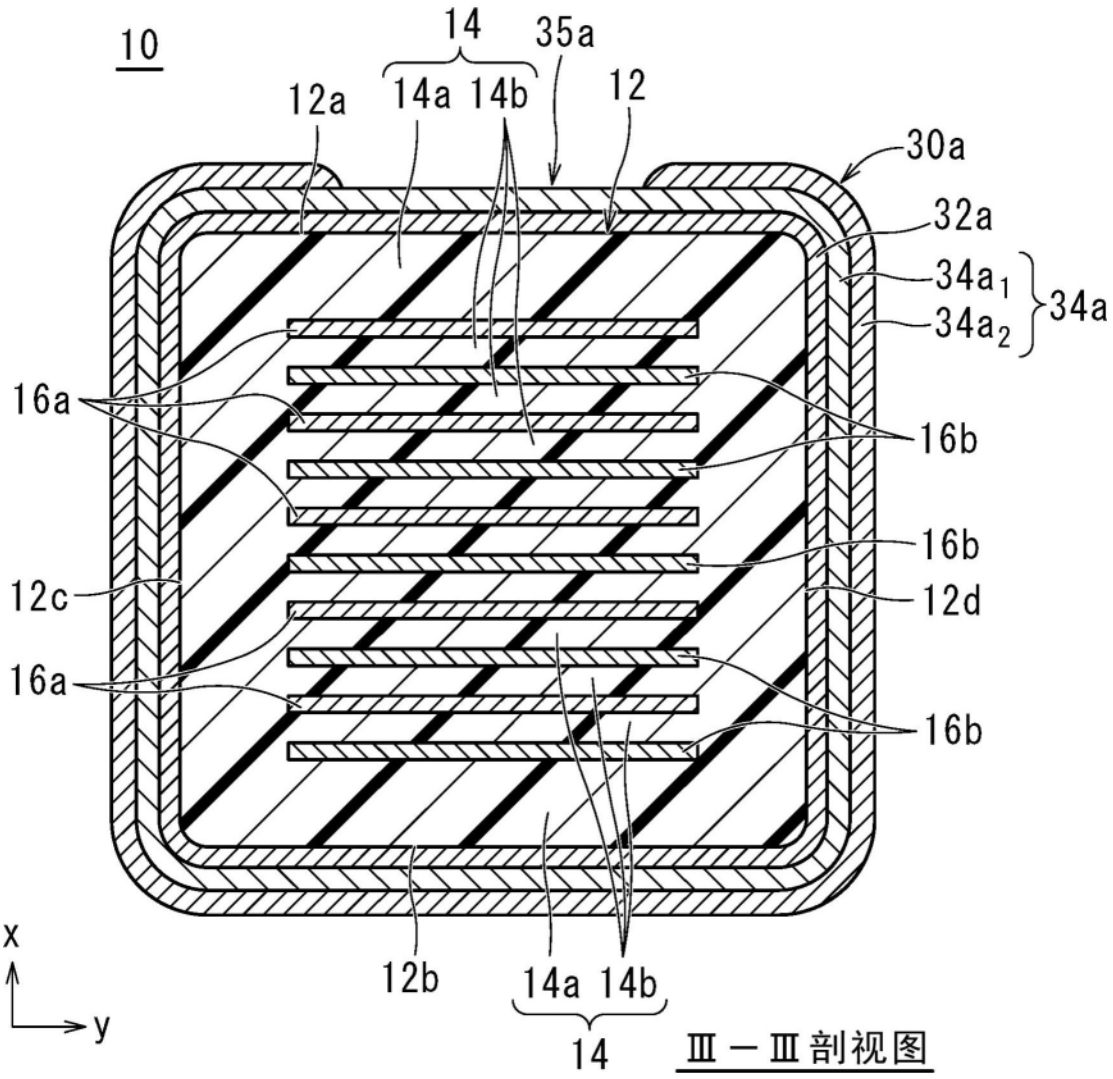

10
14
35a
12a
14a 14b
12
30a
32a
34a1
34a2
34a
16a
16b
16b
12c
12d
16a
16b
x
y
12b
14a 14b
14
Ⅲ－Ⅲ剖视图
16 16a 16b
30a 32a 34a

图3

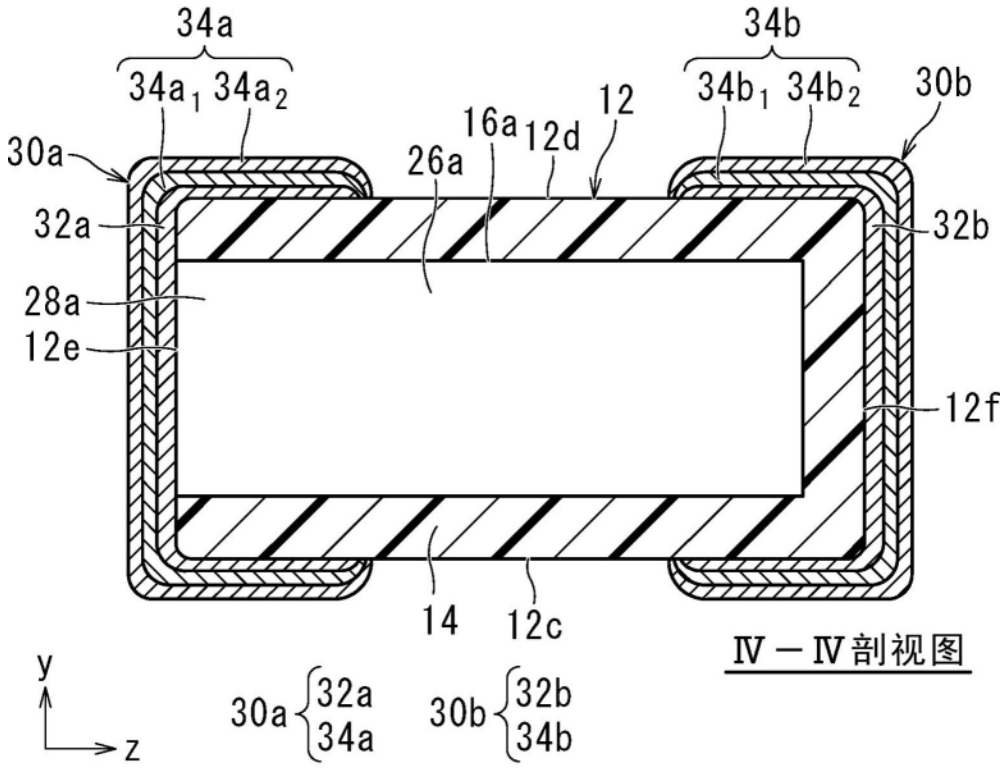

34a
34a1 34a2
34b
34b1 34b2
30b
30a
16a
12d
12
26a
32a
32b
28a
12e
12f
14
12c
Ⅳ－Ⅳ剖视图
y
z
30a 32a 34a
30b 32b 34b

图4

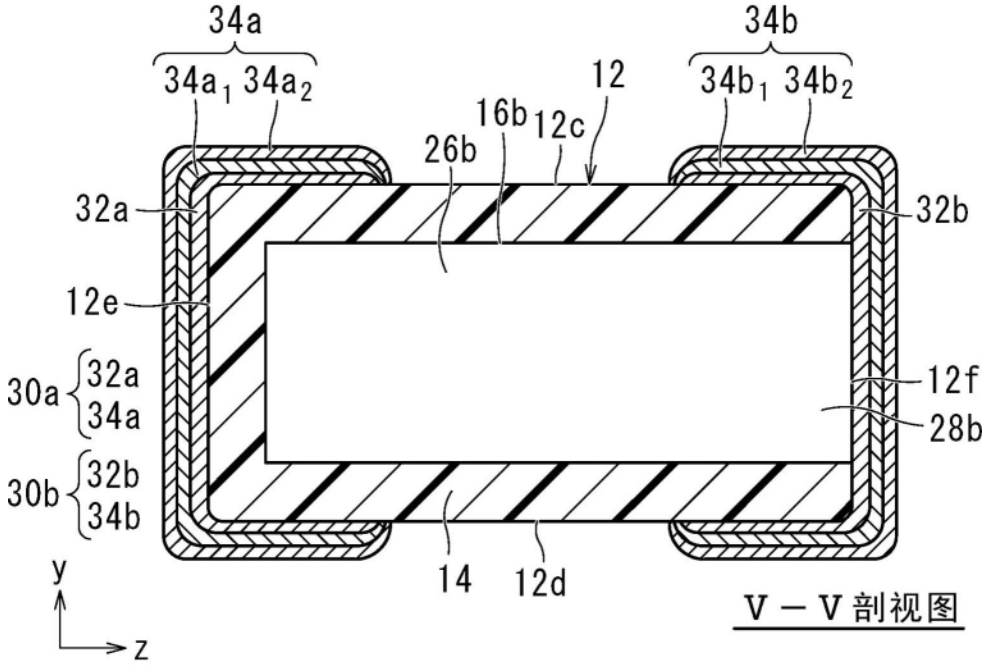

34a
34a1 34a2
34b
34b1 34b2
12
16b
12c
26b
32a
32b
12e
30a 32a 34a
30b 32b 34b
12f
28b
14
12d
Ⅴ－Ⅴ剖视图
y
z

图5

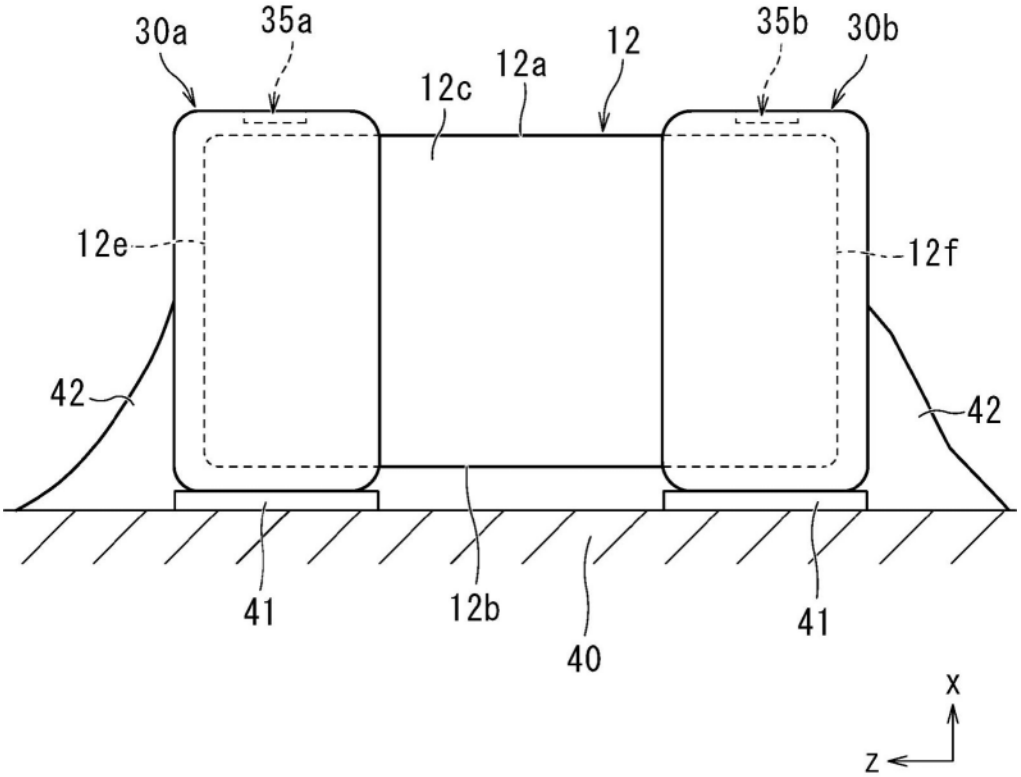

30a
35a
12c
12a
12
35b
30b
12e
12f
42
42
41
12b
40
41
x
z

图6

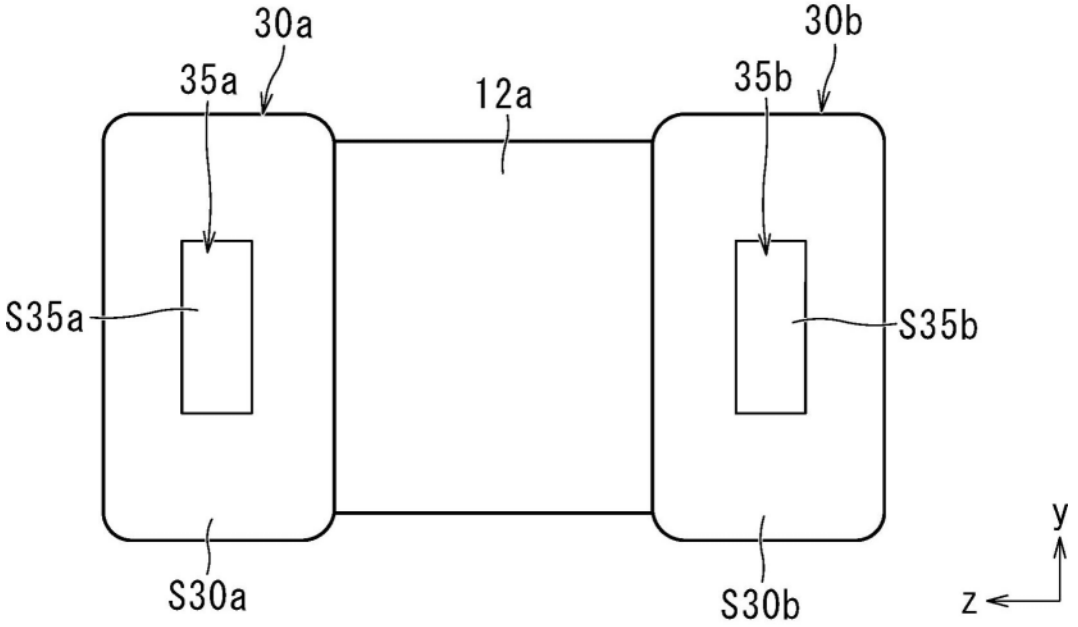

30a
35a
12a
35b
30b
S35a
S35b
S30a
S30b
y
z

图7

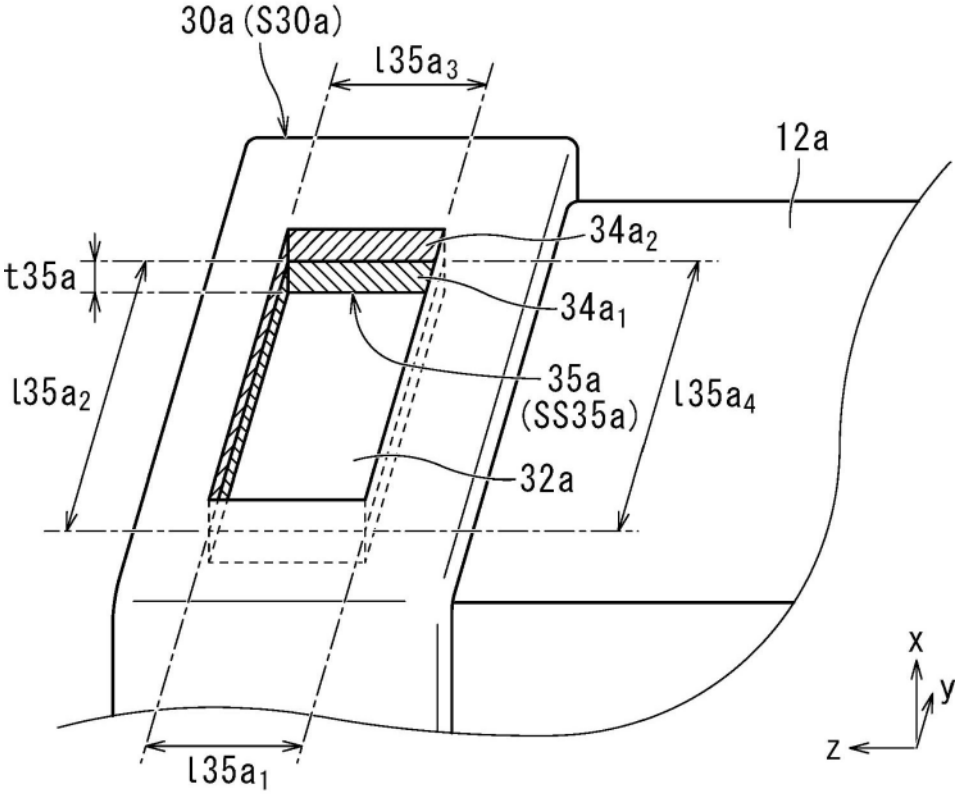

30a (S30a)
l35a3
12a
34a2
t35a
34a1
l35a2
35a
(SS35a)
l35a4
32a
x
y
z
l35a1

图8

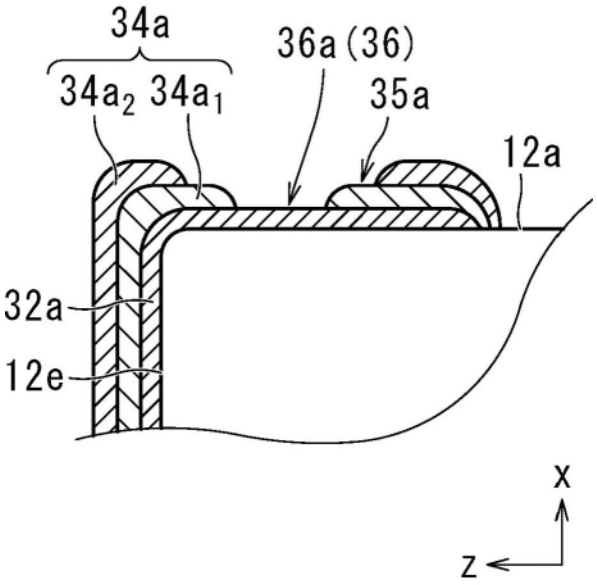

34a
36a (36)
34a2 34a1
35a
12a
32a
12e
x
z

图9

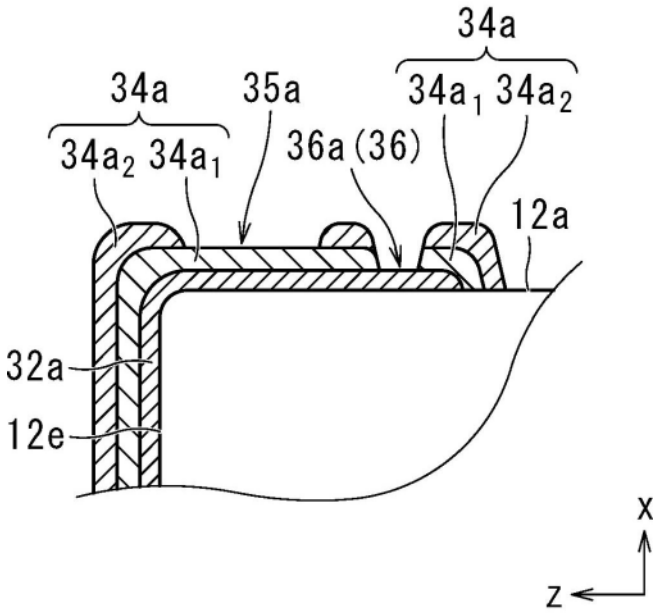


图10

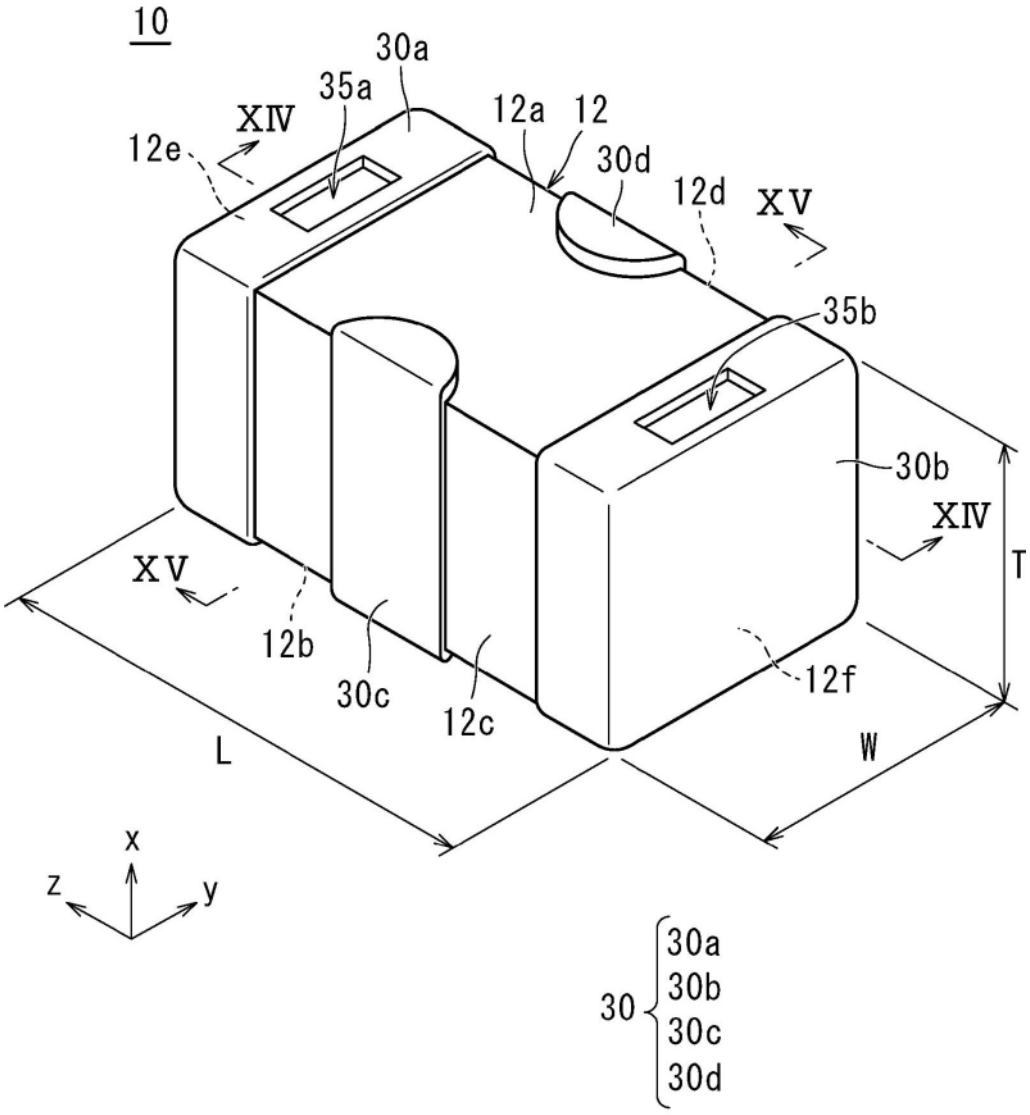

10
30a
35a
XIV
12e
12a
12
30d
12d
XV
35b
30b
XIV
T
XV
12b
30c
12c
12f
L
W
x
z
y
30
30a
30b
30c
30d

图11

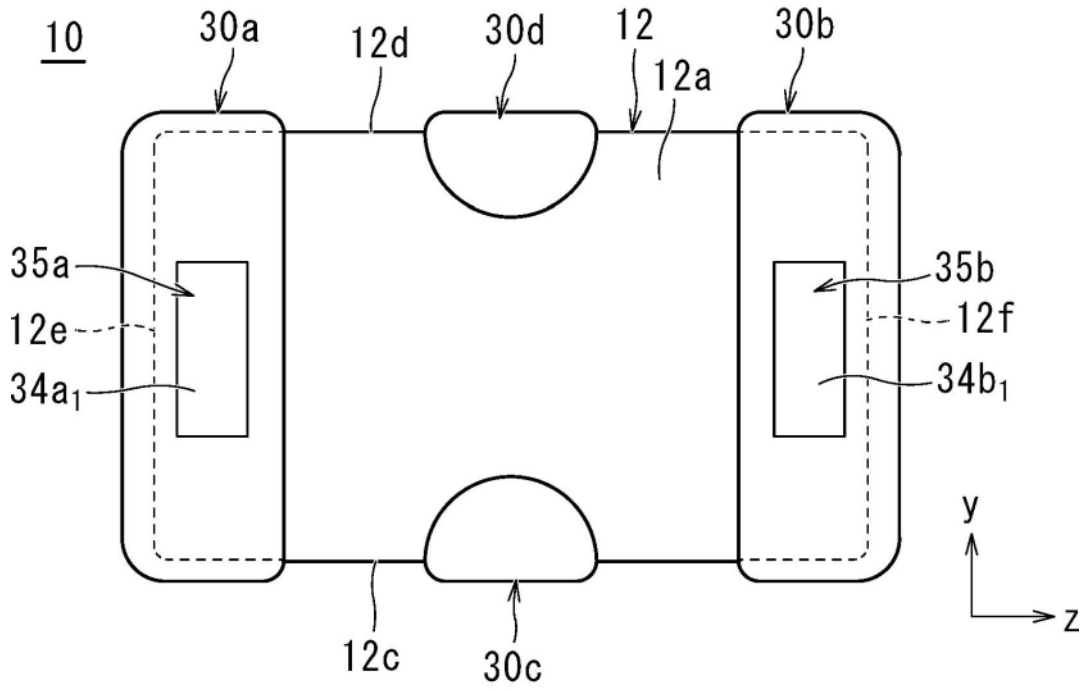

10
30a
12d
30d
12
12a
30b
35a
12e
34a1
35b
12f
34b1
y
z
12c
30c

图12

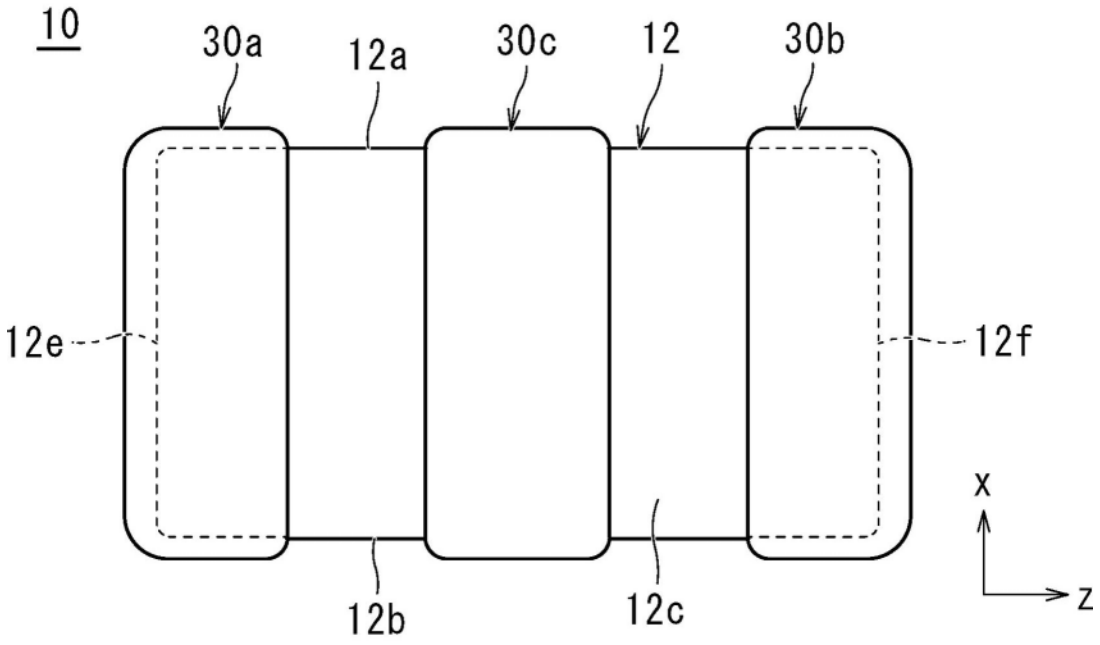

10
30a
12a
30c
12
30b
12e
12f
x
z
12b
12c

图13

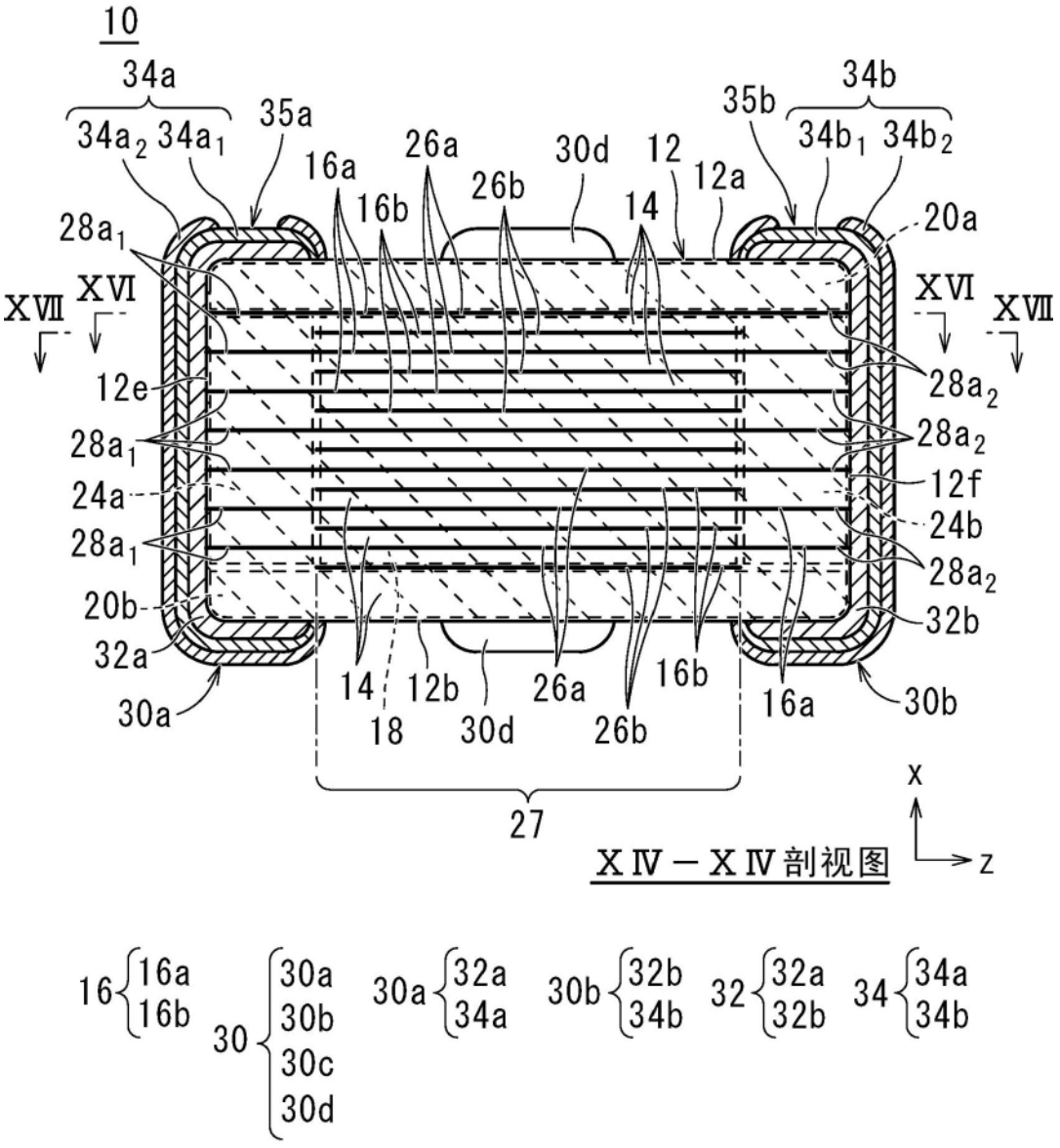

10
34a
34a2 34a1
35a
16a
26a
30d
12
12a
35b
34b
34b1 34b2
16b
26b
14
20a
28a1
XVII
XVI
XVI
XVII
12e
28a2
28a1
28a2
24a
12f
28a1
24b
28a2
20b
32b
32a
30a
14
12b
26a
16b
16a
30b
18
30d
26b
27
X
Z
XIV－XIV剖视图
16 16a 16b
30 30a 30b 30c 30d
30a 32a 34a
30b 32b 34b
32 32a 32b
34 34a 34b

图14

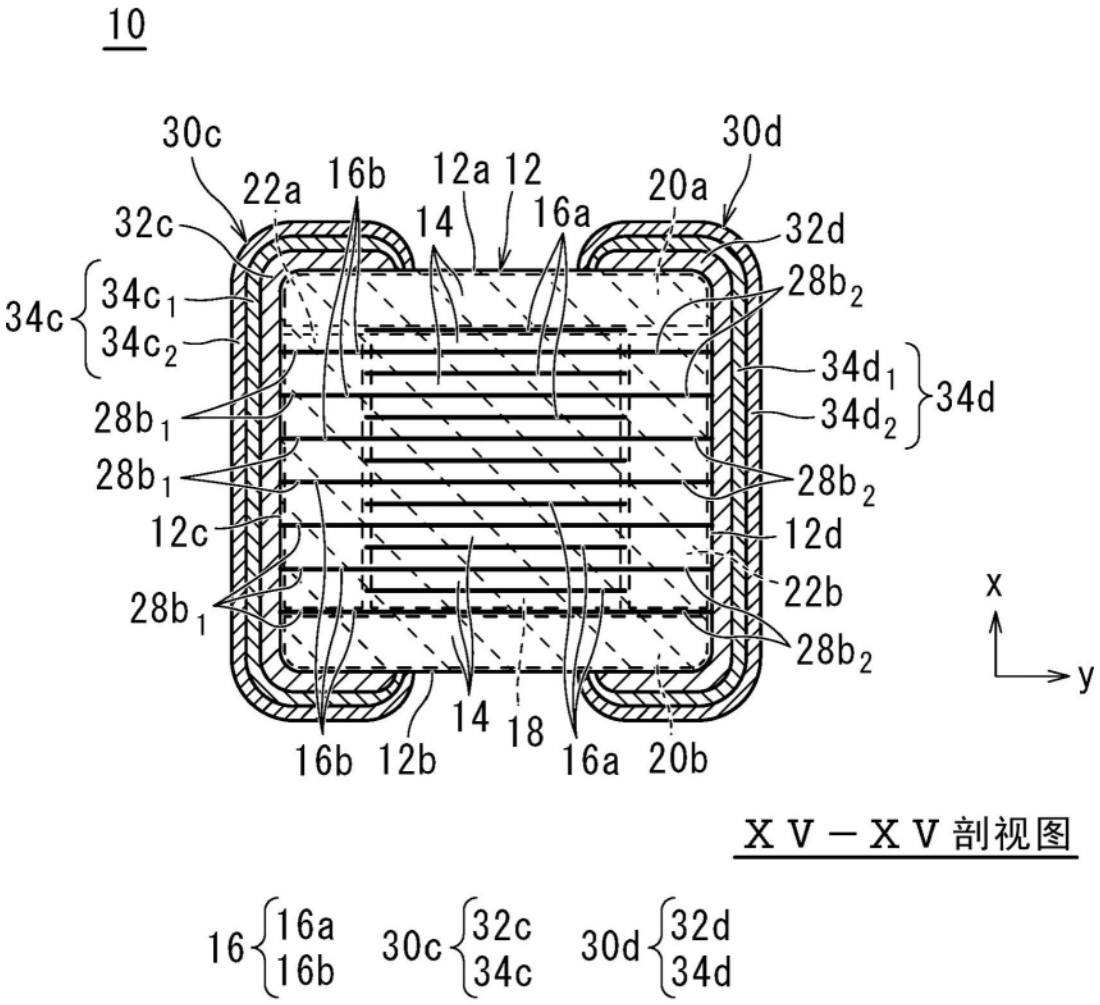
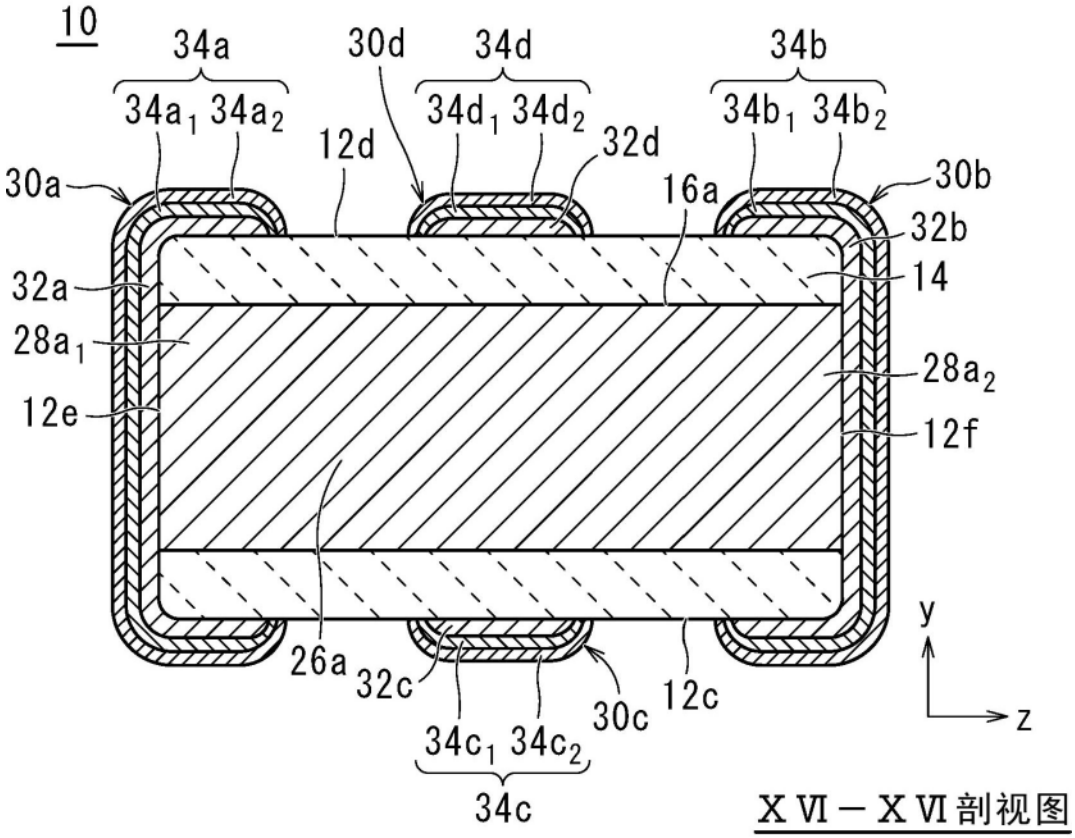

10
30c
22a
16b
12a
12
14
16a
20a
30d
32c
32d
34c
34c1
34c2
28b2
34d1
34d2
34d
28b1
28b1
28b2
12c
12d
22b
28b1
28b2
x
y
14
18
16b
12b
16a
20b
XV－XV剖视图
16
16a
16b
30c
32c
34c
30d
32d
34d

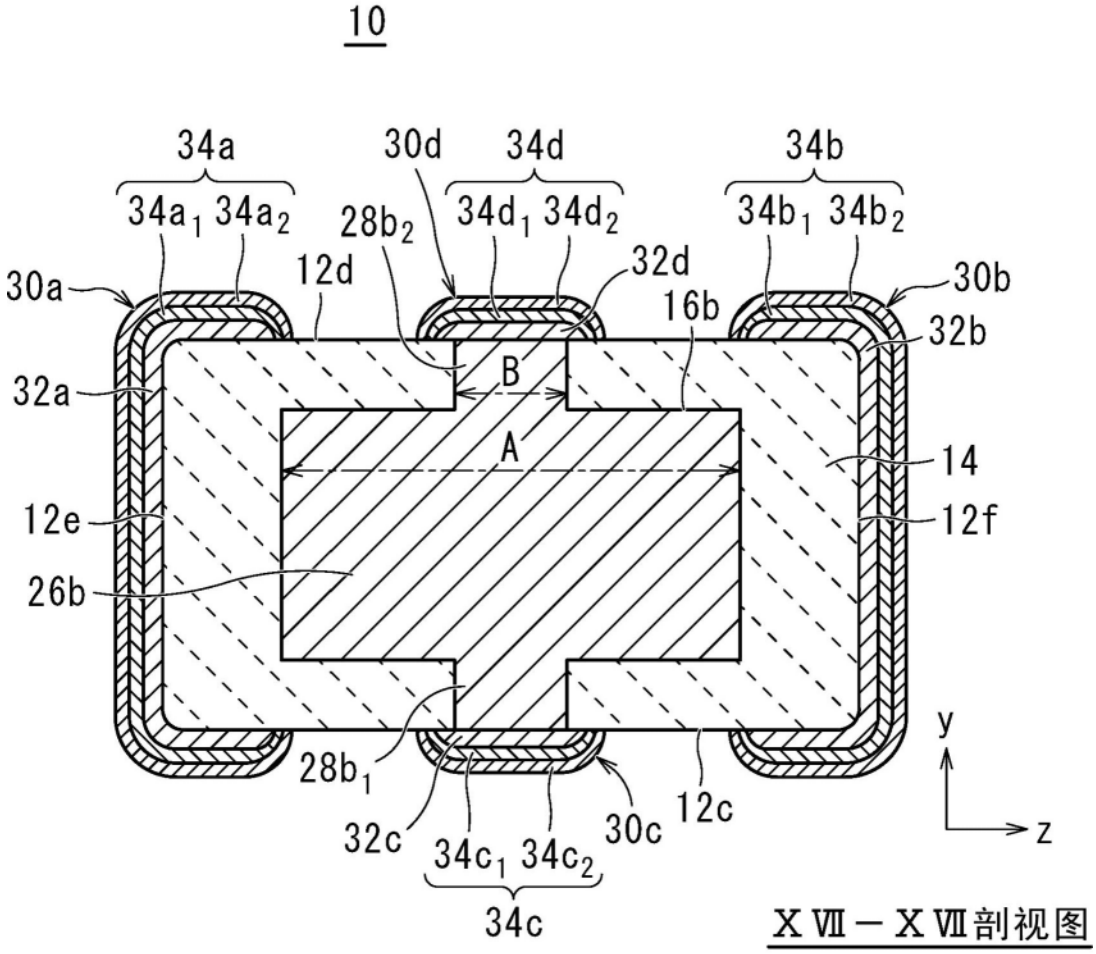
图15



30a{32a, 34a} 30b{32b, 34b} 30c{32c, 34c} 30d{32d, 34d}

30{30a, 30b, 30c, 30d} 32{32a, 32b, 32c, 32d} 34{34a, 34b, 34c, 34d}

图16



$$30a\begin{cases}32a\\34a\end{cases}\quad 30b\begin{cases}32b\\34b\end{cases}\quad 30c\begin{cases}32c\\34c\end{cases}\quad 30d\begin{cases}32d\\34d\end{cases}$$

$$30\begin{cases}30a\\30b\\30c\\30d\end{cases}\quad 32\begin{cases}32a\\32b\\32c\\32d\end{cases}\quad 34\begin{cases}34a\\34b\\34c\\34d\end{cases}$$

图17