



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년03월17일  
 (11) 등록번호 10-1022854  
 (24) 등록일자 2011년03월09일

- (51) Int. Cl.  
*H01L 21/336* (2006.01)
- (21) 출원번호 10-2005-7009685
- (22) 출원일자(국제출원일자) 2003년11월06일  
 심사청구일자 2008년11월05일
- (85) 번역문제출일자 2005년05월27일
- (65) 공개번호 10-2005-0084030
- (43) 공개일자 2005년08월26일
- (86) 국제출원번호 PCT/US2003/035355
- (87) 국제공개번호 WO 2004/051728  
 국제공개일자 2004년06월17일
- (30) 우선권주장  
 10/442,745 2003년05월21일 미국(US)  
 10255849.3 2002년11월29일 독일(DE)
- (56) 선행기술조사문헌  
 KR100439345 B1\*  
 KR1019930018751 A\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
**글로벌파운드리즈 인크.**  
 케이만 아일랜드 케이와이1-1104 그랜드 케이만  
 어그랜드 하우스 피.오.박스 309 메이플즈 코포레  
 이트 서비스즈 리미티드
- (72) 발명자  
**퓨델 토마스**  
 독일 01445 라테블 질레스트라쎄 13에이  
**홀스트만 만프레드**  
 독일 01099 드레스덴 바우즈너 스트라쎄 18  
 (뒷면에 계속)
- (74) 대리인  
**박장원**

전체 청구항 수 : 총 13 항

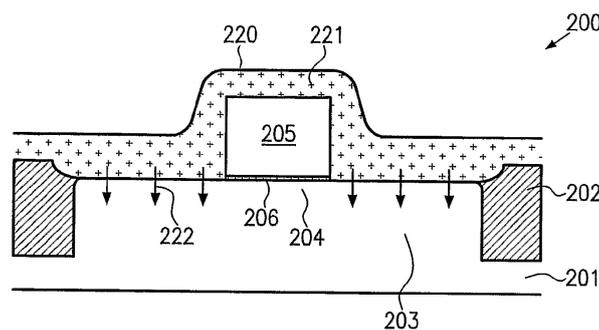
심사관 : 박근용

**(54) 도핑된 고유전 측벽 스페이서들을 구비한 전계 효과트랜지스터의 드레인/소스 확장 구조**

**(57) 요약**

전계 효과 트랜지스터의 게이트 전극 위의 고 유전 스페이서 요소들은 상기 고 유전 스페이서 요소들로부터 상기 아래 반도체 영역으로의 도펀트들의 확산에 의해 형성된 확장 영역과 조합하여 확장 영역에서 증가한 전하 캐리어 밀도를 제공한다. 이러한 방식으로, 대략 확장 영역에서 도펀트들의 고체 용해도인 전하 캐리어 밀도의 한계는 극복되고, 트랜지스터 성능의 과도한 손상 없이 매우 얇은 확장 영역들을 가능하게 한다.

**대표도** - 도2a



(72) 발명자  
위엑조렉 카르스텐  
독일 01109 드레스덴 암 칠펠트 24

크루에겔 스테판  
독일 01468 북스도르프 안 테르 오테리츠 4

---

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

전계 효과 트랜지스터의 형성 방법으로서,

기판(201) 위에 도핑된 고 유전(high-k) 층(220)을 형성하는 단계와, 상기 기판은 활성 영역(203) 위에 형성되고 그리고 게이트 절연 층(206)에 의해 상기 활성 영역으로부터 분리된 게이트 전극(205)을 포함하며;

도펀트들을 상기 고 유전 층(220)으로부터 상기 활성 영역(203)으로 확산하여 확장 영역들(208)을 형성하기 위해 상기 기판을 열처리하는 단계와;

상기 게이트 전극(205)의 측벽들에 측벽 스페이서들(210)을 형성하기 위해 상기 고 유전 층(220)을 패터닝하는 단계와; 그리고

상기 전계 효과 트랜지스터의 소스 및 드레인 영역들(211)을 형성하도록 상기 측벽 스페이서들(210)을 주입 마스크로서 사용하여 이온 주입 공정(212)을 수행하는 단계를 포함하며,

상기 도핑된 고 유전 층(220)을 형성하는 단계는 하나 이상의 도펀트 물질의 존재 하에 상기 고 유전 층(220)을 증착하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 3**

제 2 항에 있어서,

상기 도핑된 고 유전 층(220)을 형성하는 단계는 상기 고 유전 층(220)을 증착하는 단계와, 그리고 이온 주입 및 희생 층으로부터의 확산 중 적어도 하나에 의해 도펀트들을 상기 고 유전 층(220)으로 유입하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 4**

제 2 항에 있어서,

상기 도핑된 고 유전 층(220)의 도펀트 농도는 상기 고 유전 층에서 상기 도펀트의 고체 용해도의 범위내 혹은 그 이상인 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 5**

제 2 항에 있어서,

상기 고 유전 층(206)을 패터닝하는 단계는 상기 기판의 열처리 단계 전에 수행되는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 6**

제 2 항에 있어서,

상기 기판(201)은 상기 이온 주입 공정(212) 후에 열 처리되어 상기 이온 주입 공정(212)에 의해 유입된 도펀트들을 활성화하고 격자 손상을 동시에 치유하도록 하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 7**

제 2 항에 있어서,

상기 고 유전 층(220)의 형성 전에 유전 장벽 층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 8**

제 2 항에 있어서,

상기 기판(201)의 열처리 단계는 800-1200℃의 온도 범위에서 수행되는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 9**

제 8 항에 있어서,

상기 열 처리의 지속시간은 10초 - 30분의 범위인 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 10**

삭제

**청구항 11**

전계 효과 트랜지스터의 형성 방법으로서,

기판(201)에 형성된 활성 영역(203)에 소스 및 드레인 영역들(211)을 형성하도록 이온 주입 공정(212)을 수행하는 단계와, 상기 기판은 상기 활성 영역(203) 위에 형성되고 게이트 절연 층(206)에 의해 상기 활성 영역으로부터 분리되는 게이트 전극(205)을 포함하고, 상기 게이트 전극(205)은 상기 게이트 전극의 측벽들 상에 형성된 측벽 스페이서들을 포함하며;

상기 측벽 스페이서들을 제거하는 단계와;

상기 기판 위에 도핑된 고 유전(high-k) 층(220)을 형성하는 단계와;

도펀트들을 상기 도핑된 고 유전 층(220)으로부터 상기 활성 영역으로 유입하도록 상기 기판을 어닐링하는 단계와; 그리고

상기 게이트 전극(205)의 측벽들에 고 유전(high-k) 측벽 스페이서들(210)을 형성하도록 상기 고 유전 층(220)을 패터닝하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 12**

전계 효과 트랜지스터의 형성 방법으로서,

기판(201)에 형성된 활성 영역(203)에 소스 및 드레인 영역들(211)을 형성하도록 이온 주입 공정(212)을 수행하는 단계와, 상기 기판은 상기 활성 영역(203) 위에 형성되고 게이트 절연 층(206)에 의해 상기 활성 영역으로부터 분리되는 게이트 전극(205)을 포함하고, 상기 게이트 전극(205)은 상기 게이트 전극의 측벽들 상에 형성된 측벽 스페이서들을 포함하며;

상기 측벽 스페이서들을 제거하는 단계와;

상기 기판 위에 도핑된 고 유전(high-k) 층(220)을 형성하는 단계와;

도펀트들을 상기 도핑된 고 유전 층(220)으로부터 상기 활성 영역으로 유입하도록 상기 기판을 어닐링하는 단계와; 그리고

상기 게이트 전극(205)의 측벽들에 고 유전(high-k) 측벽 스페이서들(210)을 형성하도록 상기 고 유전 층(220)을 패터닝하는 단계를 포함하며,

상기 기판(201)을 어닐링하는 단계가 수행되어 상기 이온 주입 공정 동안에 유입된 도펀트들을 활성화하고 그리고 상기 이온 주입 공정에 의해 야기된 격자 손상을 최소한 부분적으로 치유하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 13**

제 12 항에 있어서,

상기 도핑된 고 유전 층(220)을 형성하는 단계는 하나 이상의 도펀트 물질을 포함하여 상기 고 유전 층(220)을 증착하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 14**

제 12 항에 있어서,

상기 도핑된 고 유전 층(220)을 형성하는 단계는 상기 고 유전 층(220)을 증착하는 단계와, 그리고 이온 주입 및 희생 층으로부터의 확산 중 적어도 하나에 의해 도펀트들을 상기 고 유전 층(220)으로 유입하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 15**

제 12 항에 있어서,

상기 도핑된 고 유전 층(220)의 도펀트 농도는 상기 고 유전 층에서 상기 도펀트의 고체 용해도의 범위내 혹은 그 이상인 것을 특징으로 하는 전계 효과 트랜지스터의 형성 방법.

**청구항 16**

삭제

**청구항 17**

삭제

**명세서**

**기술분야**

[0001] 본 발명은 일반적으로 집적회로의 제조에 관한 것이고, 더욱 상세하게는 고 도핑된 얇은 접합(highly doped shallow junction)을 요구하는 MOS 트랜지스터 구조들과 같은 고도로 정밀한 전계 효과 트랜지스터의 제조에 관한 것이다.

**배경기술**

[0002] 개개의 회로 소자들의 피처(feature) 크기를 축소하고자 하는 지속적인 노력으로 집적회로의 제조 공정은 몇 가지 방식으로 개량되고 있다. 현재 및 가까운 장래에, 실리콘 기관들의 고도의 이용 가능성 및 과거 수십 년간 개발되어온 잘 알려진 공정 기술 때문에 집적회로 대다수는 실리콘 디바이스들에 기초하며 또한 기초할 것이다. 증가한 패키징 밀도와 개량된 성능을 구비한 집적 회로를 개발하는데 있어서 핵심은 MOS 트랜지스터 소자들과 같은 트랜지스터 소자들의 크기를 축소하는 것으로, 현대 CPU들 및 메모리 디바이스들의 제조에 필수적인 매우 많은 수의 트랜지스터 소자들을 제공할 수 있다. 축소된 크기의 전계 효과 트랜지스터를 제조하는데 있어서 중요한 측면은 트랜지스터의 소스 및 드레인 영역들을 분리하는 전도성 채널의 형성을 제어하는 게이트 전극의 길이를 줄이는 것이다. 트랜지스터 소자의 소스 및 드레인 영역들은 주위의 결정성 활성 영역(예컨대, 기관 혹은 우물(well) 영역)에서의 도펀트들에 비해 반대되는 전도 타입(type)의 도펀트들을 포함하는 전도성 반도체 영역들이다.

[0003] 그러나, 게이트 길이의 축소가 작고 빠른 트랜지스터 소자들을 얻는데 필수적이지만, 이는 축소된 게이트 길이에서도 적절한 트랜지스터 성능을 유지하기 위해서는 추가적인 다수의 문제를 야기한다. 이 사안에 관한 하나의 해결 과제는 채널에서부터 드레인 및 소스 영역들의 콘택 영역으로 흐르는 전하 캐리어들을 전도하는데 저항을 최소화하기 위해 큰 도전성을 나타내면서도 얇은 접합 영역들(즉, 소스 및 드레인 영역들)을 제공하는 것이다. 고 도전성을 갖는 얇은 접합에 대한 요구는 측면 및 깊이에 따라 변하는 프로파일(profile)을 갖는 고 도펀트 농도를 얻을 수 있는 이온 주입 시퀀스를 수행함으로써 충족된다. 그러나, 결정성 기관 영역에 고 도펀트 도오즈의 유입은 결정 구조에 심한 손상을 야기하고, 따라서 도펀트들을 활성화하는데(즉, 결정 위치(crystal site)에 도펀트들을 위치시키고, 심각한 결정 손상을 치유하기 위해) 1회 이상의 어닐링 사이클이 요구된다. 그러나, 도펀트 농도는 도펀트들을 전기적으로 활성화하는 어닐링 싸이클의 성능에 의해 제한된다. 그리고 상기 성능은 실리콘 결정에서 도펀트들의 고체 용해도에 의해 제한된다. 게다가, 도펀트 활성화 및 결정 손상의 치유에 더하여, 어닐링 동안에 바람직하지 못한 도펀트 확산("불명료한(blurred)" 도펀트 프로파일을 유도함)이 또한 발생한다. 도 1a-1d를 참조하여, 상기 문제들을 더욱 상세하게 설명하기 위해 종래 전계 효과 트랜지스터를 형성하는 일반적인 공정 흐름이 지금부터 설명된다.

- [0004] 도 1a는 중간 제조 단계에서 트랜지스터 구조(100)의 단면을 도시한다. 트랜지스터(100)는 일반적으로 기판(101)(일반적으로 실리콘 기판 혹은 실리콘층을 포함하는 기판)을 포함하며, 이 기판에서 활성 영역(103)은 얇은 트렌치 분리(shallow trench isolation)(STI)(102)에 의해 둘러싸여 있다. 게이트 전극(105)은 활성 영역(103) 위에 형성되고 그리고 게이트 절연체(106)에 의해 활성 영역으로부터 분리된다. 상기 언급된 게이트 길이는 도 1a에서 게이트 전극(105)의 측면 크기이다. 게이트 절연 층(106) 아래의 활성 영역(103) 부분은 소스 및 드레인 확장 영역(108) 사이에 위치한 채널 영역(104)을 나타내며 "팁(tip)" 영역으로도 불린다.
- [0005] 도 1a에 도시된 바와 같이, 트랜지스터 구조(100)를 형성하기 위한 일반적인 공정 흐름은 다음의 공정 단계들을 포함한다. 정교한 포토리소그래피, 식각 및 증착 방법들에 의해 얇은 트렌치 분리(102)를 형성한 후에, 활성 영역(103) 내에 필요한 도펀트 프로파일(도시되지 않음)을 생성하기 위한 주입 시퀀스가 수행된다. 그 후에, 필요한 두께를 구비하고 게이트 전극(105)의 게이트 길이에 일치하는 길이를 갖는 게이트 절연 층(106)이 산화 및/또는 증착 방법에 의해 형성된다. 그 다음, 게이트 전극(105)이 포토리소그래피 및 식각 기술들을 수단으로 하여 폴리실리콘 층으로부터 패터닝된다. 그 다음, 활성 영역(103)에 필요한 전도 타입의 도펀트들을 주입하기 위해 참조 번호(107)로 표시된 이온 주입이 수행되고, 이로부터 확장 영역(108)이 형성된다. 전술한 바와 같이, 게이트 전극(105)의 게이트 길이를 축소하는 것도 또한 (109)로 표시된 깊이(대략 30-200nm 범위의 게이트 길이에 대해 대략 10-100nm의 범위)를 갖는 얇은 도핑 영역으로서 제공되는 확장 영역들(108)을 필요로 한다. 따라서, 이온 주입(107)은 사용되는 도펀트 타입에 따라서 상대적으로 낮은 에너지로 수행되며 그리고 요구되는 고 도펀트 농도를 확장 영역(108) 내에 제공하도록 큰 도오즈를 가지고 수행된다.
- [0006] 도 1b는 개량된 제조 단계에서 트랜지스터 구조(100)를 도식적으로 도시한다. 일반적으로 실리콘 다이옥사이드 혹은 실리콘 나이트라이드로 형성되는 측벽 스페이서들(110)은 게이트 전극(105)의 측벽에서 형성된다. 소스 및 드레인 영역(111)들을 형성하기 위한 후속 이온 주입 시퀀스(112)에 대한 주입 마스크로 행동하도록 상기 측벽들(110)은 자기 정렬된(self-aligned) 증착 및 이방성 식각 기술에 의해 형성된다.
- [0007] 전술한 바와 같이, 고 도펀트 농도가 소스 및 드레인 영역들(111)에서뿐만 아니라 확장 영역들(108)에서도 요구되므로 주입 시퀀스(107, 112) 동안에 심각한 결정 손상이 발생한다. 그러므로, 한편으로 도펀트 원자들을 활성화시키고, 그리고 소스 및 드레인 영역들(111) 그리고 확장 영역(108)에서 손상된 구조를 실질적으로 재결정화하기 위해 빠른 열적 어닐링(Rapid Thermal Anneal : RTA)과 같은 열처리가 일반적으로 요구된다. 그러나, 도펀트 농도가 높은 경우, 빠른 열적 어닐링 사이클들에 의한 전기적 활성화는 실리콘 결정에서 도펀트들의 고체 용해도에 의해 제한된다. 게다가, 도펀트들은 활성 영역들(103)의 불필요한 결정 영역들에 쉽게 확산되어 트랜지스터 성능을 심각하게 손상한다. 다른 한편, 소스 및 드레인 영역들(111) 그리고 확장 영역들(108) 내의 결정 구조를 효율적으로 재확립하는 것은 충분히 오랜 시간 동안 상대적으로 높은 온도를 필요로 하는바, 이는 도펀트 확산을 심하게 증가시킨다. 결국, 트랜지스터 구조(100)의 활성화와 치유라는 관점에서 트레이드-오프(trade-off)가 발생한다. 특히, 디바이스 크기가 100nm 이하의 게이트 길이로 축소되면, 불충분하게 활성화된 도펀트들에 의한 저감된 도전을 및/또는 확산에 의한 불명료한 도펀트 프로파일 때문에, 트랜지스터의 성능은 더욱 저하된다.
- [0008] 도 1c는 제조 공정의 완성 후에 트랜지스터 구조(100)를 도시한다. 금속 실리사이드 영역들(115)은 게이트 전극(105) 그리고 드레인 및 소스 영역들(111) 위에 형성되며 코발트 실리사이드 혹은 내열성 금속(refractory metal)의 다른 적당한 실리사이드를 포함한다. 콘택(contact) 라인들(113)은 드레인 및 소스 영역들(111)에 접촉하여 형성되어 다른 회로 소자(도시되지 않음) 혹은 다른 상호연결 라인들(도시되지 않음)에 전기적인 콘택을 제공한다. 일반적으로, 콘택 라인들(113)은 텅스텐 및 여타의 다른 적절한 장벽 물질 및 부착 물질(barrier and adhesion material)로 구성된다.
- [0009] 금속 실리사이드 영역(115)을 형성하는 단계는 고 도핑되더라도 실리콘에 비해 매우 낮은 면저항을 갖는 금속 실리사이드 영역들(115)을 얻기 위해서 적절한 내열성 금속의 증착 단계와 그 후에 적당하게 설계된 어닐링 사이클을 일반적으로 포함한다. 콘택 라인들(113)을 형성하는 것은 유전 층(편의를 위해 도시되지 않음)을 증착하고 그리고 후에 금속으로 채워지는 비아들(vias)을 형성하기 위해 상기 유전 층을 패터닝함으로써 수행되며, 여기서 얇은 장벽 및 부착 층은 벌크 금속으로 채우기 전에 일반적으로 형성된다.
- [0010] 트랜지스터 구조(100)의 동작 동안에, 전압은 콘택 라인들(113)에 인가되고 그리고 대응하는 제어 전압이 게이트 전극(105)에 인가되어, N-채널 트랜지스터의 경우에 얇은 채널이 채널 영역(104)에 형성된다. 여기서 상기 채널 영역은 실질적으로 114로 표시된 전자들로 구성된다. 여기서, 전술한 바와 같이 트랜지스터 성능은 특히 채널(104)로부터 확장 영역(108)으로의 전이 저항(transition resistance) 및 영역(108)에서의 면 저항에 의해

크게 좌우되는바, 이는 상기 영역들에는 실질적으로 금속 실리사이드가 형성되지 않기 때문이다. 확장 영역들(108) 그리고 드레인 및 소스 영역들(111)을 형성하는 것의 어려움 때문에(즉, 격자 손상의 불충분한 치유 및 활성 도펀트들의 농도 제한), 디바이스 성능이 저하되므로(특히 극히 축소된 트랜지스터 소자(100)에 대해), 집적 회로의 회로 소자들을 축소함으로써 일반적으로 얻을 수 있는 장점들이 부분적으로 상쇄된다.

[0011] 상기 문제들의 견지에서, 상술된 문제들을 방지하거나 혹은 최소한 상당량 경감하는 전계 효과 트랜지스터를 형성하는 개량된 기술이 요구된다.

**발명의 상세한 설명**

[0012] 본 발명은 일반적으로 고 유전율을 갖는 유전 물질로 이루어진 측벽 스페이서들을 찾는 것에 의존하는바, 상기 측벽 스페이서들은 상기 게이트 전극의 측벽 위에 형성되어 컴퓨터 시뮬레이션에 의해 도시된 바와 같이 전도성 영역 아래에 전하 캐리어 축적을 증진할 것이다. 상기 유리한 효과는 측벽 스페이서들의 유전 물질로부터 하부 확장 영역으로의 도펀트들의 확산에 의해 얻어지는 고 도펀트 농도와 결합되어, 주입 단계를 회피하면서 트랜지스터 소자의 전반적인 도전성을 상당량 증가시킬 수 있다.

[0013] 본 발명의 예시적인 실시예에 따르면, 전계 효과 트랜지스터를 형성하는 방법은 활성 영역 위에 형성되고 게이트 절연 층에 의해 활성 영역으로부터 분리된 게이트 전극을 포함하는 기판 위에 도핑된 고 유전(High-k) 물질 층을 형성하는 단계를 포함한다. 고 유전 층으로부터 활성 영역으로 도펀트들을 확산하여 확장영역을 형성하기 위해 기판에 열처리가 수행된다. 상기 고 유전 층은 상기 게이트 전극의 측벽에서 측벽 스페이서들을 형성하기 위해 패터닝되고 그리고 소스 및 드레인 영역들을 형성하기 위해 상기 측벽 스페이서들을 주입 마스크로 사용하여 주입 공정이 수행된다.

[0014] 본 발명의 다른 예시적인 실시예에 따르면, 전계 효과 트랜지스터를 형성하는 방법은 활성 영역 위에 형성되고 게이트 절연 층에 의해 활성 영역으로부터 분리되는 게이트 전극을 포함하는 기판 위에 제공된 활성 영역에서 소스 및 드레인 영역들을 형성하도록 하는 이온 주입 공정의 수행을 포함하며, 여기서 상기 게이트 전극은 게이트 전극의 측벽들 위에 형성된 측벽 스페이서들을 포함하며, 상기 측벽 스페이서들은 주입 마스크로서 행동한다. 그 다음, 측벽 스페이서들은 제거되고 도핑된 고 유전 층이 형성된다. 그 다음, 상기 기판은 고 유전 층으로부터 아래 영역들로 도펀트들을 확산시키기 위해 열 처리되어, 상기 주입 공정에 의해 주입된 원자들을 최소한 부분적으로 활성화한다. 게다가, 고 유전 층은 상기 게이트 전극 위에 고 유전 측벽 스페이서들을 형성하도록 패터닝된다.

[0015] 본 발명의 또 다른 예시적인 실시예에서, 유전 영역 아래에 얇은 전도성 도핑된 반도체(shallow conductive doped semiconductor) 영역을 형성하는 방법은 반도체 영역을 포함하는 기판 위에 유전 층을 형성하는 단계를 포함하며, 여기서 상기 유전 층은 탄탈(tantalum) 및/또는 지르코늄(zirconium) 및/또는 hafnium) 및/또는 란탄(lanthanum) 및/또는 이트륨(yttrium) 및/또는 스트론튬(strontium)의 산화물을 포함한다. 도펀트가 유전 층에 유입되고 그리고 상기 기판은 도펀트들을 반도체 영역에 확산시키기 위해 어닐링된다. 그 다음, 유전 층은 상기 도핑된 반도체 영역 위에 유전 층을 형성하기 위해 패터닝되며, 여기서 상기 유전 영역 아래의 전하 캐리어 축적은 외부 전계에 의해 증강된다.

[0016] 본 발명의 또 다른 예시적인 실시예에서, 전계 효과 트랜지스터는 활성 반도체 영역 위에 형성되고 그리고 상기 게이트 절연 층에 의해 상기 활성 영역으로부터 분리된 게이트 전극을 포함한다. 도핑된 고 유전 스페이서 요소들은 게이트 전극의 측벽들 위에 형성되고 반도체 영역의 일부 위에 형성된다. 스페이서 요소들과 반도체 영역 사이의 인터페이스의 적어도 일부에서의 도펀트 농도는 상기 스페이서 요소들에서의 농도와 동일하거나 또는 상기 반도체 영역에서의 농도보다 높다

**실시예**

[0021] 본 발명의 예시적인 실시예들이 하기에 설명된다. 명확성을 위해 본 명세서는 실제 구현의 모든 특징들을 모두 설명하지 않는다. 이러한 모든 실제 실시예의 개발시, 예를 들어 시스템 관련 제약 및 사업 관련 제약을 따르는 것과 같이, 개발자의 특정한 목표들을 달성하기 위해서는, 구현마다 특정한 다양한 결정들이 이루어져야 하는바, 이는 구현마다 달라질 것이다. 또한, 주목할 사항으로서, 이러한 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본원의 개시의 이득을 갖는 당업자들에게는 일상적인 작업이다.

[0022] 이제 첨부 도면들을 참조하여 본 발명에 대해 설명한다. 도면들에서는 반도체 디바이스의 다양한 구조들 및 주입영역들이 매우 정확하고 뚜렷한 구성들 및 프로파일들을 갖는 것으로 도시되어 있지만, 당업자라면 실제로 이

러한 영역들 및 구조들이 도면들에 나타낸 것처럼 정확하지 않을 수 있다는 것을 알 수 있을 것이다. 또한, 도면들에 도시된 다양한 피쳐들 및 영역들의 상대적인 크기는 제조되는 디바이스들 상의 이러한 피쳐들 또는 영역들 크기와 비교하여 과장되거나 축소될 수 있다. 그럼에도 불구하고, 첨부 도면들은 본 발명의 예들을 묘사하고 설명하기 위해 포함된 것이다. 본원에서 이용되는 단어들 및 구들은 관련 분야의 당업자가 이러한 단어들 및 구들을 이해하는 것과 일관된 의미를 갖는 것으로 이해 및 해석되어야 한다. 본원에서 어떠한 용어 또는 구를 일관되게 이용한다고 해서, 이러한 용어 또는 구에 대한 특별한 정의, 즉 당업자에 의해 이해되는 일상적이고 통상적인 의미와 다른 어떠한 특별한 정의를 의도하는 것은 아니다. 어떠한 용어 또는 구가 특별한 의미, 즉 당업자에 의해 이해되는 것 이외의 의미를 갖는 것으로 의도되는 정도까지, 이러한 특별한 정의는 용어 또는 구에 대한 특별한 정의를 직접적이고 명백하게 제공하는 한정 방식으로 명세서에서 명확히 설명될 것이다.

[0023] 이제, 도 2a-2f를 참조로 본 발명의 다른 예시적인 실시예들을 설명하기로 한다. 본 실시예들에 따르면, 결정 손상을 최소화한 고 도펀트 농도를 구비한 반도체 영역이 얻어지고, 상기 고 도핑된 반도체 영역 위에 유전층이 제공되므로, 외부 전계의 존재시, 유전을 증강으로 인해 전하 캐리어 축적이 증강된다. 이 점에서, "고-유전(high-k)" 유전층 혹은 "고-유전(high-k)" 물질이라는 용어는 통상적으로 사용되는 유전 물질인 실리콘 다이옥사이드 및 실리콘 나이트라이드의 유전율(유전 층을 형성하는 공정 기술에 의존하며 대략 3.5 내지 7.5의 범위에 존재한다)보다 큰 유전율을 나타내는 임의의 물질을 특정한다. 그러므로, 첨부된 청구항뿐 아니라 아래 명세서에서, 용어 "고-유전(high-k)"은 달리 특별히 정의되지 않는 한 대략 8 이상의 상대 유전율(relative permittivity)에 관한 것이다. 본 발명은 전계 효과 트랜지스터의 형성 그리고 특히 종래의 디바이스들 보다 높은 도전성을 나타내는 개량된 확장 영역들을 위해 유리하게 사용된다. 그러나, 본 발명의 원리들은 상대적으로 얇게 도핑된 반도체 영역에서 고 도전성을 필요로 하는 다른 회로 소자들의 형성에 또한 적용이 가능하다.

[0024] 도 2a는 기판(201)을 포함하는 트랜지스터 구조(200)를 도시하며, 상기 기판은 실리콘 기판, 실리콘-온-절연체(SOI) 기판, 혹은 활성 반도체 영역(203)을 지지할 수 있는 다른 적절한 기판일 수 있다. 상기 활성 영역(203)은 본 예시에서 얇은 트렌치 분리(STI) 구조의 형태로 제공되는 분리 구조(202)에 의해 둘러싸여 있다. 게이트 전극(205)(예컨대, 폴리실리콘 혹은 다른 적절한 게이트 전극 물질로 형성됨)은 활성 영역(203) 위에 형성되고 그리고 게이트 절연 층(206)에 의해 활성 영역으로부터 분리된다. 게이트 길이라고 불리는 게이트 전극(205)의 측면 길이는 실질적으로 활성 영역에서의 채널 영역(204)을 정의한다. 일부 실시예들에서, 게이트 길이는 대략 30-200nm의 범위에 있다. 게다가, 유전 층(220)은 후속의 공정단계에서 측벽 스페이서 요소를 형성하도록 설계된 두께를 구비하여, 트랜지스터 구조(200) 위에 형성된다. 유전 층(220)은 일반적으로 대략 10-20 이상의 상대 유전율을 갖는 탄탈, 지르코늄, 하프늄 등 물질의 산화물 혹은 규산염(oxides or silicates of tantalum, zirconium, hafnium, and the like)과 같은 고 유전 물질을 포함한다. 다른 적절한 고 유전 물질은 20 이상의 상대 유전율을 갖는 란타넘, 이트륨, 스트론튬 등 물질의 산화물(oxides formed of lanthanum, yttrium, strontium, and the like)을 포함한다. 유전 층(220)은 요구되는 전도 타입의 도펀트들(221)(N-타입 도펀트들로서 비소 및/또는 인(phosphorous) 원자들 혹은 P-타입 도펀트들로서 붕소 및/또는 인듐과 같은 물질)을 더 포함한다. 특정 일 실시예에서, 유전 층(220)에서 도펀트들(221)의 농도는 유전 층(220)의 물질에서 도펀트들의 고체 용해도의 범위에 있거나, 혹은 각각의 고체 용해도 보다 클 수 있다. 그러나, 다른 실시예에서, 도펀트들(221)의 농도는 반도체 구조(200)의 다른 공정을 위해 요구되는 적절한 레벨로 조정된다.

[0025] 도 2a에 도시된 바와 같이, 트랜지스터 구조(200)의 제조를 위한 일반적인 공정 흐름은 다음 공정들을 포함한다. 활성 영역(203), 분리 구조(202), 게이트 절연 층(206) 및 게이트 전극(205)의 형성은 도 1a를 참조하여 이미 설명된 동일한 단계를 실질적으로 포함한다. 종래 공정 흐름과 대조적으로, 그 다음, 고 유전 물질을 포함하는 유전 층(220)이 화학 기상 증착(CVD) 혹은 물리 기상 증착(PVD) 공정과 같은 적절한 임의의 증착 방법에 의해 증착된다. 유전 층(220)의 증착 동안에, 요구되는 농도로 도펀트들(221)이 유전 층(220)에 유입되도록 증착 분위기가 제어된다. 예를 들면, 도펀트들을 포함하는 전구체 가스들(precursor gases)이 증착 분위기에 추가되고, 여기서 예컨대 각각의 전구체 가스의 유량(flow rate)은 필요한 도펀트 농도를 궁극적으로 얻을 수 있도록 제어된다.

[0026] 다른 실시예에서, 유전 층(220)의 증착은 잘 알려진 증착 방법에 따라 실시되고 그리고 후속으로 도펀트들(221)이 적당한 임의의 기술에 의해 유전 층(220)으로 유입된다. 예를 들면, 도펀트들(221)을 유전 층에 유입하기 위해 주입 시퀀스가 실시될 수 있다. 다른 실시예들에서, 추가의 확산 층(도시되지 않음)이 유전 층(220) 위에 형성되고, 그 다음, 트랜지스터 구조(200)를 어닐함으로써 도펀트들(221)이 유전 층(220)으로 유입된다. 상기 선택된 방법에 관계없이, 도펀트들이 유입된 후 유전 층(220)의 도펀트 농도는 대략  $10^{19}$ - $10^{21}$

원자들/cm<sup>3</sup>이다.

- [0027] 그 후, 열처리에 의해 도펀트들 일부가 활성 영역(203)으로 유입되며, 열처리는 예컨대, 유전 층(220)에 사용되는 물질, 도펀트들(221)의 타입, 도펀트들(221)의 필요한 침투 깊이와 같은 것에 따라 대략 800-1200℃의 온도 범위에서 대략 10초 - 30분 동안 기판을 어닐링하는 것이다.
- [0028] 참조 번호(222)로 표시된 도펀트들(221)의 활성 영역(203)으로의 확산은 활성 영역(203)에서 필요한 도펀트 농도를 정립하도록 하는바, 이는 유전 층(220)에서의 도펀트 농도에 의해 제어되는 공정과 그리고 주로 활성 영역(203)의 결정 구조를 실질적으로 손상하지 않도록 하는 어닐링 사이클의 공정 파라미터에 의해 이루어진다.
- [0029] 도 2b는 열 처리에 의해 도펀트들(221)이 활성 영역(203)으로 유입되어 확장 영역(208)을 형성한 후의 트랜지스터 구조(200)를 도시한다. 일부 실시예들에서, 도펀트 농도는 대략  $10^{19}$ - $5 \times 10^{20}$  원자들/cm<sup>3</sup>이다. 측벽 스페이서들(210)은 게이트 전극(205)의 측벽들 위에 형성되고, 이는 종래의 이방성 식각 공정에 따라 형성된다.
- [0030] 도 2c는 더욱 진전된 제조 상태에서의 트랜지스터 구조(200)를 도시한다. 소스 및 드레인 영역들(211)은 참조 번호(212)로 표시된 주입 공정에 의해 활성 영역(203)에 형성된다. 전술한 바와 같이 주입 공정(212)을 수행함으로써 필요한 전도 타입의 도펀트들이 활성 영역(203)의 특정 깊이로 유입되어, 활성 영역들(208) 내부 및 아래에 소스 및 드레인 영역(211)을 형성하며, 특정된 트랜지스터 성능에 대한 필요에 따라 도펀트 프로파일이 얻어진다. 드레인 및 소스 영역들(211)을 도핑하는 일반적인 에너지는 도펀트 타입(비소, 인, 붕소, 인듐과 같은 것)에 의존하며 대략  $10^{15}$ - $10^{16}$  이온/cm<sup>2</sup>의 도오즈에서 대략 30-90keV의 범위에 있다.
- [0031] 이온 주입(212) 후에, 주입(212)에 의해 유입된 도펀트들을 활성화하고 그리고 이온 충격(bombardment)에 의해 야기된 격자 손상을 치유하기 위해 열처리가 실시된다. 예를 들면, 대략 900-1200℃의 온도 범위에서 대략 10-300초 동안 어닐링 공정이 수행된다. 이러한 어닐링 사이클 동안에 추가로 도펀트들(221)이 확장 영역(208)으로 또한 유입되고 확장 영역(208)에 있는 도펀트들이 또한 활성화된다(즉, 도펀트들이 격자 위치(lattice site)로 이동된다). 레이저 어닐링과 같은 비-평형 어닐링 공정이 실시되지 않는다면, 일반적인 어닐링 사이클들은 열 평형 조건에서 실시되어서 도펀트 활성화는 활성 영역(203)의 결정성 영역에서 도펀트들의 고체 용해도에 의해 결정된다. 유전 층(220) 및/또는 스페이서 요소들(210)로부터 도펀트들(221)을 유입하여 확장 영역들(208)에 상대적으로 고 도펀트 농도를 제공함으로써, 최소한 스페이서(210)에 의해 덮인 확장 영역(208)은 종래 디바이스에 비해 상당히 개량된 도전율을 나타내고 최소 결정 손상을 나타내는바, 이는 종래 디바이스에서와 같이 고체 용해도에 의해 도핑 정도가 제한되더라도 치유되지 않은 결정 결함들에 의한 전하 캐리어 산란(scattering)이 상당량 감소하였기 때문이며, 아래서 더욱 상세하게 설명될 것이다.
- [0032] 도 2d는 완성된 트랜지스터 구조(200)를 도시한다. 금속 실리사이드 영역(215)은 게이트 전극들(205) 위에 형성되고 그리고 드레인 및 소스 영역(211)의 윗 부분에 형성된다. 게다가, 콘택 라인들(213)이 제공되어 소스 및 드레인 영역들(211)을 다른 회로 소자들(도시되지 않음) 및/또는 다른 전도성 라인들(도시되지 않음)에 전기적으로 연결한다.
- [0033] 도 2d에 도시된 바와 같이 트랜지스터 구조(200)를 형성하는 공정 단계는 도 1c를 참조하여 이미 설명된 바와 유사하므로 이에 대응하는 설명은 여기서는 생략한다.
- [0034] 동작시에, 게이트 전극(205)에 제공되는 제어 전압 그리고 콘택 라인들(213)을 통해 소스 및 드레인 영역들(211)에 공급되는 대응 동작 전압은 소스 및 드레인 사이의 채널 영역(204)에서 (214)로 표시된 전류 흐름을 생성한다. 편의를 위해, N-타입 전계 효과 트랜지스터가 도시되지만 P-채널 트랜지스터에 대해서도 실질적으로 동일한 기준이 적용될 수 있다. 상술한 바와 같이, 확장 영역(208)의 부분(230)에서 축소된 결함 비율은 전하 캐리어 산란의 감소로 인해 도전율을 증가시킨다. 게다가, 측벽 스페이서들(210)의 고 유전율은 아래의 확장 영역(208)과의 용량성 결함을 증가시키고, 따라서 부분(230)에서의 전하 캐리어 축적을 증대시킨다. 고체 용해도 범위에 존재할 수 있는 확장 영역(208)에서의 고 도펀트 농도로 인하여, 전하 캐리어 농도는 증대된 용량성 결함과의 조합시, 상기 고체 용해도에 의해 결정된 크기를 초과할 것이며, 이는 일반적으로 1cm<sup>3</sup> 당  $3 \times 10^{20}$ 의 범위에 있다. 그러므로, 확장 영역(208)에서의 도펀트 농도가 종래 디바이스와 동등할지라도 본 발명에 의해 전하 캐리어 밀도가 향상될 것이고, 여기서 추가로 감소한 결함 레벨도 또한 도전율을 증대시킬 것이다. 이는 트랜지스터 성능을 손상시키지 않으면서도 매우 얇은 확장 영역(208)을 가능하게 한다.
- [0035] 도 2e는 부분(230)의 개략적인 확대도이다. 도 2e에 도시된 바와 같이, 스페이서 요소(210)와 확장 영역(208) 사이의 인터페이스(222)에 인접한 곳에서 도펀트들(221)의 농도는 확산 메커니즘에 의한 확장 영역(208)에서의

대응하는 도펀트 농도에 비하여 실질적으로 동일하거나 더 크다. 스페이서 요소(210)를 "공핍(deplete)"시키도록, 그리고 인터페이스(222)에서 도펀트와 대량 동등량의 도펀트가 확장 영역(208) 내에 축적될 때까지 충분히 오랫동안 도펀트들(221)을 확장 영역(208)으로 확산하기 위한 어닐링 사이클이 수행되면, 인터페이스(222)의 양측에서 실질적으로 동일한 농도가 얻어진다. 특히, 스페이서 요소(210)에서의 초기 도펀트 농도가 스페이서 물질 및 아래의 활성 영역(203)의 고체 용해도 한계를 초과하도록 선택되면, 도펀트(221)의 확장 영역(208)으로의 확산에 의해 스페이서 물질 및 활성 영역(203)의 고체 용해도와 대략 동일한 고 도펀트 농도가 얻어진다. 게다가, 종래 공정 흐름에서, 예컨대 드레인 및 소스 영역들의 형성 후에 도펀트들을 활성화 하고 결정 손상을 치유하기 위해 필요한 어닐링 사이클 동안에 확장 영역에서의 도펀트 농도는 도펀트들의 불필요한 확산으로 인해 일반적으로 감소하였다. 그러나, 상술한 본 발명의 예시적인 실시예들에서, 인터페이스(222)에서의 고 도펀트 농도 때문에 이러한 어닐링 사이클 동안의 도펀트 농도는 실질적으로 유지되거나 증가되는바, 이는 스페이서에서의 농도가 아래 확장 영역들(208)보다 높은 경우에는 도펀트들(221)이 도핑된 스페이서 요소(210)에 의해 계속적으로 제공되기 때문이다.

[0036] 상술한 예시적인 실시예들에서, 활성 영역(203)으로의 도펀트들(221)의 확산은 실질적으로 유전 층(220)(도 2a)으로부터 아래 기판 영역들로 발생한다. 다른 실시예에서, 어떠한 어닐링 싸이클도 수행함이 없이 먼저 유전 층(220)을 패터닝하고 그리고 스페이서 요소들(210)을 형성한 후에 활성 영역(203)으로 도펀트들(221)을 유입하는 것(예컨대, 소스 및 드레인 영역(211)의 형성에서 주입 공정(212, 도 2c) 후에 필요한 어닐링 사이클 동안에)이 바람직하다.

[0037] 본 발명의 다른 예시적인 실시예에서, 소스 및 드레인 영역(211)은 확장 영역들(208)을 형성하기 전에 형성되며, 이는 실리콘 다이옥사이드 및/또는 실리콘 나이트라이드와 같은 종래의 저 유전(low-k) 물질을 포함하는 대응 측벽 스페이서 요소들(도시되지 않음)을 형성하고 그리고 드레인 및 소스 영역(211)을 형성하기 위한 이온 주입 공정 후에 측벽 스페이서들을 제거함으로써 형성된다. 그 이후, 공정 시퀀스는 도 2a를 참조하여 계속 설명되며, 여기서 유전 층(220) 및/또는 스페이서 요소들(210)로부터 도펀트들(221)의 유입은 드레인 및 소스 영역(211)에서의 도펀트들을 활성화하는데 통상적으로 사용되는 어닐링 사이클에서 혹은 이와 별도로 수행될 것이다(도 2c에서 도시된 주입 시퀀스(212)는 더이상 필요하지 않음).

[0038] 도 2f는 본 발명의 다른 예시적인 실시예에 따른 초기 제조 단계에서의 트랜지스터 구조(200)를 도시한다. 트랜지스터 구조(200)는 도 2a에 도시된 구조와 매우 유사하고 유전 층(220) 아래에 형성된 장벽 층(225)을 추가로 포함한다. 상기 장벽 층(225)은 유전 층(220)의 유전 물질이 아래의 활성 영역(203) 및/또는 인접 게이트 전극(205)으로 과도하게 확산하는 것을 막는 우수한 특성을 나타내는 저 유전 물질을 포함하며, 이 물질은 도펀트들(221)이 활성 영역(203)으로 확산되는 것을 과도하게 둔화시키지는(slow down) 않는다. 예를 들면, 유전 층(220)에 함유된 고 유전 성분들 일부는 높은 온도에서 충분히 안정적이지 않으며 용이하게 확산하는 경향이 있다. 결국, 장벽 층(225)은 상기 성분들이 인접 영역들로 확산하는 것을 충분히 방지한다. 유리하게, 장벽 층(225)의 두께는 유전 층(220) 및 장벽 층(225)에 의해 형성된 층 스택의 전체 유전율을 과도하게 손상시키지 않으면서 충분한 장벽 특성을 제공하도록 선택된다. 일부 실시예들에서, 3-10nm 두께의 실리콘 다이옥사이드 및/또는 실리콘 나이트라이드 층은 고 유전 물질이 인접 영역들로 확산하는 것을 충분히 방지할 수 있다. 게다가, 다른 실시예에서, 장벽 층(225)은 층(225)의 형성 동안에 도핑되거나 혹은 유전 층(220)으로부터 활성 영역(203)으로 도펀트들(221)을 유입하기 위한 어닐링 사이클이 실시되기 전까지 도핑되지 않은 상태로 존재한다.

[0039] 상기 개시된 특정 실시예들은 오로지 설명적인 목적으로서, 본 명세서를 숙지한 당업자에게는 본 발명은 수정되고 그리고 본 명세서와 다르지만 동등한 방법으로 실시될 수 있음이 명백하다. 예를 들면, 상기 나열된 공정 단계들은 다른 순서로 수행될 수 있다. 게다가, 본 명세서에서 도시된 구조 혹은 디자인의 상세한 설명은 아래서 첨부된 청구항과 다른 한정을 하지 않는다. 그러므로, 상기 개시된 특정 실시예들은 본 발명의 범위 및 정신 내에 있는 대체 혹은 수정 및 다른 변경들이 가능하다. 따라서, 본 명세서의 보호범위는 아래 청구항에 정의된 바와 같다.

**도면의 간단한 설명**

[0017] 본 발명은 첨부된 도면들과 관련하여 아래의 상세한 설명을 참조함으로써 이해될 수 있으며, 동일한 참조 번호는 동일한 소자들을 나타낸다. 도면은 다음과 같다.

[0018] 도 1a-1c는 종래의 일반적인 공정 흐름의 다양한 제조 단계 동안의 트랜지스터 구조의 단면을 도시한다; 그리고

[0019] 도 2a-2f는 본 발명의 예시적인 실시예들에 따른 다양한 제조 단계 동안의 트랜지스터 구조의 형성에 있어서 반

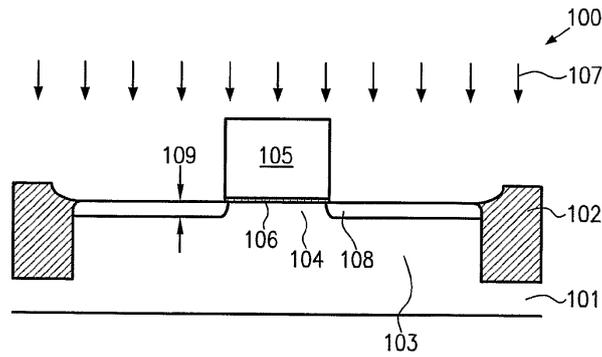
도체 구조의 단면을 도시한다.

[0020]

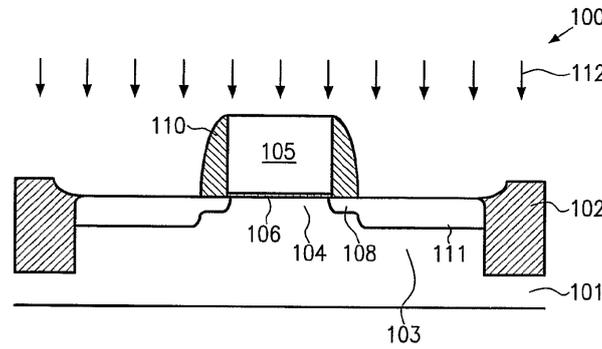
본 발명은 다양한 수정들 및 대체 형상들이 가능하지만, 이들의 특정 실시예들이 도면에서 예시로서 도시되고 본 명세서에서 상세하게 설명될 것이다. 그러나 이들에 대한 도면들 및 상세한 설명은 본 발명을 개시된 특정 형태로 제한하기 위함이 아니고, 첨부된 청구항들에 의해 정의된 본 발명의 정신 및 범위 내에 있는 모든 수정물, 균등물 및 대체물들을 포함하도록 의도된다.

도면

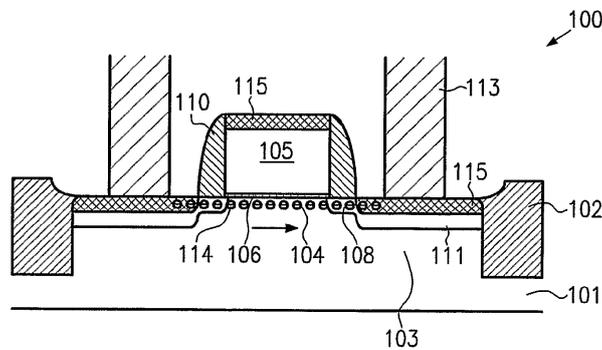
도면1a



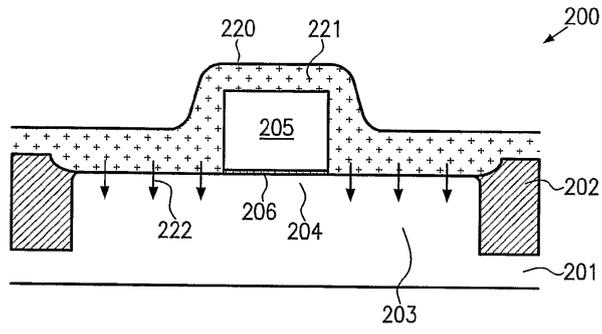
도면1b



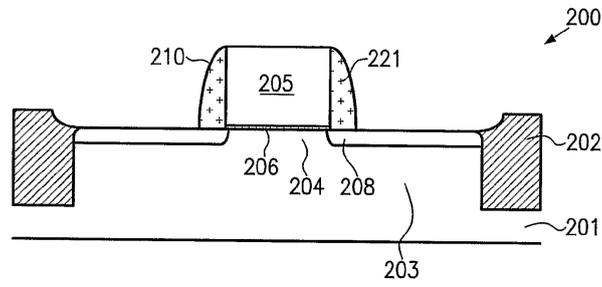
도면1c



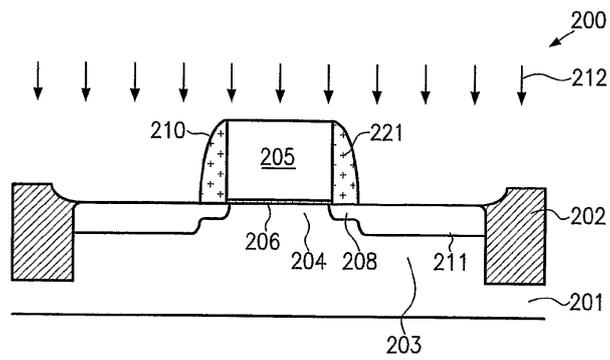
도면2a



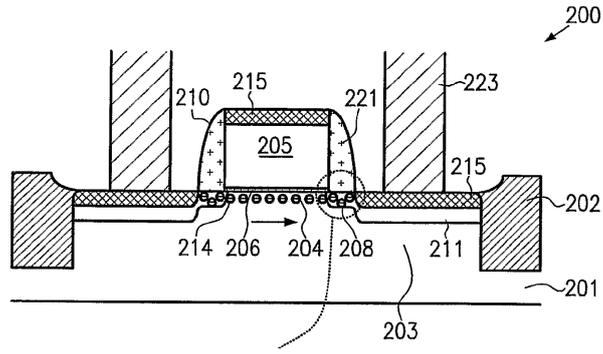
도면2b



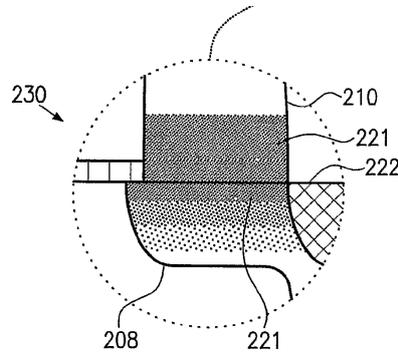
도면2c



도면2d



도면2e



도면2f

